



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098368  
(43) 공개일자 2008년11월07일

- |  |  |
|--|--|
| <p>(51) Int. Cl.<br/><i>H01L 21/336</i> (2006.01)</p> <p>(21) 출원번호 10-2008-7019275</p> <p>(22) 출원일자 2008년08월06일<br/>심사청구일자 없음<br/>번역문제출일자 2008년08월06일</p> <p>(86) 국제출원번호 PCT/US2007/001846<br/>국제출원일자 2007년01월23일</p> <p>(87) 국제공개번호 WO 2007/089489<br/>국제공개일자 2007년08월09일</p> <p>(30) 우선권주장<br/>11/482,676 2006년07월07일 미국(US)<br/>60/763,567 2006년01월30일 미국(US)</p> | <p>(71) 출원인<br/>페어차일드 세미컨덕터 코포레이션<br/>미국 메인 04106 사우스 포틀랜드 러닝 힐 로드 82</p> <p>(72) 발명자<br/>왕 치<br/>미국 유타 84092 샌디 스노우 아이리스 웨이 10237<br/>심 고든 조지<br/>미국 유타 84093 샌디 이스트 코블 캐니언 레인 3037</p> <p>(74) 대리인<br/>오병석</p> |
|--|--|

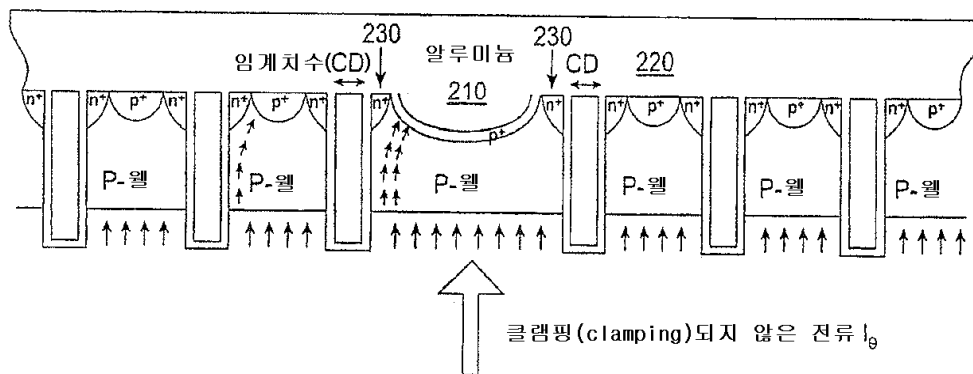
전체 청구항 수 : 총 20 항

(54) 다양한 메사 치수를 갖는 높은 셀 밀도의 트랜치 모스펫

(57) 요약

낮은 펀치 베이스 저항을 유지하면서 높은 전류 운반 성능을 위한 높은 셀 밀도를 갖는 전력 모스펫을 위한 회로, 방법 및 장치가 제공된다. 일 디바이스는 다양한 메사(트랜치 게이트들 사이의 영역) 크기를 갖는 다수의 트랜지스터 셀을 사용한다. 펀치 상태 베이스 저항을 감소시키기 위해 더 큰 셀 내에 고농도 본체 식각이 이용된다. 이 식각은 메사 영역 내의 실리콘을 제거하는데, 상기 실리콘은 보다 낮은 임피던스의 알루미늄으로 대체된다. 디바이스 전류 용량을 증가시키기 위해, 상기 식각을 받지 않는 다수의 더 작은 메사 셀이 이용된다. 이들 셀이 더 낮은 BVDSS 항복 전압을 갖는다는 것을 보장함으로써, 전자 사태(avalanche) 전류는 크기가 더 크고 펀치 베이스가 더 낮은 셀을 향한다. 큰 셀의 BVDSS는 임계 치수(critical dimension), 즉, 폭이 더 넓은 메사의 양측의 트랜치 게이트들의 폭을 조정하거나, 또는 상기 고농도 본체 식각의 깊이를 조정함으로써 변동될 수 있다.

대표도



## 특허청구의 범위

### 청구항 1

트랜치 게이트 전력 MOS펫(trench-gate power MOSFET) 디바이스에 있어서,

고농도 본체 식각을 이용하여 형성된, 제1 셀 피치(pitch)를 갖는 복수의 제1 셀; 및

상기 고농도 본체 식각을 이용하지 않고 형성된, 상기 제1 셀 피치보다 폭이 좁은 제2 셀 피치를 갖는 복수의 제2 셀을 포함하는 트랜치 게이트 전력 MOS펫 디바이스.

### 청구항 2

제1항에 있어서,

상기 복수의 제1 셀에 대한 본체-다이오드 간 항복 전압을 제어하기 위하여 상기 고농도 본체 식각이 이용되는 트랜치 게이트 전력 MOS펫 디바이스.

### 청구항 3

제1항에 있어서,

상기 복수의 제1 셀에 대한 본체-다이오드 간 항복 전압을 제어하기 위하여 트랜치의 폭이 이용되는 트랜치 게이트 전력 MOS펫 디바이스.

### 청구항 4

제1항에 있어서,

상기 복수의 제1 셀 내의 셀의 개수를 정하기 위하여 원하는 턴-오프 전류 사양(turn off current specification)이 이용되는 트랜치 게이트 전력 MOS펫 디바이스.

### 청구항 5

제4항에 있어서,

상기 복수의 제2 셀 내의 셀의 개수를 정하기 위하여 원하는 온 저항(on resistance)이 이용되는 트랜치 게이트 전력 MOS펫 디바이스.

### 청구항 6

제1항에 있어서,

상기 제2 피치는 최소 설계 규칙(minimum design rules)에 의해 정해지는 트랜치 게이트 전력 MOS펫 디바이스.

### 청구항 7

트랜치 게이트 전력 MOS펫 디바이스에 있어서,

제1 트랜치 게이트;

상기 제1 트랜치 게이트로부터 제1 거리에 놓인 제2 트랜치 게이트;

상기 제2 트랜치 게이트로부터 제2 거리에 놓인 제3 트랜치 게이트;

제1 웰을 포함하고 상기 제1 트랜치 게이트와 상기 제2 트랜치 게이트 사이에 위치한 제1 본체 영역; 및

제2 웰을 포함하고 상기 제2 트랜치 게이트와 상기 제3 트랜치 게이트 사이에 위치한 제2 본체 영역을 포함하되,

상기 제1 본체 영역은, 상기 제2 본체 영역보다 낮은 핀치 베이스(pinched-base) 저항과 상기 제2 본체 영역보다 낮은 드레인-벌크 간(drain-to-bulk) 항복 전압을 갖도록 처리되고,

상기 제1 거리는 상기 제2 거리보다 큰 값을 갖는 트랜치 게이트 전력 모스펫 디바이스.

**청구항 8**

제7항에 있어서,

상기 제1 본체 영역은 고농도 본체 식각을 이용하여 처리되는 트랜치 게이트 전력 모스펫 디바이스.

**청구항 9**

트랜치 게이트 전력 모스펫 디바이스를 제조하는 방법에 있어서,

드레인-벌크 간 항복 사양(specification)을 이용하여 폭이 넓은 셀의 폭을 정하는 단계;

상기 드레인-벌크 간 항복 사양을 이용하여 폭이 넓은 셀에 대한 트랜치 게이트의 제1 폭을 정하는 단계;

전자 사태(avalanche) 전류 사양을 이용하여 폭이 넓은 셀의 개수인 제1 개수를 정하는 단계;

설계 규칙 제한(design rule limitations)을 이용하여 폭이 좁은 셀의 폭을 정하는 단계; 및

온 저항 사양을 이용하여 폭이 좁은 셀의 개수인 제2 개수를 정하는 단계를 포함하는 트랜치 게이트 전력 모스펫 디바이스 제조 방법.

**청구항 10**

제9항에 있어서,

상기 제1 개수의 폭이 넓은 셀; 및

상기 제2 개수의 폭이 좁은 셀을 포함하는 디바이스의 레이아웃(layout)을 정하는 단계를 더 포함하되,

상기 폭이 넓은 셀은 상기 제1 폭을 갖는 트랜치 게이트에 의해 경계가 지어지는 트랜치 게이트 전력 모스펫 디바이스 제조 방법.

**청구항 11**

트랜치 게이트 전력 모스펫을 설계하는 방법에 있어서,

제1 셀 타입에 대한 제1의 전기적 특성이 제1 요건을 충족시키도록, 상기 제1 셀 타입에 대한 제1의 물리적 파라미터를 정하는 단계;

제2 셀 타입에 대한 상기 제1의 전기적 특성이 상기 제1 셀 타입에 대한 상기 제1 전기적 특성을 초과하도록, 상기 제2 셀 타입에 대한 제2의 물리적 파라미터를 정하는 단계;

제2 요건을 충족시키기 위해 필요한 상기 제1 셀 타입의 개수인 제1 개수를 정하는 단계; 및

제3 요건을 충족시키기 위해 필요한 상기 제2 셀 타입의 개수인 제2 개수를 정하는 단계를 포함하는 트랜치 게이트 전력 모스펫 설계 방법.

**청구항 12**

제11항에 있어서,

상기 제1의 물리적 파라미터는 셀의 폭인 트랜치 게이트 전력 모스펫 설계 방법.

**청구항 13**

제11항에 있어서,

상기 제1의 물리적 파라미터는 고농도 본체 식각의 깊이인 트랜치 게이트 전력 모스펫 설계 방법.

**청구항 14**

제11항에 있어서,

상기 제1의 물리적 파라미터는 트랜치의 폭인 트랜치 게이트 전력 모스펫 설계 방법.

**청구항 15**

제11항에 있어서,  
 상기 제1의 전기적 특성은 본체-다이오드 간 항복 전압인 트랜치 게이트 전력 MOS펫 설계 방법.

**청구항 16**

제11항에 있어서,  
 상기 제2의 물리적 파라미터는 셀의 폭인 트랜치 게이트 전력 MOS펫 설계 방법.

**청구항 17**

제16항에 있어서,  
 상기 폭은 최소 설계 규칙에 의해 정해지는 트랜치 게이트 전력 MOS펫 설계 방법.

**청구항 18**

제11항에 있어서,  
 상기 제2 요건은 원하는 턴-오프 전류 사양인 트랜치 게이트 전력 MOS펫 설계 방법.

**청구항 19**

제11항에 있어서,  
 상기 제3 요건은 온 저항 사양인 트랜치 게이트 전력 MOS펫 설계 방법.

**청구항 20**

제11항에 있어서,  
 상기 제1의 개수의 상기 제1 셀 타입과 상기 제2의 개수의 상기 제2 셀 타입을 포함하는 디바이스의 레이아웃을 정하는 단계를 더 포함하는 트랜치 게이트 전력 MOS펫 설계 방법.

**명세서**

**기술분야**

<1> 본 발명은 일반적으로 전력 MOS펫(MOSFET) 트랜지스터에 관한 것이고, 보다 구체적으로는, 다양한 메사 치수를 갖는 전력 MOS펫 트랜지스터에 관한 것이다.

**배경기술**

<2> 전력 MOS펫(MOSFET)의 이용은 빠르게 보편화되고 있으며, 점점 더 많은 수의 응용 제품들 내에 장착되도록 요구됨에 따라, 향후 수년 내에 더욱 대중적으로 될 것이 분명하다. 그러나, 이러한 응용 제품들에 대한 요구는 이들 디바이스의 성능에 부담을 주고 있다. 이에 따라, 향상된 성능을 갖는 전력 MOS펫 디바이스가 요구된다.

<3> 일반적인 동작 중에, 도전 상태가 될 때 전력 MOS펫은 인덕터를 통해 전류를 끌어당긴다. 상기 전력 MOS펫이 오프(off) 상태가 될 때, 상기 인덕터가 저장된 에너지를 유지한다. 이 저장된 에너지는 인덕터를 통해 전류를 발생시키는데, 상기 전류는 인덕터의 양호도(quality factor), 즉, "Q"의 함수로서 시간이 경과함에 따라 감소한다. 상기 전류는 디바이스가 전자 사태 항복 모드(avalanche breakdown mode)로 진입할 때, 상기 전력 MOS펫 내에서 소모된다.

<4> 전자 사태 전류는 전력 MOS펫 디바이스의 본체 다이오드, 즉, 드레인과 웰 영역 사이의 접합부를 거쳐 상기 전력 MOS펫 디바이스를 통과한다. n-채널 트랜지스터에 있어서, 전자 사태 전류는 N-타입 드레인으로부터 P-웰을 통해 고농도 본체 접촉부로 흐른다. 상기 트랜지스터는 이 전류를 처리하도록 설계되므로, 이러한 동작은 해를 끼치지 않는다.

- <5> 그러나, 만약 웰-소스 간 다이오드가 온(on) 상태가 된다면, 2차적인 기생 양극성 동작이 시작될 수 있다. 이러한 2차적인 양극성 동작은 디바이스에 해를 끼칠 수 있는 폭주 전류(runaway current)를 발생시킬 수 있다. 상기 웰-소스 간 다이오드는, 웰 저항이 과도하다면, 즉, 핀치 베이스(pinched-base) 저항이 너무 높다면, 온 상태가 될 수 있다.
- <6> 따라서, 2차적인 양극성 동작을 방지하기 위해, 핀치 베이스 저항을 감소시키는 것이 바람직하다. 그러나, 이 저항을 감소시키는 많은 기술들은 셀 크기를 증가시킨다. 더욱 큰 셀 크기는 집적될 수 있는 셀의 개수를 감소시키고, 디바이스 전류 운반 능력을 감소시킨다.
- <7> 그러므로, 낮은 핀치 베이스 저항을 유지하면서 많은 수의 셀을 포함하는 전력 MOS펫을 제공하는 회로, 방법 및 장치가 요구된다.

**발명의 상세한 설명**

- <8> 따라서, 본 발명의 실시예들은, 낮은 핀치 베이스 저항을 유지하면서 높은 전류 운반 성능을 위한 높은 셀 밀도를 갖는 전력 디바이스를 위한 회로, 방법 및 장치를 제공한다.
- <9> 본 발명의 예시적인 실시예는 다양한 메사(mesa) 크기를 갖는 다수의 트랜지스터 셀을 사용한다. 메사는 트랜치 전력 MOS펫 트랜지스터의 소스 영역인데, 다시 말해, 메사는 트랜치 게이트들 사이의 영역이다. 특정한 일 실시예는 셀에 대해 두 가지 크기의 메사를 이용하지만, 다른 실시예들은 둘 이상의 크기를 이용할 수 있다.
- <10> 본 발명의 특정 실시예는, 트랜치-게이트 전력 MOS펫(trench-gate power MOSFET)의 핀치 베이스(pinched-base) 저항을 감소시키기 위해 고농도 본체 식각을 이용한다. 이 식각은 메사 영역 내의 실리콘을 제거하고, 상기 실리콘은 보다 낮은 임피던스의 알루미늄으로 대체된다. 그러나, 고농도 본체 식각에 필요한 셀 크기는, 높은 전류 공급 능력을 갖는 디바이스에 이상적인 크기에 비해 더 크다. 따라서, 본 실시예는 또한 이러한 식각을 받지 않는 다수의 더 작은 메사 셀을 이용한다.
- <11> 상기 더 작은 메사 셀은 더 높은 핀치 베이스 저항을 갖는다. 따라서, 당해 디바이스에 2차적인 양극성 항복(breakdown)이 나타나는 것을 방지하기 위해, 상기 디바이스의 대부분의 전자 사태 전류(avalanche current)가 크기가 더 크고, 핀치 베이스 저항이 더 낮은 셀을 향하게 한다. 이는 이들 셀이 더 낮은 본체-다이오드 항복(BVDSS) 전압을 갖는다는 것을 보장함으로써 이루어질 수 있다. 구체적으로, 상기 더 큰 셀의 BVDSS는, 요구되는 어떠한 사양(specification)이라도 충족시킬 수 있을 만큼 높지만, 상기 작은 셀의 BVDSS 항복 전압보다는 낮게 만들어진다. 상기 더 큰 셀의 BVDSS는 임계 치수(critical dimension; CD), 즉, 폭이 더 넓은 메사의 양측에 있는 트랜치 게이트의 폭을 조정하거나, 상기 고농도 본체 식각의 깊이를 조정함으로써 변동될 수 있다.
- <12> 전력 MOS펫은 요구되는 전자 사태 전류를 처리하기 위해 상기 더 큰 셀을 충분히 포함하도록 설계된다. 요구되는 디바이스 전류 운반 성능을 제공하는데 필요한 수의 상기 추가적인 더 작은 셀들이 추가될 수 있다. 본 발명의 다양한 실시예들이 본 명세서에 기재된 또는 다른 특징들 중 하나 또는 그 이상을 이용할 수 있다.
- <13> 본 발명의 본질 및 이점은 이하의 상세한 설명 및 첨부된 도면을 참조함으로써 보다 잘 이해될 수 있다.

**실시예**

- <22> 도 1은 본 발명의 실시예에 의해 통합될 수 있는, 고농도 본체 접촉 식각을 포함하는 트랜지스터 셀의 측면도이다. 당해 디바이스는 본체 또는 벌크(bulk) 영역 110, 드레인 120 및 소스 영역 130을 포함한다.
- <23> 일반적으로, 도 1에 도시된 트랜지스터가 온(on) 상태가 되고 도전 상태가 될 때, 상기 트랜지스터는 인덕터를 통해 전류를 끌어당긴다. 상기 트랜지스터가 오프(off) 상태가 될 때, 상기 인덕터에 저장된 에너지는 전류  $I_0$  로 도시된 전류를 발생시키고, 이 전류는 디바이스를 통해 흐른다. 이 전류는 본체 다이오드 내에 전자 사태 항복(avalanche breakdown)을 일으킨다. 본 발명의 실시예에서, 이러한 항복은 해를 끼치지 않고, 상기 트랜지스터는 이 전류를 처리하도록 설계된다.
- <24> 그러나, 핀치 베이스(pinched base) 저항이 과도하게 되면, 웰-소스 간 다이오드는 순방향 바이어스(forward bias)될 수 있으며, 상당한 양의 전류를 통과시키기 시작한다. 이 다이오드는 양극성 트랜지스터의 이미터(emitter)로서 동작한다. 이러한 2차적인 양극성 효과로 인해 야기되는 전류는 제어되지 않으며, 디바이스에 해를 끼칠 만큼 커질 수 있다. 웰-소스 간 다이오드가 정방향 바이어스되는 것을 방지하기 위해, 상기 디바이스는 도 1에 도시된 바와 같이 핀치 베이스 저항을 감소시키는 고농도 본체 접촉 식각을 이용하여 개선된다.

- <25> 구체적으로, 영역 110 내의 본체의 일부분이 고농도 본체 접촉 식각 140에 의해 제거된다. 이러한 접근 방법은, 메사로부터 실리콘 물질을 제거하는 단계 및 알루미늄과 같이 저항이 더 낮은 물질로 상기 실리콘 물질을 대체하는 단계를 포함한다.
- <26> 이 방법은, 상기 디바이스의 핀치 베이스 저항을 감소시킴에 있어서 효과적이다. 그러나, 고농도 본체 접촉 식각은 폭이 더 넓은 메사 디바이스를 요구하고, 이로써 주어진 디바이스 크기 내의 전체 셀의 개수를 감소시킨다. 그러나, 전류 운반 성능을 증가시키기 위해, 즉, 온 저항(on resistance)을 감소시키기 위해서는 디바이스 내에 많은 수의 셀을 포함하는 것이 바람직하다. 따라서 본 발명의 일 실시예는, 낮은 온 저항, 즉, 온 상태가 되고 도전 상태가 된 때의 높은 전류 운반 성능을 위해, 디바이스 내의 전체 셀의 개수를 증가시키도록 폭이 더 좁은 셀을 추가로 이용하는 한편, 인덕터 턴-오프(turn-off) 전류를 처리하는데 필요한 수의 폭이 더 넓은 셀을 이용한다.
- <27> 도 2는, 높은 셀 밀도를 제공하는 동시에, 식각된 고농도 본체의 낮은 베이스 저항  $R_{bb'}$ 을 이용하는, 서로 다른 두 개의 메사 크기를 갖는 셀 구조물을 도시한다. 이 도면은 폭이 넓은 셀 210과 다수의 폭이 더 좁은 셀 220을 포함한다. 상기 폭이 넓은 셀 210 내의 메사의 치수는 고농도 본체 접촉 식각이 이루어질 만큼 큰 한편, 작은 셀 220 내의 메사의 치수는 트랜치 밀도를 최대화할 만큼 작다. 이 구조물에 대해, 다음과 같은 다수의 파라미터가 존재한다:
  - <28>  $M$  : 큰 메사 크기;
  - <29>  $M_1$  : 작은 메사 크기;
  - <30>  $n$  : 다이(die) 당 큰 메사의 개수;
  - <31>  $n_1$  : 큰 메사 당 작은 메사의 개수;
  - <32>  $CD$  : 큰 메사에 대한 트랜치 개구(開口); 및
  - <33>  $CD_1$  : 작은 메사에 대한 트랜치 개구.
- <34> 다시, 당해 디바이스가 오프 상태가 된 때, 전자 사태 전류( $I_0$ )는 부하(load) 인덕터 내에 저장된 에너지로부터 야기된다. 이러한 본체-다이오드 간 항복에 대해서는 두 가지의 시나리오(scenario)가 존재한다.
- <35> 첫번째 시나리오에서, 상기 항복은 폭이 넓은 메사 또는 셀, 그리고, 폭이 좁은 메사 또는 셀 내의 본체 다이오드들에서 동시에 일어난다. 상기 본체-다이오드 간 면적 때문에, 더 큰 메사를 통한 전류 흐름은 작은 메사를 통한 전류 흐름의  $M/M_1$  배가 될 것이다. 웰-소스 간 다이오드가 도전 상태(0.6V 이상 정방향 바이어스된 상태)가 되는 것을 막기 위한 작은 메사의 "핀치 베이스(pinched-base)" 저항  $R_{bb'}$ 의 요건은 다음과 같다:

**수학식 1**

$$R_{bb'}^{small} < 0.6 \left( \frac{M}{M_1} + n_1 \right) \frac{n}{I_0}$$

- <36>
- <37> 이 모델에 의하면, 다이 당 큰 메사의 개수( $n$ ) 또는 모든 큰 메사에 대한 작은 메사의 개수( $n_1$ )를 증가시키거나, 또는 작은 메사 크기에 대한 큰 메사 크기의 비( $M/M_1$ )를 증가시킴으로써, 작은 메사 내의 고농도 본체 구조물에 대한 요구 조건들이 상당히 감소된다. 이러한 감소는, 작은 메사 상의 식각되지 않은 고농도 본체 구조물을 가능하게 하고 트랜치 밀도를 더욱 증가시킨다.
- <38> 당해 구조물을 포함하는 실제 디바이스를 모델링하는 보다 정확한 방법인 두번째 시나리오에 있어서, 인접 셀 스크린 효과(screening effect)가, 큰 메사 구역 내의 본체-다이오드에 먼저 항복이 일어나도록 한다. 클램핑(clamping)되지 않은 인덕턴스 전류( $I_0$ )는 주로 상기 큰 메사를 통해 흐른다. 상기 핀치 베이스 저항의 상한은 다음과 같다:

수학식 2

$$R_{bb'}^{large} < 0.6 \frac{n}{I_0}$$

- <39>
- <40> UIS 성능, 즉, 디바이스가 전자 사태 항복 상태일 때의 성능은 주로 다이 당 큰 메사의 개수와 상기 인덕턴스 전류에 의해 정해지며, 폭이 좁은, 즉, 작은 메사 셀의 펀치 베이스 저항에는 더 작게 의존한다. 이는 작은 메사 구역의 피치를 감소시킴으로써 셀의 개수를 더 증가시킬 수 있도록 한다. 큰 메사 구역 내의 소스 230은 정방향 전류 및 UIS 요건 모두에 따라 선택적이다.
- <41> 폭이 넓은 셀의 항복이 임의의 적용가능한 BVDSS 사양(specification)을 충족시킬 필요가 있지만, 상기 전자 사태 전류가 상기 폭이 넓은 셀 내에서 주로 흐른다는 점을 보장하기 위하여, 상기 폭이 넓은 셀의 본체-디바이스 항복 전압은 작은 메사 셀의 항복 전압보다 작아야 한다. 따라서, 큰 메사 다이오드의 BVDSS는 제어 가능한 것이 바람직하다.
- <42> 큰 메사의 상기 본체-다이오드 항복 BVDSS는, 당해 큰 메사에 인접한 트랜치의 깊이를 변경하거나 식각된 고농도 본체의 깊이를 변경함으로써, 작은 메사의 것보다 더 작을 수 있다. 첫번째 접근 방법에서는, 도 3에 도시된 바와 같이 트랜치 개구(CD) 310을 변경함으로써 동일한 트랜치 식각 하에서 큰 메사 트랜치들에 대해서 서로 다른 트랜치 깊이가 실현될 수 있다. 또한, 상기 큰 메사 내의 소스 320은 디바이스 UIS 성능 및 정방향 전류 도전성에 대한 요건에 따라 선택적이다.
- <43> 도 4A는 디바이스 트랜치 깊이의 변화를 트랜치 게이트 폭의 함수로서 나타낸다. 당해 그래프는 트랜치 CD가 커질수록 트랜치가 얇아진다는 것을 도시한다. 이는, 다음 도면에서 도시된 바와 같이, BVDSS가 트랜치 깊이의 함수이기 때문에 중요하다.
- <44> 도 4B는 항복 전압의 변화를 트랜치 깊이의 함수로서 나타낸다. 당해 그래프는 BVDSS가 트랜치 깊이에 따라 어떻게 변하는지를 나타낸다. 트랜치가 얇아질수록, 항복 전압은 높아진다. 이러한 두 가지의 효과를 이용하여, 큰 메사 본체-다이오드의 BVDSS를 사양보다 높지만 작은 메사 셀의 그것보다 낮게 만들기 위해 큰 메사에 인접한 트랜치의 CD가 이용될 수 있다.
- <45> BVDSS를 조정하기 위해 이용될 수 있는 두번째의 접근 방법이 있어서, 메사 상의 고농도 본체 접촉부의 깊이가 고농도 본체 식각을 통해 제어될 수 있다. 상기 큰 메사 상의 상기 고농도 본체는, 이 영역 내의 본체 다이오드 상에서 펀치-쓰루(punch through)가 일어날 정도의 깊이까지 식각될 수 있다. 두 접근 방법 모두, 폭이 넓은 셀이 전자 사태 전류의 대부분을 취한다는 점을 보장하기 위해 이용될 수 있다.
- <46> 상기 고농도 본체 식각의 한가지 단점은 정확한 제어가 곤란하다는 점이었다. 그러나, 본 발명의 일 실시예에 따른 디바이스에서는, 이러한 식각부를 포함하는 셀이 디바이스 내의 셀의 전체 개수의 단지 일부일 뿐이다. 따라서, 고농도 본체 접촉 식각으로 인한 R<sub>dson</sub>의 변동이 현저히 감소된다. 구체적으로, 다이 내의 트랜치들의 단지 몇 분의 일(실질적으로, (1+m<sub>1</sub>)<sup>-1</sup>)만이 식각된 고농도-본체 접촉부를 포함하고, 따라서 고농도 본체 접촉부가 유발시키는 변동은 (1+m<sub>1</sub>)배 감소된다.
- <47> 본 발명의 특정 실시예에서, M(상기 큰 메사 크기)와 CD(큰 메사에 대한 트랜치 개구)의 값은 요구되는 BVDSS에 의해 정해진다. M<sub>1</sub>(작은 메사 크기)의 값은, 소스 및 고농도 본체 영역을 제작하기 위해 이용되는 포토리소그래피(photolithography) 성능과 주입 성능에 의해 정해지는데, 실제로 상기 성능들은 설계 규칙으로 전환되어 이용되고 있다. n(큰 메사의 개수)의 값은 UIS 사양에 의해 결정되는데, 다시 말해, 수학식 2에 따라 소스-웰 간 다이오드를 온(on) 상태가 되도록 하지 않은 채, 요구되는 오프 전류를 처리할 수 있을 만큼 충분히 큰 메사 디바이스가 존재할 필요가 있다. n<sub>1</sub>(각각의 큰 메사 셀에 대한 작은 메사 셀의 개수)의 값은 온-저항 사양에 의해 정해진다.
- <48> 본 구조물을 제작함에 있어서, 요구되는 다양한 메사 및 트랜치의 크기 조정 내용은 리소그래피/식각 기술을 이용하여 포토마스크(photo mask) 레이아웃(layout) 상에 패턴화되고 웨이퍼에 전이된다. 도 5는, 일 예로서 소스 또는 메사가 번갈아 다른 크기를 갖는 실제 트랜치 패턴의 SEM 이미지를 도시한다. 상기 패턴화는 트랜치의 식각을 통해 이루어졌다. 또한, 상기 더 큰 메사의 고농도 본체 영역 내에 식각된 접촉부를 정의함으로써, 요

구되는 식각된 고농도 본체 접촉부가 리소그래피/식각 기술을 이용하여 정의된다.

- <49> 도 6은 본 발명의 일 실시예에 의한 전력 MOS펫 디바이스를 설계하는 방법을 도시하는 흐름도이다. 당해 실시예에서는, 제1 및 제2 셀 타입에 대한 물리적인 파라미터가 구해진다. 하나 또는 그 이상의 전기적 특성을 만족시키기 위해 필요한 각각의 타입의 셀의 개수가 정해진다. 이러한 결정으로부터, 본 발명의 일 실시예에 따른 전력 MOS펫의 레이아웃이 정해지고 제조될 수 있다.
- <50> 구체적으로, 단계 610에서, 제1의 전기적 특성이 요구 사양을 충족시키도록 제1 셀 타입에 대한 물리적인 파라미터가 정해진다. 본 발명의 다양한 실시예에서, 상기 파라미터는 트랜치 폭 CD, 고농도 본체 식각 깊이, 메사 폭, 또는 다른 물리적인 파라미터를 포함하지만, 이에 한정되는 것은 아니다. 상기 제1의 전기적 특성은 상기한 바와 같이 BVDSS일 수 있고, 또는 다른 전기적 특성일 수도 있다.
- <51> 단계 620에서, 상기 제1의 전기적 특성이 상기 요구 사양을 충족시킬 뿐만 아니라 그것을 초과하도록, 제2 셀 타입에 대한 물리적 파라미터가 정해진다. 예를 들면, 상기 제1 셀 타입이 어떠한 턴-오프 전류에도 견디도록, 상기 제2 셀 타입의 BVDSS가 상기 제1 셀 타입의 BVDSS보다 높게 설정될 수 있다.
- <52> 상기 제1 타입의 셀의 개수가 제2 요건을 충족시키도록 구해질 수 있다. 예를 들면, 단계 630에서, 소스-웰 간 다이오드를 온 상태가 되도록 하지 않은 채 턴-오프 전류를 처리하기 위해 필요한 폭이 넓은 셀의 개수가 구해질 수 있다. 단계 640에서, 제3 요건을 충족시키기 위해 필요한 상기 제2 타입의 셀의 개수가 정해질 수 있다. 예를 들면, 요구되는 온 저항을 제공하기 위해 추가로 필요한 폭이 좁은 셀의 개수가 구해질 수 있다.
- <53> 도 7은 본 발명의 일 실시예에 따른 전력 MOS펫 디바이스를 설계하는 방법을 도시하는 다른 흐름도이다. 단계 710에서, 제1 폭을 갖는 셀에 대한 파라미터가, 상기 셀의 BVDSS가 상기 사양이 되도록 정해진다. 구해진 상기 파라미터는 트랜치 폭 CD, 고농도 본체 식각 깊이, 메사 폭 또는 다른 물리적 파라미터를 포함할 수 있지만, 이에 한정되는 것은 아니다. 단계 720에서 제2 폭을 갖는 셀에 대한 파라미터가 구해진다. 이 셀은, 상기 제1 폭을 갖는 셀의 BVDSS보다 높은 BVDSS를 갖는다. 일반적으로, 이러한 파라미터들의 대부분은, 이용되는 처리 기술에 의해 허용된 최소 설계 규칙(minimum design rules)이다.
- <54> 단계 730에서, 소스-웰 간 다이오드가 도전 상태가 되도록 하지 않으면서 요구되는 턴-오프 전류를 처리하는데 필요한 상기 제1 폭을 갖는 셀의 개수가 정해진다. 온 저항 요건을 충족시키기 위해 필요한 상기 제2 폭을 갖는 추가적인 셀의 개수가 단계 740에서 정해진다. 이 정보를 이용하여, 본 발명의 일 실시예에 따른 전력 MOS펫의 레이아웃이 정해지고 제조될 수 있다.
- <55> 본 발명의 예시적인 실시예들에 대한 상기 기재는 개시와 설명의 목적으로 제공되었다. 상기 기재는 모든 것을 망라하거나 본 발명을 기재된 그대로의 형태로 한정하도록 의도된 것이 아니며, 위에서 시사된 내용에 비추어 많은 수정 및 변형이 가능하다. 상기 실시예들은, 본 발명의 원리와 그 실제 응용예들을 가장 잘 설명하고, 이로써 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 다양한 실시예로 그리고 계획된 특정 용도에 적합하도록 다양하게 변형하여 가장 잘 이용할 수 있도록 하기 위해 선택되고 설명되었다. 예를 들면, 본 발명으로부터 벗어나지 않은 채, 도시되고 기재된 상기 구조물들의 도핑 극성이 반전되거나, 다양한 구성요소들의 도핑 극성이 변경되거나, 상기 반전 및 변경이 모두 이루어질 수 있다는 점이 이해될 것이다. 다른 예로서, 본 발명은 수직형 MOS펫 실시예의 관점에서 도시되고 기재되어 있지만, 본 발명의 다양한 실시예들은, 트랜치 게이트 절연 게이트 양극성 트랜지스터(insulated gate bipolar transistor; IGBT), 측방형 트랜치 게이트 MOS펫(lateral trench-gate MOSFET)은 물론 수직형과 측방형의 평면 게이트(planar-gate) MOS펫 및 IGBT와 같은 다른 트랜치 게이트 구조물들 내에서 유사하게 구현될 수 있다. 또한, 다양한 트랜지스터 실시예들은 주지된 개방형 셀(open-cell) 또는 폐쇄형 셀(closed-cell) 구조를 이용하여 그 레이아웃이 정해질 수 있다.

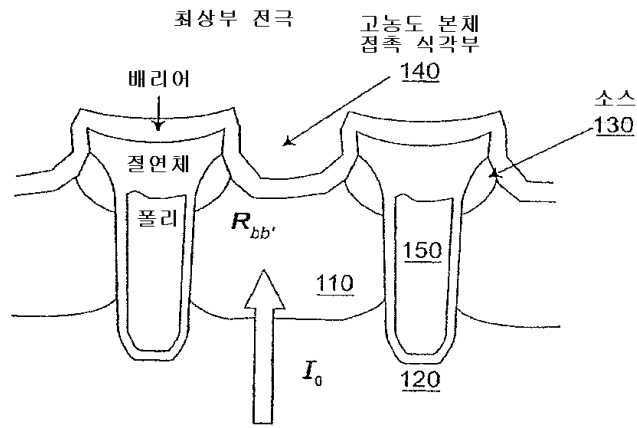
**도면의 간단한 설명**

- <14> 도 1은 본 발명의 실시예에 의해 통합될 수 있는, 고농도 본체 접촉 식각을 포함하는 트랜지스터 셀의 측면도이다.
- <15> 도 2는 본 발명의 일 실시예에 따른 트랜지스터의 측면도이다.
- <16> 도 3은 본 발명의 일 실시예에 따른, 서로 인접한 폭이 좁은 트랜지스터 셀과 폭이 넓은 트랜지스터 셀의 측면도이다.

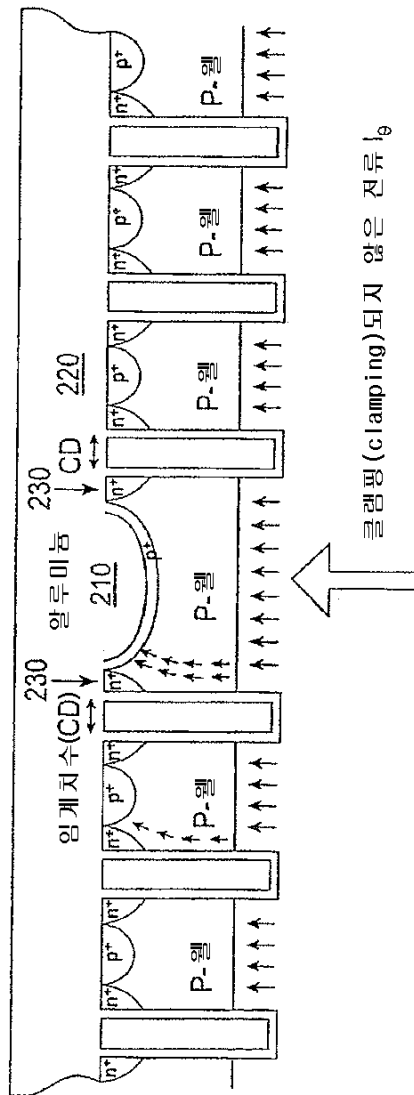
- <17> 도 4A는 디바이스 트랜치 깊이의 변화를 트랜치 게이트 폭의 함수로서 나타낸다.
- <18> 도 4B는 항복 전압의 변화를 트랜치 깊이의 함수로서 나타낸다.
- <19> 도 5는 본 발명의 일 실시예에 따른 트랜지스터의 평면도를 도시한다.
- <20> 도 6은 본 발명의 일 실시예에 따른 전력 MOS펫 디바이스를 설계하는 방법을 도시하는 흐름도이다.
- <21> 도 7은 본 발명의 일 실시예에 따른 전력 MOS펫 디바이스를 설계하는 방법을 도시하는 다른 흐름도이다.

**도면**

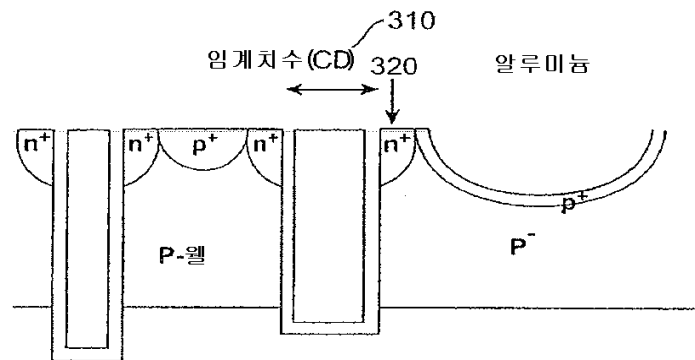
**도면1**



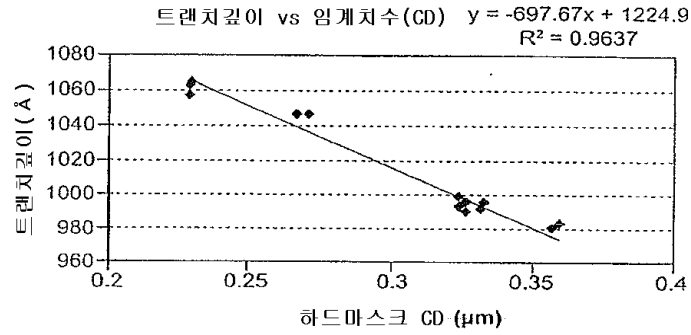
도면2



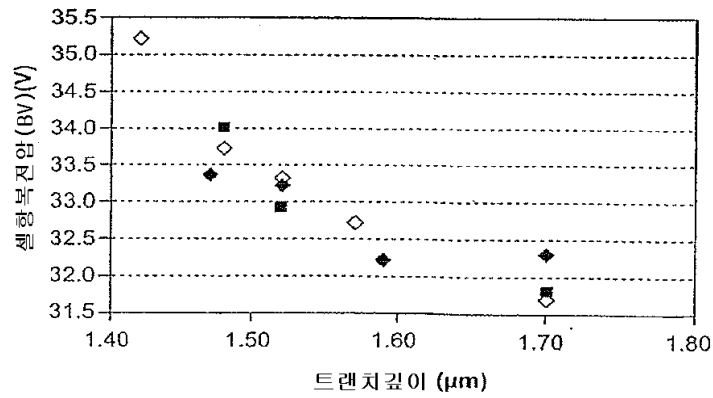
도면3



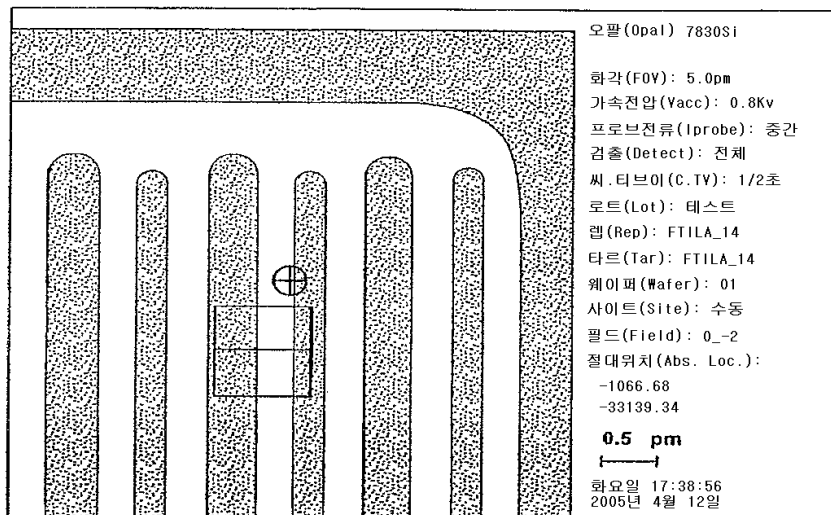
도면4A



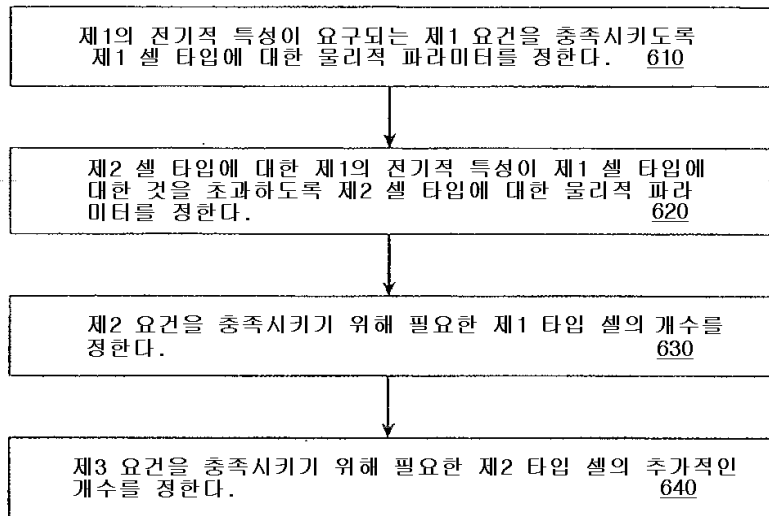
도면4B



도면5



도면6



도면7

