(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/30

(45) 공고일자 2002년11월27일
(11) 등록번호 10-0330438
(24) 등록일자 2002년03월15일

(21) 출원번호 10-1994-0028839
(22) 출원일자 1994년11월04일

(65) 공개번호 특1995-0015610
(43) 공개일자 1995년06월17일

(30) 우선권주장 147368 1993년11월05일 미국(US)

(73) 특허권자 에이티 앤드 티 코포레이션
미국 뉴욕 10013-2412 뉴욕 애비뉴 오브 디 아메리카즈 32

(72) 발명자 사이레쉬치티페디
미국,펜실베니아18052,화이트홀,알타드라이브-씨81580
윌리엄토마스코크란
미국,펜실베니아18066,뉴우트리포리,디케이터스트리트7216

(74) 대리인 이병호

심사관 : 인치복

(54) 집적회로제조방법

요약

본 발명은 금속 전도체 에칭 및 전도체의 스택들을 위한 방법에 관한 것으로 도프된 이산화 실리콘층(예컨데,15)은 금속 상에 침착 또는 인으로 에칭될 전도층의 스택 상에 침착된다. 다음으로, 이산화 실리콘층(예컨데,15)이 부분적으로 에칭되며 포토레지스트는 제거된다. 다음의 에칭은 아래에 놓인 금속층(예컨데,13) 또는 전도체들의 스택들을 에칭하기 위해 마스크로서 이산화 실리콘층(예컨데,15)에 형성된 상승부를 이용한다.

대표도
도 1

명세서

도면의 간단한 설명

제 1 도 내지 제 5 도는 본 발명의 실시예에 따른 집적 회로부의 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

11 : 기판 13 : 금속층

15 : 산화 실리콘층 17 : 포토레지스트층

19 : 상승부 21 : 금속 러너

31 : 티타늄층 33 : 질화 티타늄층

35 : 알루미늄층 115, 131, 133, 135, 137 : 적층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로들 및 그 제조 방법들에 관한 것이다.

전형적인 집적 회로들은 각각의 트랜지스터들을 서로 연결하는 전도성 러너(runner)들을 종종 포함한다. 전도체들은 유전체 기판 상에 알루미늄 같은 전도성 재료의 블랭킷(blanket)층을 침착하므로서 형성된다. 패턴화된 포토레지스트는 도전성 재료의 위에 형성된다. 패턴화된 포토레지스트(photoresist)는 전도성 재료의 다음의 이방성 에칭을 위한 마스크로 사용된다. 전도성 재료의 몇개 층들은 다층 전도체를 형성하기 위해 순차적으로 여러번 에칭된다. 그러나, 선폭 조절 및 패턴 민감도는 전도성 재료의 몇개 층들을 에칭할 때 발생되는 문제들이다.

상술한 문제는 본 발명에 따른 방법에 의해 완화되며, 본 방법은 예시적으로,

기판 상에 적어도 하나의 전도층을 형성하는 단계,

전도층 위에 놓이는 유전체 재료층을 형성하는 단계,

유전체 재료층 상에 패턴화된 포토레지스트를 형성하는 단계,

패턴화된 포토레지스트를 제 1 마스크로서 사용하고, 유전체 재료층을 통해 부분적으로 에칭하여, 상승부를 형성하는 단계,

포토레지스트를 제거하는 단계, 및

상승부를 마스크로서 사용하고, 전도층을 에칭하여, 기판 상에 전도성 상승부를 형성하는 단계를 포함한다.

또한, 본 방법은,

기판 상에 티타늄층을 형성하는 단계,

질화 티타늄층 상에 알루미늄층을 형성하는 단계,

산화 실리콘층을 형성하는 단계,

이산화 실리콘층 상에 패턴화된 포토레지스트를 형성하는 단계,

패턴화된 포토레지스트를 제 1 마스크로서 사용하고, 이산화 실리콘층을 통해 부분적으로 에칭하여, 상승부를 형성하는 단계,

포토레지스트를 제거하는 단계,

상승부를 마스크로서 사용하고, 이산화 실리콘의 덮개층(overlayer)을 갖는 도전 러너(runner)를 형성하기 위해 알루미늄층과 상기 티타늄층을 에칭하는 단계, 및

이산화 실리콘의 덮개층이 적소에 남아있는 집적 회로의 제조를 완성하는 단계를 포함한다.

제 1 도에 있어서, 참조 부호 11 은 통상 유전체가 될 수 있는 기판을 나타낸다. 종종, 기판(11)은 실리콘 산화물 또는 옥시질화 실리콘(silicon oxynitride)이다. 일반적으로, 용어 기판은 다른 본체들 또는 층들이 형성될 수 있는 본체 또는 층을 가리킨다. 유전체(11)가 실리콘 기판에 형성된 복수의 트랜지스터들을 피복한다.

참조 부호 13은 하기에 상세히 설명될 알루미늄, 구리 또는 텅스텐 같은 금속층을 나타낸다. 다수의 전도층, 장벽 및 반사-방지층(anti-reflective layer)이 층(13)을 대체할 수도 있다.

참조 부호 15 는 예시적으로 플라즈마-항상된 TEOS (plasma-enhanced Tetraethylorthosilane) 공정에 의해 형성될 수 있는 산화 실리콘을 나타낸다. 층(15)은 인(phosphorous)으로 도프된다. 전형적인 인 도핑 레벨은 2 내지 6 중량 %이다. 봉소(boron)(2 내지 6 %)가 인에 부가적으로 첨가될 수도 있다. 참조 부호 17 은 패턴화된 포도레지스트이다.

제 2 도에서, 마스크로 패턴화된 포토레지스트(17)를 사용하여 층(15)은 이방성으로 에칭된다. 부분 에칭은 층(15)에 상승부(raised feature;19)를 형성한다. 상승부(19)의 형성 후, 포토레지스트(17)는 제거된다. 층(15)을 부분적으로 에칭함으로써 상승부(19)가 형성되며, 다음의 포토레지스트(17)의 제거는 적소에 포토레지스트(17)를 갖는 산화 실리콘층(15)을 통해 완전히 에칭하는 것을 포함하는 에칭 공정들보다 패턴 민감성이 적게 나타나는 에칭 공정이다. 따라서, 상승부(19)가 마스크로 사용될 때, 절연되고 근접하여 떨어져 있는 부분은 양호한 선명도(definition)로 에칭될 수도 있다.

층(15)에 도핑을 이용하는 것이 특히 이롭다. 도프되지 않은 이산화 실리콘이 층(15)으로 사용되면, 포토레지스트(17) 내의 나트륨(sodium)은 층(15)으로 침투되어 디바이스 성능이 극히 저하된다. 실험들에 따르면, 층(15) 내의 나트륨의 존재는 종종 디바이스들의 베이크(bake)-회복 실패를 야기시킬 수 있음를 알 수 있다.

제 3 도에서, 제 2 도의 상승부(19)가 층(15)의 나머지 부분의 추가의 이방싱 에칭과 층(13)의 추가적인 이방성 에칭을 위한 마스크로서 이용됨으로써, 패턴화된 금속 러너(21)들 형성한다, 상승부(19)가 제거된다.

본 발명의 또 다른 실시예는 제 4 도 및 제 5 도에 도시된다. 참조 부호 11 은 상술한 기판을 도시한다. 참조 부호 31 은 티타늄층이며, 통상 100Å 과 1000Å 사이의 두께를 가진다. 참조 부호 33 은 질화 티타늄(titanium nitride)층이며, 통상 100Å 과 1000Å 사이의 두께를 가진다. 참조 부호 35 는 알루미늄층이며, 통상 2000Å 과 10,000Å 사이

의 두께를 가진다. 참조 부호 37은 반사-방지코팅(anti-reflective coating)으로 유용한 질화 티타늄층이며, 통상 50Å 과 500Å 사이의 두께를 가진다. 대안으로, 층(37)은 동일 두께를 가진 티타늄 텅스텐(titanium tungsten)으로도 될 수 있다. 참조 부호 15는 인이 2 내지 6 중량 % 로 도프되며 TEOS 로부터 형성된 이산화실리콘층이다. 참조 부호 17 은 패턴화된 포토레지스트이다. 층(15)은 알루미늄의 융점 아래의 온도에서 수행되는 플라즈마 향상된 화학 기상 침착법으로 형성될 수도 있다. 층들(31 및 33)의 목적은 파괴를 야기시키는 일렉트로마이그레이션(electromigration) 및 응력 방지를 돕는 것이다.

층(15)은 마스크로서 패턴화된 포토레지스트(17)를 사용하여 부분적으로 에칭된다. 통상, 층(15)에서 적어도 500Å 떨어져 에칭되므로서 제 2 도에 도시된 상승부(19)와 유사한 상승부를 형성한다, 상승부를 마스크로서 이용하고, 포토레지스트(17)를 제거하여 제 5 도의 구조가 얻어진다. 참조 부호 131은 티타늄층(31)의 잔류부를 도시하고, 참조 부호 133 은 질화 티타늄층(33)의 잔류부를 도시하며, 참조 부호 135 는 알루미늄층(35)의 잔류부를 도시하고, 참조 부호 137 은 질화 티타늄층(37)의 잔류부를 도시하며, 참조 부호 115 는 이산화 실리콘층(15)의 잔류부를 도시한다. 에칭된 층들(115, 137, 135, 133, 131)의 스택은 참조 부호 140 으로 표시될 수 있는 러너 스택을 나타낸다. 다음의 공정은 예를들면 층(115) 제거(바람직하다면) 그리고 유전체층으로 스택(140) 및 기판(11)의 노출된 부분을 피복하는 것을 포함한다. 층(115)은 CF_4를 사용하는 습식 또는 하류 건식 에칭(downstream dry etching)기술을 사용하여 제거될 수도 있다. 제거 기술은 어떠한 것도 사용되며, 이것은 아래에 놓인 전도체와 기판에 대한 양호한 선택도를 갖는다. 제 5 도에 도시된 스택의 최상부에 도프된 이산화 실리콘층(115)을 잔류하도록 허용하는 것이 바람직하다. 대안으로, 층(115)은 제거될 수도 있다. 그러나, 층(137)이 없으면 그리고 층(115)이 스택(140)의 최상부에 잔류하는 것을 허용하면, 상기 아래에 놓인 알루미늄층은 다음의 물세정(water rinsing) 동안 인산(층(115)에 인으로 형성된)에 의해 공격(attact)받을 수도 있다.

층(15)의 부분 에칭은 스택(140)과 같은 스택을 에칭하기 위한 우수한 선폭 조절을 가능하게 한다. 또한, 이것은 이방성 반응 이온 에칭(reactive ion etching)에 패턴 의존성을 제거하는데 도움이 된다. 층(115)에 존재하는 도펀트(dopant)들은 나트륨 게터(getter)로 작용함으로써 포토레지스트로부터 나트륨이 회로 성능을 방해하는 것을 방지한다.

다양한 다른 재료들이 층(15)에 대해 선택될 수 있으며, 이 재료들은 BPTEOS, BPSG (Boron Phosphorus Silicate Glass), PSG (Phospho-Silicate Glass), PPETEOS 및 스핀-온 글래스(spin-on glass)를 구비한다, 층(15)은 그 도핑이 바닥부에서 상부로 점차 증가되는 산화 실리콘이 될 수도 있다. 일반적으로, 층(15)은 도프된 실리콘의 산화물일 수도 있다. 층(15)은 TEOS, 실란(silane) 및 DADBS 를 구비하는 다양한 전구물질들(precursors)로부터 형성될 수도 있다. 또는, 층(15)은 도프된 실리카(silica) 글래스일 수도 있다. 이미 상술한 것에 더하여 건식 에칭 또는 비완충제인 HF 로 에칭하는 것과 같은, 다양한 기술들은 층(15) 제거에 사용될 수도 있다.

바람직하다면, 층(15)은 이중층일 수도 있다. 예를들면, 층(15)은 인-도프된 산화 실리콘 하에서 산화 실리콘의 이중층일 수도 있다. 본래, 층(15)은 도프되지 않은 산화 실리콘층 상에 도프된 산화 실리콘층을 갖는 이중층일 수도 있다. 대안으로, 층(15)은 플라즈마-향상된 인 도프된 TEOS 산화물 하에서 플라즈마-향상된 도프되지 않은 TEOS 산화물일 수도 있다.

또한, 층(15)은 플라즈마-향상된 TEOS 하에서 질화 실리콘일 수도 있다. 스핀-온 글래스(SOG)는 TEOS 산화물을 대체할 수도 있다. DADBS 또는 실란 같은 다른 전구물질들이 사용될 수도 있다. 최상부층이 어떤 층이건 간에 아래에 놓인 기판(11) 및 다른 하층들에 대해 양호한 에칭 선택도를 나타내는 것이 중요하다.

(57) 청구의 범위

청구항 1.

기판(예컨데,11) 상에 적어도 하나의 전도층을 형성하는 단계,

상기 전도층(예컨데,13) 위에 놓이는 유전체 재료층(예컨데,15)를 형성하는 단계, 및

상기 유전체 재료층(예컨데,15) 상에 패턴화된 포토레지스트(예컨데,17)를 형성하는 단계를 포함하는 집적 회로 제조 방법에 있어서,

상기 패턴화된 포토레지스트(예컨데,17)를 제 1 마스크로서 사용하고, 상기 유전체 재료층(예컨데,15)을 통해 부분적으로 에칭하여, 상승부(예컨데,19)를 형성하는 단계,

상기 포토레지스트를 제거하는 단계, 및

상기 상승부(예컨데,19)를 마스크로서 사용하고, 상기 전도층(예컨데,13)을 에칭하여, 상기 기판 상에 전도성 상승부를 형성하는 단계를 포함하는, 집적 회로 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 전도성 재료(예컨데,13)는 구리, 알루미늄, 텅스텐 및 내화성 금속 실리사이드로 구성된 그룹으로부터 선택되는, 집적 회로 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 전도층(예컨데, 35, 33)과 상기 유전체 재료층(예컨데, 15) 사이에 반사-방지 코팅(예컨데,37)이 형성되고, 상기 반사-방지 코팅(예컨데,37)은 상기 전도층보다 먼저 에칭되는, 집적 회로 제조 방법.

청구항 4.

제 3 항에 있어서,

상기 반사-방지 코팅(예컨데,37)은 질화 티타늄 및 티타늄 텅스텐으로 구성된 그룹으로부터 선택되는, 집적 회로 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 전도성 재료층과 상기 기판 사이에 질화 티타늄층(예컨데,33)이 형성되며, 상기 질화 티타늄층은 상기 전도층 다음에 에칭되는, 집적 회로 제조 방법.

청구항 6.

제 5 항에 있어서,

상기 질화 티타늄층(예컨데,33)과 상기 기판 사이에 티타늄층(예컨데,31)이 형성되며, 상기 티타늄층(예컨데,31)은 상기 질화 티타늄층(예컨데,33) 다음에 에칭되는, 집적 회로 제조 방법.

청구항 7.

제 1 항에 있어서,

상기 유전체 재료층(예컨데,15)은 BPTEOS, BPSG, PPETEOS, 스핀-온 글래스(spin-on glass), 인(phosphorous)으로 도프된 산화물로 구성된 그룹으로부터 선택되는, 집적 회로 제조 방법.

청구항 8.

제 1 항에 있어서,

상기 유전체 재료층(예컨데,15)은 이중층이고, 상기 이중층은 플라즈마-향상된(plasma-enhanced) 인 도프된 산화 실리콘 하의 플라즈마-향상된 도프되지 않은 산화 실리콘과,

플라즈마-향상된 도프된 산화 실리콘 하의 질화 실리콘과,

도프된 산화 실리콘 하의 도프되지 않은 산화 실리콘으로 구성된 그룹으로부터 선택되는, 집적 회로 제조 방법.

청구항 9.

제 1 항에 있어서,

상기 유전체 재료층(예컨데,15)은 도핑이 바닥부에서 상부로 점차 증가되는 실리콘 산화물인, 집적 회로 제조 방법.

청구항 10.

집적 회로 제조 방법에 있어서,

기판(예컨데,11) 상에 티타늄층(예컨데,31)을 형성하는 단계,

상기 질화 티타늄층 상에 알루미늄층(예컨데,11)을 형성하는 단계,

산화 실리콘층(예컨데,15)을 형성하는 단계,

이산화 실리콘층 상에 패턴화된 포토레지스트(예컨데,17)를 형성하는 단계,

상기 패턴화된 포토레지스트를 제 1 마스크로서 사용하고, 상기 이산화 실리콘층을 통해 부분적으로 에칭하여, 상승부를 형성하는 단계,

상기 포토레지스트를 제거하는 단계,

상기 상승부를 마스크로서 사용하고, 이산화 실리콘의 덮개층(overlayer)을 갖는 도전 러너(runner)를 형성하기 위해 상기 알루미늄층과 상기 티타늄층을 에칭하는 단계, 및

상기 이산화 실리콘의 덮개층이 적소에 남아있는 상기 집적 회로의 제조를 완성하는 단계를 포함하는, 집적 회로 제조 방법.

청구항 11.

제 10항에 있어서,

상기 이산화 실리콘층은 인으로 도프되는, 집적 회로 제조 방법.

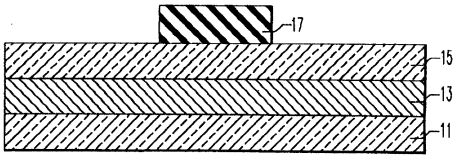
청구항 12.

제 10항에 있어서,

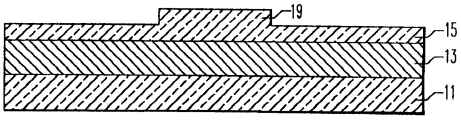
제 2 질화 티타늄층은 상기 이산화 실리콘층과 상기 알루미늄층 사이에 형성되고, 상기 제 2 질화 티타늄층은 또한 마스크로서 상기 상승부를 이용하여 상기 에칭 단계 동안 에칭되는, 집적 회로 제조 방법.

도면

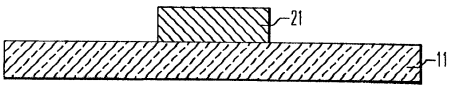
도면 1



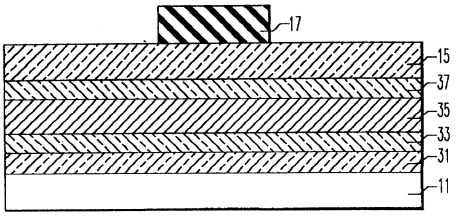
도면 2



도면 3



도면 4



도면 5

