

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成31年2月21日(2019.2.21)

【公開番号】特開2018-186309(P2018-186309A)

【公開日】平成30年11月22日(2018.11.22)

【年通号数】公開・登録公報2018-045

【出願番号】特願2018-161319(P2018-161319)

【国際特許分類】

H 01 L	21/82	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)

【F I】

H 01 L	21/82	B
H 01 L	27/04	A
H 01 L	27/04	D
H 01 L	21/82	W
H 01 L	27/092	C

【手続補正書】

【提出日】平成31年1月9日(2019.1.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のインバータと、  
前記第1のインバータと直列接続される第2のインバータと、  
を備え、

前記第1のインバータは、

第1のpチャネル型トランジスタと、

第1のnチャネル型トランジスタと、

を含み、

前記第2のインバータは、

第2のpチャネル型トランジスタと、

第2のnチャネル型トランジスタと、

を含み、

前記第1のpチャネル型トランジスタは、

第1方向にそれぞれ延び、かつ、活性領域をそれぞれ構成する複数の第1突起半導体層にそれぞれ形成された複数の第1ソースと、

前記複数の第1突起半導体層にそれぞれ形成された複数の第1ドレインと、

前記第1方向と直交する第2方向に延び、かつ、前記複数の第1突起半導体層のそれ  
ぞれを覆うように形成された第1ゲート配線から成る複数の第1ゲートと、

を有し、

前記複数の第1ソースのそれぞれは、前記第2方向に延びる第1局所接続配線と電気的に接続され、

前記複数の第2ドレインのそれぞれは、前記第2方向に延び、かつ、前記第1局所接続配線とは分離された第2局所接続配線と電気的に接続され、

前記第1ゲート配線は、平面視において、前記第1局所接続配線と前記第2局所接続配線との間に配置され、

前記第1のnチャネル型トランジスタは、

前記第1方向にそれぞれ延び、かつ、活性領域をそれぞれ構成する複数の第2突起半導体層にそれぞれ形成された複数の第2ソースと、

前記複数の第2突起半導体層にそれぞれ形成された複数の第2ドレインと、

前記複数の第2突起半導体層のそれとも覆うように形成された前記第1ゲート配線から成る複数の第2ゲートと、

を有し、

前記複数の第2ソースのそれぞれは、前記第2方向に延びる第3局所接続配線と電気に接続され、

前記複数の第2ドレインのそれぞれは、前記第2方向に延び、かつ、前記第3局所接続配線とは分離された第4局所接続配線と電気的に接続され、

前記第1ゲート配線は、さらに、平面視において、前記第3局所接続配線と前記第4局所接続配線との間に配置され、

前記第2のpチャネル型トランジスタは、

前記第1方向にそれぞれ延び、かつ、活性領域を構成する第3突起半導体層に形成された第3ソースと、

前記第3突起半導体層に形成された第3ドレインと、

前記第2方向に延び、かつ、前記第3突起半導体層を覆うように形成された第2ゲート配線から成る第3ゲートと、

を有し、

前記第1局所接続配線は、前記第3ソースとも電気的に接続され、

前記第3ドレインは、前記第2方向に延び、かつ、前記第1局所接続配線とは分離された第5局所接続配線と電気的に接続され、

前記第2ゲート配線は、平面視において、前記第1局所接続配線と前記第5局所接続配線との間に配置され、

前記第2のnチャネル型トランジスタは、

前記第1方向にそれぞれ延び、かつ、活性領域を構成する第4突起半導体層に形成された第4ソースと、

前記第4突起半導体層に形成された第4ドレインと、

前記第4突起半導体層を覆うように形成された前記第2ゲート配線から成る第4ゲートと、

を有し、

前記第3局所接続配線は、前記第4ソースとも電気的に接続され、

前記第4ドレインは、前記第2方向に延び、かつ、前記第3局所接続配線とは分離された第6局所接続配線と電気的に接続され、

前記第2ゲート配線は、さらに、平面視において、前記第3局所接続配線と前記第6局所接続配線との間に配置され、

前記第5局所接続配線および前記第6局所接続配線のそれぞれは、前記第2のインバータの出力用金属配線および前記第1のインバータの入力用金属配線を介して、前記第1ゲート配線と電気的に接続され、

前記第2局所接続配線は、前記第1のインバータの出力用金属配線を介して、前記第4局所接続配線と電気的に接続され、

前記第1ゲート配線、前記第2ゲート配線、前記第1局所接続配線、前記第2局所接続配線、前記第3局所接続配線、前記第4局所接続配線、前記第5局所接続配線および前記第6局所接続配線は、互いに同じ層内に設けられ、

前記第2のpチャネル型トランジスタを構成する前記第3突起半導体層の数は、前記第

1 の p チャネル型トランジスタを構成する前記複数の第 1 突起半導体層の数よりも少なく、  
前記第 2 の n チャネル型トランジスタを構成する前記第 4 突起半導体層の数は、前記第 1 の n チャネル型トランジスタを構成する前記複数の第 2 突起半導体層の数よりも少ない  
半導体装置。

【請求項 2】

さらに、

前記第 1 局所接続配線と電気的に接続され、かつ、前記第 1 局所接続配線上に位置する第 1 電源用金属配線と、

前記第 3 局所接続配線と電気的に接続され、かつ、前記第 3 局所接続配線上に位置する第 3 電源用金属配線と、

を有する、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 5 局所接続配線は、前記第 5 局所接続配線上および前記第 6 局所接続配線上に位置する配線を介して、前記第 6 局所接続配線と電気的に接続されている、請求項 1 に記載の半導体装置。

【請求項 4】

さらに、

平面視において、前記第 2 局所接続配線および前記第 4 局所接続配線の隣に配置された第 1 ダミーゲート配線を有し、

前記第 1 ダミーゲート配線は、電気的に絶縁されている、請求項 1 に記載の半導体装置。

【請求項 5】

さらに、

平面視において、前記第 5 局所接続配線および前記第 6 局所接続配線の隣に配置された第 2 ダミーゲート配線を有し、

前記第 2 ダミーゲート配線は、電気的に絶縁されている、請求項 4 に記載の半導体装置。

【請求項 6】

前記第 3 突起半導体層は、前記複数の第 1 突起半導体層のうちの一つの一部であり、  
前記第 4 突起半導体層は、前記複数の第 2 突起半導体層のうちの一つの一部である、請求項 4 に記載の半導体装置。

【請求項 7】

前記複数の第 1 突起半導体層のうちの他および前記複数の第 2 突起半導体層のうちの他のそれぞれは、前記第 2 ゲート配線と接触している、請求項 6 に記載の半導体装置。