

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月2日(02.02.2012)

PCT

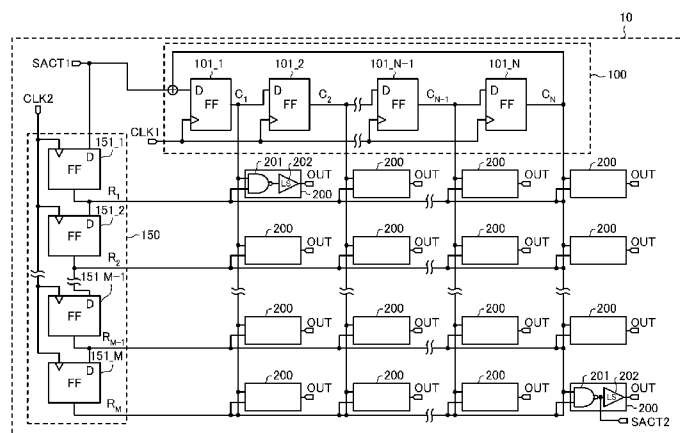
(10) 国際公開番号
WO 2012/014361 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2011/003180
- (22) 国際出願日: 2011年6月6日(06.06.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-171686 2010年7月30日(30.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 永野 哲(NAGANO, Tetsu). 有澤 大治郎(ARISAWA, Daijiro). 石橋 健一(ISHIBASHI, Kenichi). 藤本 佳照(FUJIMOTO, Yoshiteru).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY PANEL DRIVING APPARATUS

(54) 発明の名称: 表示パネル駆動装置

[図1]



(57) Abstract: A display panel driving apparatus (10) comprises: a ring counter circuit (100) which includes a plurality of cascade-connected flip-flops (101_1 to 101_N) and in which the flip-flop of the first stage (101_1) is set, by an initial signal (SACT1), to operate in synchronism with a first clock signal (CLK1); a shift register (150) which includes a plurality of cascade-connected flip-flops (151_1 to 151_M) and in which the flip-flop of the first stage (151_1) is set, by the initial signal (SACT1), to operate in synchronism with a second clock signal (CLK2) having a lower frequency than the first clock signal (CLK1); and output units (200) each of which performs a logical operation between one of the outputs of the ring counter circuit (100) and one of the outputs of the shift register (150), thereby generating a scan line driving signal (OUT) for the display panel.

(57) 要約:

[続葉有]

WO 2012/014361 A1

表示パネル駆動装置（１０）は、縦列接続された複数のフリップフロップ（１０１＿１～１０１＿Ｎ）を有し、初段のフリップフロップ（１０１＿１）が初期信号（ＳＡＣＴ１）でセットされ、第１のクロック信号（ＣＬＫ１）に同期して動作するリングカウンタ回路（１００）と、縦列接続された複数のフリップフロップ（１５１＿１～１５１＿Ｍ）を有し、初段のフリップフロップ（１５１＿１）が前記初期信号（ＳＡＣＴ１）でセットされ、前記第１のクロック信号（ＣＬＫ１）よりも低い周波数の第２のクロック信号（ＣＬＫ２）に同期して動作するシフトレジスタ（１５０）と、前記リングカウンタ回路（１００）のいずれか１つの出力と前記シフトレジスタ（１５０）のいずれか１つの出力とを論理演算して、表示パネルの走査線駆動信号（ＯＵＴ）を生成する出力部（２００）とを備えている。

明 細 書

発明の名称 ： 表示パネル駆動装置

技術分野

[0001] 本発明は、表示パネル駆動装置に関し、特に、表示パネルの走査線駆動信号の生成に関する。

背景技術

[0002] 近年、プラズマディスプレイパネル、液晶表示パネル、エレクトロルミネッセンスパネル等の表示パネルが多く電子機器に用いられている。特に、デジタルテレビ装置には、１０００本以上の走査線を有する高精細の表示パネルが用いられる。

[0003] 一般に、表示パネルでは走査線を順次駆動することでフレームが表示される。走査線の順次駆動は、走査線の本数分のフリップフロップで構成されたシフトレジスタを用いて実現することができる。しかし、かかる構成のシフトレジスタをデジタルテレビ装置に適用すると、１０００個以上のフリップフロップが必要となって表示パネル駆動装置の回路規模およびコストが増大してしまう。そこで、１個のフリップフロップで２本の走査線を駆動するようにして、必要なフリップフロップの総数を半減している（例えば、特許文献１参照）。

先行技術文献

特許文献

[0004] 特許文献１：特開２００２－１３２２０３号公報

発明の概要

発明が解決しようとする課題

[0005] 上記の従来技術によると、フリップフロップの総数を半減させることができるが、それでもなお５００個以上必要である。さらに、今後、表示パネルの高精細化が進むと、フリップフロップの必要個数が増え続け、回路規模はますます大きくなってしまふ。

[0006] かかる点に鑑みて、本発明は、回路面積の小さな表示パネル駆動装置を提供することを課題とする。

課題を解決するための手段

[0007] 上記課題を解決するため本発明によって次のような解決手段を講じた。例えば、表示パネル駆動装置は、縦列接続された複数のフリップフロップを有し、初段のフリップフロップが初期信号でセットされ、第1のクロック信号に同期して動作する第1のリングカウンタを有し、複数のフリップフロップの出力を用いた信号を出力するリングカウンタ回路と、縦列接続された複数のフリップフロップを有し、初段のフリップフロップが初期信号でセットされ、第1のクロック信号よりも低い周波数の第2のクロック信号に同期して動作するシフトレジスタと、リングカウンタ回路のいずれか1つの出力とシフトレジスタのいずれか1つの出力とを論理演算して、表示パネルの走査線駆動信号を生成する出力部とを備えている。

[0008] これによると、最大でリングカウンタおよびシフトレジスタのそれぞれのフリップフロップの個数の積に相当する本数の走査線駆動信号を生成することができる。換言すると、フリップフロップの総数は、走査線駆動信号の本数の平方根オーダーで済む。

[0009] リングカウンタ回路およびシフトレジスタはそれぞれ、共通の制御信号に応じて初段のフリップフロップおよびシフト方向が切り替え可能に構成されていてもよい。あるいは、リングカウンタ回路およびシフトレジスタのいずれか一方は、制御信号に応じて、複数のフリップフロップの各出力端と当該リングカウンタ回路または当該シフトレジスタの各出力端とをストレート接続するかリバース接続するかを切り替える接続切替部を有していてもよく、他方は、制御信号に応じて初段のフリップフロップおよびシフト方向が切り替え可能に構成されていてもよい。あるいは、リングカウンタ回路およびシフトレジスタのいずれも、制御信号に応じて、複数のフリップフロップの各出力端と当該シフトレジスタの各出力端とをストレート接続するかリバース接続するかを切り替える接続切替部を有していてもよい。

- [0010] 表示パネル駆動装置は、第1のリングカウンタをリセットするリセット回路を備えている。これにより、任意のタイミングでリングカウンタをリセットすることができる。
- [0011] 例えば、リングカウンタ回路は、縦列接続された複数のフリップフロップを有し、初段のフリップフロップが初期信号でセットされ、第1のクロック信号よりも低い周波数の第3のクロック信号に同期して動作する第2のリングカウンタと、第1のリングカウンタのいずれか1つの出力と、第2のリングカウンタのいずれか1つの出力とを論理演算して、当該リングカウンタ回路のいずれか1つの出力を生成する出力部とを有していてもよい。
- [0012] また、リングカウンタ回路は、それぞれ異なる周波数のクロック信号に同期して動作する、第1のリングカウンタを含む、複数のリングカウンタを有するものであり、複数のリングカウンタのそれぞれのいずれか1つの出力を論理演算し、その論理演算結果を、当該リングカウンタ回路のいずれか1つの出力としてもよい。

発明の効果

- [0013] 本発明によると、表示パネル駆動装置の回路面積を小さくすることができる。

図面の簡単な説明

- [0014] [図1] 図1は、第1の実施形態に係る表示パネル駆動装置の構成図である。
- [図2] 図2は、図1の表示パネル駆動装置のタイミングチャートである。
- [図3] 図3は、図1の表示パネル駆動装置の別の構成図である。
- [図4] 図4は、図1の表示パネル駆動装置の別の構成図である。
- [図5] 図5は、図1の表示パネル駆動装置の別の構成図である。
- [図6] 図6は、第2の実施形態に係る表示パネル駆動装置の構成図である。
- [図7] 図7は、第3の実施形態に係る表示パネル駆動装置の構成図である。
- [図8] 図8は、第4の実施形態に係るリングカウンタ回路の構成図である。
- [図9] 図9は、図8のリングカウンタ回路のタイミングチャートである。

発明を実施するための形態

[0015] <第1の実施形態>

図1は、第1の実施形態に係る表示パネル駆動装置の構成図である。表示パネル駆動装置10は、図中の左上から右下の順に走査線駆動信号OUTを出力する。例えば、OUTは100本程度であり、表示パネル駆動装置10を複数個縦列接続することで1000本以上の走査線が順次駆動される。前段の表示パネル駆動装置10から出力されたSACT2は次段の表示パネル駆動装置10のSACT1となる。

[0016] 表示パネル駆動装置10は、リングカウンタ回路100と、シフトレジスタ150と、OUTを生成する複数の出力部200とで構成することができる。リングカウンタ回路100は、例えば1つのリングカウンタ（第1のリングカウンタ）を有するものであり、そのリングカウンタは、縦列接続されたN段のフリップフロップ101__1～101__Nで構成することができる。フリップフロップ101__1～101__Nは、クロック信号CLK1に同期して動作し、それぞれ信号C₁～C_Nを出力する。信号C₁～C_Nは、リングカウンタ回路100からそのまま出力される。初段のフリップフロップ101__1には、初期信号としての走査線アクティブ信号SACT1と最終段のフリップフロップ101__Nの出力C_Nとを論理合成した信号が入力される。なお、初段のフリップフロップ101__1がセット端子を有する場合には、SACT1でフリップフロップ101__1を直接セットしてもよい。

[0017] シフトレジスタ150は、縦列接続されたM段のフリップフロップ151__1～151__Mで構成することができる。フリップフロップ151__1～151__Mは、クロック信号CLK2に同期して動作し、それぞれ信号R₁～R_Mを出力する。CLK2は、CLK1よりも低い周波数の信号であり、例えばCLK1をN分周した信号である。また、図3に示すように、分周回路104でCLK1をN分周してCLK2を生成してもよい（図3参照）。あるいは、図4に示すように、リングカウンタを構成するフリップフロップ101__1～101__Nのうち、いずれか1つのフリップフロップの出力、例えばフリップフロップ101__1の出力C₁をCLK2としてもよい（図4参照）。

）。図1に戻り、初段のフリップフロップ151__1には、SACT1が入力される。

[0018] 出力部200はそれぞれ同様の構成であるため、図中の左上の出力部200の構成について説明する。出力部200は、論理回路201とレベルシフタ202とで構成することができる。論理回路201は、リングカウンタ回路100の出力の1つである、フリップフロップ101__1の出力 C_1 と、シフトレジスタ150の出力の1つである、フリップフロップ151__1の出力 R_1 とを論理演算するNANDで構成することができる。右下の出力部200における論理回路201は、 C_N と R_M とを論理演算した結果をSACT2として出力する。また、 C_N と R_M とを論理演算した結果とSACT2間にフリップフロップを挿入し、SACT2の出力タイミングを調整してもよい。論理回路201とレベルシフタ202との間には貫通電流防止回路を接続してもよい。

[0019] 次に、本実施形態に係る表示パネル駆動装置10の動作について、図2を参照して説明する。図2における OUT_1 および OUT_{MN} は、図1における左上のOUTおよび右下のOUTにそれぞれ対応している。フリップフロップ101__1がSACT1でセットされ、CLK1に同期して $C_1 \sim C_N$ が順次Hレベルとなる。また、フリップフロップ151__1がSACT1でセットされ、CLK2に同期して、 $R_1 \sim R_M$ が順次Hレベルとなる。そして、 $C_1 \sim C_N$ と $R_1 \sim R_M$ とがそれぞれ論理演算されて $OUT_1 \sim OUT_{MN}$ が順次Lレベルとなる。

[0020] 以上、本実施形態によると、 $N+M$ 個のフリップフロップで $N \times M$ 本の走査線駆動信号を生成することができる。

[0021] なお、図5に示すように、リングカウンタ回路100内のリングカウンタは、冗長なフリップフロップを1個有していてもよい。この場合、出力部200の総数は変わらないため、図5における行方向に配置された出力部200のうちの1個を省略すればよい。これにより、 $(N+1)+M$ 個のフリップフロップで $N \times M$ 本の走査線駆動信号を生成することができる。なお、リ

ングカウンタにおけるフリップフロップの冗長数を２個以上にしてもよい。

[0022] <第２の実施形態>

図６は、第２の実施形態に係る表示パネル駆動装置の構成図である。以下、第１の実施形態との相違点を説明する。

[0023] リングカウンタ回路１１０は、制御信号ＦＲに応じて、フリップフロップ１０１__１～１０１__Ｎの各出力端１１１__１～１１１__Ｎとリングカウンタ回路１１０の各出力端１１２__１～１１２__Ｎとをストレート接続するかリバース接続するかを切り替える接続切替部１１３を有する。接続切替部１１３は、複数のセクタ１１３__１～１１３__Ｎで構成することができる。

[0024] セクタ１１３__１は、ＦＲに応じて、出力端１１１__１および出力端１１１__Ｎのいずれか一方を出力端１１２__１に選択的に接続する。セクタ１１３__２は、ＦＲに応じて、出力端１１１__２および出力端１１１__Ｎ－１のいずれか一方を出力端１１２__２に選択的に接続する。セクタ１１３__Ｎ－１は、ＦＲに応じて、出力端１１１__２および出力端１１１__Ｎ－１のいずれか一方を出力端１１２__Ｎ－１に選択的に接続する。セクタ１１３__Ｎは、ＦＲに応じて、出力端１１１__１および出力端１１１__Ｎのいずれか一方を出力端１１２__Ｎに選択的に接続する。

[0025] シフトレジスタ１６０は、ＦＲに応じて、初段のフリップフロップをフリップフロップ１６１__１および１６１__Ｍのいずれかに切り替え可能に構成されている。また、シフトレジスタ１６０は、ＦＲに応じてシフト方向が切り替え可能に構成されている。シフトレジスタ１６０は、フリップフロップ１６１__１～１６１__ＭのそれぞれのＤ１端子に入力される信号で順方向シフトを行う。一方、フリップフロップ１６１__Ｍ～１６１__１のそれぞれのＤ２端子に入力される信号で逆方向シフトを行う。

[0026] セクタ１２０は、ＦＲに応じて、ＯＵＴを最初に出る出力部２００における論理回路２０１の出力およびＯＵＴを最後に出る出力部２００における論理回路２０１の出力のいずれかを選択してＳＡＣＴ２として出力する。

[0027] 次に、本実施形態に係る表示パネル駆動装置 11 の動作について説明する。順方向シフトの場合、接続切替部 113 は、出力端 111__1 ~ 111__N と出力端 112__1 ~ 112__N とをストレート接続する。具体的に、セクタ 111__1 は、出力端 111__1 と出力端 112__1 とを接続する。他のセクタ 113__2 ~ 113__N は、出力端 111__2 ~ 111__N と出力端 112__2 ~ 112__N とをそれぞれ接続する。

[0028] 逆方向シフトの場合、接続切替部 113 は、出力端 111__1 ~ 111__N と出力端 112__1 ~ 112__N とをリバース接続する。具体的に、セクタ 113__1 は、出力端 111__N と出力端 112__1 とを接続する。他のセクタ 113__2 ~ 113__N は、出力端 111__N-1 ~ 111__1 と出力端 112__2 ~ 112__N とをそれぞれ接続する。

[0029] 以上、本実施形態によると、OUT の出力順を反転することができる。なお、リングカウンタ回路 110 の接続切替部 113 を省略して、FR に応じて、初段のフリップフロップとしてフリップフロップ 101__1 および 101__N を切り替え、かつシフト方向を切り替えるようにしてもよい。あるいは、シフトレジスタ 160 に接続切替部 113 と同様の接続切替部を設けてもよい。あるいは、リングカウンタ回路 110 の接続切替部 113 を省略して、FR に応じて、初段のフリップフロップとしてフリップフロップ 101__1 および 101__N を切り替え、かつシフト方向を切り替えるようにするとともに、シフトレジスタ 160 に接続切替部 113 と同様の接続切替部を設けてもよい。

[0030] <第 3 の実施形態>

図 7 は、第 3 の実施形態に係る表示パネル駆動装置の構成図である。以下、第 1 の実施形態との相違点を説明する。

[0031] リセット回路 140 は、例えば、表示パネル駆動装置 12 から OUT が最終的に出力されるタイミングでリングカウンタ回路 100 内のリングカウンタ、シフトレジスタ 150 および分周回路 104 をリセットする。また、リセット回路 140 は、フリップフロップなどを挿入し、タイミングを調整し

てもよい。なお、リセット回路 140 は、いずれかの OUT が出力されたタイミングでリセット信号を出力してもよく、任意のタイミングで与えられる外部信号を受けてからリセット信号を出力してもよい。また、リセット回路 140 は、リングカウンタのみをリセットしてもよい。

[0032] なお、上記各実施形態において、リングカウンタ回路は、2つのリングカウンタを備えていてもよい。以下、リングカウンタ回路を、2つのリングカウンタで構成した例について説明する。

[0033] <第4の実施形態>

図8は、第4の実施形態に係るリングカウンタ回路の構成図である。図8に示すように、リングカウンタ回路 120 は、第1のリングカウンタ 130 と、第2のリングカウンタ 170 と、出力信号 C を生成する複数の出力部 210 とで構成することができる。

[0034] 第1のリングカウンタ 130 は、縦列接続された i 段のフリップフロップ 131__1 ~ 131__ i で構成することができる。フリップフロップ 131__1 ~ 131__ i は、クロック信号 CLK1 に同期して動作し、それぞれ Q_1 ~ Q_i を出力する。初段のフリップフロップ 131__1 には、初期信号としての走査線アクティブ信号 SACT1 と最終段のフリップフロップ 131__ i の出力 Q_i とを論理合成した信号が入力される。なお、初段のフリップフロップ 131__1 がセット端子を有する場合には、SACT1 でフリップフロップ 131__1 を直接セットしてもよい。

[0035] 第2のリングカウンタ 170 は、縦列接続された j 段のフリップフロップ 171__1 ~ 171__ j で構成することができる。フリップフロップ 171__1 ~ 171__ j は、クロック信号 CLK3 に同期して動作し、それぞれ P_1 ~ P_j を出力する。CLK3 は、CLK1 よりも低い周波数の信号であり、例えば CLK1 を i 分周した信号である。なお、図3に示す分周回路 104 を設けて、CLK1 を i 分周して CLK3 を生成してもよい（図3参照）。あるいは、フリップフロップ 131__1 の出力 Q_1 を CLK3 としてもよい。つまり、第1のリングカウンタ 130 におけるいずれか1つのフリップフロップ

プの出力を、CLK3とすることができる。

[0036] 図8に戻り、初段のフリップフロップ171__1には、初期信号としての走査線アクティブ信号SACT1と最終段のフリップフロップ171__jの出力P_jとを論理合成した信号が入力される。なお、初段のフリップフロップ171__1がセット端子を有する場合には、SACT1でフリップフロップ171__1を直接セットしてもよい。

[0037] 出力部210はそれぞれ同様の構成であるため、図中の左上の出力部210の構成について説明する。出力部210は、フリップフロップ131__1の出力Q₁とフリップフロップ171__1の出力P₁とを論理演算するAND回路で構成することができる。つまり、リングカウンタ回路120は、フリップフロップ131__1～131__iの出力Q₁～Q_iおよびフリップフロップ171__1～171__jの出力P₁～P_jを論理演算して、その論理演算した結果を、出力信号Cとして出力する。

[0038] 次に、本実施形態に係るリングカウンタ回路120の動作について、図9を参照して説明する。図9におけるC₁およびC_{j,i}は、図8における左上のCおよび右下のCにそれぞれ対応している。フリップフロップ131__1がSACT1でセットされ、CLK1に同期してQ₁～Q_iが順次Hレベルとなる。また、フリップフロップ171__1がSACT1でセットされ、CLK3に同期して、P₁～P_jが順次Hレベルとなる。そして、Q₁～Q_iとP₁～P_jとがそれぞれ論理演算されてC₁～C_{j,i}が順次Hレベルとなる。

[0039] 以上、本実施形態によると、2つのリングカウンタ130、170に含まれる、i+j個のフリップフロップで、i×jの個数の信号を出力するリングカウンタ回路120を構成することができる。したがって、本実施形態のように2次元で構成されたリングカウンタ回路120を、図1のリングカウンタ回路100に適用することで、M+i+j個のフリップフロップで、N(N=i×j)×M本の走査線駆動信号を生成することができる。

[0040] なお、図5に示すように、リングカウンタ回路100内のリングカウンタには冗長なフリップフロップが含まれていてもよい。ため、本実施形態におい

て、第1のリングカウンタ130は冗長なフリップフロップを1個有していてもよい。この場合、出力部210の総数は変わらないため、図8における行方向に配置された出力部210のうちの1個を省略すればよい。これにより、 $(i+1) + j$ 個のフリップフロップで $i \times j$ の個数の信号を出力するリングカウンタ回路120を構成することができる。なお、第1のリングカウンタ130におけるフリップフロップの冗長数を2個以上にしてもよい。

[0041] また、本実施形態のリングカウンタ回路120を、図6に示すリングカウンタ回路110に適用した場合、制御信号FRに応じて、リングカウンタ回路120の出力Cの出力順を反転させるような構成とすればよい。

[0042] また、本実施形態のリングカウンタ回路120を、図7に示すリングカウンタ回路100に適用した場合、リセット回路140によって、第1および第2のリングカウンタ130、170の両方をリセットすればよい。

[0043] また、本実施形態では、リングカウンタ回路120を2つのリングカウンタ130、170で構成したが、リングカウンタ回路120を、3つ以上のリングカウンタ（例えば、第1～第3のリングカウンタ）で構成することは容易である。この場合、第1～第3のリングカウンタはそれぞれ、異なる周波数のクロック信号に同期して動作する。そして、出力部210において、第1～第3のリングカウンタのそれぞれの1つの出力を論理演算すればよい。この場合、その論理演算の結果が、リングカウンタ回路120の1つの出力となる。これによると、リングカウンタ回路に使用されるフリップフロップの個数は、リングカウンタ回路の出力数の累乗根のオーダーとなる。

[0044] また、上記各実施形態において、各構成要素は上述した信号と逆論理の信号で動作してもよい。

産業上の利用可能性

[0045] 本発明に係る表示パネル駆動装置は、回路面積の縮小化が可能であるため、各種フラットパネルディスプレイ搭載のテレビ装置に有用である。

符号の説明

[0046] 10, 11, 12

表示パネル駆動装置

1 0 0, 1 1 0, 1 2 0	リングカウンタ回路
1 3 0	第 1 のリングカウンタ
1 7 0	第 2 のリングカウンタ
1 0 4	分周回路
1 1 1 __ 1 ~ 1 1 1 __ N	出力端
1 1 2 __ 1 ~ 1 1 2 __ N	出力端
1 1 3	接続切替部
1 4 0	リセット回路
1 5 0, 1 6 0	シフトレジスタ
2 0 0, 2 1 0	出力部

請求の範囲

- [請求項1] 縦列接続された複数のフリップフロップを有し、初段のフリップフロップが初期信号でセットされ、第1のクロック信号に同期して動作する第1のリングカウンタを有し、前記複数のフリップフロップの出力を用いた信号を出力するリングカウンタ回路と、
- 縦列接続された複数のフリップフロップを有し、初段のフリップフロップが前記初期信号でセットされ、前記第1のクロック信号よりも低い周波数の第2のクロック信号に同期して動作するシフトレジスタと、
- 前記リングカウンタ回路のいずれか1つの出力と前記シフトレジスタのいずれか1つの出力とを論理演算して、表示パネルの走査線駆動信号を生成する出力部とを備えている
- ことを特徴とする表示パネル駆動装置。
- [請求項2] 請求項1の表示パネル駆動装置において、
- 前記第1のクロック信号を分周して前記第2のクロック信号を生成する分周回路を備えている
- ことを特徴とする表示パネル駆動装置。
- [請求項3] 請求項1の表示パネル駆動装置において、
- 前記第2のクロック信号は、前記第1のリングカウンタにおけるいずれか1つのフリップフロップの出力である
- ことを特徴とする表示パネル駆動装置。
- [請求項4] 請求項1の表示パネル駆動装置において、
- 前記第1のリングカウンタおよび前記シフトレジスタはそれぞれ、共通の制御信号に応じて初段のフリップフロップおよびシフト方向が切り替え可能に構成されている
- ことを特徴とする表示パネル駆動装置。
- [請求項5] 請求項1の表示パネル駆動装置において、
- 前記リングカウンタ回路は、制御信号に応じて、前記複数のフリッ

プフロップの各出力端と当該リングカウンタ回路の各出力端とをストレート接続するかリバース接続するかを切り替える接続切替部を有するものであり、

前記シフトレジスタは、前記制御信号に応じて初段のフリップフロップおよびシフト方向が切り替え可能に構成されていることを特徴とする表示パネル駆動装置。

[請求項6] 請求項1の表示パネル駆動装置において、

前記シフトレジスタは、制御信号に応じて、前記複数のフリップフロップの各出力端と当該シフトレジスタの各出力端とをストレート接続するかリバース接続するかを切り替える接続切替部を有するものであり、

前記第1のリングカウンタは、前記制御信号に応じて初段のフリップフロップおよびシフト方向が切り替え可能に構成されていることを特徴とする表示パネル駆動装置。

[請求項7] 請求項1の表示パネル駆動装置において、

前記リングカウンタ回路は、制御信号に応じて、前記複数のフリップフロップの各出力端と当該リングカウンタ回路の各出力端とをストレート接続するかリバース接続するかを切り替える接続切替部を有するものであり、

前記シフトレジスタは、前記制御信号に応じて、前記複数のフリップフロップの各出力端と当該シフトレジスタの各出力端とをストレート接続するかリバース接続するかを切り替える接続切替部を有するものである

ことを特徴とする表示パネル駆動装置。

[請求項8] 請求項1の表示パネル駆動装置において、

前記第1のリングカウンタをリセットするリセット回路を備えている

ことを特徴とする表示パネル駆動装置。

[請求項9] 請求項 1 乃至 8 のうちいずれか 1 つの表示パネル駆動装置において、

前記リングカウンタ回路は、

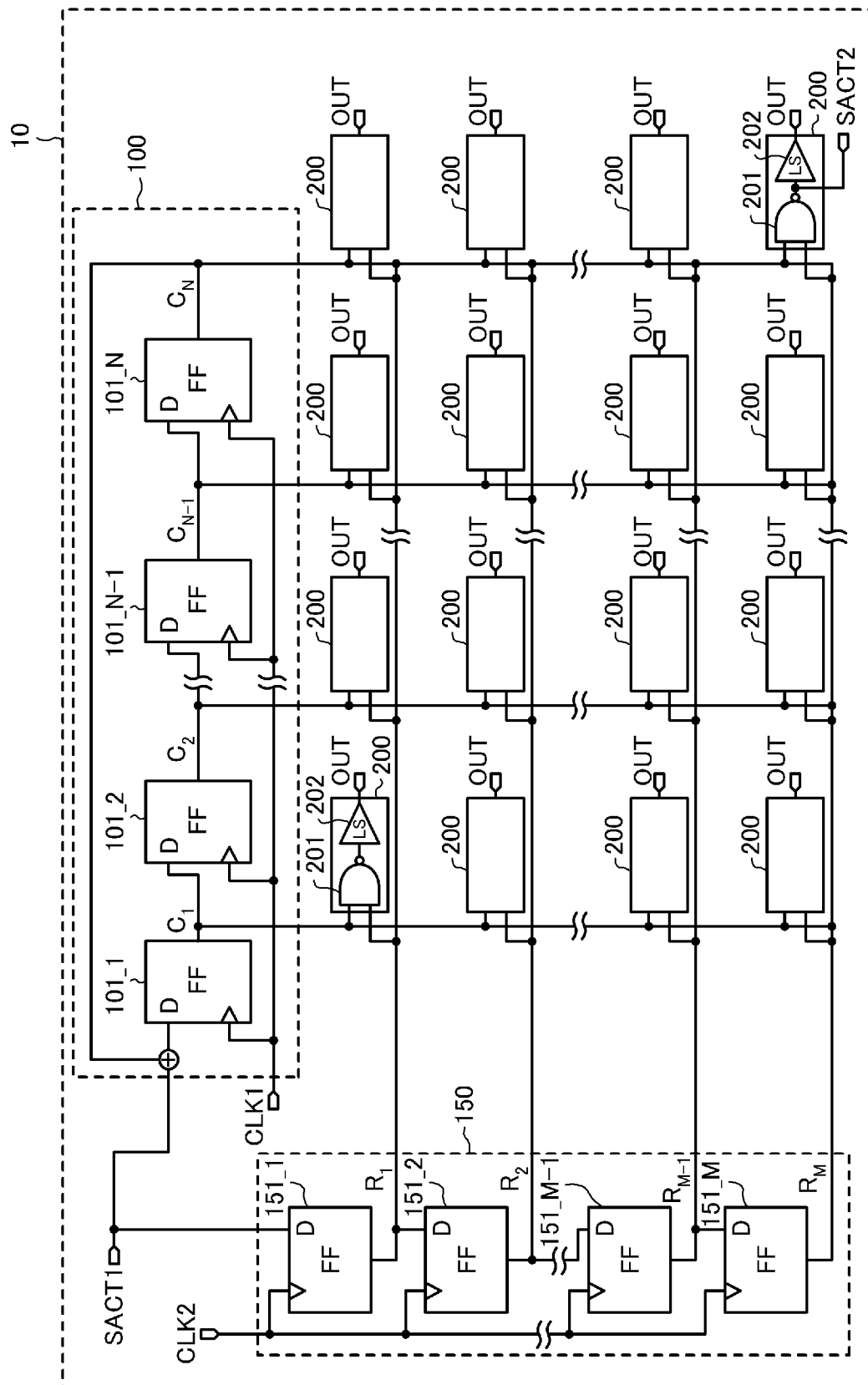
縦列接続された複数のフリップフロップを有し、初段のフリップフロップが前記初期信号でセットされ、前記第 1 のクロック信号よりも低い周波数の第 3 のクロック信号に同期して動作する第 2 のリングカウンタと、

前記第 1 のリングカウンタのいずれか 1 つの出力と、前記第 2 のリングカウンタのいずれか 1 つの出力とを論理演算して、当該リングカウンタ回路の出力を生成する出力部とを有していることを特徴とする表示パネル駆動装置。

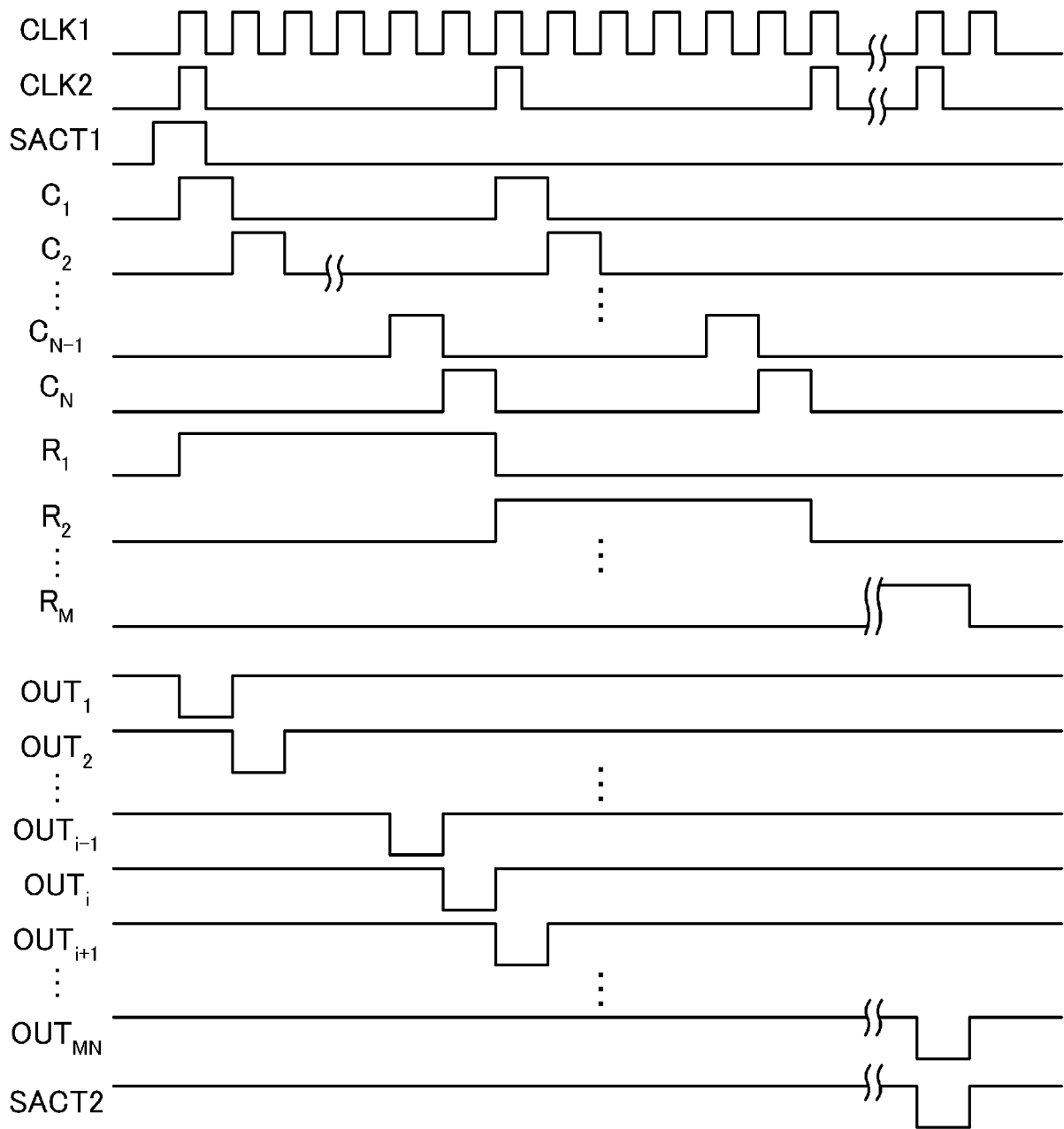
[請求項10] 請求項 1 乃至 8 のうちいずれか 1 つの表示パネル駆動装置において、

前記リングカウンタ回路は、それぞれ異なる周波数のクロック信号に同期して動作する、前記第 1 のリングカウンタを含む、複数のリングカウンタを有するものであり、前記複数のリングカウンタのそれぞれのいずれか 1 つの出力を論理演算し、その論理演算結果を、当該リングカウンタ回路のいずれか 1 つの出力とすることを特徴とする表示パネル駆動装置。

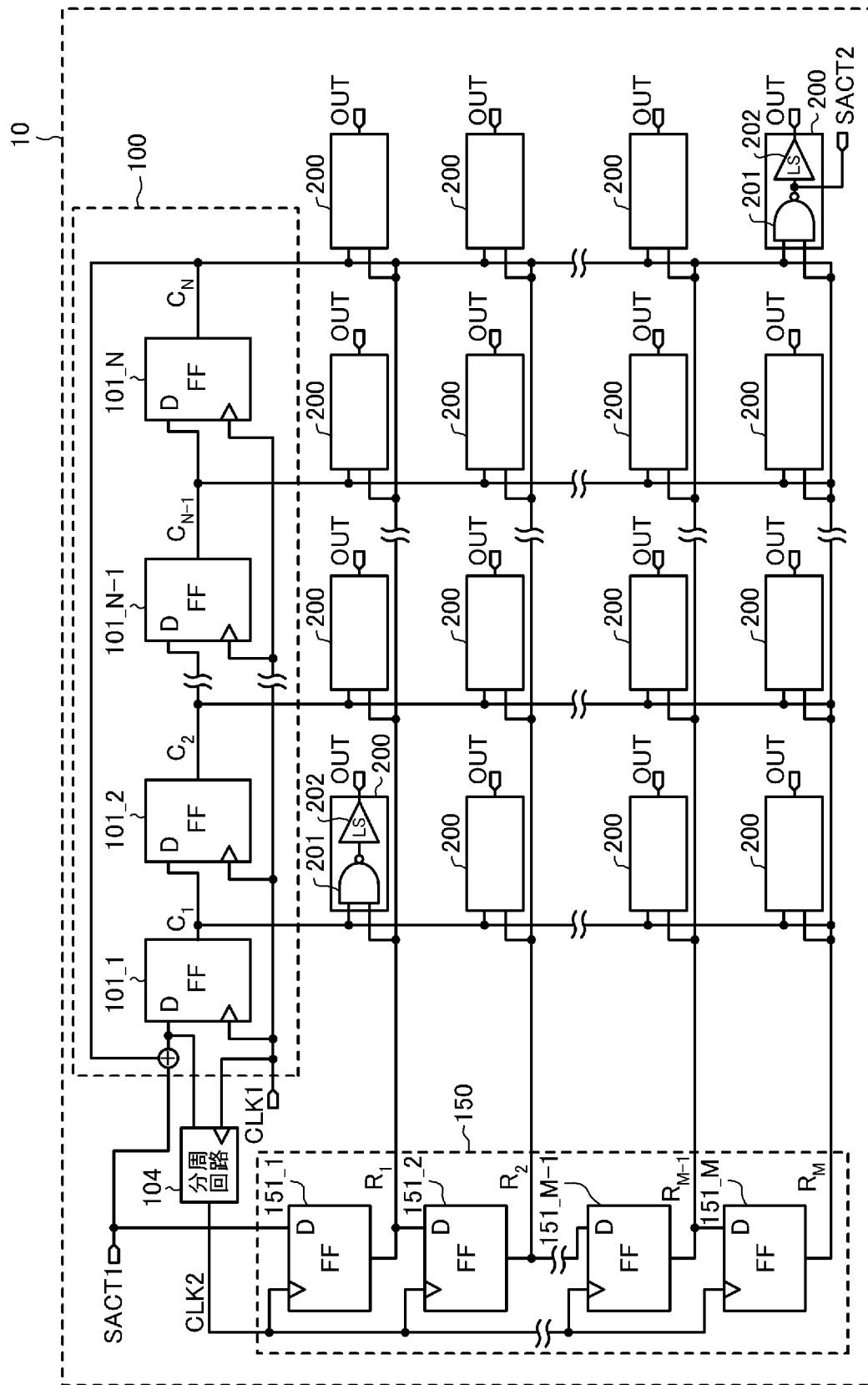
[図1]



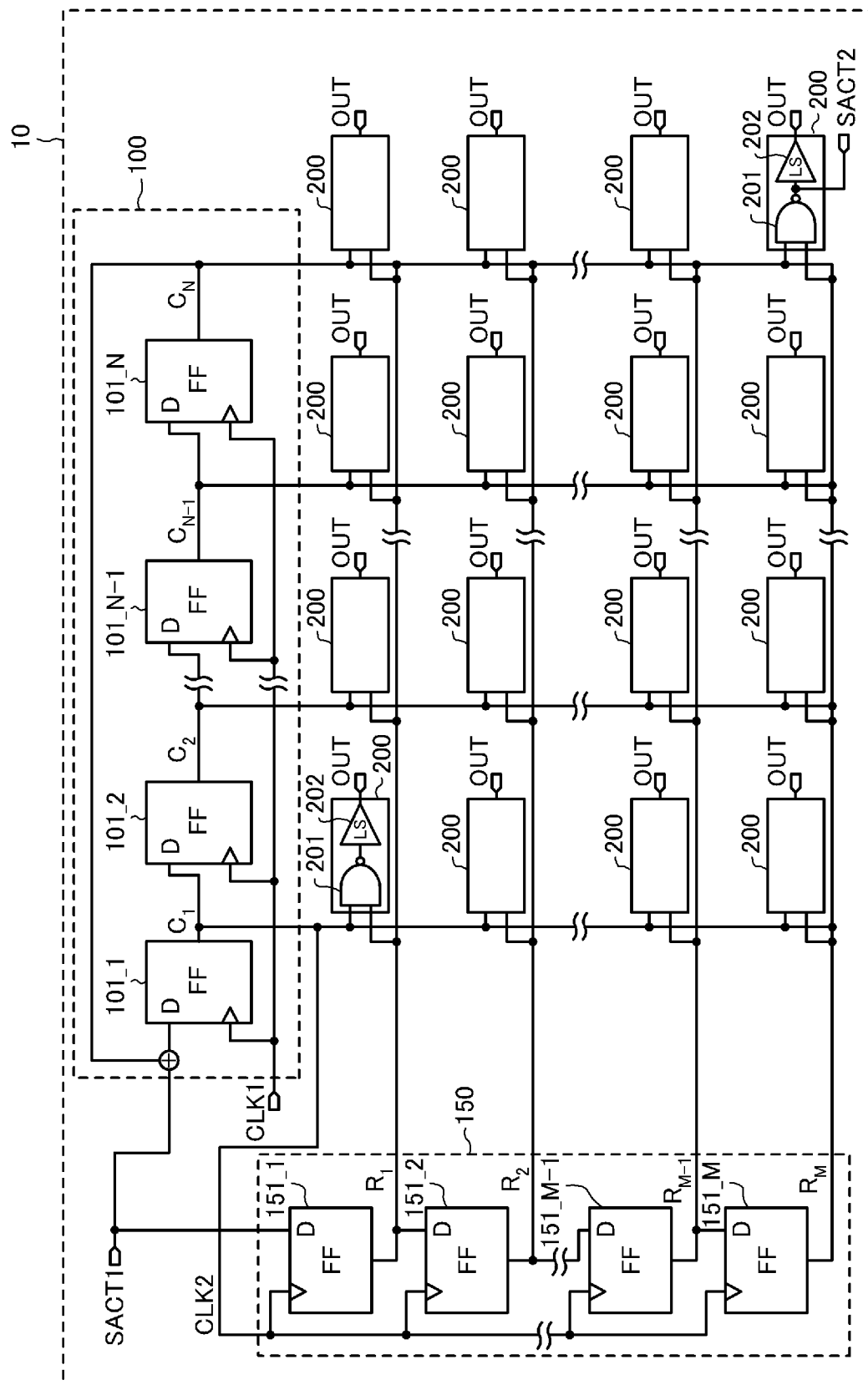
[図2]



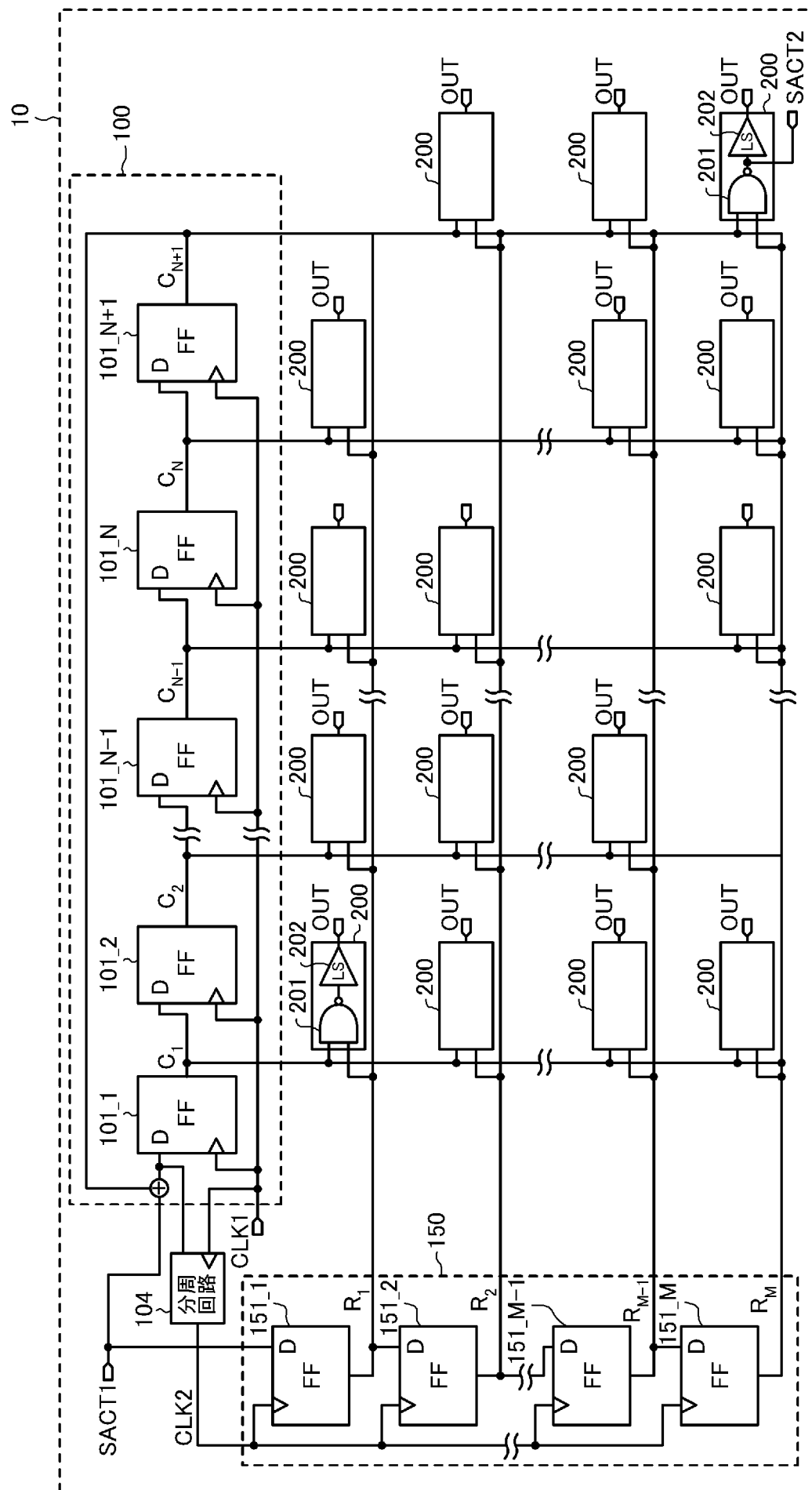
[図3]



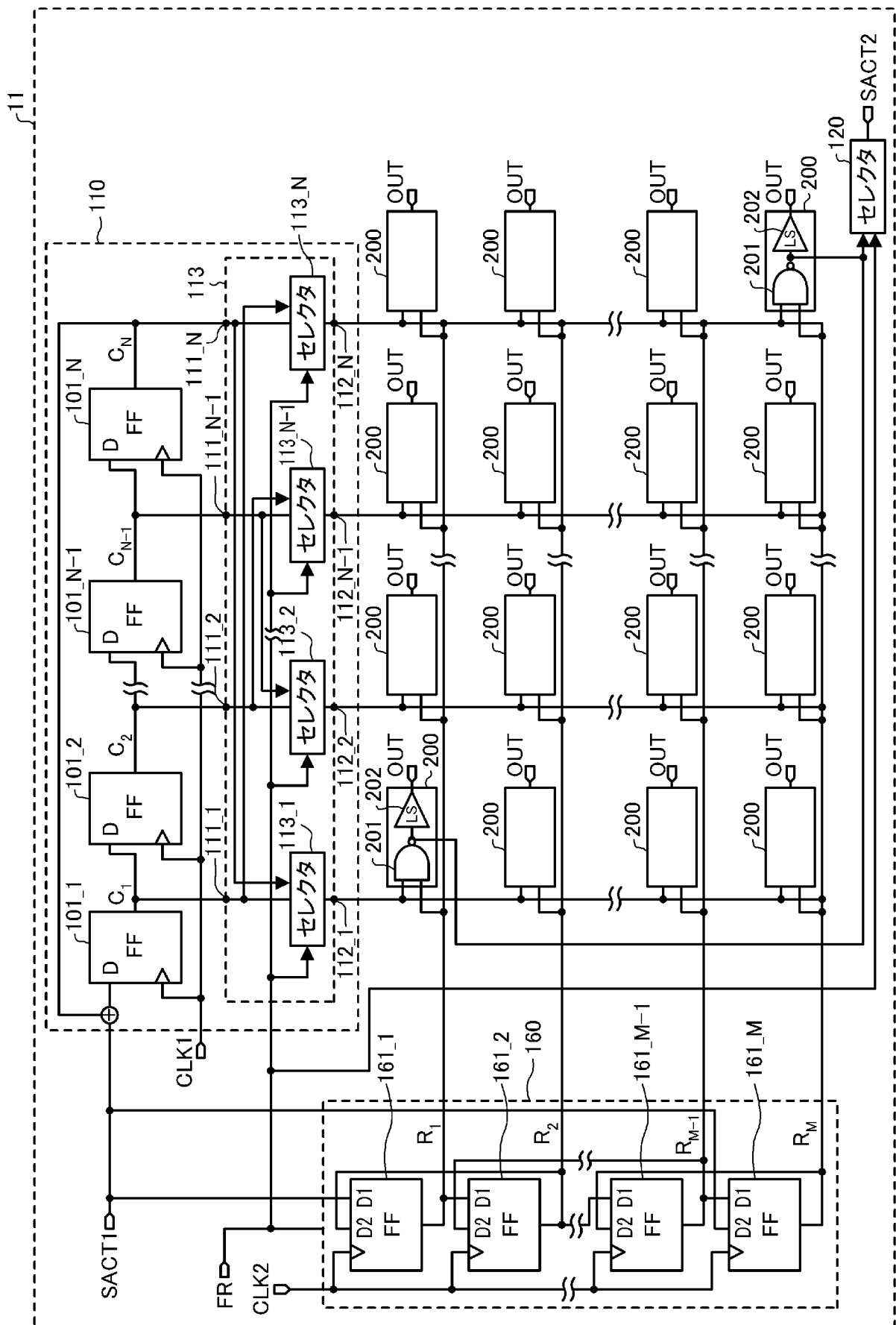
[図4]



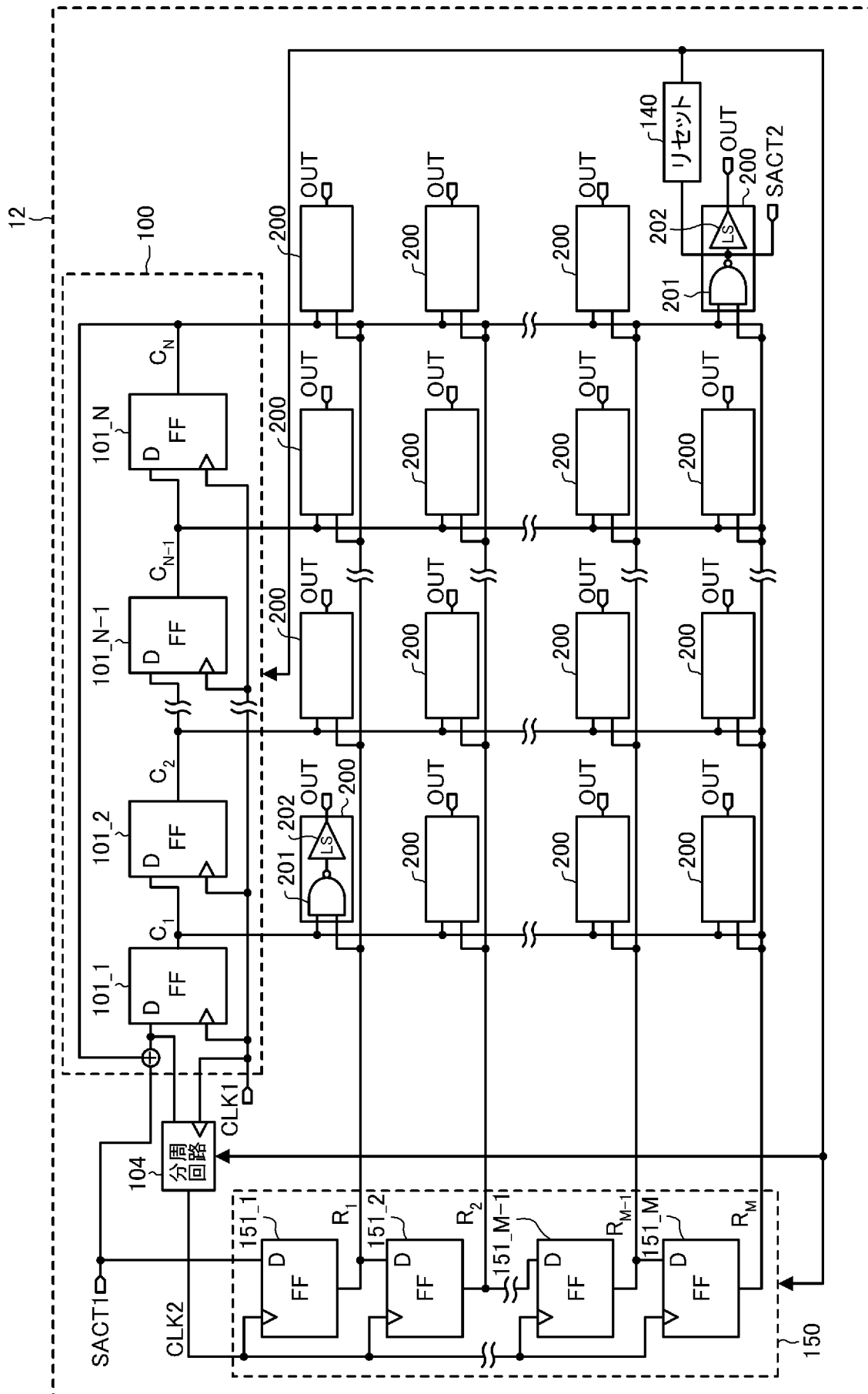
[図5]



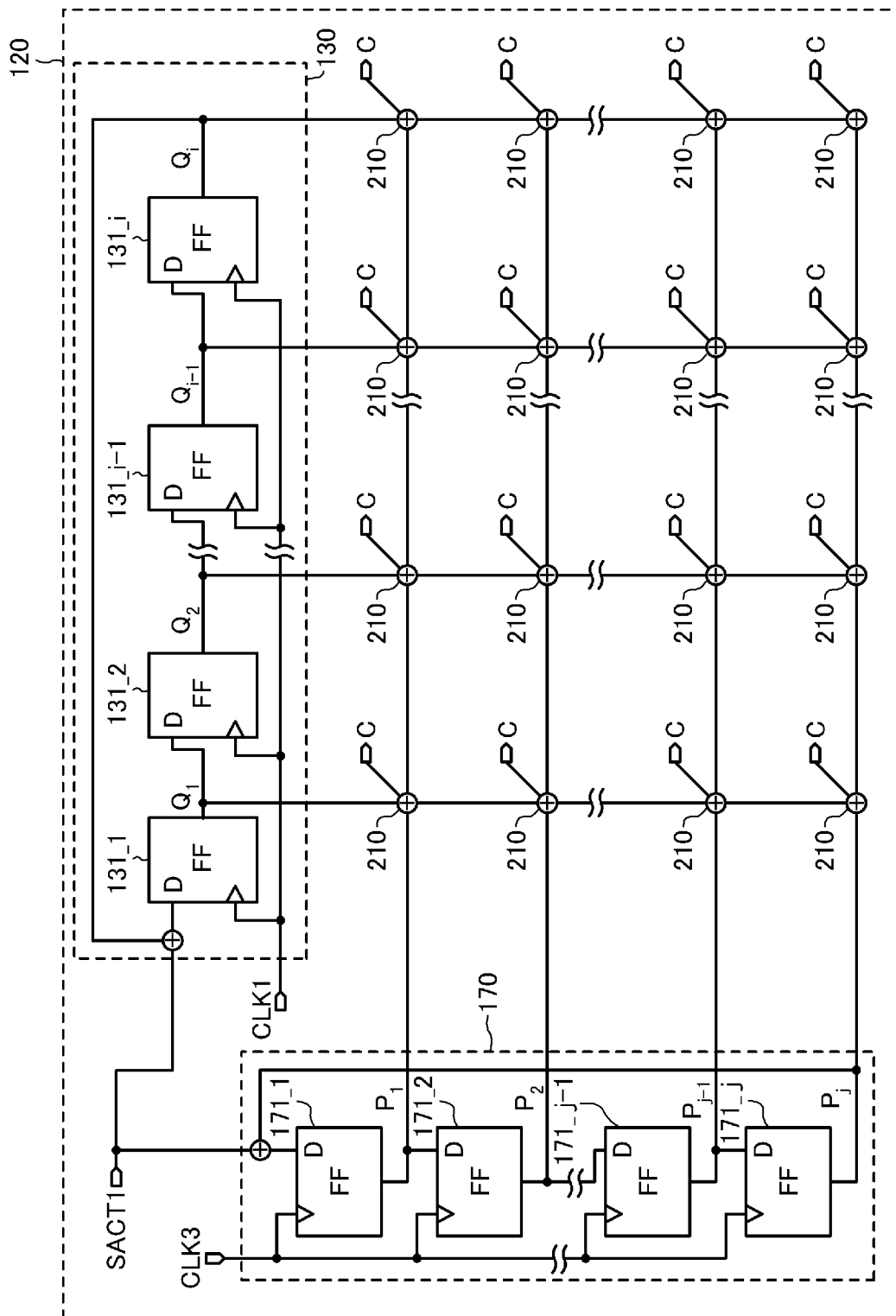
[図6]



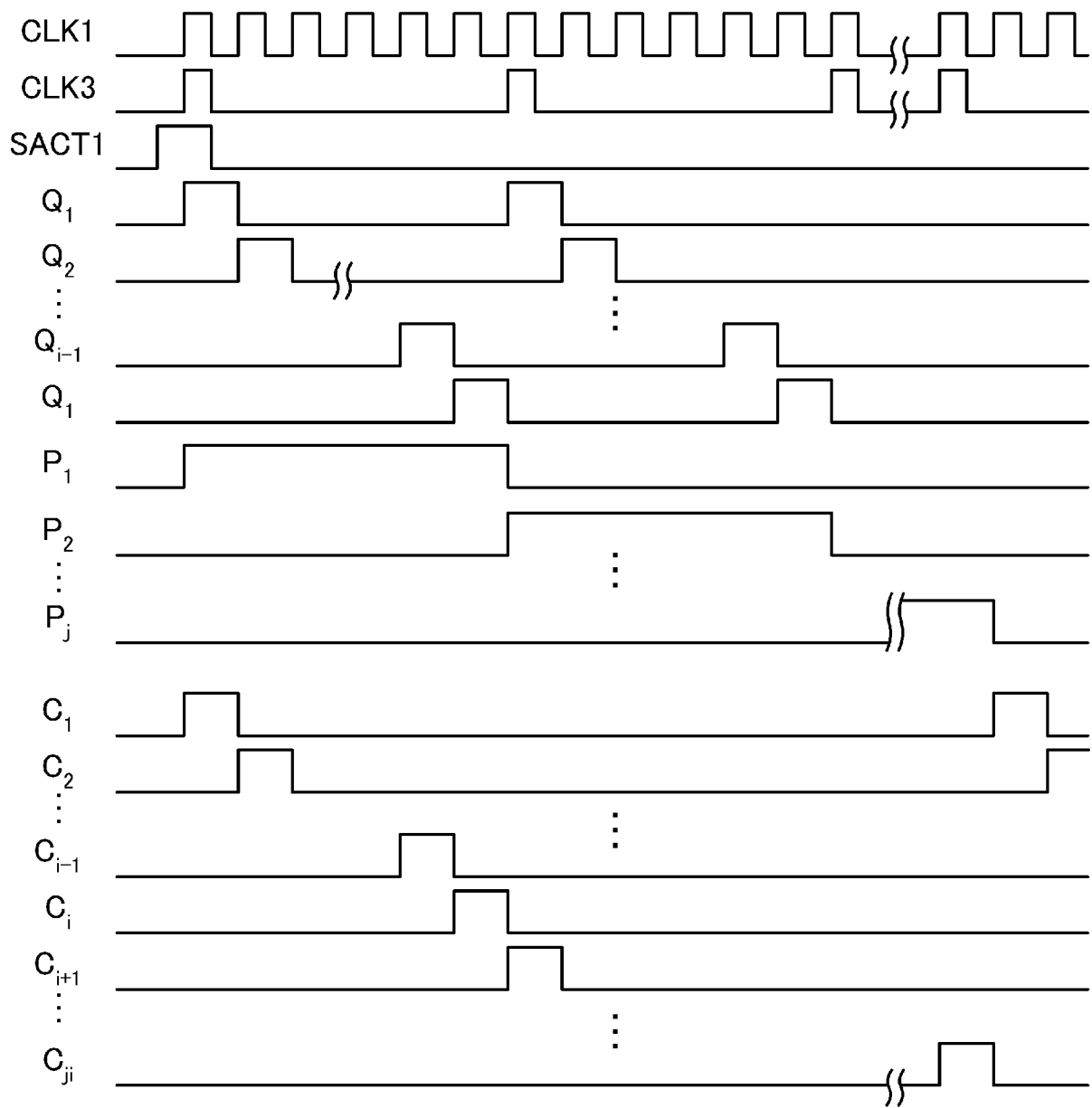
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003180

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 05-313129 A (Fujitsu Ltd.), 26 November 1993 (26.11.1993), entire text; fig. 1 (Family: none)	1-10
A	JP 11-296129 A (Sony Corp.), 29 October 1999 (29.10.1999), entire text; all drawings & US 6630920 B1	1-10
A	JP 11-338429 A (Sharp Corp.), 10 December 1999 (10.12.1999), entire text; all drawings & JP 11-338429 A & US 6437766 B1	1-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 July, 2011 (19.07.11)Date of mailing of the international search report
26 July, 2011 (26.07.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003180

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 09-243993 A (Seiko Epson Corp.), 19 September 1997 (19.09.1997), paragraph [0002]; fig. 9 (Family: none)	1-10
A	JP 2005-070673 A (Renesas Technology Corp.), 17 March 2005 (17.03.2005), entire text; all drawings & US 2005/0057549 A1 & CN 1591098 A	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 05-313129 A（富士通株式会社）1993. 11. 26, 全文, 図1（ファミリーなし）	1 - 1 0
A	JP 11-296129 A（ソニー株式会社）1999. 10. 29, 全文, 全図 & US 6630920 B1	1 - 1 0
A	JP 11-338429 A（シャープ株式会社）1999. 12. 10, 全文, 全図 & JP 11-338429 A & US 6437766 B1	1 - 1 0

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 7 . 2 0 1 1

国際調査報告の発送日

2 6 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

安藤 達哉

2 G

4 0 0 2

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 09-243993 A (セイコーエプソン株式会社) 1997. 09. 19, 段落【0002】, 図9 (ファミリーなし)	1 - 1 0
A	JP 2005-070673 A (株式会社ルネサステクノロジ) 2005. 03. 17, 全文, 全図 & US 2005/0057549 A1 & CN 1591098 A	1 - 1 0