

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-249046

(P2012-249046A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl.	F 1	テーマコード (参考)
H03M 13/19 (2006.01)	H03M 13/19	5 J 0 6 5
H03M 13/25 (2006.01)	H03M 13/25	

審査請求 未請求 請求項の数 9 O L (全 101 頁)

(21) 出願番号	特願2011-118755 (P2011-118755)	(71) 出願人	000002185
(22) 出願日	平成23年5月27日 (2011. 5. 27)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100082131
			弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	篠原 雄二
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	山本 真紀子
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		Fターム(参考)	5J065 AD01 AD07 AG05 AH01 AH18

(54) 【発明の名称】 データ処理装置、及び、データ処理方法

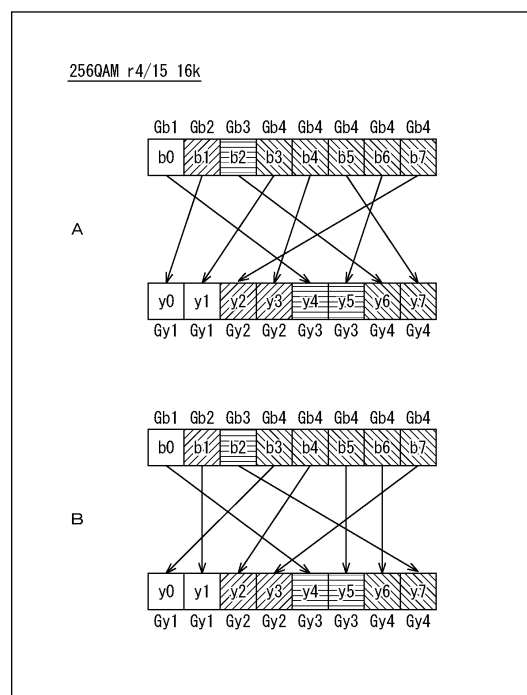
(57) 【要約】 (修正有)

【課題】 データのエラーに対する耐性を向上させる。

【解決手段】 符号長が16200ビットで、符号化率が4/15のLDPC符号が、256個の信号点にマッピングされる場合に、デマルチプレクサは、8×1ビットの符号ビットと、連続する1個のシンボルの8×1ビットのシンボルビットの最上位ビットから*i*+1ビット目を、それぞれ、ビット*b*#*i*と*y*#*i*とすると、*b*0を*y*4に、*b*1を*y*0に、*b*2を*y*6に、*b*3を*y*1に、*b*4を*y*3に、*b*5を*y*7に、*b*6を*y*5に、*b*7を*y*2に、それぞれ割り当てる入れ替えを行う。

【選択図】 図5 4

図54



【特許請求の範囲】

【請求項1】

符号長がNビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向とカラム方向に記憶する記憶部の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットのmビットが1個のシンボルとされ、かつ、

所定の正の整数をbとして、

前記記憶部は、前記ロウ方向にmbビットを記憶するとともに、前記カラム方向にN/(mb)ビットを記憶し、

前記LDPC符号の符号ビットは、前記記憶部の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、

前記記憶部の前記ロウ方向に読み出されるmbビットの符号ビットが、b個の前記シンボルにされる場合に、

前記LDPC符号の符号ビットを、前記シンボルを表すシンボルビットに割り当てるための割り当てルールに従い、前記mbビットの符号ビットを入れ替えて、入れ替え後の符号ビットを、前記シンボルビットとする入れ替え部を備え、

前記LDPC符号は、符号長Nが16200ビットのLDPC符号であり、

前記mビットが8ビットであり、かつ、前記整数bが1であり、

前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、

前記記憶部が、ロウ方向に8×1ビットを記憶する8個のカラムを有し、カラム方向に16200/(8×1)ビットを記憶し、

前記入れ替え部は、

前記記憶部のロウ方向に読み出される8×1ビットの符号ビットの最上位ビットから#i+1ビット目を、ビットb#iとするとともに、連続する1個の前記シンボルの8×1ビットのシンボルビットの最上位ビットから#i+1ビット目を、ビットy#iとして、前記割り当てルールに従い、

ビットb0を、ビットy4に、

ビットb1を、ビットy0に、

ビットb2を、ビットy6に、

ビットb3を、ビットy1に、

ビットb4を、ビットy3に、

ビットb5を、ビットy7に、

ビットb6を、ビットy5に、

ビットb7を、ビットy2に

それぞれ割り当てる入れ替えを行い、

前記符号長が16200ビットのLDPC符号の符号化率は4/15であり、

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、

前記検査行列初期値テーブルは、

1953 2331 2545 2623 4653 5012 5700 6458 6875 7605 7694 7881 8416 8758 9181 9555 9578 9932 10068 11479 11699

514 784 2059 2129 2386 2454 3396 5184 6624 6825 7533 7861 9116 9473 9601 10432 11011 11159 11378 11528 11598

483 1303 1735 2291 3302 3648 4222 4522 5511 6626 6804 7404 7752 7982 8108 8930 9151 9793 9876 10786 11879

1956 7572 9020 9971

13 1578 7445 8373

6805 6857 8615 11179

7983 8022 10017 11748

10

20

30

40

50

4939 8861 10444 11661
 2278 3733 6265 10009
 4494 7974 10649
 8909 11030 11696
 3131 9964 10480

からなる
 データ処理装置。

【請求項 2】

符号長が N ビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向と
 カラム方向に記憶する記憶部の前記カラム方向に書き込まれ、前記ロウ方向に読み出され 10
 る前記LDPC符号の符号ビットの m ビットが1個のシンボルとされ、かつ、

所定の正の整数を b として、

前記記憶部は、前記ロウ方向に mb ビットを記憶するとともに、前記カラム方向に $N/(mb)$
 ビットを記憶し、

前記LDPC符号の符号ビットは、前記記憶部の前記カラム方向に書き込まれ、その後、前
 記ロウ方向に読み出され、

前記記憶部の前記ロウ方向に読み出される mb ビットの符号ビットが、 b 個の前記シンボ
 ルにされる場合に、

前記LDPC符号の符号ビットを、前記シンボルを表すシンボルビットに割り当てるための
 割り当てルールに従い、前記 mb ビットの符号ビットを入れ替えて、入れ替え後の符号ビッ 20
 トを、前記シンボルビットとする入れ替え部を備え、

前記LDPC符号は、符号長 N が16200ビットのLDPC符号であり、

前記 m ビットが8ビットであり、かつ、前記整数 b が1であり、

前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号
 点のうちのいずれかにマッピングされ、

前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に162
 00/(8×1)ビットを記憶し、

前記入れ替え部は、

前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから $\#i+1$
 ビット目を、ビット $b\#i$ とするとともに、連続する1個の前記シンボルの 8×1 ビットのシン 30
 ボルビットの最上位ビットから $\#i+1$ ビット目を、ビット $y\#i$ として、前記割り当てルール
 に従い、

ビット b_0 を、ビット y_2 に、

ビット b_1 を、ビット y_6 に、

ビット b_2 を、ビット y_4 に、

ビット b_3 を、ビット y_1 に、

ビット b_4 を、ビット y_5 に、

ビット b_5 を、ビット y_0 に、

ビット b_6 を、ビット y_7 に、

ビット b_7 を、ビット y_3 に 40

それぞれ割り当てる入れ替えを行い、

前記符号長が16200ビットのLDPC符号の符号化率は7/15であり、

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた
 情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルに
 よって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、
 前記検査行列初期値テーブルは、

3 137 314 327 983 1597 2028 3043 3217 4109 6020 6178 6535 6560 7146 7180 7408
 7790 7893 8123 8313 8526 8616 8638
 356 1197 1208 1839 1903 2712 3088 3537 4091 4301 4919 5068 6025 6195 6324 6378
 6686 6829 7558 7745 8042 8382 8587 8602 50

18 187 1115 1417 1463 2300 2328 3502 3805 4677 4827 5551 5968 6394 6412 6753 7
 169 7524 7695 7976 8069 8118 8522 8582
 714 2713 2726 2964 3055 3220 3334 3459 5557 5765 5841 6290 6419 6573 6856 7786
 7937 8156 8286 8327 8384 8448 8539 8559
 3452 7935 8092 8623
 56 1955 3000 8242
 1809 4094 7991 8489
 2220 6455 7849 8548
 1006 2576 3247 6976
 2177 6048 7795 8295
 1413 2595 7446 8594
 2101 3714 7541 8531
 10 5961 7484
 3144 4636 5282
 5708 5875 8390
 3322 5223 7975
 197 4653 8283
 598 5393 8624
 906 7249 7542
 1223 2148 8195
 976 2001 5005
 からなる
 データ処理装置。

10

20

【請求項 3】

符号長が N ビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向と
 カラム方向に記憶する記憶部の前記カラム方向に書き込まれ、前記ロウ方向に読み出され
 る前記LDPC符号の符号ビットの m ビットが1個のシンボルとされ、かつ、
 所定の正の整数を b として、
 前記記憶部は、前記ロウ方向に mb ビットを記憶するとともに、前記カラム方向に $N/(mb)$
 ビットを記憶し、
 前記LDPC符号の符号ビットは、前記記憶部の前記カラム方向に書き込まれ、その後、前
 記ロウ方向に読み出され、
 前記記憶部の前記ロウ方向に読み出される mb ビットの符号ビットが、 b 個の前記シンボ
 ルにされる場合に、
 前記LDPC符号の符号ビットを、前記シンボルを表すシンボルビットに割り当てるための
 割り当てルールに従い、前記 mb ビットの符号ビットを入れ替えて、入れ替え後の符号ビッ
 トを、前記シンボルビットとする入れ替え部を備え、
 前記LDPC符号は、符号長 N が16200ビットのLDPC符号であり、
 前記 m ビットが8ビットであり、かつ、前記整数 b が1であり、
 前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号
 点のうちのいずれかにマッピングされ、
 前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に162
 00/(8×1)ビットを記憶し、
 前記入れ替え部は、
 前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから $\#i+1$
 ビット目を、ビット $b\#i$ とするとともに、連続する1個の前記シンボルの 8×1 ビットのシン
 ボルビットの最上位ビットから $\#i+1$ ビット目を、ビット $y\#i$ として、前記割り当てルール
 に従い、
 ビット $b0$ を、ビット $y2$ に、
 ビット $b1$ を、ビット $y6$ に、

30

40

50

ビットb2を、ビットy1に、
 ビットb3を、ビットy0に、
 ビットb4を、ビットy7に、
 ビットb5を、ビットy5に、
 ビットb6を、ビットy3に、
 ビットb7を、ビットy4に

それぞれ割り当てる入れ替えを行い、

前記符号長が16200ビットのLDPC符号の符号化率は8/15であり、

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、
 前記検査行列初期値テーブルは、

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662 4999 5174 570
 0 6969 7115 7138 7189

1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893 6994 7074 710
 0 7277 7399 7476 7480 7537

2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969 6029 6244 664
 5 6962 7203 7302 7454 7534

574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903 6640 6762 6786
 6859 7043 7418 7431 7554

14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970 7208 7218
 7298 7454 7457 7462

4075 4188 7313 7553

5145 6018 7148 7507

3198 4858 6983 7033

3170 5126 5625 6901

2839 6093 7071 7450

11 3735 5413

2497 5400 7238

2067 5172 5714

1889 7173 7329

1795 2773 3499

2695 2944 6735

3221 4625 5897

1690 6122 6816

5013 6839 7358

1601 6849 7415

2180 7389 7543

2121 6838 7054

1948 3109 5046

272 1015 7464

からなる

データ処理装置。

【請求項 4】

符号長がNビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向とカラム方向に記憶する記憶部の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットのmビットが1個のシンボルとされ、かつ、

所定の正の整数をbとして、

前記記憶部は、前記ロウ方向にmbビットを記憶するとともに、前記カラム方向にN/(mb)ビットを記憶し、

10

20

30

40

50

前記LDPC符号の符号ビットは、前記記憶部の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、

前記記憶部の前記ロウ方向に読み出されるmbビットの符号ビットが、b個の前記シンボルにされる場合に、

前記LDPC符号の符号ビットを、前記シンボルを表すシンボルビットに割り当てるための割り当てルールに従い、前記mbビットの符号ビットを入れ替えて、入れ替え後の符号ビットを、前記シンボルビットとする入れ替えステップを備え、

前記LDPC符号は、符号長Nが16200ビットのLDPC符号であり、

前記mビットが8ビットであり、かつ、前記整数bが1であり、

前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、

前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に16200/(8×1)ビットを記憶し、

前記入れ替えステップは、

前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから*i*+1ビット目を、ビット*b*#*i*とするとともに、連続する1個の前記シンボルの 8×1 ビットのシンボルビットの最上位ビットから*i*+1ビット目を、ビット*y*#*i*として、前記割り当てルールに従い、

ビット*b*0を、ビット*y*4に、

ビット*b*1を、ビット*y*0に、

ビット*b*2を、ビット*y*6に、

ビット*b*3を、ビット*y*1に、

ビット*b*4を、ビット*y*3に、

ビット*b*5を、ビット*y*7に、

ビット*b*6を、ビット*y*5に、

ビット*b*7を、ビット*y*2に

それぞれ割り当てる入れ替えを行い、

前記符号長が16200ビットのLDPC符号の符号化率は4/15であり、

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、

前記検査行列初期値テーブルは、

1953 2331 2545 2623 4653 5012 5700 6458 6875 7605 7694 7881 8416 8758 9181 955
5 9578 9932 10068 11479 11699

514 784 2059 2129 2386 2454 3396 5184 6624 6825 7533 7861 9116 9473 9601 10432
11011 11159 11378 11528 11598

483 1303 1735 2291 3302 3648 4222 4522 5511 6626 6804 7404 7752 7982 8108 8930
9151 9793 9876 10786 11879

1956 7572 9020 9971

13 1578 7445 8373

6805 6857 8615 11179

7983 8022 10017 11748

4939 8861 10444 11661

2278 3733 6265 10009

4494 7974 10649

8909 11030 11696

3131 9964 10480

からなる

データ処理方法。

【請求項5】

10

20

30

40

50

符号長が N ビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向とカラム方向に記憶する記憶部の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットの m ビットが1個のシンボルとされ、かつ、

所定の正の整数を b として、

前記記憶部は、前記ロウ方向に mb ビットを記憶するとともに、前記カラム方向に $N/(mb)$ ビットを記憶し、

前記LDPC符号の符号ビットは、前記記憶部の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、

前記記憶部の前記ロウ方向に読み出される mb ビットの符号ビットが、 b 個の前記シンボルにされる場合に、

10

前記LDPC符号の符号ビットを、前記シンボルを表すシンボルビットに割り当てるための割り当てルールに従い、前記 mb ビットの符号ビットを入れ替えて、入れ替え後の符号ビットを、前記シンボルビットとする入れ替えステップを備え、

前記LDPC符号は、符号長 N が16200ビットのLDPC符号であり、

前記 m ビットが8ビットであり、かつ、前記整数 b が1であり、

前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、

前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に $16200/(8 \times 1)$ ビットを記憶し、

前記入れ替えステップは、

20

前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから $\#i+1$ ビット目を、ビット $b\#i$ とするとともに、連続する1個の前記シンボルの 8×1 ビットのシンボルビットの最上位ビットから $\#i+1$ ビット目を、ビット $y\#i$ として、前記割り当てルールに従い、

ビット $b0$ を、ビット $y2$ に、

ビット $b1$ を、ビット $y6$ に、

ビット $b2$ を、ビット $y4$ に、

ビット $b3$ を、ビット $y1$ に、

ビット $b4$ を、ビット $y5$ に、

ビット $b5$ を、ビット $y0$ に、

ビット $b6$ を、ビット $y7$ に、

ビット $b7$ を、ビット $y3$ に

30

それぞれ割り当てる入れ替えを行い、

前記符号長が16200ビットのLDPC符号の符号化率は $7/15$ であり、

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、

前記検査行列初期値テーブルは、

3 137 314 327 983 1597 2028 3043 3217 4109 6020 6178 6535 6560 7146 7180 7408
7790 7893 8123 8313 8526 8616 8638

40

356 1197 1208 1839 1903 2712 3088 3537 4091 4301 4919 5068 6025 6195 6324 6378
6686 6829 7558 7745 8042 8382 8587 8602

18 187 1115 1417 1463 2300 2328 3502 3805 4677 4827 5551 5968 6394 6412 6753 7
169 7524 7695 7976 8069 8118 8522 8582

714 2713 2726 2964 3055 3220 3334 3459 5557 5765 5841 6290 6419 6573 6856 7786
7937 8156 8286 8327 8384 8448 8539 8559

3452 7935 8092 8623

56 1955 3000 8242

1809 4094 7991 8489

2220 6455 7849 8548

50

1006 2576 3247 6976
2177 6048 7795 8295
1413 2595 7446 8594
2101 3714 7541 8531
10 5961 7484
3144 4636 5282
5708 5875 8390
3322 5223 7975
197 4653 8283
598 5393 8624
906 7249 7542
1223 2148 8195
976 2001 5005
からなる
データ処理方法。

【請求項 6】

符号長が N ビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向と
カラム方向に記憶する記憶部の前記カラム方向に書き込まれ、前記ロウ方向に読み出され
る前記LDPC符号の符号ビットの m ビットが1個のシンボルとされ、かつ、

所定の正の整数を b として、

前記記憶部は、前記ロウ方向に mb ビットを記憶するとともに、前記カラム方向に $N/(mb)$
ビットを記憶し、

前記LDPC符号の符号ビットは、前記記憶部の前記カラム方向に書き込まれ、その後、前
記ロウ方向に読み出され、

前記記憶部の前記ロウ方向に読み出される mb ビットの符号ビットが、 b 個の前記シンボ
ルにされる場合に、

前記LDPC符号の符号ビットを、前記シンボルを表すシンボルビットに割り当てるための
割り当てルールに従い、前記 mb ビットの符号ビットを入れ替えて、入れ替え後の符号ビッ
トを、前記シンボルビットとする入れ替えステップを備え、

前記LDPC符号は、符号長 N が16200ビットのLDPC符号であり、

前記 m ビットが8ビットであり、かつ、前記整数 b が1であり、

前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号
点のうちのいずれかにマッピングされ、

前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に162
00/ (8×1) ビットを記憶し、

前記入れ替えステップは、

前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから $\#i+1$
ビット目を、ビット $b\#i$ とするとともに、連続する1個の前記シンボルの 8×1 ビットのシン
ボルビットの最上位ビットから $\#i+1$ ビット目を、ビット $y\#i$ として、前記割り当てルール
に従い、

ビット b_0 を、ビット y_2 に、

ビット b_1 を、ビット y_6 に、

ビット b_2 を、ビット y_1 に、

ビット b_3 を、ビット y_0 に、

ビット b_4 を、ビット y_7 に、

ビット b_5 を、ビット y_5 に、

ビット b_6 を、ビット y_3 に、

ビット b_7 を、ビット y_4 に

それぞれ割り当てる入れ替えを行い、

前記符号長が16200ビットのLDPC符号の符号化率は $8/15$ であり、

10

20

30

40

50

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、前記検査行列初期値テーブルは、

```

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662 4999 5174 570
0 6969 7115 7138 7189
1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893 6994 7074 710
0 7277 7399 7476 7480 7537
2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969 6029 6244 664
5 6962 7203 7302 7454 7534
574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903 6640 6762 6786
6859 7043 7418 7431 7554
14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970 7208 7218
7298 7454 7457 7462
4075 4188 7313 7553
5145 6018 7148 7507
3198 4858 6983 7033
3170 5126 5625 6901
2839 6093 7071 7450
11 3735 5413
2497 5400 7238
2067 5172 5714
1889 7173 7329
1795 2773 3499
2695 2944 6735
3221 4625 5897
1690 6122 6816
5013 6839 7358
1601 6849 7415
2180 7389 7543
2121 6838 7054
1948 3109 5046
272 1015 7464

```

からなる

データ処理方法。

【請求項7】

符号長がNビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向とカラム方向に記憶する記憶部の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットのmビットが1個のシンボルとされ、かつ、

所定の正の整数をbとして、

前記記憶部は、前記ロウ方向にmbビットを記憶するとともに、前記カラム方向にN/(mb)ビットを記憶し、

前記LDPC符号の符号ビットは、前記記憶部の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、

前記記憶部の前記ロウ方向に読み出されるmbビットの符号ビットが、b個の前記シンボルにされる場合に、

前記LDPC符号の符号ビットを、前記シンボルを表すシンボルビットに割り当てるための割り当てルールに従い、前記mbビットの符号ビットを入れ替えて、入れ替え後の符号ビットを、前記シンボルビットとする入れ替え部を備え、

前記LDPC符号は、符号長Nが16200ビットのLDPC符号であり、

前記 m ビットが8ビットであり、かつ、前記整数 b が1であり、

前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、

前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に16200/(8×1)ビットを記憶し、

前記入れ替え部は、

前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから $\#i+1$ ビット目を、ビット $b\#i$ とするとともに、連続する1個の前記シンボルの 8×1 ビットのシンボルビットの最上位ビットから $\#i+1$ ビット目を、ビット $y\#i$ として、前記割り当てルールに従い、

ビット b_0 を、ビット y_4 に、

ビット b_1 を、ビット y_0 に、

ビット b_2 を、ビット y_6 に、

ビット b_3 を、ビット y_1 に、

ビット b_4 を、ビット y_3 に、

ビット b_5 を、ビット y_7 に、

ビット b_6 を、ビット y_5 に、

ビット b_7 を、ビット y_2 に

それぞれ割り当てる入れ替えを行い、

前記符号長が16200ビットのLDPC符号の符号化率は4/15であり、

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、

前記検査行列初期値テーブルは、

1953 2331 2545 2623 4653 5012 5700 6458 6875 7605 7694 7881 8416 8758 9181 9555 9578 9932 10068 11479 11699

514 784 2059 2129 2386 2454 3396 5184 6624 6825 7533 7861 9116 9473 9601 10432 11011 11159 11378 11528 11598

483 1303 1735 2291 3302 3648 4222 4522 5511 6626 6804 7404 7752 7982 8108 8930 9151 9793 9876 10786 11879

1956 7572 9020 9971

13 1578 7445 8373

6805 6857 8615 11179

7983 8022 10017 11748

4939 8861 10444 11661

2278 3733 6265 10009

4494 7974 10649

8909 11030 11696

3131 9964 10480

からなる

送信装置で得られる、前記入れ替え後の符号ビットの位置を元の位置に戻す逆入れ替え処理を行う逆入れ替え部を備える

データ処理装置。

【請求項 8】

符号長が N ビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向とカラム方向に記憶する記憶部の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットの m ビットが1個のシンボルとされ、かつ、

所定の正の整数を b として、

前記記憶部は、前記ロウ方向に mb ビットを記憶するとともに、前記カラム方向に $N/(mb)$ ビットを記憶し、

10

20

30

40

50

前記LDPC符号の符号ビットは、前記記憶部の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、

前記記憶部の前記ロウ方向に読み出されるmbビットの符号ビットが、b個の前記シンボルにされる場合に、

前記LDPC符号の符号ビットを、前記シンボルを表すシンボルビットに割り当てるための割り当てルールに従い、前記mbビットの符号ビットを入れ替えて、入れ替え後の符号ビットを、前記シンボルビットとする入れ替え部を備え、

前記LDPC符号は、符号長Nが16200ビットのLDPC符号であり、

前記mビットが8ビットであり、かつ、前記整数bが1であり、

前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、 10

前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に $16200 / (8 \times 1)$ ビットを記憶し、

前記入れ替え部は、

前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから $\#i+1$ ビット目を、ビット $b\#i$ とするとともに、連続する1個の前記シンボルの 8×1 ビットのシンボルビットの最上位ビットから $\#i+1$ ビット目を、ビット $y\#i$ として、前記割り当てルールに従い、

ビット b_0 を、ビット y_2 に、

ビット b_1 を、ビット y_6 に、 20

ビット b_2 を、ビット y_4 に、

ビット b_3 を、ビット y_1 に、

ビット b_4 を、ビット y_5 に、

ビット b_5 を、ビット y_0 に、

ビット b_6 を、ビット y_7 に、

ビット b_7 を、ビット y_3 に

それぞれ割り当てる入れ替えを行い、

前記符号長が16200ビットのLDPC符号の符号化率は $7/15$ であり、

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、 30

前記検査行列初期値テーブルは、

3 137 314 327 983 1597 2028 3043 3217 4109 6020 6178 6535 6560 7146 7180 7408
7790 7893 8123 8313 8526 8616 8638

356 1197 1208 1839 1903 2712 3088 3537 4091 4301 4919 5068 6025 6195 6324 6378
6686 6829 7558 7745 8042 8382 8587 8602

18 187 1115 1417 1463 2300 2328 3502 3805 4677 4827 5551 5968 6394 6412 6753 7
169 7524 7695 7976 8069 8118 8522 8582

714 2713 2726 2964 3055 3220 3334 3459 5557 5765 5841 6290 6419 6573 6856 7786
7937 8156 8286 8327 8384 8448 8539 8559 40

3452 7935 8092 8623

56 1955 3000 8242

1809 4094 7991 8489

2220 6455 7849 8548

1006 2576 3247 6976

2177 6048 7795 8295

1413 2595 7446 8594

2101 3714 7541 8531

10 5961 7484

3144 4636 5282 50

5708 5875 8390
3322 5223 7975
197 4653 8283
598 5393 8624
906 7249 7542
1223 2148 8195
976 2001 5005

からなる

送信装置で得られる、前記入れ替え後の符号ビットの位置を元の位置に戻す逆入れ替え処理を行う逆入れ替え部を備える

データ処理装置。

【請求項 9】

符号長が N ビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向とカラム方向に記憶する記憶部の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットの m ビットが1個のシンボルとされ、かつ、

所定の正の整数を b として、

前記記憶部は、前記ロウ方向に mb ビットを記憶するとともに、前記カラム方向に $N/(mb)$ ビットを記憶し、

前記LDPC符号の符号ビットは、前記記憶部の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、

前記記憶部の前記ロウ方向に読み出される mb ビットの符号ビットが、 b 個の前記シンボルにされる場合に、

前記LDPC符号の符号ビットを、前記シンボルを表すシンボルビットに割り当てるための割り当てルールに従い、前記 mb ビットの符号ビットを入れ替えて、入れ替え後の符号ビットを、前記シンボルビットとする入れ替え部を備え、

前記LDPC符号は、符号長 N が16200ビットのLDPC符号であり、

前記 m ビットが8ビットであり、かつ、前記整数 b が1であり、

前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、

前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に16200/(8×1)ビットを記憶し、

前記入れ替え部は、

前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから $\#i+1$ ビット目を、ビット $b\#i$ とするとともに、連続する1個の前記シンボルの 8×1 ビットのシンボルビットの最上位ビットから $\#i+1$ ビット目を、ビット $y\#i$ として、前記割り当てルールに従い、

ビット $b0$ を、ビット $y2$ に、

ビット $b1$ を、ビット $y6$ に、

ビット $b2$ を、ビット $y1$ に、

ビット $b3$ を、ビット $y0$ に、

ビット $b4$ を、ビット $y7$ に、

ビット $b5$ を、ビット $y5$ に、

ビット $b6$ を、ビット $y3$ に、

ビット $b7$ を、ビット $y4$ に

それぞれ割り当てる入れ替えを行い、

前記符号長が16200ビットのLDPC符号の符号化率は8/15であり、

前記LDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、

前記検査行列初期値テーブルは、

10

20

30

40

50

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662 4999 5174 570
 0 6969 7115 7138 7189
 1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893 6994 7074 710
 0 7277 7399 7476 7480 7537
 2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969 6029 6244 664
 5 6962 7203 7302 7454 7534
 574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903 6640 6762 6786
 6859 7043 7418 7431 7554
 14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970 7208 7218
 7298 7454 7457 7462
 4075 4188 7313 7553
 5145 6018 7148 7507
 3198 4858 6983 7033
 3170 5126 5625 6901
 2839 6093 7071 7450
 11 3735 5413
 2497 5400 7238
 2067 5172 5714
 1889 7173 7329
 1795 2773 3499
 2695 2944 6735
 3221 4625 5897
 1690 6122 6816
 5013 6839 7358
 1601 6849 7415
 2180 7389 7543
 2121 6838 7054
 1948 3109 5046
 272 1015 7464

10

20

30

からなる
 送信装置で得られる、前記入れ替え後の符号ビットの位置を元の位置に戻す逆入れ替え
 処理を行う逆入れ替え部を備える

データ処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、データ処理装置、及び、データ処理方法に関し、特に、例えば、データのエ
 ラーに対する耐性を向上させることができるようにするデータ処理装置、及び、データ処
 理方法に関する。

【背景技術】

40

【0002】

LDPC(Low Density Parity Check)符号は、高い誤り訂正能力を有し、近年では、例えば
 、欧州で行われているDVB(Digital Video Broadcasting)-S.2等の衛星デジタル放送を
 含む伝送方式に広く採用され始めている（例えば、非特許文献1を参照）。また、LDPC符
 号は、次世代の地上デジタル放送にも採用が検討されている。

【0003】

LDPC符号は、近年の研究により、ターボ符号等と同様に、符号長を長くしていくにした
 がって、シャノン限界に近い性能が得られることがわかりつつある。また、LDPC符号は、
 最小距離が符号長に比例するという性質があることから、その特徴として、ブロック誤り
 確率特性がよく、さらに、ターボ符号等の復号特性において観測される、いわゆるエラー

50

フロア現象が殆ど生じないことも利点として挙げられる。

【0004】

以下、このようなLDPC符号について具体的に説明する。なお、LDPC符号は、線形符号であり、必ずしも2元である必要はないが、ここでは、2元であるものとして説明する。

【0005】

LDPC符号は、そのLDPC符号を定義する検査行列(parity check matrix)が疎なものであることを最大の特徴とする。ここで、疎な行列とは、行列の要素の"1"の個数が非常に少ない行列（ほとんどの要素が0の行列）である。

【0006】

図1は、LDPC符号の検査行列Hの例を示している。

10

【0007】

図1の検査行列Hでは、各列の重み（列重み）（"1"の数）(weight)が"3"であり、且つ、各行の重み（行重み）が"6"になっている。

【0008】

LDPC符号による符号化（LDPC符号化）では、例えば、検査行列Hに基づいて生成行列Gを生成し、この生成行列Gを2元の情報ビットに対して乗算することで、符号語（LDPC符号）が生成される。

【0009】

具体的には、LDPC符号化を行う符号化装置は、まず、検査行列Hの転置行列 H^T との間に、式 $GH^T=0$ が成立する生成行列Gを算出する。ここで、生成行列Gが、 $K \times N$ 行列である場合には、符号化装置は、生成行列Gに対してKビットからなる情報ビットのビット列（ベクトルu）を乗算し、Nビットからなる符号語 $c(=uG)$ を生成する。この符号化装置によって生成された符号語（LDPC符号）は、所定の通信路を介して受信側において受信される。

20

【0010】

LDPC符号の復号は、Gallagerが確率復号(Probabilistic Decoding)と称して提案したアルゴリズムであって、バリエブルノード(variable node (メッセージノード(message node)とも呼ばれる))と、チェックノード(check node)とからなる、いわゆるタナーグラフ(Tanner graph)上での確率伝播(belief propagation)によるメッセージ・パッシング・アルゴリズムによって行うことが可能である。ここで、以下、適宜、バリエブルノードとチェックノードを、単に、ノードともいう。

30

【0011】

図2は、LDPC符号の復号の手順を示している。

【0012】

なお、以下、適宜、受信側で受信したLDPC符号（1符号語）のi番目の符号ビットの、値の"0"らしさを対数尤度比(log likelihood ratio)で表現した実数値（受信LLR）を、受信値 u_{0i} ともいう。また、チェックノードから出力されるメッセージを u_j とし、バリエブルノードから出力されるメッセージを v_i とする。

【0013】

まず、LDPC符号の復号においては、図2に示すように、ステップS11において、LDPC符号が受信され、メッセージ（チェックノードメッセージ） u_j が"0"に初期化されるとともに、繰り返し処理のカウンタとしての整数をとる変数kが"0"に初期化され、ステップS12に進む。ステップS12において、LDPC符号を受信して得られる受信値 u_{0i} に基づいて、式(1)に示す演算（バリエブルノード演算）を行うことによってメッセージ（バリエブルノードメッセージ） v_i が求められ、さらに、このメッセージ v_i に基づいて、式(2)に示す演算（チェックノード演算）を行うことによってメッセージ u_j が求められる。

40

【0014】

【数1】

$$v_i = u_{0i} + \sum_{j=1}^{d_i-1} u_j$$

50

・・・ (1)

【0015】

【数2】

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right)$$

・・・ (2)

【0016】

ここで、式(1)と式(2)における d_v と d_c は、それぞれ、検査行列Hの縦方向(列)と横方向(行)の"1"の個数を示す任意に選択可能とされるパラメータであり、例えば、(3,6)符号の場合には、 $d_v=3$ 、 $d_c=6$ となる。 10

【0017】

なお、式(1)のバリエブルノード演算、及び(2)のチェックノード演算においては、それぞれ、メッセージを出力しようとする枝(edge)(バリエブルノードとチェックノードとを結ぶ線)から入力されたメッセージを、演算の対象としないことから、演算の範囲が、1ないし d_v-1 又は1ないし d_c-1 となっている。また、式(2)のチェックノード演算は、実際には、2入力 v_1 、 v_2 に対する1出力で定義される式(3)に示す関数 $R(v_1, v_2)$ のテーブルを予め作成しておき、これを式(4)に示すように連続的(再帰的)に用いることによって行われる。

【0018】

【数3】

$$x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2)$$

・・・ (3)

【0019】

【数4】

$$u_j = R(v_1, R(v_2, R(v_3, \dots R(v_{d_c-2}, v_{d_c-1})))$$

・・・ (4)

【0020】

ステップS12では、さらに、変数kが"1"だけインクリメントされ、ステップS13に進む。ステップS13では、変数kが所定の繰り返し復号回数Cよりも大きいかが判定される。ステップS13において、変数kがCよりも大きくないと判定された場合、ステップS12に戻り、以下、同様の処理が繰り返される。 30

【0021】

また、ステップS13において、変数kがCよりも大きいと判定された場合、ステップS14に進み、式(5)に示す演算を行うことによって最終的に出力する復号結果としてのメッセージ v_i が求められて出力され、LDPC符号の復号処理が終了する。

【0022】

【数5】

$$v_i = u_{0i} + \sum_{j=1}^{d_v} u_j$$

・・・ (5)

【0023】

ここで、式(5)の演算は、式(1)のバリエブルノード演算とは異なり、バリエブルノードに接続している全ての枝からのメッセージ u_j を用いて行われる。

【0024】

図3は、(3,6)LDPC符号(符号化率1/2、符号長12)の検査行列Hの例を示している。

【0025】

図3の検査行列Hでは、図1と同様に、列の重みが3に、行の重みが6に、それぞれなっている。

【0026】

図4は、図3の検査行列Hのタナーグラフを示している。

【0027】

ここで、図4において、プラス"+"で表わされるのが、チェックノードであり、イコール"="で表わされるのが、変数ノードである。チェックノードと変数ノードは、それぞれ、検査行列Hの行と列に対応する。チェックノードと変数ノードとの間の結線は、枝(edge)であり、検査行列の要素の"1"に相当する。

【0028】

10

すなわち、検査行列の第j行第i列の要素が1である場合には、図4において、上からi番目の変数ノード("="のノード)と、上からj番目のチェックノード("+のノード)とが、枝により接続される。枝は、変数ノードに対応する符号ビットが、チェックノードに対応する拘束条件を持つことを表す。

【0029】

LDPC符号の復号方法であるサンプロダクトアルゴリズム(Sum Product Algorithm)では、変数ノード演算とチェックノード演算とが繰り返し行われる。

【0030】

図5は、変数ノードで行われる変数ノード演算を示している。

【0031】

20

変数ノードでは、計算しようとしている枝に対応するメッセージ v_i は、変数ノードに繋がっている残りの枝からのメッセージ u_1 および u_2 と、受信値 u_{0i} を用いた式(1)の変数ノード演算により求められる。他の枝に対応するメッセージも同様に求められる。

【0032】

図6は、チェックノードで行われるチェックノード演算を示している。

【0033】

ここで、式(2)のチェックノード演算は、式 $a \times b = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$ の関係を用いて、式(6)に書き直すことができる。但し、 $\text{sign}(x)$ は、 $x \geq 0$ のとき1であり、 $x < 0$ のとき-1である。

30

【0034】

【数6】

$$\begin{aligned}
 u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\
 &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\
 &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\tanh \left(\frac{|v_i|}{2} \right) \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \right] \\
 &\quad \dots (6)
 \end{aligned}$$

40

【0035】

$x \geq 0$ において、関数 $\phi(x)$ を、式 $\phi(x) = \ln(\tanh(x/2))$ と定義すると、式 $\phi^{-1}(x) = 2 \tanh^{-1}(e^{-x})$ が成り立つから、式(6)は、式(7)に変形することができる。

【0036】

【数 7】

$$u_j = \phi^{-1} \left(\sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \quad \dots (7)$$

【0037】

チェックノードでは、式(2)のチェックノード演算が、式(7)に従って行われる。

【0038】

すなわち、チェックノードでは、図6のように、計算しようとしている枝に対応するメッセージ u_j は、チェックノードに繋がっている残りの枝からのメッセージ v_1, v_2, v_3, v_4, v_5 を用いた式(7)のチェックノード演算によって求められる。他の枝に対応するメッセージも同様に求められる。 10

【0039】

なお、式(7)の関数 $\phi(x)$ は、式 $\phi(x) = \ln((e^x+1)/(e^x-1))$ で表すことができ、 $x > 0$ において、 $\phi(x) = \phi^{-1}(x)$ である。関数 $\phi(x)$ および $\phi^{-1}(x)$ をハードウェアに実装する際には、LUT(Look Up Table)を用いて実装される場合があるが、両者共に同一のLUTとなる。

【先行技術文献】

【非特許文献】

【0040】

【非特許文献1】 DVB-S.2 : ETSI EN 302 307 V1.1.2 (2006-06) 20

【発明の概要】

【発明が解決しようとする課題】

【0041】

LDPC符号は、衛星デジタル放送の規格であるDVB-S.2や、次世代の地上デジタル放送の規格であるDVB-T.2で採用されている。また、LDPC符号は、次世代のCATV(Cable Television)デジタル放送の規格であるDVB-C.2での採用が予定されている。

【0042】

DVB-S.2等のDVBの規格に準拠したデジタル放送では、LDPC符号が、QPSK(Quadrature Phase Shift Keying)等の直交変調(デジタル変調)のシンボルとされ(シンボル化され)、そのシンボルが信号点にマッピングされて送信される。 30

【0043】

LDPC符号のシンボル化では、LDPC符号の符号ビットの入れ替えが、2ビット以上の符号ビット単位で行われ、その入れ替え後の符号ビットが、シンボルのビットとされる。

【0044】

LDPC符号のシンボル化のための、符号ビットの入れ替えの方式としては、種々の方式で提案されており、例えば、DVB-T.2でも規定されている。

【0045】

ところで、DVB-T.2は、家庭等に設置されるテレビジョン受像機等の固定端末向けのデジタル放送の規格であり、携帯端末向けのデジタル放送には、適切でない場合がある。 40

【0046】

すなわち、携帯端末は、固定端末に比較して、回路規模を小さくする必要があり、低消費電力化を図る必要がある。したがって、携帯端末向けのデジタル放送では、携帯端末でのLDPC符号の復号等の処理に必要な負荷を軽減するために、例えば、LDPC符号の復号の繰り返し回数(繰り返し復号回数C)や、LDPC符号の符号長等が、固定端末向けのデジタル放送の場合よりも制限されることがある。

【0047】

しかしながら、そのような制限の下であっても、エラーに対する耐性は、ある程度維持する必要がある。

【0048】

本技術は、このような状況に鑑みてなされたものであり、LDPC符号等のデータのエラーに対する耐性を向上させることができるようにするものである。

【課題を解決するための手段】

【0049】

本技術の一側面のデータ処理装置、又は、データ処理方法は、符号長が N ビットのLDPC(Low Density Parity Check)符号の符号ビットを、ロウ方向とカラム方向に記憶する記憶部の前記カラム方向に書き込まれ、前記ロウ方向に読み出される前記LDPC符号の符号ビットの m ビットが1個のシンボルとされ、かつ、所定の正の整数を b として、前記記憶部は、前記ロウ方向に mb ビットを記憶するとともに、前記カラム方向に $N/(mb)$ ビットを記憶し、前記LDPC符号の符号ビットは、前記記憶部の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、前記記憶部の前記ロウ方向に読み出される mb ビットの符号ビットが、 b 個の前記シンボルにされる場合に、前記LDPC符号の符号ビットを、前記シンボルを表すシンボルビットに割り当てるための割り当てルールに従い、前記 mb ビットの符号ビットを入れ替えて、入れ替え後の符号ビットを、前記シンボルビットとする入れ替え部、又は、入れ替えステップを備えるデータ処理装置、又は、データ処理方法である。

【0050】

前記LDPC符号が、符号長 N が16200ビットで、符号化率が $4/15$ のLDPC符号であり、前記 m ビットが8ビットであり、かつ、前記整数 b が1であり、前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に16200/(8×1)ビットを記憶する場合には、前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから $\#i+1$ ビット目を、ビット $b\#i$ とするとともに、連続する1個の前記シンボルの 8×1 ビットのシンボルビットの最上位ビットから $\#i+1$ ビット目を、ビット $y\#i$ として、前記割り当てルールに従い、ビット $b0$ を、ビット $y4$ に、ビット $b1$ を、ビット $y0$ に、ビット $b2$ を、ビット $y6$ に、ビット $b3$ を、ビット $y1$ に、ビット $b4$ を、ビット $y3$ に、ビット $b5$ を、ビット $y7$ に、ビット $b6$ を、ビット $y5$ に、ビット $b7$ を、ビット $y2$ にそれぞれ割り当てる入れ替えを行うことができる。

【0051】

前記LDPC符号が、符号長 N が16200ビットで、符号化率が $7/15$ のLDPC符号であり、前記 m ビットが8ビットであり、かつ、前記整数 b が1であり、前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に16200/(8×1)ビットを記憶する場合には、前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから $\#i+1$ ビット目を、ビット $b\#i$ とするとともに、連続する1個の前記シンボルの 8×1 ビットのシンボルビットの最上位ビットから $\#i+1$ ビット目を、ビット $y\#i$ として、前記割り当てルールに従い、ビット $b0$ を、ビット $y2$ に、ビット $b1$ を、ビット $y6$ に、ビット $b2$ を、ビット $y4$ に、ビット $b3$ を、ビット $y1$ に、ビット $b4$ を、ビット $y5$ に、ビット $b5$ を、ビット $y0$ に、ビット $b6$ を、ビット $y7$ に、ビット $b7$ を、ビット $y3$ にそれぞれ割り当てる入れ替えを行うことができる。

【0052】

前記LDPC符号が、符号長 N が16200ビットで、符号化率が $8/15$ のLDPC符号であり、前記 m ビットが8ビットであり、かつ、前記整数 b が1であり、前記符号ビットの8ビットが、1個の前記シンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされ、前記記憶部が、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に16200/(8×1)ビットを記憶する場合には、前記記憶部のロウ方向に読み出される 8×1 ビットの符号ビットの最上位ビットから $\#i+1$ ビット目を、ビット $b\#i$ とするとともに、連続する1個の前記シンボルの 8×1 ビットのシンボルビットの最上位ビットから $\#i+1$ ビット目を、ビット $y\#i$ として、前記割り当てルールに従い、ビット $b0$ を、ビット $y2$ に、ビット $b1$ を、ビット $y6$ に、ビット $b2$ を、ビット $y1$ に、ビット $b3$ を、ビット $y0$ に、ビット $b4$ を、ビット $y7$ に、ビット $b5$ を、ビット $y5$ に、ビット $b6$ を、ビット $y3$ に、ビット $b7$ を、ビット $y4$ にそれ

ぞれ割り当てる入れ替えを行うことができる。

【 0 0 5 3 】

ここで、前記符号長が16200ビットで、符号化率が4/15のLDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、前記検査行列初期値テーブルは、

1953 2331 2545 2623 4653 5012 5700 6458 6875 7605 7694 7881 8416 8758 9181 955	
5 9578 9932 10068 11479 11699	
514 784 2059 2129 2386 2454 3396 5184 6624 6825 7533 7861 9116 9473 9601 10432	
11011 11159 11378 11528 11598	10
483 1303 1735 2291 3302 3648 4222 4522 5511 6626 6804 7404 7752 7982 8108 8930	
9151 9793 9876 10786 11879	
1956 7572 9020 9971	
13 1578 7445 8373	
6805 6857 8615 11179	
7983 8022 10017 11748	
4939 8861 10444 11661	
2278 3733 6265 10009	
4494 7974 10649	
8909 11030 11696	20
3131 9964 10480	

からなる。

【 0 0 5 4 】

前記符号長が16200ビットで、符号化率が7/15のLDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、前記検査行列初期値テーブルは、

3 137 314 327 983 1597 2028 3043 3217 4109 6020 6178 6535 6560 7146 7180 7408	
7790 7893 8123 8313 8526 8616 8638	
356 1197 1208 1839 1903 2712 3088 3537 4091 4301 4919 5068 6025 6195 6324 6378	30
6686 6829 7558 7745 8042 8382 8587 8602	
18 187 1115 1417 1463 2300 2328 3502 3805 4677 4827 5551 5968 6394 6412 6753 7	
169 7524 7695 7976 8069 8118 8522 8582	
714 2713 2726 2964 3055 3220 3334 3459 5557 5765 5841 6290 6419 6573 6856 7786	
7937 8156 8286 8327 8384 8448 8539 8559	
3452 7935 8092 8623	
56 1955 3000 8242	
1809 4094 7991 8489	
2220 6455 7849 8548	
1006 2576 3247 6976	40
2177 6048 7795 8295	
1413 2595 7446 8594	
2101 3714 7541 8531	
10 5961 7484	
3144 4636 5282	
5708 5875 8390	
3322 5223 7975	
197 4653 8283	
598 5393 8624	
906 7249 7542	50

1223 2148 8195
976 2001 5005

からなる。

【0055】

前記符号長が16200ビットで、符号化率が8/15のLDPC符号の検査行列は、その検査行列の、前記符号長、及び前記符号化率に応じた情報長に対応する情報行列の1の要素の位置を360列ごとに表す検査行列初期値テーブルによって定まる前記情報行列の1の要素を、列方向に360列ごとの周期で配置して構成され、前記検査行列初期値テーブルは、

32 384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662 4999 5174 570	
0 6969 7115 7138 7189	10
1788 1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893 6994 7074 710	
0 7277 7399 7476 7480 7537	
2791 2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969 6029 6244 664	
5 6962 7203 7302 7454 7534	
574 1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903 6640 6762 6786	
6859 7043 7418 7431 7554	
14 178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970 7208 7218	
7298 7454 7457 7462	
4075 4188 7313 7553	
5145 6018 7148 7507	20
3198 4858 6983 7033	
3170 5126 5625 6901	
2839 6093 7071 7450	
11 3735 5413	
2497 5400 7238	
2067 5172 5714	
1889 7173 7329	
1795 2773 3499	
2695 2944 6735	
3221 4625 5897	30
1690 6122 6816	
5013 6839 7358	
1601 6849 7415	
2180 7389 7543	
2121 6838 7054	
1948 3109 5046	
272 1015 7464	

からなる。

【0056】

本技術の一側面においては、符号長がNビットのLDPC(Low Density Parity Check)符号の符号ビットが、前記記憶部の前記カラム方向に書き込まれ、その後、前記ロウ方向に読み出され、前記記憶部の前記ロウ方向に読み出されるmbビットの符号ビットが、b個の前記シンボルにされる。その際、前記mbビットの符号ビットは、上述したように入れ替えられて、入れ替え後の符号ビットが、前記シンボルビットとされる。

40

【0057】

本技術の他の一側面のデータ処理装置は、本技術の一側面で得られる、前記入れ替え後の符号ビットの位置を元の位置に戻す逆入れ替え処理を行う逆入れ替え部を備えるデータ処理装置である。

【0058】

本技術の他の一側面においては、本技術の一側面で得られる、前記入れ替え後の符号ビ

50

ットの位置を元の位置に戻す逆入れ替え処理が行われる。

【0059】

なお、データ処理装置は、独立した装置であっても良いし、1個の装置を構成している内部ブロックであっても良い。

【発明の効果】

【0060】

本技術によれば、エラーに対する耐性を向上させることができる。

【図面の簡単な説明】

【0061】

【図1】LDPC符号の検査行列Hを説明する図である。

10

【図2】LDPC符号の復号手順を説明するフローチャートである。

【図3】LDPC符号の検査行列の例を示す図である。

【図4】検査行列のタナーグラフを示す図である。

【図5】バリエブルノードを示す図である。

【図6】チェックノードを示す図である。

【図7】本技術を適用した伝送システムの一実施の形態の構成例を示す図である。

【図8】送信装置11の構成例を示すブロック図である。

【図9】ビットインターリーブ116の構成例を示すブロック図である。

【図10】検査行列を示す図である。

【図11】パリティ行列を示す図である。

20

【図12】DVB-S.2の規格に規定されているLDPC符号の検査行列を説明する図である。

【図13】DVB-S.2の規格に規定されているLDPC符号の検査行列を説明する図である。

【図14】16QAMの信号点配置を示す図である。

【図15】64QAMの信号点配置を示す図である。

【図16】64QAMの信号点配置を示す図である。

【図17】64QAMの信号点配置を示す図である。

【図18】デマルチプレクサ25の処理を説明する図である。

【図19】デマルチプレクサ25の処理を説明する図である。

【図20】LDPC符号の復号についてのタナーグラフを示す図である。

【図21】階段構造になっているパリティ行列 H_T と、そのパリティ行列 H_T に対応するタナーグラフを示す図である。

30

【図22】パリティインターリーブ後のLDPC符号に対応する検査行列Hのパリティ行列 H_T を示す図である。

【図23】変換検査行列を示す図である。

【図24】カラムツイストインターリーブ24の処理を説明する図である。

【図25】カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを示す図である。

【図26】カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを示す図である。

【図27】ビットインターリーブ116、及び、QAMエンコーダ117で行われる処理を説明するフローチャートである。

40

【図28】シミュレーションで採用した通信路のモデルを示す図である。

【図29】シミュレーションで得られたエラーレートと、フラッタのドップラ周波数 f_d との関係を示す図である。

【図30】シミュレーションで得られたエラーレートと、フラッタのドップラ周波数 f_d との関係を示す図である。

【図31】LDPCエンコーダ115の構成例を示すブロック図である。

【図32】LDPCエンコーダ115の処理を説明するフローチャートである。

【図33】符号化率1/4、符号長16200の検査行列初期値テーブルの例を示す図である。

【図34】検査行列初期値テーブルから検査行列Hを求める方法を説明する図である。

50

- 【図 3 5】符号化率 $1/5$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
- 【図 3 6】符号化率 $4/15$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
- 【図 3 7】符号化率 $1/3$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
- 【図 3 8】符号化率 $2/5$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
- 【図 3 9】符号化率 $4/9$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
- 【図 4 0】符号化率 $7/15$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
- 【図 4 1】符号化率 $8/15$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
- 【図 4 2】符号化率 $3/5$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
- 【図 4 3】符号化率 $2/3$ 、符号長 16200 の検査行列初期値テーブルの例を示す図である。
- 【図 4 4】列重みが 3 で、行重みが 6 であるというデグリーシーケンスのアンサンブルのタナグラフの例を示す図である。 10
- 【図 4 5】マルチエッジタイプのアンサンブルのタナグラフの例を示す図である。
- 【図 4 6】符号長 16200 のLDPC符号の検査行列の最小サイクル長と性能閾値とを示す図である。
- 【図 4 7】符号長 16200 のLDPC符号の検査行列を説明する図である。
- 【図 4 8】符号長 16200 のLDPC符号の検査行列を説明する図である。
- 【図 4 9】符号長 16200 のLDPC符号のBERのシミュレーション結果を示す図である。
- 【図 5 0】現行方式の入れ替え処理を説明する図である。
- 【図 5 1】現行方式の入れ替え処理を説明する図である。
- 【図 5 2】符号長 16200 、符号化率 $4/15$ のLDPC符号を $256QAM$ で変調し、倍数 b が 1 である場合の、符号ビットグループとシンボルビットグループとを示す図である。 20
- 【図 5 3】符号長 16200 、符号化率 $4/15$ のLDPC符号を $256QAM$ で変調し、倍数 b が 1 である場合の、割り当てルールを示す図である。
- 【図 5 4】符号長 16200 、符号化率 $4/15$ のLDPC符号を $256QAM$ で変調し、倍数 b が 1 である場合の、割り当てルールに従った符号ビットの入れ替えを示す図である。
- 【図 5 5】符号長 16200 、符号化率 $7/15$ のLDPC符号を $256QAM$ で変調し、倍数 b が 1 である場合の、符号ビットグループとシンボルビットグループとを示す図である。
- 【図 5 6】符号長 16200 、符号化率 $7/15$ のLDPC符号を $256QAM$ で変調し、倍数 b が 1 である場合の、割り当てルールを示す図である。
- 【図 5 7】符号長 16200 、符号化率 $7/15$ のLDPC符号を $256QAM$ で変調し、倍数 b が 1 である場合の、割り当てルールに従った符号ビットの入れ替えを示す図である。 30
- 【図 5 8】符号長 16200 、符号化率 $8/15$ のLDPC符号を $256QAM$ で変調し、倍数 b が 1 である場合の、符号ビットグループとシンボルビットグループとを示す図である。
- 【図 5 9】符号長 16200 、符号化率 $8/15$ のLDPC符号を $256QAM$ で変調し、倍数 b が 1 である場合の、割り当てルールを示す図である。
- 【図 6 0】符号長 16200 、符号化率 $8/15$ のLDPC符号を $256QAM$ で変調し、倍数 b が 1 である場合の、割り当てルールに従った符号ビットの入れ替えを示す図である。
- 【図 6 1】受信装置 1 2 の構成例を示すブロック図である。
- 【図 6 2】ビットデインターリーバ 1 6 5 の構成例を示すブロック図である。
- 【図 6 3】QAMデコーダ 1 6 4、ビットデインターリーバ 1 6 5、及び、LDPCデコーダ 1 6 6 が行う処理を説明するフローチャートである。 40
- 【図 6 4】LDPC符号の検査行列の例を示す図である。
- 【図 6 5】検査行列に行置換と列置換を施した行列（変換検査行列）を示す図である。
- 【図 6 6】 5×5 単位に分割した変換検査行列を示す図である。
- 【図 6 7】ノード演算を P 個まとめて行う復号装置の構成例を示すブロック図である。
- 【図 6 8】LDPCデコーダ 1 6 6 の構成例を示すブロック図である。
- 【図 6 9】ビットデインターリーバ 1 6 5 を構成するマルチプレクサ 5 4 の処理を説明する図である。
- 【図 7 0】カラムツイストデインターリーバ 5 5 の処理を説明する図である。
- 【図 7 1】ビットデインターリーバ 1 6 5 の他の構成例を示すブロック図である。 50

【図 7 2】受信装置 1 2 を適用可能な受信システムの第 1 の構成例を示すブロック図である。

【図 7 3】受信装置 1 2 を適用可能な受信システムの第 2 の構成例を示すブロック図である。

【図 7 4】受信装置 1 2 を適用可能な受信システムの第 3 の構成例を示すブロック図である。

【図 7 5】本技術を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

【発明を実施するための形態】

【0062】

10

〔本技術を適用した伝送システムの構成例〕

【0063】

図 7 は、本技術を適用した伝送システム（システムとは、複数の装置が論理的に集合した物をいい、各構成の装置が同一筐体中にあるか否かは、問わない）の一実施の形態の構成例を示している。

【0064】

図 7 において、伝送システムは、送信装置 1 1 と受信装置 1 2 とから構成される。

【0065】

送信装置 1 1 は、固定端末向けや携帯端末向けの番組の送信（放送）（伝送）を行う。すなわち、送信装置 1 1 は、例えば、固定端末向けや携帯端末向けの番組としての画像データや音声データ等の、送信の対象である対象データを LDPC 符号に符号化し、例えば、地上波である通信路 1 3 を介して送信する。

20

【0066】

受信装置 1 2 は、例えば、携帯端末であり、送信装置 1 1 から通信路 1 3 を介して送信されてくる LDPC 符号を受信し、対象データに復号して出力する。

【0067】

ここで、図 7 の伝送システムで使用される LDPC 符号は、AWGN(Additive White Gaussian Noise)通信路で極めて高い能力を発揮することが知られている。

【0068】

しかしながら、地上波等の通信路 1 3 では、バースト(burst)誤りやイレージャ(erasur e)を発生することがある。例えば、OFDM(Orthogonal Frequency Division Multiplexing)システムでは、D/U(Desired to Undesired Ratio)が0dB(Undesired=echoのパワーがDesir ed=メインパスのパワーと等しい)のマルチパス環境において、エコー(echo)（メインパス以外のパス）の遅延(delay)に応じて、特定のシンボルのパワーが0になってしまう(erasu re)場合がある。

30

【0069】

また、フラッタ(flutter)(遅延が0でドップラ(doppler)周波数の掛かったechoが加算される通信路)でも、D/Uが0dBである場合には、ドップラ周波数によって、特定の時刻のOFD Mのシンボル全体のパワーが0になる(erasure)場合が生じる。

【0070】

40

さらに、受信装置 1 2 側の、送信装置 1 1 からの信号を受信するアンテナ等の受信部（図示せず）から受信装置 1 2 までの配線の状況や、受信装置 1 2 の電源の不安定性により、バースト誤りが発生することがある。

【0071】

一方、LDPC 符号の復号においては、検査行列 H の列、ひいては、LDPC 符号の符号ビットに対応するバリエブルノードにおいて、前述の図 5 に示したように、LDPC 符号の符号ビット（の受信値 u_{0i} ）の加算を伴う式（1）のバリエブルノード演算が行われるため、そのバリエブルノード演算に用いられる符号ビットにエラーが生じると、求められるメッセージの精度が低下する。

【0072】

50

そして、LDPC符号の復号では、チェックノードにおいて、そのチェックノードに繋がっているバリエブルノードで求められるメッセージを用いて、式(7)のチェックノード演算が行われるため、繋がっている複数のバリエブルノード(に対応するLDPC符号の符号ビット)が同時にエラー(イレージャを含む)となるチェックノードの数が多くなると、復号の性能が劣化する。

【0073】

すなわち、例えば、チェックノードは、そのチェックノードに繋がっているバリエブルノードの2個以上が同時にイレージャになると、全バリエブルノードに、値が0である確率と1である確率とが等確率のメッセージを戻す。この場合、等確率のメッセージを戻すチェックノードは、1回の復号処理(1セットのバリエブルノード演算及びチェックノード演算)に寄与しないこととなり、その結果、復号処理の繰り返し回数を多く必要とすることになって、復号の性能が劣化し、さらに、LDPC符号の復号を行う受信装置12の消費電力が増大する。

【0074】

そこで、図7の伝送システムでは、AWGN通信路での性能を維持しつつ、バースト誤りやイレージャへの耐性を向上させるようになっている。

【0075】

[送信装置11の構成例]

【0076】

図8は、図7の送信装置11の構成例を示すブロック図である。

【0077】

送信装置11では、対象データとしての1以上のインプットストリーム(Input Streams)が、モードアダプテーション/マルチプレクサ(Mode Adaptation/Multiplexer)111に供給される。

【0078】

モードアダプテーション/マルチプレクサ111は、モード選択、及び、そこに供給される1以上のインプットストリームの多重化を行い、その結果得られるデータを、パダー(padder)112に供給する。

【0079】

パダー112は、モードアダプテーション/マルチプレクサ111からのデータに対して、必要なゼロ詰め(Nullの挿入)を行い、その結果得られるデータを、BBスクランブラ(BB Scrambler)113に供給する。

【0080】

BBスクランブラ113は、パダー112からのデータに、エネルギー拡散処理を施し、その結果得られるデータを、BCHエンコーダ(BCH encoder)114に供給する。

【0081】

BCHエンコーダ114は、BBスクランブラ113からのデータをBCH符号化し、その結果得られるデータを、LDPC符号化の対象であるLDPC対象データとして、LDPCエンコーダ(LDPC encoder)115に供給する。

【0082】

LDPCエンコーダ115は、BCHエンコーダ114からのLDPC対象データについて、LDPC符号のパリティビットに対応する部分であるパリティ行列が階段構造になっている検査行列に従ったLDPC符号化を行い、LDPC対象データを情報ビットとするLDPC符号を出力する。

【0083】

すなわち、LDPCエンコーダ115は、LDPC対象データを、例えば、DVB-T.2の規格に規定されているLDPC符号等のLDPC符号に符号化するLDPC符号化を行い、その結果得られるLDPC符号を出力する。

【0084】

ここで、DVB-T.2の規格では、符号長が16200ビットで、符号化率が3/5の場合を除き、DVB-S.2の規格に規定されているLDPC符号が採用されている。DVB-T.2の規格に規定されて

10

20

30

40

50

いるLDPC符号は、IRA(Irregular Repeat Accumulate)符号であり、そのLDPC符号の検査行列におけるパリティ行列は、階段構造になっている。パリティ行列、及び、階段構造については、後述する。また、IRA符号については、例えば、"Irregular Repeat-Accumulate Codes," H. Jin, A. Khandekar, and R. J. McEliece, in Proceedings of 2nd International Symposium on Turbo codes and Related Topics, pp. 1-8, Sept. 2000に記載されている。

【0085】

LDPCエンコーダ115が出力するLDPC符号は、ビットインターリーブ116に供給される。

【0086】

ビットインターリーブ116は、LDPCエンコーダ115からのLDPC符号について、後述するビットインターリーブを行い、そのビットインターリーブ後のLDPC符号を、QAMエンコーダ(QAM encoder)117に供給する。

【0087】

QAMエンコーダ117は、ビットインターリーブ116からのLDPC符号を、そのLDPC符号の1ビット以上の符号ビットの単位(シンボル単位)で、直交変調の1つのシンボルを表す信号点にマッピングして直交変調(多値変調)を行う。

【0088】

すなわち、QAMエンコーダ117は、ビットインターリーブ116からのLDPC符号を、搬送波と同相のI成分を表すI軸と、搬送波と直交するQ成分を表すQ軸とで規定されるIQ平面(IQコンスタレーション)上の、LDPC符号の直交変調を行う変調方式で定める信号点にマッピングして直交変調を行う。

【0089】

ここで、QAMエンコーダ117で行われる直交変調の変調方式としては、例えば、DVB-Tの規格に規定されている変調方式を含む変調方式、すなわち、例えば、QPSK(Quadrature Phase Shift Keying)や、16QAM(Quadrature Amplitude Modulation)、64QAM、256QAM、1024QAM、4096QAM等がある。QAMエンコーダ117において、いずれの変調方式による直交変調が行われるかは、例えば、送信装置11のオペレータの操作に従って、あらかじめ設定される。なお、QAMエンコーダ117では、その他、例えば、4PAM(Pulse Amplitude Modulation)その他の直交変調を行うことが可能である。

【0090】

QAMエンコーダ117での処理により得られるデータ(信号点にマッピングされたシンボル)は、時間インターリーブ(Time Interleaver)118に供給される。

【0091】

時間インターリーブ118は、QAMエンコーダ117からのデータ(シンボル)について、シンボル単位での時間インターリーブ(時間方向のインターリーブ)を行い、その結果得られるデータを、MISO/MIMOエンコーダ(MISO/MIMO encoder)119に供給する。

【0092】

MISO/MIMOエンコーダ119は、時間インターリーブ118からのデータ(シンボル)に、時空間符号化を施し、周波数インターリーブ(Frequency Interleaver)120に供給する。

【0093】

周波数インターリーブ120は、MISO/MIMOエンコーダ119からのデータ(シンボル)について、シンボル単位での周波数インターリーブ(周波数方向のインターリーブ)を行い、フレームビルダ/リソースアロケーション部(Frame Builder & Resource Allocation)131に供給する。

【0094】

一方、BCHエンコーダ121には、例えば、L1等と呼ばれるプリアンブル等の伝送制御用の制御データ(signalling)が供給される。

【0095】

BCHエンコーダ 1 2 1 は、そこに供給される制御データを、BCHエンコーダ 1 1 4 と同様にBCH符号化し、その結果得られるデータを、LDPCエンコーダ 1 2 2 に供給する。

【 0 0 9 6 】

LDPCエンコーダ 1 2 2 は、BCHエンコーダ 1 2 1 からのデータを、LDPC対象データとして、LDPCエンコーダ 1 1 5 と同様にLDPC符号化し、その結果得られるLDPC符号を、QAMエンコーダ 1 2 3 に供給する。

【 0 0 9 7 】

QAMエンコーダ 1 2 3 は、QAMエンコーダ 1 1 7 と同様に、LDPCエンコーダ 1 2 2 からのLDPC符号を、そのLDPC符号の 1 ビット以上の符号ビットの単位（シンボル単位）で、直交変調の 1 つのシンボルを表す信号点にマッピングして直交変調を行い、その結果得られるデータ（シンボル）を、周波数インターリーブ 1 2 4 に供給する。

10

【 0 0 9 8 】

周波数インターリーブ 1 2 4 は、周波数インターリーブ 1 2 0 と同様に、QAMエンコーダ 1 2 3 からのデータ（シンボル）について、シンボル単位での周波数インターリーブを行い、フレームビルダ／リソースアロケーション部 1 3 1 に供給する。

【 0 0 9 9 】

フレームビルダ／リソースアロケーション部 1 3 1 は、周波数インターリーブ 1 2 0 、及び、1 2 4 からのデータ（シンボル）の必要な位置に、パイロット(Pilot)のシンボルを挿入し、その結果得られるデータ（シンボル）から、所定の数のシンボルで構成されるフレームを構成して、OFDM生成部(OFDM generation) 1 3 2 に供給する。

20

【 0 1 0 0 】

OFDM生成部 1 3 2 は、フレームビルダ／リソースアロケーション部 1 3 1 からのフレームから、そのフレームに対応するOFDM信号を生成し、通信路 1 3 （図 7）を介して送信する。

【 0 1 0 1 】

図 9 は、図 8 のビットインターリーブ 1 1 6 の構成例を示している。

【 0 1 0 2 】

ビットインターリーブ 1 1 6 は、データをインターリーブするデータ処理装置であり、パリティインターリーブ(parity interleaver) 2 3、カラムツイストインターリーブ(column twist interleaver) 2 4、及びデマルチプレクサ(DEMUX) 2 5 から構成される。

30

【 0 1 0 3 】

パリティインターリーブ 2 3 は、LDPCエンコーダ 1 1 5 からのLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、そのパリティインターリーブ後のLDPC符号を、カラムツイストインターリーブ 2 4 に供給する。

【 0 1 0 4 】

カラムツイストインターリーブ 2 4 は、パリティインターリーブ 2 3 からのLDPC符号について、カラムツイストインターリーブを行い、そのカラムツイストインターリーブ後のLDPC符号を、デマルチプレクサ 2 5 に供給する。

【 0 1 0 5 】

40

すなわち、LDPC符号は、図 8 のQAMエンコーダ 1 1 7 において、そのLDPC符号の1ビット以上の符号ビットを、直交変調の 1 つのシンボルを表す信号点にマッピングして送信される。

【 0 1 0 6 】

カラムツイストインターリーブ 2 4 では、LDPCエンコーダ 1 1 5 で用いられる検査行列の任意の 1 行にある1に対応するLDPC符号の複数の符号ビットが、1 つのシンボルに含まれないように、パリティインターリーブ 2 3 からのLDPC符号の符号ビットを並び替える並び替え処理として、例えば、後述するようなカラムツイストインターリーブが行われる。

【 0 1 0 7 】

デマルチプレクサ 2 5 は、カラムツイストインターリーブ 2 4 からのLDPC符号について

50

、シンボルとなるLDPC符号の2以上の符号ビットの位置を入れ替える入れ替え処理を行うことで、AWGNに対する耐性を強化したLDPC符号を得る。そして、デマルチプレクサ25は、入れ替え処理によって得られる、LDPC符号の2以上の符号ビットを、シンボルとして、QAMエンコーダ117（図8）に供給する。

【0108】

次に、図10は、図8のLDPCエンコーダ115でLDPC符号化に用いられる検査行列Hを示している。

【0109】

検査行列Hは、LDGM(Low-Density Generation Matrix)構造になっており、LDPC符号の符号ビットのうちの、情報ビットに対応する部分の情報行列 H_A と、パリティビットに対応するパリティ行列 H_T とによって、式 $H = [H_A \mid H_T]$ （情報行列 H_A の要素を左側の要素とし、パリティ行列 H_T の要素を右側の要素とする行列）で表すことができる。

【0110】

ここで、1個のLDPC符号（1符号語）の符号ビットのうちの情報ビットのビット数と、パリティビットのビット数を、それぞれ、情報長Kと、パリティ長Mというとともに、1個のLDPC符号の符号ビットのビット数を、符号長 $N (= K + M)$ という。

【0111】

ある符号長NのLDPC符号についての情報長Kとパリティ長Mは、符号化率によって決まる。また、検査行列Hは、行×列が $M \times N$ の行列となる。そして、情報行列 H_A は、 $M \times K$ の行列となり、パリティ行列 H_T は、 $M \times M$ の行列となる。

【0112】

図11は、DVB-T.2（及びDVB-S.2）の規格に規定されているLDPC符号の検査行列Hのパリティ行列 H_T を示している。

【0113】

DVB-T.2の規格に規定されているLDPC符号の検査行列Hのパリティ行列 H_T は、図11に示すように、1の要素が、いわば階段状に並ぶ階段構造になっている。パリティ行列 H_T の行重みは、1行目については1で、残りの全ての行については2になっている。また、列重みは、最後の1列については1で、残りの全ての列で2になっている。

【0114】

以上のように、パリティ行列 H_T が階段構造になっている検査行列HのLDPC符号は、その検査行列Hを用いて、容易に生成することができる。

【0115】

すなわち、LDPC符号（1符号語）を、行ベクトル c で表すと同時に、その行ベクトルを転置して得られる列ベクトルを、 c^T と表す。また、LDPC符号である行ベクトル c のうちの、情報ビットの部分を、行ベクトルAで表すと同時に、パリティビットの部分を、行ベクトルTで表すこととする。

【0116】

この場合、行ベクトル c は、情報ビットとしての行ベクトルAと、パリティビットとしての行ベクトルTとによって、式 $c = [A \mid T]$ （行ベクトルAの要素を左側の要素とし、行ベクトルTの要素を右側の要素とする行ベクトル）で表すことができる。

【0117】

検査行列Hと、LDPC符号としての行ベクトル $c = [A \mid T]$ とは、式 $Hc^T = 0$ を満たす必要があり、かかる式 $Hc^T = 0$ を満たす行ベクトル $c = [A \mid T]$ を構成するパリティビットとしての行ベクトルTは、検査行列 $H = [H_A \mid H_T]$ のパリティ行列 H_T が、図11に示した階段構造になっている場合には、式 $Hc^T = 0$ における列ベクトル Hc^T の1行目の要素から順に、各行の要素を0にしていくようにすることで、逐次的（順番）に求めることができる。

【0118】

図12は、DVB-T.2の規格に規定されているLDPC符号の検査行列Hを説明する図である。

【0119】

DVB-T.2の規格に規定されているLDPC符号の検査行列Hの1列目からのKX列については、

10

20

30

40

50

列重みがXに、その後のK3列については、列重みが3に、その後のM-1列については、列重みが2に、最後の1列については、列重みが1に、それぞれなっている。

【0 1 2 0】

ここで、 $KX+K3+M-1+1$ は、符号長Nに等しい。

【0 1 2 1】

図13は、DVB-T.2の規格に規定されているLDPC符号の各符号化率rについての、列数KX、K3、及びM、並びに、列重みXを示す図である。

【0 1 2 2】

DVB-T.2の規格では、64800ビットと16200ビットの符号長NのLDPC符号が規定されている。

【0 1 2 3】

そして、符号長Nが64800ビットのLDPC符号については、11個の符号化率(nominal rate) $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9$ 、及び $9/10$ が規定されており、符号長Nが16200ビットのLDPC符号については、10個の符号化率 $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6$ 、及び $8/9$ が規定されている。

【0 1 2 4】

ここで、以下、64800ビットの符号長Nを、64kビットともいい、16200ビットの符号長Nを、16kビットともいう。

【0 1 2 5】

LDPC符号については、検査行列Hの列重みが大の列に対応する符号ビットほど、エラーレートが低いことが知られている。

【0 1 2 6】

図12及び図13に示した、DVB-T.2の規格に規定されている検査行列Hでは、先頭側（左側）の列ほど、列重みが大の傾向にあり、したがって、その検査行列Hに対応するLDPC符号については、先頭の符号ビットほど、エラーに強く（エラーに対する耐性があり）、終わりの符号ビットほど、エラーに弱い傾向がある。

【0 1 2 7】

次に、図14は、図8のQAMエンコーダ117で16QAMが行われる場合の、16個のシンボル（に対応する信号点）のIQ平面上の配置を示している。

【0 1 2 8】

すなわち、図14のAは、DVB-T.2の16QAMのシンボルを示している。

【0 1 2 9】

16QAMでは、1シンボルは、4ビットで表され、16 ($=2^4$) 個のシンボルが存在する。そして、16個のシンボルは、IQ平面の原点を中心として、I方向×Q方向が 4×4 の正方形となるように配置されている。

【0 1 3 0】

いま、1シンボルが表すビット列の、最上位ビットから $i+1$ ビット目のビットを、ビット y_i と表すこととすると、16QAMの1シンボルが表す4ビットは、最上位ビットから順に、ビット y_0, y_1, y_2, y_3 と表すことができる。変調方式が16QAMの場合には、LDPC符号の符号ビットの4ビットが、4ビット y_0 ないし y_3 のシンボル（シンボル値）に（シンボル化）される。

【0 1 3 1】

図14のBは、16QAMのシンボルが表す4ビット（以下、シンボルビットともいう） y_0 ないし y_3 それぞれについてのビット境界を示している。

【0 1 3 2】

ここで、シンボルビット y_i （図14では、 $i=0, 1, 2, 3$ ）についてのビット境界とは、そのシンボルビット y_i が0になっているシンボルと、1になっているシンボルとの境界を意味する。

【0 1 3 3】

図14のBに示すように、16QAMのシンボルが表す4シンボルビット y_0 ないし y_3 のうち

10

20

30

40

50

の最上位のシンボルビット y_0 については、IQ平面のQ軸の1箇所だけがビット境界となり、2番目（最上位ビットから2番目）のシンボルビット y_1 については、IQ平面のI軸の1箇所だけがビット境界となる。

【0134】

また、3番目のシンボルビット y_2 については、 4×4 個のシンボルのうちの、左から1列目と2列目との間、及び3列目と4列目との間の2箇所が、ビット境界となる。

【0135】

さらに、4番目のシンボルビット y_3 については、 4×4 個のシンボルのうちの、上から1行目と2行目との間、及び3行目と4行目との間の2箇所が、ビット境界となる。

【0136】

シンボルが表すシンボルビット y_i は、ビット境界から離れているシンボルが多いほど、誤りにくく（エラー確率が低く）、ビット境界に近いシンボルが多いほど、誤りやすい（エラー確率が高い）。

【0137】

いま、誤りにくい（エラーに強い）ビットを、「強いビット」というとともに、誤りやすい（エラーに弱い）ビットを、「弱いビット」ということとすると、16QAMのシンボルの4シンボルビット y_0 ないし y_3 については、最上位のシンボルビット y_0 、及び2番目のシンボルビット y_1 が強いビットになっており、3番目のシンボルビット y_2 、及び4番目のシンボルビット y_3 が弱いビットになっている。

【0138】

図15ないし図17は、図8のQAMエンコーダ117で64QAMが行われる場合の、64個のシンボル（に対応する信号点）のIQ平面上の配置、すなわち、DVB-T.2の16QAMのシンボルを示している。

【0139】

64QAMでは、1シンボルは、6ビットを表し、 $64 (=2^6)$ 個のシンボルが存在する。そして、64個のシンボルは、IQ平面の原点を中心として、I方向 $\times$ Q方向が 8×8 の正形状となるように配置されている。

【0140】

64QAMの1シンボルのシンボルビットは、最上位ビットから順に、ビット $y_0, y_1, y_2, y_3, y_4, y_5$ と表すことができる。変調方式が64QAMの場合には、LDPC符号の符号ビットの6ビットは、6ビットのシンボルビット y_0 ないし y_5 のシンボルにされる。

【0141】

ここで、図15は、64QAMのシンボルのシンボルビット y_0 ないし y_5 のうちの、最上位のシンボルビット y_0 と、2番目のシンボルビット y_1 それぞれについてのビット境界を、図16は、3番目のシンボルビット y_2 と、4番目のシンボルビット y_3 それぞれについてのビット境界を、図17は、5番目のシンボルビット y_4 と、6番目のシンボルビット y_5 それぞれについてのビット境界を、それぞれ示している。

【0142】

図15に示すように、最上位のシンボルビット y_0 と、2番目のシンボルビット y_1 それぞれについてのビット境界は、1箇所になっている。また、図16に示すように、3番目のシンボルビット y_2 と、4番目のシンボルビット y_3 それぞれについてのビット境界は、2箇所になっており、図17に示すように、5番目のシンボルビット y_4 と、6番目のシンボルビット y_5 それぞれについてのビット境界は、4箇所になっている。

【0143】

したがって、64QAMのシンボルのシンボルビット y_0 ないし y_5 については、最上位シンボルビット y_0 、及び2番目のシンボルビット y_1 が、強いビットになっており、3番目のシンボルビット y_2 、及び4番目のシンボルビット y_3 が、その次に強いビットになっている。そして、5番目のシンボルビット y_4 と、6番目のシンボルビット y_5 は、弱いビットになっている。

【0144】

10

20

30

40

50

図 1 4、さらには、図 1 5 ないし図 1 7 から、直交変調のシンボルのシンボルビットについては、上位ビットが強いビットとなり、下位ビットが弱いビットになる傾向があることが分かる。

【0 1 4 5】

ここで、図 1 2 及び図 1 3 で説明したように、LDPC エンコーダ 1 1 5 (図 8) が出力する LDPC 符号については、エラーに強い符号ビットと、エラーに弱い符号ビットがある。

【0 1 4 6】

また、図 1 4 ないし図 1 7 で説明したように、QAM エンコーダ 1 1 7 で行われる直交変調のシンボルのシンボルビットについては、強いビットと弱いビットがある。

【0 1 4 7】

したがって、LDPC 符号の、エラーに弱い符号ビットを、直交変調のシンボルの、弱いシンボルビットに割り当てると、全体として、エラーに対する耐性が低下する。

【0 1 4 8】

そこで、LDPC 符号の、エラーに弱い符号ビットを、直交変調のシンボルの、強いビット(シンボルビット)に割り当てる傾向で、LDPC 符号の符号ビットをインターリーブするインターリーバが提案されている。

【0 1 4 9】

図 9 のデマルチプレクサ 2 5 は、そのインターリーバの処理を行うことができる。

【0 1 5 0】

図 1 8 は、図 9 のデマルチプレクサ 2 5 の処理を説明する図である。

【0 1 5 1】

すなわち、図 1 8 の A は、デマルチプレクサ 2 5 の機能的な構成例を示している。

【0 1 5 2】

デマルチプレクサ 2 5 は、メモリ 3 1 及び入れ替え部 3 2 から構成される。

【0 1 5 3】

メモリ 3 1 には、LDPC エンコーダ 1 1 5 からの LDPC 符号が供給される。

【0 1 5 4】

メモリ 3 1 は、ロウ(row)(横)方向に mb ビットを記憶するとともに、カラム(column)(縦)方向に $N/(mb)$ ビットを記憶する記憶容量を有し、そこに供給される LDPC 符号の符号ビットを、カラム方向に書き込み、ロウ方向に読み出して、入れ替え部 3 2 に供給する。

【0 1 5 5】

ここで、 N (= 情報長 K + パリティ長 M) は、上述したように、LDPC 符号の符号長を表す。

【0 1 5 6】

また、 m は、1 シンボルとなる LDPC 符号の符号ビットのビット数を表し、 b は所定の正の整数で、 m を整数倍するのに用いられる倍数である。デマルチプレクサ 2 5 は、上述したように、LDPC 符号の符号ビットをシンボルとする(シンボル化する)が、倍数 b は、デマルチプレクサ 2 5 が、いわば一度のシンボル化によって得るシンボルの個数を表す。

【0 1 5 7】

図 1 8 の A は、変調方式が 64QAM である場合のデマルチプレクサ 2 5 の構成例を示しており、したがって、1 シンボルとなる LDPC 符号の符号ビットのビット数 m は、6 ビットである。

【0 1 5 8】

また、図 1 8 の A では、倍数 b は 1 になっており、したがって、メモリ 3 1 は、カラム方向 $\times$ ロウ方向が $N/(6 \times 1) \times (6 \times 1)$ ビットの記憶容量を有する。

【0 1 5 9】

ここで、メモリ 3 1 の、ロウ方向が 1 ビットの、カラム方向に延びる記憶領域を、以下、適宜、カラムという。図 1 8 の A では、メモリ 3 1 は、6 (= 6×1) 個のカラムから構成される。

【0 1 6 0】

10

20

30

40

50

デマルチプレクサ 25では、LDPC符号の符号ビットを、メモリ 31を構成するカラムの上から下方向（カラム方向）に書き込むことが、左から右方向のカラムに向かって行われる。

【0161】

そして、符号ビットの書き込みが、最も右のカラムの一番下まで終了すると、メモリ 31を構成するすべてのカラムの 1 行目から、ロウ方向に、6 ビット（mbビット）単位で、符号ビットが読み出され、入れ替え部 32に供給される。

【0162】

入れ替え部 32は、メモリ 31からの 6 ビットの符号ビットの位置を入れ替える入れ替え処理を行い、その結果得られる 6 ビットを、64QAMの 1 シンボルを表す 6 シンボルビット $y_0, y_1, y_2, y_3, y_4, y_5$ として出力する。

【0163】

すなわち、メモリ 31からは、ロウ方向に、mbビット（ここでは、6 ビット）の符号ビットが読み出されるが、その、メモリ 31から読み出されるmbビットの符号ビットの、最上位ビットからiビット目を($i=0, 1, \dots, mb-1$)、ビット b_i と表すこととすると、メモリ 31からロウ方向に読み出される 6 ビットの符号ビットは、最上位ビットから順に、ビット $b_0, b_1, b_2, b_3, b_4, b_5$ と表すことができる。

【0164】

図 12 及び図 13 で説明した列重みの関係で、ビット b_0 の方向にある符号ビットは、エラーに強い符号ビットになっており、ビット b_5 の方向にある符号ビットは、エラーに弱い符号ビットになっている。

【0165】

入れ替え部 32では、メモリ 31からの 6 ビットの符号ビット b_0 ないし b_5 のうちの、エラーに弱い符号ビットが、64QAMの 1 シンボルのシンボルビット y_0 ないし y_5 のうちの、強いビットに割り当てられるように、メモリ 31からの 6 ビットの符号ビット b_0 ないし b_5 の位置を入れ替える入れ替え処理を行うことができる。

【0166】

ここで、メモリ 31からの 6 ビットの符号ビット b_0 ないし b_5 をどのように入れ替えて、64QAMの 1 シンボルを表す 6 シンボルビット y_0 ないし y_5 のそれぞれに割り当てるかの入れ替え方式としては、各社から、様々な方式が提案されている。

【0167】

図 18 の B は、第 1 の入れ替え方式を、図 18 の C は、第 2 の入れ替え方式を、図 18 の D は、第 3 の入れ替え方式を、それぞれ示している。

【0168】

図 18 の B ないし図 18 の D において（後述する図 19 においても同様）、ビット b_i と y_j とを結ぶ線分は、符号ビット b_i を、シンボルのシンボルビット y_j に割り当てる（シンボルビット y_j の位置に入れ替える）ことを意味する。

【0169】

図 18 の B の第 1 の入れ替え方式としては、3 種類の入れ替え方のうちのいずれか 1 つを採用することが提案されており、図 18 の C の第 2 の入れ替え方式としては、2 種類の入れ替え方のうちのいずれか 1 つを採用することが提案されている。

【0170】

図 18 の D の第 3 の入れ替え方式としては、6 種類の入れ替え方を順番に選択して用いることが提案されている。

【0171】

図 19 は、変調方式が 64QAM であり（したがって、1 シンボルにマッピングされる LDPC 符号の符号ビットのビット数 m は、図 18 と同様に 6 ビットである）、かつ、倍数 b が 2 の場合のデマルチプレクサ 25 の構成例と、第 4 の入れ替え方式を示している。

【0172】

倍数 b が 2 である場合、メモリ 31 は、カラム方向 $\times$ ロウ方向が $N/(6 \times 2) \times (6 \times 2)$ ビット

10

20

30

40

50

の記憶容量を有し、 $12 (=6 \times 2)$ 個のカラムから構成される。

【0173】

図19のAは、メモリ31へのLDPC符号の書き込み順を示している。

【0174】

デマルチプレクサ25では、図18で説明したように、LDPC符号の符号ビットを、メモリ31を構成するカラムの上から下方向（カラム方向）に書き込むことが、左から右方向のカラムに向かって行われる。

【0175】

そして、符号ビットの書き込みが、最も右のカラムの一番下まで終了すると、メモリ31を構成するすべてのカラムの1行目から、ロウ方向に、12ビット（mbビット）単位で、符号ビットが読み出され、入れ替え部32に供給される。

10

【0176】

入れ替え部32は、メモリ31からの12ビットの符号ビットの位置を、第4の入れ替え方式で入れ替える入れ替え処理を行い、その結果得られる12ビットを、64QAMの2シンボル（b個のシンボル）を表す12ビット、つまり、64QAMの1シンボルを表す6シンボルビット $y_0, y_1, y_2, y_3, y_4, y_5$ と、次の1シンボルを表す6シンボルビット $y_0, y_1, y_2, y_3, y_4, y_5$ として出力する。

【0177】

ここで、図19のBは、図19のAの入れ替え部32による入れ替え処理の第4の入れ替え方式を示している。

20

【0178】

なお、倍数bが2である場合（3以上である場合も同様）、入れ替え処理では、mbビットの符号ビットが、連続するb個のシンボルのmbビットのシンボルビットに割り当てられる。図19を含め、以下では、説明の便宜上、連続するb個のシンボルのmbビットのシンボルビットの最上位ビットから $i+1$ ビット目を、ビット（シンボルビット） y_i と表す。

【0179】

また、どのような入れ替え方が適切であるか、つまり、AWGN通信路でのエラーレートをより向上させるかは、LDPC符号の符号化率や符号長、変調方式等によって異なる。

【0180】

[パリティインターリーブ]

30

【0181】

次に、図20ないし図22を参照して、図9のパリティインターリーブ23によるパリティインターリーブについて説明する。

【0182】

図20は、LDPC符号の検査行列のタナグラフ（の一部）を示している。

【0183】

チェックノードは、図20に示すように、そのチェックノードに繋がっているバリアブルノード（に対応する符号ビット）の2個等の複数が同時にイレージャ等のエラーになると、そのチェックノードに繋がっている全バリアブルノードに、値が0である確率と1である確率とが等確率のメッセージを戻す。このため、同一のチェックノードに繋がっている複数のバリアブルノードが同時にイレージャ等になると、復号の性能が劣化する。

40

【0184】

ところで、図8のLDPCエンコーダ115が出力する、DVB-T.2の規格に規定されているLDPC符号は、IRA符号であり、検査行列Hのパリティ行列 H_T は、図11に示したように、階段構造になっている。

【0185】

図21は、階段構造になっているパリティ行列 H_T と、そのパリティ行列 H_T に対応するタナグラフを示している。

【0186】

すなわち、図21のAは、階段構造になっているパリティ行列 H_T を示しており、図21

50

のBは、図21のAのパリティ行列 H_T に対応するタナグラフを示している。

【0187】

階段構造になっているパリティ行列 H_T では、各行において、1の要素が隣接する（1行目を除く）。このため、パリティ行列 H_T のタナグラフにおいて、パリティ行列 H_T の値が1になっている隣接する2つの要素の列に対応する、隣接する2つのバリエブルノードは、同一のチェックノードに繋がっている。

【0188】

したがって、バースト誤りやイレージャ等によって、上述の隣接する2つのバリエブルノードに対応するパリティビットが同時にエラーとなると、そのエラーとなった2つのパリティビットに対応する2つのバリエブルノード（パリティビットを用いてメッセージを求めるバリエブルノード）に繋がっているチェックノードは、値が0である確率と1である確率とが等確率のメッセージを、そのチェックノードに繋がっているバリエブルノードに戻すため、復号の性能が劣化する。そして、バースト長（連続してエラーとなるパリティビットのビット数）が大になると、等確率のメッセージに戻すチェックノードが増加し、復号の性能は、さらに劣化する。

【0189】

そこで、パリティインターリーブ23（図9）は、上述した復号の性能の劣化を防止するため、LDPCエンコーダ115からの、LDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行う。

【0190】

図22は、図9のパリティインターリーブ23が行うパリティインターリーブ後のLDPC符号に対応する検査行列Hのパリティ行列 H_T を示している。

【0191】

ここで、LDPCエンコーダ115が出力する、DVB-T.2の規格に規定されているLDPC符号に対応する検査行列Hの情報行列 H_A は、巡回構造になっている。

【0192】

巡回構造とは、ある列が、他の列をサイクリックシフトしたものと一致している構造をいい、例えば、P列ごとに、そのP列の各行の1の位置が、そのP列の最初の列を、パリティ長Mを除算して得られる値qに比例する値だけ、列方向にサイクリックシフトした位置になっている構造も含まれる。以下、適宜、巡回構造におけるP列を、巡回構造の単位の列数という。

【0193】

DVB-T.2の規格に規定されているLDPC符号としては、図12及び図13で説明したように、符号長Nが64800ビットと16200ビットとの、2種類のLDPC符号があり、その2種類のLDPC符号のいずれについても、巡回構造の単位の列数Pが、パリティ長Mの約数のうちの、1とMを除く約数の1つである360に規定されている。

【0194】

また、パリティ長Mは、符号化率によって異なる値qを用いて、式 $M=q \times P=q \times 360$ で表される素数以外の値になっている。したがって、値qも、巡回構造の単位の列数Pと同様に、パリティ長Mの約数のうちの、1とMを除く約数の他の1つであり、パリティ長Mを、巡回構造の単位の列数Pで除算することにより得られる（パリティ長Mの約数であるP及びqの積は、パリティ長Mとなる）。

【0195】

パリティインターリーブ23は、上述したように、情報長をKとし、また、0以上P未満の整数をxとするとともに、0以上q未満の整数をyとすると、パリティインターリーブとして、NビットのLDPC符号の符号ビットのうちの、 $K+qx+y+1$ 番目の符号ビットを、 $K+Py+x+1$ 番目の符号ビットの位置にインターリーブする。

【0196】

$K+qx+y+1$ 番目の符号ビット、及び、 $K+Py+x+1$ 番目の符号ビットは、いずれも、K+1番目以降の符号ビットであるから、パリティビットであり、したがって、パリティインターリ

10

20

30

40

50

ープによれば、LDPC符号のパリティビットの位置が移動される。

【0197】

このようなパリティインターリーブによれば、同一のチェックノードに繋がれるバリエブルノード（に対応するパリティビット）が、巡回構造の単位の列数 P 、すなわち、ここでは、360ビットだけ離れるので、バースト長が360ビット未満である場合には、同一のチェックノードに繋がっているバリエブルノードの複数が同時にエラーになる事態を避けることができ、その結果、バースト誤りに対する耐性を改善することができる。

【0198】

なお、 $K+qx+y+1$ 番目の符号ビットを、 $K+Py+x+1$ 番目の符号ビットの位置にインターリーブするパリティインターリーブ後のLDPC符号は、元の検査行列 H の、 $K+qx+y+1$ 番目の列を、 $K+Py+x+1$ 番目の列に置換する列置換を行って得られる検査行列（以下、変換検査行列ともいう）のLDPC符号に一致する。

【0199】

また、変換検査行列のパリティ行列には、図22に示すように、 P 列（図22では、360列）を単位とする擬似巡回構造が現れる。

【0200】

ここで、擬似巡回構造とは、一部を除く部分が巡回構造になっている構造を意味する。DVB-T.2の規格に規定されているLDPC符号の検査行列に対して、パリティインターリーブに相当する列置換を施して得られる変換検査行列は、その右隅部分の360行×360列の部分（後述するシフト行列）に、1の要素が1つだけならず（0の要素になっており）、その点で、（完全な）巡回構造ではなく、いわば、擬似巡回構造になっている。

【0201】

なお、図22の変換検査行列は、元の検査行列 H に対して、パリティインターリーブに相当する列置換の他、変換検査行列が、後述する構成行列で構成されるようにするための行の置換（行置換）も施された行列になっている。

【0202】

〔カラムツイストインターリーブ〕

【0203】

次に、図23ないし図26を参照して、図9のカラムツイストインターリーブ24による並び替え処理としてのカラムツイストインターリーブについて説明する。

【0204】

図8の送信装置11では、LDPC符号の符号ビットの1ビット以上を、1個のシンボルとして送信する。すなわち、例えば、符号ビットの2ビットを1個のシンボルとする場合には、変調方式として、例えば、QPSKが用いられ、符号ビットの4ビットを1個のシンボルとする場合には、変調方式として、例えば、16QAMが用いられる。

【0205】

符号ビットの2ビット以上を、1個のシンボルとして送信する場合、あるシンボルに、イレージャ等が発生すると、そのシンボルの符号ビットは、すべてエラー（イレージャ）になる。

【0206】

したがって、復号の性能を向上させるために、同一のチェックノードに繋がっているバリエブルノード（に対応する符号ビット）の複数が同時にイレージャになる確率を低下させるには、1個のシンボルの符号ビットに対応するバリエブルノードが、同一のチェックノードに繋がることを避ける必要がある。

【0207】

一方、上述したように、LDPCエンコーダ115が出力する、DVB-T.2の規格に規定されているLDPC符号の検査行列 H では、情報行列 H_A が巡回構造を有し、パリティ行列 H_T が階段構造を有している。そして、図22で説明したように、パリティインターリーブ後のLDPC符号の検査行列である変換検査行列では、パリティ行列にも巡回構造（正確には、上述したように、擬似巡回構造）が現れる。

【0208】

図23は、変換検査行列を示している。

【0209】

すなわち、図23のAは、符号長 N が64800ビットで、符号化率(r)が $3/4$ のLDPC符号の検査行列 H の変換検査行列を示している。

【0210】

図23のAでは、変換検査行列において、値が1になっている要素の位置が、点(・)で示されている。

【0211】

図23のBは、図23のAの変換検査行列のLDPC符号、つまり、パリティインターリーブ後のLDPC符号を対象として、デマルチプレクサ25(図9)が行う処理を示している。

【0212】

図23のBでは、変調方式を16QAMとして、デマルチプレクサ25のメモリ31を構成する4カラムに、パリティインターリーブ後のLDPC符号の符号ビットが、カラム方向に書き込まれている。

【0213】

メモリ31を構成する4カラムに、カラム方向に書き込まれた符号ビットは、ロウ方向に、4ビット単位で読み出され、1シンボルとなる。

【0214】

この場合、1シンボルとなる4ビットの符号ビット B_0, B_1, B_2, B_3 は、図23のAの変換検査行列の、任意の1行にある1に対応する符号ビットとなっていることがあり、この場合、その符号ビット B_0, B_1, B_2, B_3 それぞれに対応するバリアブルノードは、同一のチェックノードに繋がっている。

【0215】

したがって、1シンボルの4ビットの符号ビット B_0, B_1, B_2, B_3 が、変換検査行列の任意の1行にある1に対応する符号ビットとなっている場合には、そのシンボルに、エラーが発生すると、符号ビット B_0, B_1, B_2, B_3 それぞれに対応するバリアブルノードが繋がっている同一のチェックノードにおいて、適切なメッセージを求めることができず、その結果、復号の性能が劣化する。

【0216】

符号化率が $3/4$ 以外の符号化率についても、同様に、同一のチェックノードに繋がっている複数のバリアブルノードに対応する複数の符号ビットが、16QAMの1個のシンボルとされることがある。

【0217】

そこで、カラムツイストインターリーブ24は、変換検査行列の任意の1行にある1に対応する複数の符号ビットが、1個のシンボルに含まれないように、パリティインターリーブ23からのパリティインターリーブ後のLDPC符号の符号ビットをインターリーブするカラムツイストインターリーブを行う。

【0218】

図24は、カラムツイストインターリーブを説明する図である。

【0219】

すなわち、図24は、デマルチプレクサ25のメモリ31(図18、図19)を示している。

【0220】

メモリ31は、図18で説明したように、カラム(縦)方向に mb ビットを記憶するとともに、ロウ(横)方向に $N/(mb)$ ビットを記憶する記憶容量を有し、 mb 個のカラムから構成される。そして、カラムツイストインターリーブ24は、メモリ31に対して、LDPC符号の符号ビットを、カラム方向に書き込み、ロウ方向に読み出すときの書き始めの位置を制御することで、カラムツイストインターリーブを行う。

【0221】

10

20

30

40

50

すなわち、カラムツイストインターリーブ24では、複数のカラムそれぞれについて、符号ビットの書き込みを開始する書き始めの位置を、適宜変更することで、ロウ方向に読み出される、1シンボルとされる複数の符号ビットが、変換検査行列の任意の1行にある1に対応する符号ビットにならないようにする（検査行列の任意の1行にある1に対応する複数の符号ビットが、同一のシンボルに含まれないように、LDPC符号の符号ビットを並び替える）。

【0222】

ここで、図24は、変調方式が16QAMであり、かつ、図18で説明した倍数 b が1である場合の、メモリ31の構成例を示している。したがって、1シンボルにされるLDPC符号の符号ビットのビット数 m は、4ビットであり、また、メモリ31は、4(= mb)個のカラムで構成されている。

10

【0223】

カラムツイストインターリーブ24は、（図18のデマルチプレクサ25に代わり）LDPC符号の符号ビットを、メモリ31を構成する4個のカラムの上から下方向（カラム方向）に書き込むことを、左から右方向のカラムに向かって行う。

【0224】

そして、符号ビットの書き込みが、最も右のカラムまで終了すると、カラムツイストインターリーブ24は、メモリ31を構成するすべてのカラムの1行目から、ロウ方向に、4ビット(mb ビット)単位で、符号ビットを読み出し、カラムツイストインターリーブ後のLDPC符号として、デマルチプレクサ25の入れ替え部32（図18、図19）に出力する。

20

【0225】

但し、カラムツイストインターリーブ24では、各カラムの先頭（一番上）の位置のアドレスを0として、カラム方向の各位置のアドレスを、昇順の整数で表すこととすると、最も左のカラムについては、書き始めの位置を、アドレスが0の位置とし、（左から）2番目のカラムについては、書き始めの位置を、アドレスが2の位置とし、3番目のカラムについては、書き始めの位置を、アドレスが4の位置とし、4番目のカラムについては、書き始めの位置を、アドレスが7の位置とする。

【0226】

なお、書き始めの位置が、アドレスが0の位置以外の位置のカラムについては、符号ビットを、最も下の位置まで書き込んだ後は、先頭（アドレスが0の位置）に戻り、書き始めの位置の直前の位置までの書き込みが行われる。そして、その後、次（右）のカラムへの書き込みが行われる。

30

【0227】

以上のようなカラムツイストインターリーブを行うことにより、DVB-T.2の規格に規定されているLDPC符号について、同一のチェックノードに繋がっている複数のバリエーションノードに対応する複数の符号ビットが、16QAMの1個のシンボルとされること（同一のシンボルに含まれること）を回避することができ、その結果、イレージャのある通信路での復号の性能を向上させることができる。

【0228】

図25は、DVB-T.2の規格に規定されている、符号長 N が64800の、11個の符号化率それぞれのLDPC符号について、カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを、変調方式ごとに示している。

40

【0229】

倍数 b が1であり、かつ、変調方式として、例えば、QPSKが採用されることによって、1シンボルのビット数 m が、2ビットである場合、図25によれば、メモリ31は、ロウ方向に 2×1 (= mb)ビットを記憶する2個のカラムを有し、カラム方向に $64800 / (2 \times 1)$ ビットを記憶する。

【0230】

そして、メモリ31の2個のカラムのうちの1番目のカラムの書き始めの位置は、アド

50

レスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、それぞれされる。

【0231】

なお、例えば、デマルチプレクサ25（図9）の入れ替え処理の入れ替え方式として、図18の第1ないし第3の入れ替え方式のうちのいずれかが採用される場合等に、倍数bは1となる。

【0232】

倍数bが2であり、かつ、変調方式として、例えば、QPSKが採用されることによって、1シンボルのビット数mが、2ビットである場合、図25によれば、メモリ31は、ロウ方向に 2×2 ビットを記憶する4個のカラムを有し、カラム方向に $64800 / (2 \times 2)$ ビットを記憶する。 10

【0233】

そして、メモリ31の4個のカラムのうちの1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが4の位置と、4番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

【0234】

なお、例えば、デマルチプレクサ25（図9）の入れ替え処理の入れ替え方式として、図19の第4の入れ替え方式が採用される場合等に、倍数bは2となる。

【0235】

倍数bが1であり、かつ、変調方式として、例えば、16QAMが採用されることによって、1シンボルのビット数mが、4ビットである場合、図25によれば、メモリ31は、ロウ方向に 4×1 ビットを記憶する4個のカラムを有し、カラム方向に $64800 / (4 \times 1)$ ビットを記憶する。 20

【0236】

そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが4の位置と、4番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

【0237】

倍数bが2であり、かつ、変調方式として、例えば、16QAMが採用されることによって、1シンボルのビット数mが、4ビットである場合、図25によれば、メモリ31は、ロウ方向に 4×2 ビットを記憶する8個のカラムを有し、カラム方向に $64800 / (4 \times 2)$ ビットを記憶する。 30

【0238】

そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが4の位置と、6番目のカラムの書き始めの位置は、アドレスが5の位置と、7番目のカラムの書き始めの位置は、アドレスが7の位置と、8番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。 40

【0239】

倍数bが1であり、かつ、変調方式として、例えば、64QAMが採用されることによって、1シンボルのビット数mが、6ビットである場合、図25によれば、メモリ31は、ロウ方向に 6×1 ビットを記憶する6個のカラムを有し、カラム方向に $64800 / (6 \times 1)$ ビットを記憶する。

【0240】

そして、メモリ31の6個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目 50

の Colum の書き始めの位置は、アドレスが5の位置と、4番目の Colum の書き始めの位置は、アドレスが9の位置と、5番目の Colum の書き始めの位置は、アドレスが10の位置と、6番目の Colum の書き始めの位置は、アドレスが13の位置と、それぞれされる。

【0241】

倍数 b が2であり、かつ、変調方式として、例えば、64QAMが採用されることによって、1シンボルのビット数 m が、6ビットである場合、図25によれば、メモリ31は、ロウ方向に 6×2 ビットを記憶する12個の Colum を有し、Colum 方向に $64800 / (6 \times 2)$ ビットを記憶する。

【0242】

そして、メモリ31の12個の Colum のうちの、1番目の Colum の書き始めの位置は、アドレスが0の位置と、2番目の Colum の書き始めの位置は、アドレスが0の位置と、3番目の Colum の書き始めの位置は、アドレスが2の位置と、4番目の Colum の書き始めの位置は、アドレスが2の位置と、5番目の Colum の書き始めの位置は、アドレスが3の位置と、6番目の Colum の書き始めの位置は、アドレスが4の位置と、7番目の Colum の書き始めの位置は、アドレスが4の位置と、8番目の Colum の書き始めの位置は、アドレスが5の位置と、9番目の Colum の書き始めの位置は、アドレスが5の位置と、10番目の Colum の書き始めの位置は、アドレスが7の位置と、11番目の Colum の書き始めの位置は、アドレスが8の位置と、12番目の Colum の書き始めの位置は、アドレスが9の位置と、それぞれされる。

【0243】

倍数 b が1であり、かつ、変調方式として、例えば、256QAMが採用されることによって、1シンボルのビット数 m が、8ビットである場合、図25によれば、メモリ31は、ロウ方向に 8×1 ビットを記憶する8個の Colum を有し、Colum 方向に $64800 / (8 \times 1)$ ビットを記憶する。

【0244】

そして、メモリ31の8個の Colum のうちの、1番目の Colum の書き始めの位置は、アドレスが0の位置と、2番目の Colum の書き始めの位置は、アドレスが0の位置と、3番目の Colum の書き始めの位置は、アドレスが2の位置と、4番目の Colum の書き始めの位置は、アドレスが4の位置と、5番目の Colum の書き始めの位置は、アドレスが4の位置と、6番目の Colum の書き始めの位置は、アドレスが5の位置と、7番目の Colum の書き始めの位置は、アドレスが7の位置と、8番目の Colum の書き始めの位置は、アドレスが7の位置と、それぞれされる。

【0245】

倍数 b が2であり、かつ、変調方式として、例えば、256QAMが採用されることによって、1シンボルのビット数 m が、8ビットである場合、図25によれば、メモリ31は、ロウ方向に 8×2 ビットを記憶する16個の Colum を有し、Colum 方向に $64800 / (8 \times 2)$ ビットを記憶する。

【0246】

そして、メモリ31の16個の Colum のうちの、1番目の Colum の書き始めの位置は、アドレスが0の位置と、2番目の Colum の書き始めの位置は、アドレスが2の位置と、3番目の Colum の書き始めの位置は、アドレスが2の位置と、4番目の Colum の書き始めの位置は、アドレスが2の位置と、5番目の Colum の書き始めの位置は、アドレスが2の位置と、6番目の Colum の書き始めの位置は、アドレスが3の位置と、7番目の Colum の書き始めの位置は、アドレスが7の位置と、8番目の Colum の書き始めの位置は、アドレスが15の位置と、9番目の Colum の書き始めの位置は、アドレスが16の位置と、10番目の Colum の書き始めの位置は、アドレスが20の位置と、11番目の Colum の書き始めの位置は、アドレスが22の位置と、12番目の Colum の書き始めの位置は、アドレスが22の位置と、13番目の Colum の書き始めの位置は、アドレスが27の位置と、14番目の Colum の書き始めの位置は、アドレスが27の位置と、15番目の Colum の書き始めの位置は、アドレスが28の位置と、16番目の Colum の書き始めの位置は、アドレスが32の位置と、それぞれ

10

20

30

40

50

される。

【0247】

倍数 b が1であり、かつ、変調方式として、例えば、1024QAMが採用されることによって、1シンボルのビット数 m が、10ビットである場合、図25によれば、メモリ31は、ロウ方向に 10×1 ビットを記憶する10個のカラムを有し、カラム方向に $64800 / (10 \times 1)$ ビットを記憶する。

【0248】

そして、メモリ31の10個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが3の位置と、3番目のカラムの書き始めの位置は、アドレスが6の位置と、4番目のカラムの書き始めの位置は、アドレスが8の位置と、5番目のカラムの書き始めの位置は、アドレスが11の位置と、6番目のカラムの書き始めの位置は、アドレスが13の位置と、7番目のカラムの書き始めの位置は、アドレスが15の位置と、8番目のカラムの書き始めの位置は、アドレスが17の位置と、9番目のカラムの書き始めの位置は、アドレスが18の位置と、10番目のカラムの書き始めの位置は、アドレスが20の位置と、それぞれされる。

【0249】

倍数 b が2であり、かつ、変調方式として、例えば、1024QAMが採用されることによって、1シンボルのビット数 m が、10ビットである場合、図25によれば、メモリ31は、ロウ方向に 10×2 ビットを記憶する20個のカラムを有し、カラム方向に $64800 / (10 \times 2)$ ビットを記憶する。

【0250】

そして、メモリ31の20個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが1の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが4の位置と、5番目のカラムの書き始めの位置は、アドレスが5の位置と、6番目のカラムの書き始めの位置は、アドレスが6の位置と、7番目のカラムの書き始めの位置は、アドレスが6の位置と、8番目のカラムの書き始めの位置は、アドレスが9の位置と、9番目のカラムの書き始めの位置は、アドレスが13の位置と、10番目のカラムの書き始めの位置は、アドレスが14の位置と、11番目のカラムの書き始めの位置は、アドレスが14の位置と、12番目のカラムの書き始めの位置は、アドレスが16の位置と、13番目のカラムの書き始めの位置は、アドレスが21の位置と、14番目のカラムの書き始めの位置は、アドレスが21の位置と、15番目のカラムの書き始めの位置は、アドレスが23の位置と、16番目のカラムの書き始めの位置は、アドレスが25の位置と、17番目のカラムの書き始めの位置は、アドレスが25の位置と、18番目のカラムの書き始めの位置は、アドレスが26の位置と、19番目のカラムの書き始めの位置は、アドレスが28の位置と、20番目のカラムの書き始めの位置は、アドレスが30の位置と、それぞれされる。

【0251】

倍数 b が1であり、かつ、変調方式として、例えば、4096QAMが採用されることによって、1シンボルのビット数 m が、12ビットである場合、図25によれば、メモリ31は、ロウ方向に 12×1 ビットを記憶する12個のカラムを有し、カラム方向に $64800 / (12 \times 1)$ ビットを記憶する。

【0252】

そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが3の位置と、6番目のカラムの書き始めの位置は、アドレスが4の位置と、7番目のカラムの書き始めの位置は、アドレスが4の位置と、8番目のカラムの書き始めの位置は、アドレスが5の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが7の位置と、11番目のカラムの書き始めの位置は、ア

ドレスが8の位置と、12番目のカラムの書き始めの位置は、アドレスが9の位置と、それぞれされる。

【0253】

倍数 b が2であり、かつ、変調方式として、例えば、4096QAMが採用されることによって、1シンボルのビット数 m が、12ビットである場合、図25によれば、メモリ31は、ロウ方向に 12×2 ビットを記憶する24個のカラムを有し、カラム方向に $64800 / (12 \times 2)$ ビットを記憶する。

【0254】

そして、メモリ31の24個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが5の位置と、3番目のカラムの書き始めの位置は、アドレスが8の位置と、4番目のカラムの書き始めの位置は、アドレスが8の位置と、5番目のカラムの書き始めの位置は、アドレスが8の位置と、6番目のカラムの書き始めの位置は、アドレスが8の位置と、7番目のカラムの書き始めの位置は、アドレスが10の位置と、8番目のカラムの書き始めの位置は、アドレスが10の位置と、9番目のカラムの書き始めの位置は、アドレスが10の位置と、10番目のカラムの書き始めの位置は、アドレスが12の位置と、11番目のカラムの書き始めの位置は、アドレスが13の位置と、12番目のカラムの書き始めの位置は、アドレスが16の位置と、13番目のカラムの書き始めの位置は、アドレスが17の位置と、14番目のカラムの書き始めの位置は、アドレスが19の位置と、15番目のカラムの書き始めの位置は、アドレスが21の位置と、16番目のカラムの書き始めの位置は、アドレスが22の位置と、17番目のカラムの書き始めの位置は、アドレスが23の位置と、18番目のカラムの書き始めの位置は、アドレスが26の位置と、19番目のカラムの書き始めの位置は、アドレスが37の位置と、20番目のカラムの書き始めの位置は、アドレスが39の位置と、21番目のカラムの書き始めの位置は、アドレスが40の位置と、22番目のカラムの書き始めの位置は、アドレスが41の位置と、23番目のカラムの書き始めの位置は、アドレスが41の位置と、24番目のカラムの書き始めの位置は、アドレスが41の位置と、それぞれされる。

【0255】

図26は、DVB-T.2の規格に規定されている、符号長 N が16200の、10個の符号化率それぞれのLDPC符号について、カラムツイストインターリーブに必要なメモリ31のカラム数と、書き始めの位置のアドレスを、変調方式ごとに示している。

【0256】

倍数 b が1であり、かつ、変調方式として、例えば、QPSKが採用されることによって、1シンボルのビット数 m が、2ビットである場合、図26によれば、メモリ31は、ロウ方向に 2×1 ビットを記憶する2個のカラムを有し、カラム方向に $16200 / (2 \times 1)$ ビットを記憶する。

【0257】

そして、メモリ31の2個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、それぞれされる。

【0258】

倍数 b が2であり、かつ、変調方式として、例えば、QPSKが採用されることによって、1シンボルのビット数 m が、2ビットである場合、図26によれば、メモリ31は、ロウ方向に 2×2 ビットを記憶する4個のカラムを有し、カラム方向に $16200 / (2 \times 2)$ ビットを記憶する。

【0259】

そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、それぞれされる。

【0260】

倍数 b が1であり、かつ、変調方式として、例えば、16QAMが採用されることによって、1シンボルのビット数 m が、4ビットである場合、図26によれば、メモリ31は、ロウ方向に 4×1 ビットを記憶する4個のカラムを有し、カラム方向に $16200 / (4 \times 1)$ ビットを記憶する。

【0261】

そして、メモリ31の4個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが2の位置と、3番目のカラムの書き始めの位置は、アドレスが3の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、それぞれされる。

【0262】

倍数 b が2であり、かつ、変調方式として、例えば、16QAMが採用されることによって、1シンボルのビット数 m が、4ビットである場合、図26によれば、メモリ31は、ロウ方向に 4×2 ビットを記憶する8個のカラムを有し、カラム方向に $16200 / (4 \times 2)$ ビットを記憶する。

【0263】

そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが1の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが20の位置と、7番目のカラムの書き始めの位置は、アドレスが20の位置と、8番目のカラムの書き始めの位置は、アドレスが21の位置と、それぞれされる。

【0264】

倍数 b が1であり、かつ、変調方式として、例えば、64QAMが採用されることによって、1シンボルのビット数 m が、6ビットである場合、図26によれば、メモリ31は、ロウ方向に 6×1 ビットを記憶する6個のカラムを有し、カラム方向に $16200 / (6 \times 1)$ ビットを記憶する。

【0265】

そして、メモリ31の6個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが3の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

【0266】

倍数 b が2であり、かつ、変調方式として、例えば、64QAMが採用されることによって、1シンボルのビット数 m が、6ビットである場合、図26によれば、メモリ31は、ロウ方向に 6×2 ビットを記憶する12個のカラムを有し、カラム方向に $16200 / (6 \times 2)$ ビットを記憶する。

【0267】

そして、メモリ31の12個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが3の位置と、8番目のカラムの書き始めの位置は、アドレスが3の位置と、9番目のカラムの書き始めの位置は、アドレスが3の位置と、10番目のカラムの書き始めの位置は、アドレスが6の位置と、11番目のカラムの書き始めの位置は、アドレスが7の位置と、12番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

【0268】

10

20

30

40

50

倍数 b が1であり、かつ、変調方式として、例えば、256QAMが採用されることによって、1シンボルのビット数 m が、8ビットである場合、図26によれば、メモリ31は、ロウ方向に 8×1 ビットを記憶する8個のカラムを有し、カラム方向に $16200 / (8 \times 1)$ ビットを記憶する。

【0269】

そして、メモリ31の8個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが1の位置と、5番目のカラムの書き始めの位置は、アドレスが7の位置と、6番目のカラムの書き始めの位置は、アドレスが20の位置と、7番目のカラムの書き始めの位置は、アドレスが20の位置と、8番目のカラムの書き始めの位置は、アドレスが21の位置と、それぞれされる。

10

【0270】

倍数 b が1であり、かつ、変調方式として、例えば、1024QAMが採用されることによって、1シンボルのビット数 m が、10ビットである場合、図26によれば、メモリ31は、ロウ方向に 10×1 ビットを記憶する10個のカラムを有し、カラム方向に $16200 / (10 \times 1)$ ビットを記憶する。

【0271】

そして、メモリ31の10個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが1の位置と、3番目のカラムの書き始めの位置は、アドレスが2の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが3の位置と、6番目のカラムの書き始めの位置は、アドレスが3の位置と、7番目のカラムの書き始めの位置は、アドレスが4の位置と、8番目のカラムの書き始めの位置は、アドレスが4の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが7の位置と、それぞれされる。

20

【0272】

倍数 b が2であり、かつ、変調方式として、例えば、1024QAMが採用されることによって、1シンボルのビット数 m が、10ビットである場合、図26によれば、メモリ31は、ロウ方向に 10×2 ビットを記憶する20個のカラムを有し、カラム方向に $16200 / (10 \times 2)$ ビットを記憶する。

30

【0273】

そして、メモリ31の20個のカラムのうちの、1番目のカラムの書き始めの位置は、アドレスが0の位置と、2番目のカラムの書き始めの位置は、アドレスが0の位置と、3番目のカラムの書き始めの位置は、アドレスが0の位置と、4番目のカラムの書き始めの位置は、アドレスが2の位置と、5番目のカラムの書き始めの位置は、アドレスが2の位置と、6番目のカラムの書き始めの位置は、アドレスが2の位置と、7番目のカラムの書き始めの位置は、アドレスが2の位置と、8番目のカラムの書き始めの位置は、アドレスが2の位置と、9番目のカラムの書き始めの位置は、アドレスが5の位置と、10番目のカラムの書き始めの位置は、アドレスが5の位置と、11番目のカラムの書き始めの位置は、アドレスが5の位置と、12番目のカラムの書き始めの位置は、アドレスが5の位置と、13番目のカラムの書き始めの位置は、アドレスが5の位置と、14番目のカラムの書き始めの位置は、アドレスが7の位置と、15番目のカラムの書き始めの位置は、アドレスが7の位置と、16番目のカラムの書き始めの位置は、アドレスが7の位置と、17番目のカラムの書き始めの位置は、アドレスが7の位置と、18番目のカラムの書き始めの位置は、アドレスが8の位置と、19番目のカラムの書き始めの位置は、アドレスが8の位置と、20番目のカラムの書き始めの位置は、アドレスが10の位置と、それぞれされる。

40

【0274】

倍数 b が1であり、かつ、変調方式として、例えば、4096QAMが採用されることによって、1シンボルのビット数 m が、12ビットである場合、図26によれば、メモリ31は、

50

ロウ方向に 12×1 ビットを記憶する 12 個のカラムを有し、カラム方向に $16200 / (12 \times 1)$ ビットを記憶する。

【0275】

そして、メモリ 31 の 12 個のカラムのうちの、1 番目のカラムの書き始めの位置は、アドレスが 0 の位置と、2 番目のカラムの書き始めの位置は、アドレスが 0 の位置と、3 番目のカラムの書き始めの位置は、アドレスが 0 の位置と、4 番目のカラムの書き始めの位置は、アドレスが 2 の位置と、5 番目のカラムの書き始めの位置は、アドレスが 2 の位置と、6 番目のカラムの書き始めの位置は、アドレスが 2 の位置と、7 番目のカラムの書き始めの位置は、アドレスが 3 の位置と、8 番目のカラムの書き始めの位置は、アドレスが 3 の位置と、9 番目のカラムの書き始めの位置は、アドレスが 3 の位置と、10 番目のカラムの書き始めの位置は、アドレスが 6 の位置と、11 番目のカラムの書き始めの位置は、アドレスが 7 の位置と、12 番目のカラムの書き始めの位置は、アドレスが 7 の位置と、それぞれされる。

【0276】

倍数 b が 2 であり、かつ、変調方式として、例えば、4096QAM が採用されることによって、1 シンボルのビット数 m が、12 ビットである場合、図 26 によれば、メモリ 31 は、ロウ方向に 12×2 ビットを記憶する 24 個のカラムを有し、カラム方向に $16200 / (12 \times 2)$ ビットを記憶する。

【0277】

そして、メモリ 31 の 24 個のカラムのうちの、1 番目のカラムの書き始めの位置は、アドレスが 0 の位置と、2 番目のカラムの書き始めの位置は、アドレスが 0 の位置と、3 番目のカラムの書き始めの位置は、アドレスが 0 の位置と、4 番目のカラムの書き始めの位置は、アドレスが 0 の位置と、5 番目のカラムの書き始めの位置は、アドレスが 0 の位置と、6 番目のカラムの書き始めの位置は、アドレスが 0 の位置と、7 番目のカラムの書き始めの位置は、アドレスが 0 の位置と、8 番目のカラムの書き始めの位置は、アドレスが 1 の位置と、9 番目のカラムの書き始めの位置は、アドレスが 1 の位置と、10 番目のカラムの書き始めの位置は、アドレスが 1 の位置と、11 番目のカラムの書き始めの位置は、アドレスが 2 の位置と、12 番目のカラムの書き始めの位置は、アドレスが 2 の位置と、13 番目のカラムの書き始めの位置は、アドレスが 2 の位置と、14 番目のカラムの書き始めの位置は、アドレスが 3 の位置と、15 番目のカラムの書き始めの位置は、アドレスが 7 の位置と、16 番目のカラムの書き始めの位置は、アドレスが 9 の位置と、17 番目のカラムの書き始めの位置は、アドレスが 9 の位置と、18 番目のカラムの書き始めの位置は、アドレスが 9 の位置と、19 番目のカラムの書き始めの位置は、アドレスが 10 の位置と、20 番目のカラムの書き始めの位置は、アドレスが 10 の位置と、21 番目のカラムの書き始めの位置は、アドレスが 10 の位置と、22 番目のカラムの書き始めの位置は、アドレスが 10 の位置と、23 番目のカラムの書き始めの位置は、アドレスが 10 の位置と、24 番目のカラムの書き始めの位置は、アドレスが 11 の位置と、それぞれされる。

【0278】

図 27 は、図 8 の LDPC エンコーダ 115、ビットインターリーブ 116、及び、QAM エンコーダ 117 で行われる処理を説明するフローチャートである。

【0279】

LDPC エンコーダ 115 は、BCH エンコーダ 114 から、LDPC 対象データが供給されるのを待って、ステップ S101 において、LDPC 対象データを、LDPC 符号に符号化し、その LDPC 符号を、ビットインターリーブ 116 に供給して、処理は、ステップ S102 に進む。

【0280】

ビットインターリーブ 116 は、ステップ S102 において、LDPC エンコーダ 115 からの LDPC 符号を対象として、ビットインターリーブを行い、そのビットインターリーブ後の LDPC 符号をシンボル化したシンボルを、QAM エンコーダ 117 に供給して、処理は、ステップ S103 に進む。

【0281】

10

20

30

40

50

すなわち、ステップ S 1 0 2 では、ビットインターリーブ 1 1 6（図 9）において、パリティインターリーブ 2 3 が、LDPCエンコーダ 1 1 5 からの LDPC 符号を対象として、パリティインターリーブを行い、そのパリティインターリーブ後の LDPC 符号を、カラムツイストインターリーブ 2 4 に供給する。

【0 2 8 2】

カラムツイストインターリーブ 2 4 は、パリティインターリーブ 2 3 からの LDPC 符号を対象として、カラムツイストインターリーブを行い、デマルチプレクサ 2 5 に供給する。

【0 2 8 3】

デマルチプレクサ 2 5 は、カラムツイストインターリーブ 2 4 によるカラムツイストインターリーブ後の LDPC 符号の符号ビットを入れ替えて、入れ替え後の符号ビットを、シンボルのシンボルビット（シンボルを表すビット）とする入れ替え処理を行う。

10

【0 2 8 4】

ここで、デマルチプレクサ 2 5 による入れ替え処理は、図 1 8 及び図 1 9 に示した第 1 ないし第 4 の入れ替え方式に従って行うことができる他、割り当てルールに従って行うことができる。割り当てルールは、LDPC 符号の符号ビットを、シンボルを表すシンボルビットに割り当てるためのルールであり、その詳細については、後述する。

【0 2 8 5】

デマルチプレクサ 2 5 による入れ替え処理によって得られたシンボルは、デマルチプレクサ 2 5 から、QAMエンコーダ 1 1 7 に供給される。

【0 2 8 6】

20

QAMエンコーダ 1 1 7 は、ステップ S 1 0 3 において、デマルチプレクサ 2 5 からのシンボルを、QAMエンコーダ 1 1 7 で行われる直交変調の変調方式で定める信号点にマッピングして直交変調し、その結果得られるデータを、時間インターリーブ 1 1 8 に供給する。

【0 2 8 7】

以上のように、パリティインターリーブや、カラムツイストインターリーブを行うことで、LDPC 符号の複数の符号ビットを 1 個のシンボルとして送信する場合の、イレージャやバースト誤りに対する耐性を向上させることができる。

【0 2 8 8】

ここで、図 9 では、説明の便宜のため、パリティインターリーブを行うブロックであるパリティインターリーブ 2 3 と、カラムツイストインターリーブを行うブロックであるカラムツイストインターリーブ 2 4 とを、別個に構成するようにしたが、パリティインターリーブ 2 3 とカラムツイストインターリーブ 2 4 とは、一体的に構成することができる。

30

【0 2 8 9】

すなわち、パリティインターリーブと、カラムツイストインターリーブとは、いずれも、メモリに対する符号ビットの書き込み、及び読み出しによって行うことができ、符号ビットの書き込みを行うアドレス（書き込みアドレス）を、符号ビットの読み出しを行うアドレス（読み出しアドレス）に変換する行列によって表すことができる。

【0 2 9 0】

したがって、パリティインターリーブを表す行列と、カラムツイストインターリーブを表す行列とを乗算して得られる行列を求めておけば、その行列によって、符号ビットを変換することで、パリティインターリーブを行い、さらに、そのパリティインターリーブ後の LDPC 符号をカラムツイストインターリーブした結果を得ることができる。

40

【0 2 9 1】

また、パリティインターリーブ 2 3 とカラムツイストインターリーブ 2 4 に加えて、デマルチプレクサ 2 5 も、一体的に構成することが可能である。

【0 2 9 2】

すなわち、デマルチプレクサ 2 5 で行われる入れ替え処理も、LDPC 符号を記憶するメモリ 3 1 の書き込みアドレスを、読み出しアドレスに変換する行列によって表すことができる。

50

【0293】

したがって、パリティインターリーブを表す行列、カラムツイストインターリーブを表す行列、及び、入れ替え処理を表す行列を乗算して得られる行列を求めておけば、その行列によって、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理を、一括して行うことができる。

【0294】

なお、パリティインターリーブと、カラムツイストインターリーブとについては、そのうちのいずれか一方だけを行うようにすること、又は、いずれも行わないようにすることが可能である。

【0295】

次に、図28ないし図30を参照して、図8の送信装置11について行った、エラーレート(bit error rate)を計測するシミュレーションについて説明する。

【0296】

シミュレーションは、D/Uが0dBのフラッタ(flutter)がある通信路を採用して行った。

【0297】

図28は、シミュレーションで採用した通信路のモデルを示している。

【0298】

すなわち、図28のAは、シミュレーションで採用したフラッタのモデルを示している。

【0299】

また、図28のBは、図28のAのモデルで表されるフラッタがある通信路のモデルを示している。

【0300】

なお、図28のBにおいて、Hは、図28のAのフラッタのモデルを表す。また、図28のBにおいて、Nは、ICI(Inter Carrier Interference)を表し、シミュレーションでは、そのパワーの期待値 $E[N^2]$ を、AWGNで近似した。

【0301】

図29及び図30は、シミュレーションで得られたエラーレートと、フラッタのドップラ周波数 f_d との関係を示している。

【0302】

なお、図29は、変調方式が16QAMで、符号化率(r)が(3/4)で、入れ替え方式が第1の入れ替え方式である場合の、エラーレートとドップラ周波数 f_d との関係を示している。また、図30は、変調方式が64QAMで、符号化率(r)が(5/6)で、入れ替え方式が第1の入れ替え方式である場合の、エラーレートとドップラ周波数 f_d との関係を示している。

【0303】

さらに、図29及び図30において、太線は、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のすべてを行った場合の、エラーレートとドップラ周波数 f_d との関係を示しており、細線は、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のうちの、入れ替え処理だけを行った場合の、エラーレートとドップラ周波数 f_d との関係を示している。

【0304】

図29及び図30のいずれにおいても、パリティインターリーブ、カラムツイストインターリーブ、及び、入れ替え処理のすべてを行った場合の方が、入れ替え処理だけを行った場合よりも、エラーレートが向上する(小さくなる)ことが分かる。

【0305】

[LDPCエンコーダ115の構成例]

【0306】

図31は、図8のLDPCエンコーダ115の構成例を示すブロック図である。

【0307】

なお、図8のLDPCエンコーダ122も、同様に構成される。

10

20

30

40

50

【0308】

図12及び図13で説明したように、DVB-T.2の規格では、64800ビットと16200ビットとの2通りの符号長NのLDPC符号が規定されている。

【0309】

そして、符号長Nが64800ビットのLDPC符号については、11個の符号化率 $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9$ 、及び $9/10$ が規定されており、符号長Nが16200ビットのLDPC符号については、10個の符号化率 $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6$ 、及び $8/9$ が規定されている（図12及び図13）。

【0310】

LDPCエンコーダ115は、例えば、このような、符号長Nが64800ビットや16200ビットの各符号化率のLDPC符号による符号化（誤り訂正符号化）を、符号長Nごと、及び符号化率ごとに用意された検査行列Hに従って行うことができる。

【0311】

LDPCエンコーダ115は、符号化処理部601と記憶部602とから構成される。

【0312】

符号化処理部601は、符号化率設定部611、初期値テーブル読み出し部612、検査行列生成部613、情報ビット読み出し部614、符号化パリティ演算部615、及び制御部616から構成され、LDPCエンコーダ115に供給されるLDPC対象データのLDPC符号化を行い、その結果得られるLDPC符号を、ビットインターリーブ116（図8）に供給する。

【0313】

すなわち、符号化率設定部611は、例えば、オペレータの操作等に応じて、LDPC符号の符号長Nと符号化率とを設定する。

【0314】

初期値テーブル読み出し部612は、符号化率設定部611が設定した符号長N及び符号化率に対応する、後述する検査行列初期値テーブルを、記憶部602から読み出す。

【0315】

検査行列生成部613は、初期値テーブル読み出し部612が読み出した検査行列初期値テーブルに基づいて、符号化率設定部611が設定した符号長N及び符号化率に応じた情報長 K （＝符号長 N －パリティ長 M ）に対応する情報行列 H_A の1の要素を列方向に360列（巡回構造の単位の列数 P ）ごとの周期で配置して検査行列Hを生成し、記憶部602に格納する。

【0316】

情報ビット読み出し部614は、LDPCエンコーダ115に供給されるLDPC対象データから、情報長 K 分の情報ビットを読み出す（抽出する）。

【0317】

符号化パリティ演算部615は、検査行列生成部613が生成した検査行列Hを記憶部602から読み出し、その検査行列Hを用いて、情報ビット読み出し部614が読み出した情報ビットに対するパリティビットを所定の式に基づいて算出することにより、符号語（LDPC符号）を生成する。

【0318】

制御部616は、符号化処理部601を構成する各ブロックを制御する。

【0319】

記憶部602には、例えば、64800ビットや16200ビット等の符号長Nそれぞれについての、図12及び図13に示した複数の符号化率等それぞれに対応する複数の検査行列初期値テーブル等が格納されている。また、記憶部602は、符号化処理部601の処理上必要なデータを一時記憶する。

【0320】

図32は、図31のLDPCエンコーダ115の処理を説明するフローチャートである。

【0321】

10

20

30

40

50

ステップ S 2 0 1 において、符号化率設定部 6 1 1 は、LDPC符号化を行う符号長N及び符号化率rを決定（設定）する。

【0 3 2 2】

ステップ S 2 0 2 において、初期値テーブル読み出し部 6 1 2 は、符号化率設定部 6 1 1 により決定された符号長N及び符号化率rに対応する、予め定められた検査行列初期値テーブルを、記憶部 6 0 2 から読み出す。

【0 3 2 3】

ステップ S 2 0 3 において、検査行列生成部 6 1 3 は、初期値テーブル読み出し部 6 1 2 が記憶部 6 0 2 から読み出した検査行列初期値テーブルを用いて、符号化率設定部 6 1 1 により決定された符号長N及び符号化率rのLDPC符号の検査行列Hを求め（生成し）、記憶部 6 0 2 に供給して格納する。

10

【0 3 2 4】

ステップ S 2 0 4 において、情報ビット読み出し部 6 1 4 は、LDPCエンコーダ 1 1 5 に供給されるLDPC対象データから、符号化率設定部 6 1 1 により決定された符号長N及び符号化率rに対応する情報長 $K(=N \times r)$ の情報ビットを読み出すとともに、検査行列生成部 6 1 3 が求めた検査行列Hを、記憶部 6 0 2 から読み出し、符号化パリティ演算部 6 1 5 に供給する。

【0 3 2 5】

ステップ S 2 0 5 において、符号化パリティ演算部 6 1 5 は、式（8）を満たす符号語cのパリティビットを順次演算する。

20

【0 3 2 6】

$$Hc^T=0$$

・・・（8）

【0 3 2 7】

式（8）において、cは、符号語（LDPC符号）としての行ベクトルを表し、 c^T は、行ベクトルcの転置を表す。

【0 3 2 8】

ここで、上述したように、LDPC符号（1符号語）としての行ベクトルcのうちの、情報ビットの部分、行ベクトルAで表すとともに、パリティビットの部分、行ベクトルTで表す場合には、行ベクトルcは、情報ビットとしての行ベクトルAと、パリティビットとしての行ベクトルTとによって、式 $c=[A|T]$ で表すことができる。

30

【0 3 2 9】

検査行列Hと、LDPC符号としての行ベクトル $c=[A|T]$ とは、式 $Hc^T=0$ を満たす必要があり、かかる式 $Hc^T=0$ を満たす行ベクトル $c=[A|T]$ を構成するパリティビットとしての行ベクトルTは、検査行列 $H=[H_A|H_T]$ のパリティ行列 H_T が、図 1 1 に示した階段構造になっている場合には、式 $Hc^T=0$ における列ベクトル Hc^T の1行目の要素から順に、各行の要素を0にしていこうようにすることで、逐次的に求めることができる。

【0 3 3 0】

符号化パリティ演算部 6 1 5 は、情報ビットAに対して、パリティビットTを求めると、その情報ビットAとパリティビットTとによって表される符号語 $c=[A|T]$ を、情報ビットAのLDPC符号化結果として出力する。

40

【0 3 3 1】

その後、ステップ S 2 0 6 において、制御部 6 1 6 は、LDPC符号化を終了するかどうかを判定する。ステップ S 2 0 6 において、LDPC符号化を終了しないと判定された場合、すなわち、例えば、LDPC符号化すべきLDPC対象データが、まだある場合、処理は、ステップ S 2 0 1（又は、ステップ S 2 0 4）に戻り、以下、ステップ S 2 0 1（又は、ステップ S 2 0 4）ないし S 2 0 6 の処理が繰り返される。

【0 3 3 2】

また、ステップ S 2 0 6 において、LDPC符号化を終了すると判定された場合、すなわち、例えば、LDPC符号化すべきLDPC対象データがない場合、LDPCエンコーダ 1 1 5 は、処理

50

を終了する。

【0333】

以上のように、各符号長 N 、及び、各符号化率 r に対応する検査行列初期値テーブルが用意されており、LDPCエンコーダ115は、所定の符号長 N の、所定の符号化率 r のLDPC符号化を、その所定の符号長 N 、及び、所定の符号化率 r に対応する検査行列初期値テーブルから生成される検査行列 H を用いて行う。

【0334】

[検査行列初期値テーブルの例]

【0335】

検査行列初期値テーブルは、検査行列 H の、LDPC符号（検査行列 H によって定義されるLDPC符号）の符号長 N 及び符号化率 r に応じた情報長 K に対応する情報行列 H_A （図10）の1の要素の位置を360列（巡回構造の単位の列数 P ）ごとに表すテーブルであり、各符号長 N 及び各符号化率 r の検査行列 H ごとに、あらかじめ作成される。

【0336】

図33は、検査行列初期値テーブルの例を示す図である。

【0337】

すなわち、図33は、DVB-T.2の規格に規定されている、符号長 N が16200ビットの、符号化率（DVB-T.2の表記上の符号化率） r が $1/4$ の検査行列 H に対する検査行列初期値テーブルを示している。

【0338】

検査行列生成部613（図31）は、検査行列初期値テーブルを用いて、以下のように、検査行列 H を求める。

【0339】

すなわち、図34は、検査行列初期値テーブルから検査行列 H を求める方法を示している。

【0340】

なお、図34の検査行列初期値テーブルは、DVB-T.2の規格に規定されている、符号長 N が16200ビットの、符号化率 r が $2/3$ の検査行列 H に対する検査行列初期値テーブルを示している。

【0341】

検査行列初期値テーブルは、上述したように、LDPC符号の符号長 N 及び符号化率 r に応じた情報長 K に対応する情報行列 H_A （図10）の1の要素の位置を、360列（巡回構造の単位の列数 P ）ごとに表すテーブルであり、その i 行目には、検査行列 H の $1+360 \times (i-1)$ 列目の1の要素の行番号（検査行列 H の1行目の行番号を0とする行番号）が、その $1+360 \times (i-1)$ 列目の列が持つ列重みの数だけ並んでいる。

【0342】

ここで、検査行列 H の、パリティ長 M に対応するパリティ行列 H_T （図10）は、図21に示したように決まっているので、検査行列初期値テーブルによれば、検査行列 H の、情報長 K に対応する情報行列 H_A （図10）が求められる。

【0343】

検査行列初期値テーブルの行数 $k+1$ は、情報長 K によって異なる。

【0344】

情報長 K と、検査行列初期値テーブルの行数 $k+1$ との間には、式（9）の関係が成り立つ。

【0345】

$$K=(k+1) \times 360$$

・・・（9）

【0346】

ここで、式（9）の360は、図22で説明した巡回構造の単位の列数 P である。

【0347】

図 3 4 の検査行列初期値テーブルでは、1 行目から 3 行目までに、1 3 個の数値が並び、4 行目から $k+1$ 行目（図 3 4 では、3 0 行目）までに、3 個の数値が並んでいる。

【0 3 4 8】

したがって、図 3 4 の検査行列初期値テーブルから求められる検査行列 H の列重みは、1 列目から、 $1+360 \times (3-1)-1$ 列目までは、1 3 であり、 $1+360 \times (3-1)$ 列目から、 K 列目までは、3 である。

【0 3 4 9】

図 3 4 の検査行列初期値テーブルの 1 行目は、0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620, 2622 となっており、これは、検査行列 H の 1 列目において、行番号が、0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620, 2622 の行の要素が 1 であること（かつ、他の要素が 0 であること）を示している。

10

【0 3 5 0】

また、図 3 4 の検査行列初期値テーブルの 2 行目は、1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358, 3108 となっており、これは、検査行列 H の 3 6 1（ $= 1 + 360 \times (2 - 1)$ ）列目において、行番号が、1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358, 3108 の行の要素が 1 であることを示している。

【0 3 5 1】

以上のように、検査行列初期値テーブルは、検査行列 H の情報行列 H_A の 1 の要素の位置を 360 列ごとに表す。

【0 3 5 2】

20

検査行列 H の $1+360 \times (i-1)$ 列目以外の列、つまり、 $2+360 \times (i-1)$ 列目から、 $360 \times i$ 列目までの各列は、検査行列初期値テーブルによって定まる $1+360 \times (i-1)$ 列目の 1 の要素を、パリティ長 M に従って下方向（列の下方向）に、周期的にサイクリックシフトして配置したのになっている。

【0 3 5 3】

すなわち、例えば、 $2+360 \times (i-1)$ 列目は、 $1+360 \times (i-1)$ 列目を、 $M/360 (=q)$ だけ下方向にサイクリックシフトしたのとなっており、次の $3+360 \times (i-1)$ 列目は、 $1+360 \times (i-1)$ 列目を、 $2 \times M/360 (=2 \times q)$ だけ下方向にサイクリックシフトしたもの（ $2+360 \times (i-1)$ 列目を、 $M/360 (=q)$ だけ下方向にサイクリックシフトしたもの）となっている。

【0 3 5 4】

30

いま、検査行列初期値テーブルの i 行目（上から i 番目）の j 列目（左から j 番目）の数値を、 $h_{i,j}$ と表すとともに、検査行列 H の w 列目の、 j 個目の 1 の要素の行番号を、 H_{w-j} と表すこととすると、検査行列 H の $1+360 \times (i-1)$ 列目以外の列である w 列目の、1 の要素の行番号 H_{w-j} は、式（1 0）で求めることができる。

【0 3 5 5】

$$H_{w-j} = \text{mod}\{h_{i,j} + \text{mod}((w-1), P) \times q, M)$$

・・・（1 0）

【0 3 5 6】

ここで、 $\text{mod}(x, y)$ は x を y で割った余りを意味する。

【0 3 5 7】

40

また、 P は、上述した巡回構造の単位の列数であり、例えば、DVB-T.2 の規格では、上述のように、360 である。さらに、 q は、パリティ長 M を、巡回構造の単位の列数 $P (=360)$ で除算することにより得られる値 $M/360$ である。

【0 3 5 8】

検査行列生成部 6 1 3（図 3 1）は、検査行列初期値テーブルによって、検査行列 H の $1+360 \times (i-1)$ 列目の 1 の要素の行番号を特定する。

【0 3 5 9】

さらに、検査行列生成部 6 1 3（図 3 1）は、検査行列 H の $1+360 \times (i-1)$ 列目以外の列である w 列目の、1 の要素の行番号 H_{w-j} を、式（1 0）に従って求め、以上により得られた行番号の要素を 1 とする検査行列 H を生成する。

50

【0360】

[携帯端末向けに適切なLDPC符号]

【0361】

ところで、携帯端末向けのデジタル放送は、固定端末向けのデジタル放送の規格である、例えば、DVB-T.2に準拠した送信装置、及び、受信装置の仕様を、なるべく変更せずに行うことができれば、コストの面で有利である。

【0362】

ここで、DVB-T.2では、符号長 N が64kビット及び16kビットの、2つの符号長のLDPC符号が規定されている。

【0363】

仮に、携帯端末向けのデジタル放送において、DVB-T.2に規定されているLDPC符号を採用することとすると、長い符号長のLDPC符号よりも、短い符号長のLDPC符号の方が、LDPC符号の復号時等に必要なメモリや遅延を小とすることができることから、携帯端末向けのデジタル放送には、DVB-T.2に規定されている2つの符号長のLDPC符号のうちの、符号長が短い16kビットのLDPC符号を採用することが適切である。

【0364】

しかしながら、携帯端末では、LDPC符号の復号等の処理に必要な負荷を軽減するために、例えば、LDPC符号の復号の繰り返し回数（繰り返し復号回数 C ）が、固定端末の場合よりも制限されることがあり、携帯端末向けのデジタル放送については、DVB-T.2に規定されている16kビットのLDPC符号では、エラーに対する耐性が十分でないことがあり得る。

【0365】

そこで、送信装置11（図7）では、DVB-T.2に規定されている16kビットのLDPC符号よりもエラーに対する耐性がある16kビットの新たなLDPC符号を、携帯端末向けのデジタル放送に適切なLDPC符号（以下、携帯用LDPC符号ともいう）として用いて、携帯端末向けのデジタル放送を行うことができる。

【0366】

なお、携帯用LDPC符号については、DVB-T.2との親和性(compatibility)を、なるべく維持する観点から、DVB-T.2に規定されているLDPC符号と同様に、検査行列 H のパリティ行列 H_T は、階段構造とする（図11）。

【0367】

さらに、携帯用LDPC符号については、DVB-T.2に規定されているLDPC符号と同様に、検査行列 H の情報行列 H_A は、巡回構造とし、巡回構造の単位の列数 P も、360とする。

【0368】

図35ないし図43は、以上のような、符号長 N が16kビットの（携帯用）LDPC符号の検査行列初期値テーブルの例を示す図である。

【0369】

すなわち、図35は、符号長 N が16kビットの、符号化率 r が1/5の検査行列 H に対する検査行列初期値テーブルを示している。

【0370】

図36は、符号長 N が16kビットの、符号化率 r が4/15の検査行列 H に対する検査行列初期値テーブルを示している。

【0371】

図37は、符号長 N が16kビットの、符号化率 r が1/3の検査行列 H に対する検査行列初期値テーブルを示している。

【0372】

図38は、符号長 N が16kビットの、符号化率 r が2/5の検査行列 H に対する検査行列初期値テーブルを示している。

【0373】

図39は、符号長 N が16kビットの、符号化率 r が4/9の検査行列 H に対する検査行列初期

10

20

30

40

50

値テーブルを示している。

【0374】

図40は、符号長 N が16kビットの、符号化率 r が7/15の検査行列 H に対する検査行列初期値テーブルを示している。

【0375】

図41は、符号長 N が16kビットの、符号化率 r が8/15の検査行列 H に対する検査行列初期値テーブルを示している。

【0376】

図42は、符号長 N が16kビットの、符号化率 r が3/5の検査行列 H に対する検査行列初期値テーブルを示している。

10

【0377】

図43は、符号長 N が16kビットの、符号化率 r が2/3の検査行列 H に対する検査行列初期値テーブルを示している。

【0378】

LDPCエンコーダ115（図8、図31）は、携帯端末向けのデジタル放送については、図35ないし図43に示した検査行列初期値テーブルから求められる検査行列 H を用いて、符号長 N が16kビットの、符号化率 r が1/5, 4/15, 1/3, 2/5, 4/9, 7/15, 8/15, 3/5、及び、2/3の9種類のうちのいずれかのLDPC符号への符号化を行う。

【0379】

図35ないし図43の検査行列初期値テーブルから求められる検査行列 H を用いて得られるLDPC符号は、性能の良いLDPC符号になっている。

20

【0380】

ここで、性能の良いLDPC符号とは、適切な検査行列 H から得られるLDPC符号である。

【0381】

また、適切な検査行列 H とは、検査行列 H から得られるLDPC符号を、低い E_s/N_0 （1シンボルあたりの信号電力対雑音電力比）、又は E_b/N_0 （1ビットあたりの信号電力対雑音電力比）で送信したときに、BER(Bit Error Rate)をより小にする、所定の条件を満たす検査行列である。

【0382】

適切な検査行列 H は、例えば、所定の条件を満たす様々な検査行列から得られるLDPC符号を、低い E_s/N_0 で送信したときのBERを計測するシミュレーションを行うことにより求めることができる。

30

【0383】

適切な検査行列 H が満たすべき所定の条件としては、例えば、デンシティエボリューション(Density Evolution)と呼ばれる符号の性能の解析法で得られる解析結果が良好であること、サイクル4と呼ばれる、1の要素のループが存在しないこと、等がある。

【0384】

ここで、情報行列 H_A において、サイクル4のように、1の要素が密集していると、LDPC符号の復号性能が劣化することが知られており、このため、適切な検査行列 H が満たすべき所定の条件として、サイクル4が存在しないことが要求される。

40

【0385】

なお、適切な検査行列 H が満たすべき所定の条件は、LDPC符号の復号性能の向上や、LDPC符号の復号処理の容易化（単純化）等の観点から適宜決定することができる。

【0386】

図44及び図45は、適切な検査行列 H が満たすべき所定の条件としての解析結果が得られるデンシティエボリューションを説明する図である。

【0387】

デンシティエボリューションとは、後述するデグリーシーケンス(degree sequence)で特徴付けられる符号長 N が ∞ のLDPC符号全体（アンサンブル(ensemble)）に対して、そのエラー確率の期待値を計算する、符号の解析法である。

50

【0388】

例えば、AWGNチャネル上で、ノイズの分散値を0からどんどん大きくしていくと、あるアンサンブルのエラー確率の期待値は、最初は0であるが、ノイズの分散値が、ある閾値(threshold)以上となると、0ではなくなる。

【0389】

デンシティエボリューションによれば、そのエラー確率の期待値が0ではなくなる、ノイズの分散値の閾値（以下、性能閾値ともいう）を比較することで、アンサンブルの性能（検査行列の適切さ）の良し悪しを決めることができる。

【0390】

なお、具体的なLDPC符号に対して、そのLDPC符号が属するアンサンブルを決定し、そのアンサンブルに対してデンシティエボリューションを行うと そのLDPC符号のおおまかな性能を予想することができる。

10

【0391】

したがって、性能の良いLDPC符号は、性能の良いアンサンブルを見つければ、そのアンサンブルに属するLDPC符号の中から見つけることができる。

【0392】

ここで、上述のデグリーシーケンス とは、LDPC符号の符号長 N に対して、各値の重みをもつバリエブルノードやチェックノードがどれくらいの割合だけあるかを表す。

【0393】

例えば、符号化率が $1/2$ のregular(3,6)LDPC符号は、すべてのバリエブルノードの重み（列重み）が3で、すべてのチェックノードの重み（行重み）が6であるというデグリーシーケンスによって特徴付けられるアンサンブルに属する。

20

【0394】

図44は、そのようなアンサンブルのタナーグラフ(Tanner graph)を示している。

【0395】

図44のタナーグラフでは、図中丸印（○印）で示すバリエブルノードが、符号長 N に等しい N 個だけ存在し、図中四角形（□印）で示すチェックノードが、符号長 N に符号化率 $1/2$ を乗算した乗算値に等しい $N/2$ 個だけ存在する。

【0396】

各バリエブルノードには、列重みに等しい3本の枝(edge)が接続されており、したがって、 N 個のバリエブルノードに接続している枝は、全部で、 $3N$ 本だけ存在する。

30

【0397】

また、各チェックノードには、行重みに等しい6本の枝が接続されており、したがって、 $N/2$ 個のチェックノードに接続している枝は、全部で、 $3N$ 本だけ存在する。

【0398】

さらに、図44のタナーグラフでは、1つのインターリーバが存在する。

【0399】

インターリーバは、 N 個のバリエブルノードに接続している $3N$ 本の枝をランダムに並べ替え、その並べ替え後の各枝を、 $N/2$ 個のチェックノードに接続している $3N$ 本の枝のうちのいずれかに繋げる。

40

【0400】

インターリーバでの、 N 個のバリエブルノードに接続している $3N$ 本の枝を並べ替える並べ替えパターンは、 $(3N)!$ ($= (3N) \times (3N-1) \times \dots \times 1$) 通りだけある。したがって、すべてのバリエブルノードの重みが3で、すべてのチェックノードの重みが6であるというデグリーシーケンスによって特徴付けられるアンサンブルは、 $(3N)!$ 個のLDPC符号の集合となる。

【0401】

性能の良いLDPC符号（適切な検査行列）を求めるシミュレーションでは、デンシティエボリューションにおいて、マルチエッジタイプ(multi-edge type)のアンサンブルを用いた。

50

【0402】

マルチエッジタイプでは、バリエブルノードに接続している枝と、チェックノードに接続している枝とが経由するインターリーバが、複数(multi edge)に分割され、これにより、アンサンプルの特徴付けが、より厳密に行われる。

【0403】

図45は、マルチエッジタイプのアンサンプルのタナーグラフの例を示している。

【0404】

図45のタナーグラフでは、第1インターリーバと第2インターリーバとの2つのインターリーバが存在する。

【0405】

また、図45のタナーグラフでは、第1インターリーバに繋がる枝が1本で、第2インターリーバに繋がる枝が0本のバリエブルノードが v_1 個だけ、第1インターリーバに繋がる枝が1本で、第2インターリーバに繋がる枝が2本のバリエブルノードが v_2 個だけ、第1インターリーバに繋がる枝が0本で、第2インターリーバに繋がる枝が2本のバリエブルノードが v_3 個だけ、それぞれ存在する。

【0406】

さらに、図45のタナーグラフでは、第1インターリーバに繋がる枝が2本で、第2インターリーバに繋がる枝が0本のチェックノードが c_1 個だけ、第1インターリーバに繋がる枝が2本で、第2インターリーバに繋がる枝が2本のチェックノードが c_2 個だけ、第1インターリーバに繋がる枝が0本で、第2インターリーバに繋がる枝が3本のチェックノードが c_3 個だけ、それぞれ存在する。

【0407】

ここで、デンシティエボリューションと、その実装については、例えば、"On the Design of Low-Density Parity-Check Codes within 0.0045 dB of the Shannon Limit", S.Y.Chung, G.D.Forney, T.J.Richardson, R.Urbanke, IEEE Communications Letters, VOL.5, NO.2, Feb 2001に記載されている。

【0408】

図35ないし図43の携帯用LDPC符号（の検査行列初期値テーブル）を求めるシミュレーションでは、マルチエッジタイプのデンシティエボリューションによって、BERが落ち始める（小さくなっていく） E_b/N_0 である性能閾値が、所定値以下になるアンサンプルを見つけ、そのアンサンプルに属するLDPC符号の中から、16QAMや64QAM等の、携帯端末向けのデジタル放送で用いられる複数の変調方式におけるBERを小さくするLDPC符号を、性能の良いLDPC符号として選択した。

【0409】

ここで、携帯端末では、固定端末よりもエラーに対する耐性が低下するので、携帯端末向けのデジタル放送では、エラーに対する耐性を向上させるために、例えば、QPSKや、16QAM, 64QAM, 256QAM等の、信号点の数が比較的少ない変調方式を採用する。

【0410】

上述の図35ないし図43の検査行列初期値テーブルは、以上のようなシミュレーションにより求められた、符号長 N が16kビットのLDPC符号の検査行列初期値テーブルである。

【0411】

図46は、図35ないし図43の、符号長 N が16kビットで、 $1/5$, $4/15$, $1/3$, $2/5$, $4/9$, $7/15$, $8/15$, $3/5$ 、及び、 $2/3$ の9種類それぞれのLDPC符号の検査行列初期値テーブルから求められる検査行列 H の最小サイクル長と性能閾値とを示す図である。

【0412】

図35ないし図43の検査行列初期値テーブルから求められる検査行列 H のうちの、符号化率 r が $1/5$, $4/15$ 、及び、 $3/5$ の検査行列 H の最小サイクル長は、8サイクルに、符号化率 r が $1/3$, $2/5$, $4/9$, $7/15$, $8/15$ 、及び、 $2/3$ の検査行列 H の最小サイクル長は、6サイクルに、それぞれなっている。

【0413】

10

20

30

40

50

したがって、図 3 5 ないし図 4 3 の検査行列初期値テーブルから求められる検査行列Hには、サイクル 4 は、存在しない。

【0 4 1 4】

また、符号化率 r が小さいほど、LDPC符号の冗長性が大になるため、性能閾値は、符号化率 r が小さくなるにつれて、向上する（小さくなる）傾向がある。

【0 4 1 5】

図 4 7 は、図 3 5 ないし図 4 3 の（検査行列初期値テーブルから求められる）検査行列H（以下、携帯用LDPC符号の検査行列Hともいう）を説明する図である。

【0 4 1 6】

携帯用LDPC符号の検査行列Hの 1 列目からのKX列については、列重みがXに、その後のKY 10
1列については、列重みがY1に、その後のKY2列については、列重みがY2に、その後のM-1
列については、列重みが 2 に、最後の 1 列については、列重みが 1 に、それぞれなっている。

【0 4 1 7】

ここで、 $KX+KY1+KY2+M-1+1$ は、符号長 $N=16200$ ビットに等しい。

【0 4 1 8】

図 4 8 は、携帯用LDPC符号の各符号化率 $r(=1/5, 4/15, 1/3, 2/5, 4/9, 7/15, 8/15, 3/5, 及び、2/3)$ についての、図 4 7 の列数KX, KY1, KY2、及びM、並びに、列重みX, Y1、及び、Y2を示す図である。

【0 4 1 9】

符号長 N が16kの携帯用LDPC符号の検査行列Hについては、図 1 2 及び図 1 3 で説明したD
VB-T.2に規定されている検査行列と同様に、先頭側（左側）の列ほど、列重みが大の傾向
にあり、したがって、携帯用LDPC符号の先頭の符号ビットほど、エラーに強い（エラーに
対する耐性がある）傾向がある。

【0 4 2 0】

図 4 9 は、図 3 5 ないし図 4 3 の携帯用LDPC符号のBERのシミュレーション結果を示す
図である。

【0 4 2 1】

シミュレーションでは、AWGNの通信路（チャネル）を想定し、変調方式として、BPSKを
採用するとともに、繰り返し復号回数 C として、50回を採用した。 30

【0 4 2 2】

図 4 9 において、横軸は、 E_s/N_0 （1 シンボルあたりの信号電力対雑音電力比）を表し、
縦軸は、BERを表す。

【0 4 2 3】

ここで、携帯用LDPC符号の符号化率 $r=1/5, 4/15, 1/3, 2/5, 4/9, 7/15, 8/15, 3/5,$
及び、 $2/3$ のうちの、 $1/5, 1/3, 2/5, 4/9, 3/5,$ 及び、 $2/3$ については、DVB-T.2において
、同一の符号化率の、符号長 N が16kのLDPC符号（以下、規格16k符号ともいう）が規定さ
れている。

【0 4 2 4】

シミュレーションでは、符号化率 r が $1/5, 1/3, 2/5, 4/9, 3/5,$ 及び、 $2/3$ の携帯用LDP 40
C符号については、いずれの符号化率 r の携帯用LDPC符号のBERも、DVB-T.2で規定されてい
る、同一の符号化率の規格16k符号のBERよりも性能が向上していることが確認されており
、したがって、携帯用LDPC符号によれば、エラーに対する耐性を向上させることができる
。

【0 4 2 5】

ここで、携帯用LDPC符号の符号化率 r である $1/5, 4/15, 1/3, 2/5, 4/9, 7/15, 8/15, 3/5,$
及び、 $2/3$ のうちの、 $4/15, 7/15,$ 及び、 $8/15$ と同一の符号化率は、規格16k符号には
存在しない。

【0 4 2 6】

逆に言えば、携帯用LDPC符号には、規格16k符号には存在しない符号化率 $r=4/15, 7/15$ 50

、8/15のLDPC符号が存在する。

【0427】

以上のように、携帯用LDPC符号に、規格16k符号には存在しない符号化率 $r=4/15$ 、 $7/15$ 、 $8/15$ のLDPC符号が存在する結果、携帯用LDPC符号の各符号化率 $r(=1/5, 4/15, 1/3, 2/5, 4/9, 7/15, 8/15, 3/5, \text{及び}, 2/3)$ についてのBERは、図49に示したように、 E_s/N_0 の方向の間隔が1dB程度の所定の間隔以下の短い間隔で、比較的等間隔に並ぶ。

【0428】

一方、規格16k符号については、規格16k符号の符号化率 r に、 $4/15$ 、 $7/15$ 、 $8/15$ がないために、符号化率 r が $1/5$ （DVB-T.2の表記上は $1/4$ ）についてのBERと、符号化率 r が $1/3$ についてのBERとの間や、符号化率 r が $4/9$ （DVB-T.2の表記上は $1/2$ ）についてのBERと、符号化率 r が $3/5$ についてのBERとの間の E_s/N_0 の方向に、2dB程度の比較的大きなすき間が空き、そのような大きなすき間が空くために、規格16k符号のBERの並びは、不均一になる。

【0429】

送信装置11によって番組の放送を行う放送事業者にとっては、BERの並びに、2db程度の大きなすき間が空く部分があり、BERの並びが不均一な規格16k符号よりも、BERが1db程度以下の小さい間隔で比較的等間隔に並ぶ携帯用LDPC符号の方が、チャンネル（通信路13）の状況等に応じて、放送に用いる符号化率を選択しやすいという利点がある。

【0430】

〔符号長 N が16200ビットのLDPC符号の入れ替え処理〕

【0431】

携帯端末向けのデジタル放送において、上述したような携帯用LDPC符号、すなわち、符号長 N が16200ビットのLDPC符号を採用する場合には、例えば、DVB-T.2に規定されている、符号長 N が長い64800ビットのLDPC符号に比較して、通信路13（図7）におけるエラーに対する耐性が低下する。

【0432】

そこで、携帯端末向けのデジタル放送では、エラーに対する耐性を向上させるための対策を施すことが望ましい。

【0433】

エラーに対する耐性を向上させるための対策としては、例えば、デマルチプレクサ25（図9）で行われる入れ替え処理がある。

【0434】

入れ替え処理において、DVB-T.2等の規格で規定されているLDPC符号の符号ビットを入れ替える入れ替え方式としては、例えば、上述した第1ないし第4の入れ替え方式や、DVB-T.2等の規格で規定されている入れ替え方式がある。

【0435】

但し、携帯端末向けのデジタル放送を、上述した符号長 N が16200ビットの携帯用LDPC符号によって行う場合には、その携帯用LDPC符号に適した入れ替え処理を採用することが望ましい。

【0436】

すなわち、携帯用LDPC符号について採用する入れ替え処理としては、エラーに対する耐性がより向上する方式の入れ替え処理を採用することが望ましい。

【0437】

そこで、デマルチプレクサ25（図9）では、図27で説明したように、割り当てルールに従って、入れ替え処理を行うことができるようになっている。

【0438】

以下、割り当てルールに従った入れ替え処理について説明するが、その前に、既に提案されている入れ替え方式（以下、現行方式ともいう）による入れ替え処理について説明する。

【0439】

図50及び図51を参照して、デマルチプレクサ25で、DVB-T.2等に規定されているL

10

20

30

40

50

DPC符号（以下、規定符号ともいう）に対して、現行方式で入れ替え処理が行われるとした場合の、その入れ替え処理について説明する。

【0440】

図50は、LDPC符号が、DVB-T.2に規定されている、符号長 N が64800ビットで、符号化率が $3/5$ のLDPC符号である場合の、現行方式の入れ替え処理の一例を示している。

【0441】

すなわち、図50のAは、LDPC符号が、符号長 N が64800ビットで、符号化率が $3/5$ の規定符号であり、さらに、変調方式が16QAMで、倍数 b が2である場合の、現行方式の入れ替え処理の一例を示している。

【0442】

変調方式が16QAMである場合、符号ビットの $4(=m)$ ビットが、1個のシンボルとして、16QAMで定める16個の信号点のうちのいずれかにマッピングされる。

【0443】

さらに、符号長 N が64800ビットで、倍数 b が2である場合、デマルチプレクサ25のメモリ31（図18、図19）は、ロウ方向に $4 \times 2(=mb)$ ビットを記憶する8個のカラムを有し、カラム方向に $64800/(4 \times 2)$ ビットを記憶する。

【0444】

デマルチプレクサ25では、LDPC符号の符号ビットが、メモリ31のカラム方向に書き込まれ、64800ビットの符号ビット（1符号語）の書き込みが終了すると、メモリ31に書き込まれた符号ビットが、ロウ方向に、 $4 \times 2(=mb)$ ビット単位で読み出され、入れ替え部32（図18、図19）に供給される。

【0445】

入れ替え部32は、メモリ31から読み出される $4 \times 2(=mb)$ ビットの符号ビット $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7$ を、例えば、図50のAに示すように、連続する $2(=b)$ 個のシンボルの $4 \times 2(=mb)$ ビットのシンボルビット $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7$ に割り当てるように、 $4 \times 2(=mb)$ ビットの符号ビット b_0 ないし b_7 を入れ替える。

【0446】

すなわち、入れ替え部32は、
符号ビット b_0 を、シンボルビット y_7 に、
符号ビット b_1 を、シンボルビット y_1 に、
符号ビット b_2 を、シンボルビット y_4 に、
符号ビット b_3 を、シンボルビット y_2 に、
符号ビット b_4 を、シンボルビット y_5 に、
符号ビット b_5 を、シンボルビット y_3 に、
符号ビット b_6 を、シンボルビット y_6 に、
符号ビット b_7 を、シンボルビット y_0 に、
それぞれ割り当てる入れ替えを行う。

【0447】

図50のBは、LDPC符号が、符号長 N が64800ビットで、符号化率が $3/5$ の規定符号であり、さらに、変調方式が64QAMで、倍数 b が2である場合の、現行方式の入れ替え処理の一例を示している。

【0448】

変調方式が64QAMである場合、符号ビットの $6(=m)$ ビットが、1個のシンボルとして、64QAMで定める64個の信号点のうちのいずれかにマッピングされる。

【0449】

さらに、符号長 N が64800ビットで、倍数 b が2である場合、デマルチプレクサ25のメモリ31（図18、図19）は、ロウ方向に $6 \times 2(=mb)$ ビットを記憶する12個のカラムを有し、カラム方向に $64800/(6 \times 2)$ ビットを記憶する。

【0450】

デマルチプレクサ25では、LDPC符号の符号ビットが、メモリ31のカラム方向に書き

10

20

30

40

50

込まれ、64800ビットの符号ビット（1符号語）の書き込みが終了すると、メモリ31に書き込まれた符号ビットが、ロウ方向に、 $6 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32（図18、図19）に供給される。

【0451】

入れ替え部32は、メモリ31から読み出される $6 \times 2 (=mb)$ ビットの符号ビット $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}, b_{11}$ を、例えば、図50のBに示すように、連続する2(=b)個のシンボルの $6 \times 2 (=mb)$ ビットのシンボルビット $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}, y_{11}$ に割り当てるように、 $6 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{11} を入れ替える。

【0452】

すなわち、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_{11} に、

符号ビット b_1 を、シンボルビット y_7 に、

符号ビット b_2 を、シンボルビット y_3 に、

符号ビット b_3 を、シンボルビット y_{10} に、

符号ビット b_4 を、シンボルビット y_6 に、

符号ビット b_5 を、シンボルビット y_2 に、

符号ビット b_6 を、シンボルビット y_9 に、

符号ビット b_7 を、シンボルビット y_5 に、

符号ビット b_8 を、シンボルビット y_1 に、

符号ビット b_9 を、シンボルビット y_8 に、

符号ビット b_{10} を、シンボルビット y_4 に、

符号ビット b_{11} を、シンボルビット y_0 に、

それぞれ割り当てる入れ替えを行う。

【0453】

図50のCは、LDPC符号が、符号長Nが64800ビットで、符号化率が3/5の規定符号であり、さらに、変調方式が256QAMで、倍数bが2である場合の、現行方式の入れ替え処理の一例を示している。

【0454】

変調方式が256QAMである場合、符号ビットの8(=m)ビットが、1個のシンボルとして、256QAMで定める256個の信号点のうちのいずれかにマッピングされる。

【0455】

さらに、符号長Nが64800ビットで、倍数bが2である場合、デマルチプレクサ25のメモリ31（図18、図19）は、ロウ方向に $8 \times 2 (=mb)$ ビットを記憶する16個のカラムを有し、カラム方向に $64800 / (8 \times 2)$ ビットを記憶する。

【0456】

デマルチプレクサ25では、LDPC符号の符号ビットが、メモリ31のカラム方向に書き込まれ、64800ビットの符号ビット（1符号語）の書き込みが終了すると、メモリ31に書き込まれた符号ビットが、ロウ方向に、 $8 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部32（図18、図19）に供給される。

【0457】

入れ替え部32は、メモリ31から読み出される $8 \times 2 (=mb)$ ビットの符号ビット $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}, b_{11}, b_{12}, b_{13}, b_{14}, b_{15}$ を、例えば、図50のCに示すように、連続する2(=b)個のシンボルの $8 \times 2 (=mb)$ ビットのシンボルビット $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}, y_{11}, y_{12}, y_{13}, y_{14}, y_{15}$ に割り当てるように、 $8 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{15} を入れ替える。

【0458】

すなわち、入れ替え部32は、

符号ビット b_0 を、シンボルビット y_{15} に、

符号ビット b_1 を、シンボルビット y_1 に、

符号ビット b_2 を、シンボルビット y_{13} に、

10

20

30

40

50

符号ビット b_3 を、シンボルビット y_3 に、
 符号ビット b_4 を、シンボルビット y_8 に、
 符号ビット b_5 を、シンボルビット y_{11} に、
 符号ビット b_6 を、シンボルビット y_9 に、
 符号ビット b_7 を、シンボルビット y_5 に、
 符号ビット b_8 を、シンボルビット y_{10} に、
 符号ビット b_9 を、シンボルビット y_6 に、
 符号ビット b_{10} を、シンボルビット y_4 に、
 符号ビット b_{11} を、シンボルビット y_7 に、
 符号ビット b_{12} を、シンボルビット y_{12} に、
 符号ビット b_{13} を、シンボルビット y_2 に、
 符号ビット b_{14} を、シンボルビット y_{14} に、
 符号ビット b_{15} を、シンボルビット y_0 に、
 それぞれ割り当てる入れ替えを行う。

10

【0459】

図51は、LDPC符号が、符号長 N が16200ビットで、符号化率が $3/5$ の規定符号である場合の、現行方式の入れ替え処理の一例を示している。

【0460】

すなわち、図51のAは、LDPC符号が、符号長 N が16200ビットで、符号化率が $3/5$ のLDPC符号であり、さらに、変調方式が16QAMで、倍数 b が2である場合の、現行方式の入れ替え

20

【0461】

変調方式が16QAMである場合、符号ビットの $4(=m)$ ビットが、1個のシンボルとして、16QAMで定める16個の信号点のうちのいずれかにマッピングされる。

【0462】

さらに、符号長 N が16200ビットで、倍数 b が2である場合、デマルチプレクサ25のメモリ31(図18、図19)は、ロウ方向に $4 \times 2(=mb)$ ビットを記憶する8個のカラムを有し、カラム方向に $16200/(4 \times 2)$ ビットを記憶する。

【0463】

デマルチプレクサ25では、LDPC符号の符号ビットが、メモリ31のカラム方向に書き込まれ、16200ビットの符号ビット(1符号語)の書き込みが終了すると、メモリ31に書き込まれた符号ビットが、ロウ方向に、 $4 \times 2(=mb)$ ビット単位で読み出され、入れ替え部32(図18、図19)に供給される。

30

【0464】

入れ替え部32は、メモリ31から読み出される $4 \times 2(=mb)$ ビットの符号ビット $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7$ を、例えば、図51のAに示すように、連続する $2(=b)$ 個のシンボルの $4 \times 2(=mb)$ ビットのシンボルビット $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7$ に割り当てるように、 $4 \times 2(=mb)$ ビットの符号ビット b_0 ないし b_7 を入れ替える。

【0465】

すなわち、入れ替え部32は、上述した図50のAの場合と同様に、符号ビット b_0 ないし b_7 を、シンボルビット y_0 ないし y_7 に割り当てる入れ替えを行う。

40

【0466】

図51のBは、LDPC符号が、符号長 N が16200ビットで、符号化率が $3/5$ の規定符号であり、さらに、変調方式が64QAMで、倍数 b が2である場合の、現行方式の入れ替え処理の一例を示している。

【0467】

変調方式が64QAMである場合、符号ビットの $6(=m)$ ビットが、1個のシンボルとして、64QAMで定める64個の信号点のうちのいずれかにマッピングされる。

【0468】

さらに、符号長 N が16200ビットで、倍数 b が2である場合、デマルチプレクサ25のメモ

50

リ 3 1 (図 1 8、図 1 9) は、ロウ方向に $6 \times 2 (=mb)$ ビットを記憶する 12 個のカラムを有し、カラム方向に $16200 / (6 \times 2)$ ビットを記憶する。

【 0 4 6 9 】

デマルチプレクサ 2 5 では、LDPC 符号の符号ビットが、メモリ 3 1 のカラム方向に書き込まれ、16200 ビットの符号ビット (1 符号語) の書き込みが終了すると、メモリ 3 1 に書き込まれた符号ビットが、ロウ方向に、 $6 \times 2 (=mb)$ ビット単位で読み出され、入れ替え部 3 2 (図 1 8、図 1 9) に供給される。

【 0 4 7 0 】

入れ替え部 3 2 は、メモリ 3 1 から読み出される $6 \times 2 (=mb)$ ビットの符号ビット $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}, b_{11}$ を、例えば、図 5 1 の B に示すように、連続する $2 (=b)$ 個のシンボルの $6 \times 2 (=mb)$ ビットのシンボルビット $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}, y_{11}$ に割り当てるように、 $6 \times 2 (=mb)$ ビットの符号ビット b_0 ないし b_{11} を入れ替える。 10

【 0 4 7 1 】

すなわち、入れ替え部 3 2 は、上述した図 5 0 の B の場合と同様に、符号ビット b_0 ないし b_{11} を、シンボルビット y_0 ないし y_{11} に割り当てる入れ替えを行う。

【 0 4 7 2 】

図 5 1 の C は、LDPC 符号が、符号長 N が 16200 ビットで、符号化率が $3/5$ の規定符号であり、さらに、変調方式が 256QAM で、倍数 b が 1 ある場合の、現行方式の入れ替え処理の一例を示している。

【 0 4 7 3 】

変調方式が 256QAM である場合、符号ビットの $8 (=m)$ ビットが、1 個のシンボルとして、256QAM で定める 256 個の信号点のうちのいずれかにマッピングされる。 20

【 0 4 7 4 】

さらに、符号長 N が 16200 ビットで、倍数 b が 1 である場合、デマルチプレクサ 2 5 のメモリ 3 1 (図 1 8、図 1 9) は、ロウ方向に $8 \times 1 (=mb)$ ビットを記憶する 8 個のカラムを有し、カラム方向に $16200 / (8 \times 1)$ ビットを記憶する。

【 0 4 7 5 】

デマルチプレクサ 2 5 では、LDPC 符号の符号ビットが、メモリ 3 1 のカラム方向に書き込まれ、16200 ビットの符号ビット (1 符号語) の書き込みが終了すると、メモリ 3 1 に書き込まれた符号ビットが、ロウ方向に、 $8 \times 1 (=mb)$ ビット単位で読み出され、入れ替え部 3 2 (図 1 8、図 1 9) に供給される。 30

【 0 4 7 6 】

入れ替え部 3 2 は、メモリ 3 1 から読み出される $8 \times 1 (=mb)$ ビットの符号ビット $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7$ を、例えば、図 5 1 の C に示すように、 $1 (=b)$ 個のシンボルの $8 \times 1 (=mb)$ ビットのシンボルビット $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7$ に割り当てるように、 $8 \times 1 (=mb)$ ビットの符号ビット b_0 ないし b_7 を入れ替える。

【 0 4 7 7 】

すなわち、入れ替え部 3 2 は、
 符号ビット b_0 を、シンボルビット y_7 に、
 符号ビット b_1 を、シンボルビット y_3 に、
 符号ビット b_2 を、シンボルビット y_1 に、
 符号ビット b_3 を、シンボルビット y_5 に、
 符号ビット b_4 を、シンボルビット y_2 に、
 符号ビット b_5 を、シンボルビット y_6 に、
 符号ビット b_6 を、シンボルビット y_4 に、
 符号ビット b_7 を、シンボルビット y_0 に、
 それぞれ割り当てる入れ替えを行う。

【 0 4 7 8 】

次に、割り当てルールに従った入れ替え処理 (以下、新入れ替え方式での入れ替え処理ともいう) について説明する。 40

10

20

30

40

50

【0479】

図52ないし図54は、新入れ替え方式を説明する図である。

【0480】

新入れ替え方式では、デマルチプレクサ25の入れ替え部32は、mbビットの符号ビットの入れ替えを、あらかじめ定めた割り当てルールに従って行う。

【0481】

割り当てルールとは、LDPC符号の符号ビットをシンボルビットに割り当てるためのルールである。割り当てルールでは、符号ビットの符号ビットグループと、その符号ビットグループの符号ビットを割り当てるシンボルビットのシンボルビットグループとの組み合わせであるグループセットと、そのグループセットの符号ビットグループ、及びシンボルビットグループそれぞれの符号ビット、及びシンボルビットのビット数（以下、グループビット数ともいう）とが規定されている。

10

【0482】

ここで、符号ビットには、上述したように、エラー確率に違いがあり、シンボルビットにも、エラー確率に違いがある。符号ビットグループとは、符号ビットをエラー確率に応じてグループ分けするグループであり、シンボルビットグループとは、シンボルビットをエラー確率に応じてグループ分けするグループである。

【0483】

図52は、LDPC符号が、符号長Nが16200ビットで、符号化率が4/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで（したがって、 $m=8$ ）、倍数bが1である場合の、符号ビットグループとシンボルビットグループとを示している。

20

【0484】

この場合、メモリ31から読み出される $8 \times 1 (=mb)$ ビットの符号ビットは、エラー確率の違いに応じて、図52のAに示すように、4個の符号ビットグループGb1, Gb2, Gb3, Gb4にグループ分けすることができる。

【0485】

ここで、符号ビットグループGb#iは、そのサフィックス#iが小さいほど、その符号ビットグループGb#iに属する符号ビットのエラー確率が良い（小さい）グループである。

【0486】

また、以下では、メモリ31から、ロウ方向に読み出される、mbビットの符号ビットの、最上位ビットから#i+1ビット目を、ビットb#iとも表すとともに、連続するb個のシンボルのmbビットのシンボルビットの、最上位ビットから#i+1ビット目のビットを、ビットy#iとも表す。

30

【0487】

図52のAでは、符号ビットグループGb1には、符号ビットb0が、符号ビットグループGb2には、符号ビットb1が、符号ビットグループGb3には、符号ビットb2が、符号ビットグループGb4には、符号ビットb3, b4, b5, b6, b7が、それぞれ属する。

【0488】

変調方式が256QAMで、倍数bが1である場合、 $8 \times 1 (=mb)$ ビットのシンボルビットは、エラー確率の違いに応じて、図52のBに示すように、4個のシンボルビットグループGy1, Gy2, Gy3, Gy4にグループ分けすることができる。

40

【0489】

ここで、シンボルビットグループGy#iは、符号ビットグループと同様に、そのサフィックス#iが小さいほど、そのシンボルビットグループGy#iに属するシンボルビットのエラー確率が良いグループである。

【0490】

図52のBでは、シンボルビットグループGy1には、シンボルビットy0, y1が、シンボルビットグループGy2には、シンボルビットy2, y3が、シンボルビットグループGy3には、シンボルビットy4, y5が、シンボルビットグループGy4には、シンボルビットy6, y7が、それぞれ属する。

50

【0491】

図53は、LDPC符号が、符号長 N が16200ビットで、符号化率が4/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで、倍数 b が1である場合の、割り当てルールを示している。

【0492】

図53の割り当てルールでは、符号ビットグループ $Gb1$ と、シンボルビットグループ $Gy3$ との組み合わせが、1個のグループセットとして規定されている。そして、そのグループセットのグループビット数が1ビットに規定されている。

【0493】

ここで、以下では、グループセットと、そのグループビット数とを、まとめて、グループセット情報という。そして、例えば、符号ビットグループ $Gb1$ とシンボルビットグループ $Gy3$ とのグループセットと、そのグループセットのグループビット数である1ビットを、グループセット情報($Gb1, Gy3, 1$)と記載する。

【0494】

図53の割り当てルールでは、グループセット情報($Gb1, Gy3, 1$)の他、グループセット情報($Gb2, Gy1, 1$)、($Gb3, Gy4, 1$)、($Gb4, Gy1, 1$)、($Gb4, Gy2, 2$)、($Gb4, Gy4, 1$)、($Gb4, Gy3, 1$)が規定されている。

【0495】

例えば、グループセット情報($Gb1, Gy3, 1$)は、符号ビットグループ $Gb1$ に属する符号ビットの1ビットを、シンボルビットグループ $Gy3$ に属するシンボルビットの1ビットに割り当てることを意味する。

【0496】

したがって、図53の割り当てルールでは、

グループセット情報($Gb1, Gy3, 1$)により、エラー確率が1番目に良い符号ビットグループ $Gb1$ の符号ビットの1ビットを、エラー確率が3番目に良いシンボルビットグループ $Gy3$ のシンボルビットの1ビットに割り当てること、

グループセット情報($Gb2, Gy1, 1$)により、エラー確率が2番目に良い符号ビットグループ $Gb2$ の符号ビットの1ビットを、エラー確率が1番目に良いシンボルビットグループ $Gy1$ のシンボルビットの1ビットに割り当てること、

グループセット情報($Gb3, Gy4, 1$)により、エラー確率が3番目に良い符号ビットグループ $Gb3$ の符号ビットの1ビットを、エラー確率が4番目に良いシンボルビットグループ $Gy4$ のシンボルビットの1ビットに割り当てること、

グループセット情報($Gb4, Gy1, 1$)により、エラー確率が4番目に良い符号ビットグループ $Gb4$ の符号ビットの1ビットを、エラー確率が1番目に良いシンボルビットグループ $Gy1$ のシンボルビットの1ビットに割り当てること、

グループセット情報($Gb4, Gy2, 2$)により、エラー確率が4番目に良い符号ビットグループ $Gb4$ の符号ビットの2ビットを、エラー確率が2番目に良いシンボルビットグループ $Gy2$ のシンボルビットの2ビットに割り当てること、

グループセット情報($Gb4, Gy4, 1$)により、エラー確率が4番目に良い符号ビットグループ $Gb4$ の符号ビットの1ビットを、エラー確率が4番目に良いシンボルビットグループ $Gy4$ のシンボルビットの1ビットに割り当てること、

及び、グループセット情報($Gb4, Gy3, 1$)により、エラー確率が4番目に良い符号ビットグループ $Gb4$ の符号ビットの1ビットを、エラー確率が3番目に良いシンボルビットグループ $Gy3$ のシンボルビットの1ビットに割り当てること

が規定されている。

【0497】

上述したように、符号ビットグループは、符号ビットをエラー確率に応じてグループ分けするグループであり、シンボルビットグループは、シンボルビットをエラー確率に応じてグループ分けするグループである。したがって、割り当てルールは、符号ビットのエラー確率と、その符号ビットを割り当てるシンボルビットのエラー確率との組み合わせを規

10

20

30

40

50

定している、ということもできる。

【0498】

このように、符号ビットのエラー確率と、その符号ビットを割り当てるシンボルビットのエラー確率との組み合わせを規定する割り当てルールは、例えば、BERを計測するシミュレーション等によって、エラーに対する耐性（ノイズに対する耐性）を、より良くするように決定される。

【0499】

なお、ある符号ビットグループの符号ビットの割り当て先を、同一のシンボルビットグループのビットの中で変更しても、エラーに対する耐性には（ほとんど）影響しない。

【0500】

したがって、エラーに対する耐性を向上させるには、BER(Bit Error Rate)を最も小さくするグループセット情報、つまり、符号ビットの符号ビットグループと、その符号ビットグループの符号ビットを割り当てるシンボルビットのシンボルビットグループとの組み合わせ（グループセット）と、そのグループセットの符号ビットグループ、及びシンボルビットグループそれぞれの符号ビット、及びシンボルビットのビット数（グループビット数）とを、割り当てルールとして規定し、その割り当てルールに従って、符号ビットを、シンボルビットに割り当てるように、符号ビットの入れ替えを行えばよい。

【0501】

但し、割り当てルールに従って、どの符号ビットを、どのシンボルビットに割り当てるかの具体的な割り当て方は、送信装置11及び受信装置12（図7）の間で、あらかじめ決めておく必要がある。

【0502】

図54は、図53の割り当てルールに従った符号ビットの入れ替えの例を示している。

【0503】

すなわち、図54のAは、LDPC符号が、符号長Nが16200ビットで、符号化率が4/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合の、図53の割り当てルールに従った符号ビットの入れ替えの第1の例を示している。

【0504】

LDPC符号が、符号長Nが16200ビットで、符号化率が4/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合、デマルチプレクサ25では、カラム方向×ロウ方向が $(16200/(8 \times 1)) \times (8 \times 1)$ ビットのメモリ31に書き込まれた符号ビットが、ロウ方向に、 $8 \times 1 (=mb)$ ビット単位で読み出され、入れ替え部32（図18、図19）に供給される。

【0505】

入れ替え部32は、図53の割り当てルールに従い、メモリ31から読み出される $8 \times 1 (=mb)$ ビットの符号ビットb0ないしb7を、例えば、図54のAに示すように、 $1 (=b)$ 個のシンボルの $8 \times 1 (=mb)$ ビットのシンボルビットy0ないしy7に割り当てるように、 $8 \times 1 (=mb)$ ビットの符号ビットb0ないしb7を入れ替える。

【0506】

すなわち、入れ替え部32は、

符号ビットb0を、シンボルビットy4に、
符号ビットb1を、シンボルビットy0に、
符号ビットb2を、シンボルビットy6に、
符号ビットb3を、シンボルビットy1に、
符号ビットb4を、シンボルビットy3に、
符号ビットb5を、シンボルビットy7に、
符号ビットb6を、シンボルビットy5に、
符号ビットb7を、シンボルビットy2に、
それぞれ割り当てる入れ替えを行う。

【0507】

10

20

30

40

50

図 5 4 の B は、LDPC 符号が、符号長 N が 16200 ビットで、符号化率が $4/15$ の携帯用 LDPC 符号であり、さらに、変調方式が 256QAM で、倍数 b が 1 である場合の、図 5 3 の割り当てルールに従った符号ビットの入れ替えの第 2 の例を示している。

【0508】

図 5 4 の B によれば、入れ替え部 3 2 は、図 5 3 の割り当てルールに従い、メモリ 3 1 から読み出される $8 \times 1 (=mb)$ ビットの符号ビット b_0 ないし b_7 について、

符号ビット b_0 を、シンボルビット y_4 に、
符号ビット b_1 を、シンボルビット y_1 に、
符号ビット b_2 を、シンボルビット y_7 に、
符号ビット b_3 を、シンボルビット y_0 に、
符号ビット b_4 を、シンボルビット y_2 に、
符号ビット b_5 を、シンボルビット y_5 に、
符号ビット b_6 を、シンボルビット y_6 に、
符号ビット b_7 を、シンボルビット y_3 に、
それぞれ割り当てる入れ替えを行う。

10

【0509】

ここで、図 5 4 の A 及び図 5 4 の B に示した、符号ビット $b_{\#i}$ の、シンボルビット $y_{\#i}$ への割り当て方は、いずれも、図 5 3 の割り当てルールに従っている（割り当てルールを遵守している）。

【0510】

20

図 5 5 は、LDPC 符号が、符号長 N が 16200 ビットで、符号化率が $7/15$ の携帯用 LDPC 符号であり、さらに、変調方式が 256QAM で、倍数 b が 1 である場合の、符号ビットグループとシンボルビットグループとを示している。

【0511】

この場合、メモリ 3 1 から読み出される $8 \times 1 (=mb)$ ビットの符号ビットは、エラー確率の違いに応じて、図 5 5 の A に示すように、5 個の符号ビットグループ $Gb_1, Gb_2, Gb_3, Gb_4, Gb_5$ にグループ分けすることができる。

【0512】

図 5 5 の A では、符号ビットグループ Gb_1 には、符号ビット b_0 が、符号ビットグループ Gb_2 には、符号ビット b_1 が、符号ビットグループ Gb_3 には、符号ビット b_2 が、符号ビットグループ Gb_4 には、符号ビット b_3 が、符号ビットグループ Gb_5 には、符号ビット b_4 ないし b_7 が、それぞれ属する。

30

【0513】

変調方式が 256QAM で、倍数 b が 1 である場合、 $8 \times 1 (=mb)$ ビットのシンボルビットは、エラー確率の違いに応じて、図 5 5 の B に示すように、4 個のシンボルビットグループ Gy_1, Gy_2, Gy_3, Gy_4 にグループ分けすることができる。

【0514】

図 5 5 の B では、シンボルビットグループ Gy_1 には、シンボルビット y_0, y_1 が、シンボルビットグループ Gy_2 には、シンボルビット y_2, y_3 が、シンボルビットグループ Gy_3 には、シンボルビット y_4, y_5 が、シンボルビットグループ Gy_4 には、シンボルビット y_6, y_7 が、それぞれ属する。

40

【0515】

図 5 6 は、LDPC 符号が、符号長 N が 16200 ビットで、符号化率が $7/15$ の携帯用 LDPC 符号であり、さらに、変調方式が 256QAM で、倍数 b が 1 である場合の、割り当てルールを示している。

【0516】

図 5 6 の割り当てルールでは、グループセット情報 $(Gb_1, Gy_2, 1), (Gb_2, Gy_4, 1), (Gb_3, Gy_3, 1), (Gb_4, Gy_1, 1), (Gb_5, Gy_3, 1), (Gb_5, Gy_1, 1), (Gb_5, Gy_4, 1), (Gb_5, Gy_2, 1)$ が規定されている。

【0517】

50

すなわち、図 5 6 の割り当てルールでは、

グループセット情報(Gb1,Gy2,1)により、エラー確率が 1 番目に良い符号ビットグループGb1の符号ビットの 1 ビットを、エラー確率が 2 番目に良いシンボルビットグループGy2のシンボルビットの 1 ビットに割り当てること、

グループセット情報(Gb2,Gy4,1)により、エラー確率が 2 番目に良い符号ビットグループGb2の符号ビットの 1 ビットを、エラー確率が 4 番目に良いシンボルビットグループGy4のシンボルビットの 1 ビットに割り当てること、

グループセット情報(Gb3,Gy3,1)により、エラー確率が 3 番目に良い符号ビットグループGb3の符号ビットの 1 ビットを、エラー確率が 3 番目に良いシンボルビットグループGy3のシンボルビットの 1 ビットに割り当てること、

グループセット情報(Gb4,Gy1,1)により、エラー確率が 4 番目に良い符号ビットグループGb4の符号ビットの 1 ビットを、エラー確率が 1 番目に良いシンボルビットグループGy1のシンボルビットの 1 ビットに割り当てること、

グループセット情報(Gb5,Gy3,1)により、エラー確率が 5 番目に良い符号ビットグループGb5の符号ビットの 1 ビットを、エラー確率が 3 番目に良いシンボルビットグループGy3のシンボルビットの 1 ビットに割り当てること、

グループセット情報(Gb5,Gy1,1)により、エラー確率が 5 番目に良い符号ビットグループGb5の符号ビットの 1 ビットを、エラー確率が 1 番目に良いシンボルビットグループGy1のシンボルビットの 1 ビットに割り当てること、

グループセット情報(Gb5,Gy4,1)により、エラー確率が 5 番目に良い符号ビットグループGb5の符号ビットの 1 ビットを、エラー確率が 4 番目に良いシンボルビットグループGy4のシンボルビットの 1 ビットに割り当てること、

及び、グループセット情報(Gb5,Gy2,1)により、エラー確率が 5 番目に良い符号ビットグループGb5の符号ビットの 1 ビットを、エラー確率が 2 番目に良いシンボルビットグループGy2のシンボルビットの 1 ビットに割り当てること

が規定されている。

【0 5 1 8】

図 5 7 は、図 5 6 の割り当てルールに従った符号ビットの入れ替えの例を示している。

【0 5 1 9】

すなわち、図 5 7 の A は、LDPC符号が、符号長Nが16200ビットで、符号化率が7/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合の、図 5 6 の割り当てルールに従った符号ビットの入れ替えの第 1 の例を示している。

【0 5 2 0】

LDPC符号が、符号長Nが16200ビットで、符号化率が7/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合、デマルチプレクサ 2 5 では、カラム方向×ロウ方向が $(16200/(8 \times 1)) \times (8 \times 1)$ ビットのメモリ 3 1 に書き込まれた符号ビットが、ロウ方向に、 $8 \times 1 (=mb)$ ビット単位で読み出され、入れ替え部 3 2 (図 1 8、図 1 9) に供給される。

【0 5 2 1】

入れ替え部 3 2 は、図 5 6 の割り当てルールに従い、メモリ 3 1 から読み出される $8 \times 1 (=mb)$ ビットの符号ビットb0ないしb7を、例えば、図 5 7 の A に示すように、 $1 (=b)$ 個のシンボルの $8 \times 1 (=mb)$ ビットのシンボルビットy0ないしy7に割り当てるように、 $8 \times 1 (=mb)$ ビットの符号ビットb0ないしb7を入れ替える。

【0 5 2 2】

すなわち、入れ替え部 3 2 は、

符号ビットb0を、シンボルビットy2に、

符号ビットb1を、シンボルビットy6に、

符号ビットb2を、シンボルビットy4に、

符号ビットb3を、シンボルビットy1に、

符号ビットb4を、シンボルビットy5に、

10

20

30

40

50

符号ビットb5を、シンボルビットy0に、
符号ビットb6を、シンボルビットy7に、
符号ビットb7を、シンボルビットy3に、
それぞれ割り当てる入れ替えを行う。

【0523】

図57のBは、LDPC符号が、符号長Nが16200ビットで、符号化率が7/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合の、図56の割り当てルールに従った符号ビットの入れ替えの第2の例を示している。

【0524】

図57のBによれば、入れ替え部32は、図56の割り当てルールに従い、メモリ31 10
から読み出される $8 \times 1 (=mb)$ ビットの符号ビットb0ないしb7について、

符号ビットb0を、シンボルビットy3に、
符号ビットb1を、シンボルビットy6に、
符号ビットb2を、シンボルビットy5に、
符号ビットb3を、シンボルビットy0に、
符号ビットb4を、シンボルビットy4に、
符号ビットb5を、シンボルビットy1に、
符号ビットb6を、シンボルビットy2に、
符号ビットb7を、シンボルビットy7に、
それぞれ割り当てる入れ替えを行う。 20

【0525】

図58は、LDPC符号が、符号長Nが16200ビットで、符号化率が8/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合の、符号ビットグループとシンボルビットグループとを示している。

【0526】

この場合、メモリ31から読み出される $8 \times 1 (=mb)$ ビットの符号ビットは、エラー確率の違いに応じて、図58のAに示すように、5個の符号ビットグループGb1, Gb2, Gb3, Gb4, Gb5にグループ分けすることができる。

【0527】

図58のAでは、符号ビットグループGb1には、符号ビットb0が、符号ビットグループGb2には、符号ビットb1が、符号ビットグループGb3には、符号ビットb2及びb3が、符号ビットグループGb4には、符号ビットb4が、符号ビットグループGb5には、符号ビットb5ないしb7が、それぞれ属する。 30

【0528】

変調方式が256QAMで、倍数bが1である場合、 $8 \times 1 (=mb)$ ビットのシンボルビットは、エラー確率の違いに応じて、図58のBに示すように、4個のシンボルビットグループGy1, Gy2, Gy3, Gy4にグループ分けすることができる。

【0529】

図58のBでは、シンボルビットグループGy1には、シンボルビットy0, y1が、シンボルビットグループGy2には、シンボルビットy2, y3が、シンボルビットグループGy3には、シンボルビットy4, y5が、シンボルビットグループGy4には、シンボルビットy6, y7が、それぞれ属する。 40

【0530】

図59は、LDPC符号が、符号長Nが16200ビットで、符号化率が8/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合の、割り当てルールを示している。

【0531】

図59の割り当てルールでは、グループセット情報(Gb1, Gy2, 1), (Gb2, Gy4, 1), (Gb3, Gy1, 2), (Gb4, Gy4, 1), (Gb5, Gy3, 2), (Gb5, Gy2, 1)が規定されている。

【0532】

すなわち、図 5 9 の割り当てルールでは、

グループセット情報(Gb1,Gy2,1)により、エラー確率が 1 番目に良い符号ビットグループGb1の符号ビットの 1 ビットを、エラー確率が 2 番目に良いシンボルビットグループGy2のシンボルビットの 1 ビットに割り当てること、

グループセット情報(Gb2,Gy4,1)により、エラー確率が 2 番目に良い符号ビットグループGb2の符号ビットの 1 ビットを、エラー確率が 4 番目に良いシンボルビットグループGy4のシンボルビットの 1 ビットに割り当てること、

グループセット情報(Gb3,Gy1,2)により、エラー確率が 3 番目に良い符号ビットグループGb3の符号ビットの 2 ビットを、エラー確率が 1 番目に良いシンボルビットグループGy1のシンボルビットの 2 ビットに割り当てること、

グループセット情報(Gb4,Gy4,1)により、エラー確率が 4 番目に良い符号ビットグループGb4の符号ビットの 1 ビットを、エラー確率が 4 番目に良いシンボルビットグループGy4のシンボルビットの 1 ビットに割り当てること、

グループセット情報(Gb5,Gy3,2)により、エラー確率が 5 番目に良い符号ビットグループGb5の符号ビットの 2 ビットを、エラー確率が 3 番目に良いシンボルビットグループGy3のシンボルビットの 2 ビットに割り当てること、

及び、グループセット情報(Gb5,Gy2,1)により、エラー確率が 5 番目に良い符号ビットグループGb5の符号ビットの 1 ビットを、エラー確率が 2 番目に良いシンボルビットグループGy2のシンボルビットの 1 ビットに割り当てること

が規定されている。

【0 5 3 3】

図 6 0 は、図 5 9 の割り当てルールに従った符号ビットの入れ替えの例を示している。

【0 5 3 4】

すなわち、図 6 0 の A は、LDPC符号が、符号長Nが16200ビットで、符号化率が8/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合の、図 5 9 の割り当てルールに従った符号ビットの入れ替えの第 1 の例を示している。

【0 5 3 5】

LDPC符号が、符号長Nが16200ビットで、符号化率が8/15の携帯用LDPC符号であり、さらに、変調方式が256QAMで、倍数bが1である場合、デマルチプレクサ 2 5 では、カラム方向×ロウ方向が $(16200/(8 \times 1)) \times (8 \times 1)$ ビットのメモリ 3 1 に書き込まれた符号ビットが、ロウ方向に、 $8 \times 1 (=mb)$ ビット単位で読み出され、入れ替え部 3 2 (図 1 8、図 1 9) に供給される。

【0 5 3 6】

入れ替え部 3 2 は、図 5 9 の割り当てルールに従い、メモリ 3 1 から読み出される $8 \times 1 (=mb)$ ビットの符号ビットb0ないしb7を、例えば、図 6 0 の A に示すように、 $1 (=b)$ 個のシンボルの $8 \times 1 (=mb)$ ビットのシンボルビットy0ないしy7に割り当てるように、 $8 \times 1 (=mb)$ ビットの符号ビットb0ないしb7を入れ替える。

【0 5 3 7】

すなわち、入れ替え部 3 2 は、

符号ビットb0を、シンボルビットy2に、

符号ビットb1を、シンボルビットy6に、

符号ビットb2を、シンボルビットy1に、

符号ビットb3を、シンボルビットy0に、

符号ビットb4を、シンボルビットy7に、

符号ビットb5を、シンボルビットy5に、

符号ビットb6を、シンボルビットy3に、

符号ビットb7を、シンボルビットy4に、

それぞれ割り当てる入れ替えを行う。

【0 5 3 8】

図 6 0 の B は、LDPC符号が、符号長Nが16200ビットで、符号化率が8/15の携帯用LDPC符

10

20

30

40

50

号であり、さらに、変調方式が256QAMで、倍数bが1である場合の、図59の割り当てルールに従った符号ビットの入れ替えの第2の例を示している。

【0539】

図60のBによれば、入れ替え部32は、図59の割り当てルールに従い、メモリ31から読み出される $8 \times 1 (=mb)$ ビットの符号ビットb0ないしb7について、

符号ビットb0を、シンボルビットy3に、
符号ビットb1を、シンボルビットy7に、
符号ビットb2を、シンボルビットy0に、
符号ビットb3を、シンボルビットy1に、
符号ビットb4を、シンボルビットy6に、
符号ビットb5を、シンボルビットy4に、
符号ビットb6を、シンボルビットy2に、
符号ビットb7を、シンボルビットy5に、
それぞれ割り当てる入れ替えを行う。

10

【0540】

本件発明者が行ったシミュレーションによれば、新入れ替え方式の入れ替え処理を行った場合には、入れ替え処理を行わない場合に比較して、BERが向上することが確認されており、したがって、新入れ替え方式の入れ替え処理によれば、エラーに対する耐性を向上させることができる。

【0541】

20

なお、本実施の形態では、説明の便宜上、デマルチプレクサ25において、入れ替え部32が、メモリ31から読み出された符号ビットを対象として、入れ替え処理を行うようにしたが、入れ替え処理は、メモリ31に対する符号ビットの書き込みや読み出しを制御することによって行うことができる。

【0542】

すなわち、入れ替え処理は、例えば、メモリ31からの符号ビットの読み出しを、入れ替え後の符号ビットの順番で行うように、符号ビットを読み出すアドレス（読み出しアドレス）を制御することにより行うことができる。

【0543】

〔受信装置12の構成例〕

30

【0544】

図61は、図7の受信装置12の構成例を示すブロック図である。

【0545】

OFDM処理部(OFDM operation)151は、送信装置11（図7）からのOFDM信号を受信し、そのOFDM信号の信号処理を行う。OFDM処理部151が信号処理を行うことにより得られるデータ（シンボル）は、フレーム管理部(Frame Management)152に供給される。

【0546】

フレーム管理部152は、OFDM処理部151から供給されるシンボルで構成されるフレームの処理（フレーム解釈）を行い、その結果得られる対象データのシンボルと、制御データのシンボルとを、周波数デインターリーバ(Frequency Deinterleaver)161と153とに、それぞれ供給する。

40

【0547】

周波数デインターリーバ153は、フレーム管理部152からのシンボルについて、シンボル単位での周波数デインターリーブを行い、QAMデコーダ(QAM decoder)154に供給する。

【0548】

QAMデコーダ154は、周波数デインターリーバ153からのシンボル（信号点に配置されたシンボル）をデマッピング（信号点配置復号）して直交復調し、その結果得られるデータ（LDPC符号）を、LDPCデコーダ(LDPC decoder)155に供給する。

【0549】

50

LDPCデコーダ 1 5 5 は、QAMデコーダ 1 5 4 からのLDPC符号のLDPC復号を行い、その結果得られるLDPC対象データ（ここでは、BCH符号）を、BCHデコーダ(BCH decoder) 1 5 6 に供給する。

【0 5 5 0】

BCHデコーダ 1 5 6 は、LDPCデコーダ 1 5 5 からのLDPC対象データのBCH復号を行い、その結果得られる制御データ（シグナリング）を出力する。

【0 5 5 1】

一方、周波数デインターリーバ 1 6 1 は、フレーム管理部 1 5 2 からのシンボルについて、シンボル単位での周波数デインターリーブを行い、MISO/MIMOデコーダ(MISO/MIMO decoder) 1 6 2 に供給する。

【0 5 5 2】

MISO/MIMOデコーダ 1 6 2 は、周波数デインターリーバ 1 6 1 からのデータ（シンボル）の時空間復号を行い、時間デインターリーバ(Time Deinterleaver) 1 6 3 に供給する。

【0 5 5 3】

時間デインターリーバ 1 6 3 は、MISO/MIMOデコーダ 1 6 2 からのデータ（シンボル）について、シンボル単位での時間デインターリーブを行い、QAMデコーダ(QAM decoder) 1 6 4 に供給する。

【0 5 5 4】

QAMデコーダ 1 6 4 は、時間デインターリーバ 1 6 3 からのシンボル（信号点に配置されたシンボル）をデマッピング（信号点配置復号）して直交復調し、その結果得られるデータ（シンボル）を、ビットデインターリーバ(Bit Deinterleaver) 1 6 5 に供給する。

【0 5 5 5】

ビットデインターリーバ 1 6 5 は、QAMデコーダ 1 6 4 からのデータ（シンボル）のビットデインターリーブを行い、その結果得られるLDPC符号を、LDPCデコーダ 1 6 6 に供給する。

【0 5 5 6】

LDPCデコーダ 1 6 6 は、ビットデインターリーバ 1 6 5 からのLDPC符号のLDPC復号を行い、その結果得られるLDPC対象データ（ここでは、BCH符号）を、BCHデコーダ 1 6 7 に供給する。

【0 5 5 7】

BCHデコーダ 1 6 7 は、LDPCデコーダ 1 5 5 からのLDPC対象データのBCH復号を行い、その結果得られるデータを、BBデスクランブラ(BB DeScrambler) 1 6 8 に供給する。

【0 5 5 8】

BBデスクランブラ 1 6 8 は、BCHデコーダ 1 6 7 からのデータに、エネルギー逆拡散処理を施し、その結果得られるデータを、ヌル削除部(Null Deletion) 1 6 9 に供給する。

【0 5 5 9】

ヌル削除部 1 6 9 は、BBデスクランブラ 1 6 8 からのデータから、図 8 のパダー 1 1 2 で挿入されたNullを削除し、デマルチプレクサ(Demultiplexer) 1 7 0 に供給する。

【0 5 6 0】

デマルチプレクサ 1 7 0 は、ヌル削除部 1 6 9 からのデータに多重化されている 1 以上のストリーム（対象データ）それぞれを分離し、アウトプットストリーム(Output stream)として出力する。

【0 5 6 1】

図 6 2 は、図 6 1 のビットデインターリーバ 1 6 5 の構成例を示すブロック図である。

【0 5 6 2】

ビットデインターリーバ 1 6 5 は、マルチプレクサ(MUX) 5 4、及びカラムツイストデインターリーバ 5 5 から構成され、QAMデコーダ 1 6 4（図 6 1）からのシンボルのシンボルビットの（ビット）デインターリーブを行う。

【0 5 6 3】

すなわち、マルチプレクサ 5 4 は、QAMデコーダ 1 6 4 からのシンボルのシンボルビッ

10

20

30

40

50

トを対象として、図 9 のデマルチプレクサ 2 5 が行う入れ替え処理に対応する逆入れ替え処理（入れ替え処理の逆の処理）、すなわち、入れ替え処理によって入れ替えられた LDPC 符号の符号ビット（シンボルビット）の位置を元の位置に戻す逆入れ替え処理を行い、その結果得られる LDPC 符号を、カラムツイストデインターリーブ 5 5 に供給する。

【0 5 6 4】

カラムツイストデインターリーブ 5 5 は、マルチプレクサ 5 4 からの LDPC 符号を対象として、図 9 のカラムツイストインターリーブ 2 4 が行う並び替え処理としてのカラムツイストインターリーブに対応するカラムツイストデインターリーブ（カラムツイストインターリーブの逆の処理）、すなわち、並び替え処理としてのカラムツイストインターリーブによって並びが変更された LDPC 符号の符号ビットを、元の並びに戻す逆並び替え処理としての、例えば、カラムツイストデインターリーブを行う。

10

【0 5 6 5】

具体的には、カラムツイストデインターリーブ 5 5 は、図 2 4 等 に示したメモリ 3 1 と同様に構成される、デインターリーブ用のメモリに対して、LDPC 符号の符号ビットを書き込み、さらに読み出すことで、カラムツイストデインターリーブを行う。

【0 5 6 6】

但し、カラムツイストデインターリーブ 5 5 では、符号ビットの書き込みは、メモリ 3 1 からの符号ビットの読み出し時の読み出しアドレスを、書き込みアドレスとして用いて、デインターリーブ用のメモリのロウ方向に行われる。また、符号ビットの読み出しは、メモリ 3 1 への符号ビットの書き込み時の書き込みアドレスを、読み出しアドレスとして用いて、デインターリーブ用のメモリのカラム方向に行われる。

20

【0 5 6 7】

カラムツイストデインターリーブの結果得られる LDPC 符号は、カラムツイストデインターリーブ 5 5 から LDPC デコーダ 1 6 6 に供給される。

【0 5 6 8】

ここで、QAM デコーダ 1 6 4 から、ビットデインターリーブ 1 6 5 に供給される LDPC 符号には、パリティインターリーブ、カラムツイストインターリーブ、及び入れ替え処理が、その順番で施されているが、ビットデインターリーブ 1 6 5 では、入れ替え処理に対応する逆入れ替え処理、及び、カラムツイストインターリーブに対応するカラムツイストデインターリーブしか行われず、したがって、パリティインターリーブに対応するパリティデインターリーブ（パリティインターリーブの逆の処理）、すなわち、パリティインターリーブによって並びが変更された LDPC 符号の符号ビットを、元の並びに戻すパリティデインターリーブは、行われない。

30

【0 5 6 9】

したがって、ビットデインターリーブ 1 6 5（のカラムツイストデインターリーブ 5 5）から、LDPC デコーダ 1 6 6 には、逆入れ替え処理、及び、カラムツイストデインターリーブが行われ、かつ、パリティデインターリーブが行われていない LDPC 符号が供給される。

【0 5 7 0】

LDPC デコーダ 1 6 6 は、ビットデインターリーブ 1 6 5 からの LDPC 符号の LDPC 復号を、図 8 の LDPC エンコーダ 1 1 5 が LDPC 符号化に用いた検査行列 H に対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行い、その結果得られるデータを、LDPC 対象データの復号結果として出力する。

40

【0 5 7 1】

図 6 3 は、図 6 2 の QAM デコーダ 1 6 4、ビットデインターリーブ 1 6 5、及び、LDPC デコーダ 1 6 6 が行う処理を説明するフローチャートである。

【0 5 7 2】

ステップ S 1 1 1 において、QAM デコーダ 1 6 4 は、時間デインターリーブ 1 6 3 からのシンボル（信号点にマッピングされたシンボル）をデマッピングして直交復調し、ビットデインターリーブ 1 6 5 に供給して、処理は、ステップ S 1 1 2 に進む。

50

【0573】

ステップS112では、ビットデインターリーブ165は、QAMデコーダ164からのシンボルのシンボルビットのデインターリーブ（ビットデインターリーブ）を行って、処理は、ステップS113に進む。

【0574】

すなわち、ステップS112では、ビットデインターリーブ165において、マルチプレクサ54が、QAMデコーダ164からのシンボルのシンボルビットを対象として、逆入れ替え処理を行い、その結果得られるLDPC符号の符号ビットを、カラムツイストデインターリーブ55に供給する。

【0575】

カラムツイストデインターリーブ55は、マルチプレクサ54からのLDPC符号を対象として、カラムツイストデインターリーブを行い、その結果得られるLDPC符号を、LDPCデコーダ166に供給する。

【0576】

ステップS113では、LDPCデコーダ166が、カラムツイストデインターリーブ55からのLDPC符号のLDPC復号を、図8のLDPCエンコーダ115がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行い、その結果得られるデータを、LDPC対象データの復号結果として、BCHデコーダ167に出力する。

【0577】

なお、図62でも、図9の場合と同様に、説明の便宜のため、逆入れ替え処理を行うマルチプレクサ54と、カラムツイストデインターリーブを行うカラムツイストデインターリーブ55とを、別個に構成するようにしたが、マルチプレクサ54とカラムツイストデインターリーブ55とは、一体的に構成することができる。

【0578】

また、図9のビットインターリーブ116において、カラムツイストインターリーブを行わない場合には、図62のビットデインターリーブ165において、カラムツイストデインターリーブ55は、設ける必要がない。

【0579】

次に、図61のLDPCデコーダ166で行われるLDPC復号について、さらに説明する。

【0580】

図61のLDPCデコーダ166では、上述したように、カラムツイストデインターリーブ55からの、逆入れ替え処理、及び、カラムツイストデインターリーブが行われ、かつ、パリティデインターリーブが行われていないLDPC符号のLDPC復号が、図8のLDPCエンコーダ115がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行われる。

【0581】

ここで、LDPC復号を、変換検査行列を用いて行うことで、回路規模を抑制しつつ、動作周波数を十分実現可能な範囲に抑えることが可能となるLDPC復号が先に提案されている（例えば、特許第4224777号を参照）。

【0582】

そこで、まず、図64ないし図67を参照して、先に提案されている、変換検査行列を用いたLDPC復号について説明する。

【0583】

図64は、符号長Nが90で、符号化率が2/3のLDPC符号の検査行列Hの例を示している。

【0584】

なお、図64では（後述する図65及び図66においても同様）、0を、ピリオド(.)で表現している。

【0585】

図64の検査行列Hでは、パリティ行列が階段構造になっている。

10

20

30

40

50

【0586】

図65は、図64の検査行列Hに、式(11)の行置換と、式(12)の列置換を施して得られる検査行列H'を示している。

【0587】

行置換: $6s+t+1$ 行目 $\rightarrow 5t+s+1$ 行目

・・・(11)

【0588】

列置換: $6x+y+61$ 列目 $\rightarrow 5y+x+61$ 列目

・・・(12)

【0589】

但し、式(11)及び(12)において、 s, t, x, y は、それぞれ、 $0 \leq s < 5$, $0 \leq t < 6$, $0 \leq x < 5$, $0 \leq t < 6$ の範囲の整数である。

【0590】

式(11)の行置換によれば、6で割って余りが1になる1, 7, 13, 19, 25行目を、それぞれ、1, 2, 3, 4, 5行目に、6で割って余りが2になる2, 8, 14, 20, 26行目を、それぞれ、6, 7, 8, 9, 10行目に、という具合に置換が行われる。

【0591】

また、式(12)の列置換によれば、61列目以降(パリティ行列)に対して、6で割って余りが1になる61, 67, 73, 79, 85列目を、それぞれ、61, 62, 63, 64, 65列目に、6で割って余りが2になる62, 68, 74, 80, 86列目を、それぞれ、66, 67, 68, 69, 70列目に、という具合に置換が行われる。

【0592】

このようにして、図64の検査行列Hに対して、行と列の置換を行って得られた行列(matrix)が、図65の検査行列H'である。

【0593】

ここで、検査行列Hの行置換を行っても、LDPC符号の符号ビットの並びには影響しない。

【0594】

また、式(12)の列置換は、上述の、 $K+qx+y+1$ 番目の符号ビットを、 $K+Py+x+1$ 番目の符号ビットの位置にインターリーブするパリティインターリーブの、情報長Kを60と、巡回構造の単位の列数Pを5と、パリティ長M(ここでは、30)の約数 $q(=M/P)$ を6と、それぞれしたときのパリティインターリーブに相当する。

【0595】

図65の検査行列(以下、適宜、変換検査行列という)H'に対して、図64の検査行列(以下、適宜、元の検査行列という)HのLDPC符号に、式(12)と同一の置換を行ったものを乗じると、0ベクトルcが出力される。すなわち、元の検査行列HのLDPC符号(1符号語)としての行ベクトルcに、式(12)の列置換を施して得られる行ベクトルをc'と表すこととすると、検査行列の性質から、 Hc^T は、0ベクトルとなるから、 $H'c'^T$ も、当然、0ベクトルとなる。

【0596】

以上から、図65の変換検査行列H'は、元の検査行列HのLDPC符号cに、式(12)の列置換を行って得られるLDPC符号c'の検査行列になっている。

【0597】

したがって、元の検査行列HのLDPC符号cに、式(12)の列置換を行い、その列置換後のLDPC符号c'を、図65の変換検査行列H'を用いて復号(LDPC復号)し、その復号結果に、式(12)の列置換の逆置換を施すことで、元の検査行列HのLDPC符号を、その検査行列Hを用いて復号する場合と同様の復号結果を得ることができる。

【0598】

図66は、 5×5 の行列の単位に間隔を空けた、図65の変換検査行列H'を示している

10

20

30

40

50

。

【0599】

図66においては、変換検査行列 H' は、 5×5 の単位行列、その単位行列の1のうち1個以上が0になった行列（以下、適宜、準単位行列という）、単位行列または準単位行列をサイクリックシフト(cyclic shift)した行列（以下、適宜、シフト行列という）、単位行列、準単位行列、またはシフト行列のうちの2以上の和（以下、適宜、和行列という）、 5×5 の0行列の組合わせで表されている。

【0600】

図66の変換検査行列 H' は、 5×5 の単位行列、準単位行列、シフト行列、和行列、0行列で構成されているといえることができる。そこで、変換検査行列 H' を構成する、これらの 5×5 の行列を、以下、適宜、構成行列という。

10

【0601】

$P \times P$ の構成行列で表される検査行列のLDPC符号の復号には、チェックノード演算、及びバリエブルノード演算を、 P 個同時に行うアーキテクチャ(architecture)を用いることができる。

【0602】

図67は、そのような復号を行う復号装置の構成例を示すブロック図である。

【0603】

すなわち、図67は、図64の元の検査行列 H に対して、少なくとも、式(12)の列置換を行って得られる図66の変換検査行列 H' を用いて、LDPC符号の復号を行う復号装置の構成例を示している。

20

【0604】

図67の復号装置は、6つのFIFO300₁ないし300₆からなる枝データ格納用メモリ300、FIFO300₁ないし300₆を選択するセレクタ301、チェックノード計算部302、2つのサイクリックシフト回路303及び308、18個のFIFO304₁ないし304₁₈からなる枝データ格納用メモリ304、FIFO304₁ないし304₁₈を選択するセレクタ305、受信データを格納する受信データ用メモリ306、バリエブルノード計算部307、復号語計算部309、受信データ並べ替え部310、復号データ並べ替え部311からなる。

【0605】

30

まず、枝データ格納用メモリ300と304へのデータの格納方法について説明する。

【0606】

枝データ格納用メモリ300は、図66の変換検査行列 H' の行数30を構成行列の行数5で除算した数である6つのFIFO300₁ないし300₆から構成されている。FIFO300_y ($y = 1, 2, \dots, 6$)は、複数の段数の記憶領域からなり、各段の記憶領域については、構成行列の行数及び列数である5つの枝に対応するメッセージを同時に読み出すこと、及び、書き込むことができるようになっていて。また、FIFO300_yの記憶領域の段数は、図66の変換検査行列の行方向の1の数（ハミング重み）の最大数である9になっている。

【0607】

40

FIFO300₁には、図66の変換検査行列 H' の第1行目から第5行目までの1の位置に対応するデータ（バリエブルノードからのメッセージ v_i ）が、各行共に横方向に詰めた形に（0を無視した形で）格納される。すなわち、第 j 行第 i 列を、 (j, i) と表すこととすると、FIFO300₁の第1段の記憶領域には、変換検査行列 H' の $(1, 1)$ から $(5, 5)$ の 5×5 の単位行列の1の位置に対応するデータが格納される。第2段の記憶領域には、変換検査行列 H' の $(1, 21)$ から $(5, 25)$ のシフト行列（ 5×5 の単位行列を右方向に3つだけサイクリックシフトしたシフト行列）の1の位置に対応するデータが格納される。第3から第8段の記憶領域も同様に、変換検査行列 H' と対応付けてデータが格納される。そして、第9段の記憶領域には、変換検査行列 H' の $(1, 86)$ から $(5, 90)$ のシフト行列（ 5×5 の単位行列のうちの1行目の1を0に置き換えて1つだけ左にサイクリックシフトしたシフト行列）の

50

1 の位置に対応するデータが格納される。

【0608】

FIFO300₂には、図66の変換検査行列H'の第6行目から第10行目までの1の位置に対応するデータが格納される。すなわち、FIFO300₂の第1段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列（5×5の単位行列を右に1つだけサイクリックシフトした第1のシフト行列と、右に2つだけサイクリックシフトした第2のシフト行列の和である和行列）を構成する第1のシフト行列の1の位置に対応するデータが格納される。また、第2段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列を構成する第2のシフト行列の1の位置に対応するデータが格納される。

【0609】

すなわち、重みが2以上の構成行列については、その構成行列を、重みが1であるP×Pの単位行列、単位行列の要素の1のうち1個以上が0になった準単位行列、又は単位行列もしくは準単位行列をサイクリックシフトしたシフト行列のうちの複数の和の形で表現したときの、その重みが1の単位行列、準単位行列、又はシフト行列の1の位置に対応するデータ（単位行列、準単位行列、又はシフト行列に属する枝に対応するメッセージ）は、同一アドレス（FIFO300₁ないし300₆のうちの同一のFIFO）に格納される。

【0610】

以下、第3から第9段の記憶領域についても、変換検査行列H'に対応付けてデータが格納される。

【0611】

FIFO300₃ないし300₆も同様に変換検査行列H'に対応付けてデータを格納する。

【0612】

枝データ格納用メモリ304は、変換検査行列H'の列数90を、構成行列の列数である5で割った18個のFIFO304₁ないし304₁₈から構成されている。FIFO304_x（x=1, 2, ..., 18）は、複数の段数の記憶領域からなり、各段の記憶領域については、変換構成行列H'の行数及び列数である5つの枝に対応するメッセージを同時に読み出すこと、及び、書き込むことができるようになっている。

【0613】

FIFO304₁には、図66の変換検査行列H'の第1列目から第5列目までの1の位置に対応するデータ（チェックノードからのメッセージu_j）が、各列共に縦方向に詰めた形に（0を無視した形で）格納される。すなわち、FIFO304₁の第1段の記憶領域には、変換検査行列H'の(1,1)から(5,5)の5×5の単位行列の1の位置に対応するデータが格納される。第2段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列（5×5の単位行列を右に1つだけサイクリックシフトした第1のシフト行列と、右に2つだけサイクリックシフトした第2のシフト行列との和である和行列）を構成する第1のシフト行列の1の位置に対応するデータが格納される。また、第3段の記憶領域には、変換検査行列H'の(6,1)から(10,5)の和行列を構成する第2のシフト行列の1の位置に対応するデータが格納される。

【0614】

すなわち、重みが2以上の構成行列については、その構成行列を、重みが1であるP×Pの単位行列、単位行列の要素の1のうち1個以上が0になった準単位行列、又は単位行列もしくは準単位行列をサイクリックシフトしたシフト行列のうちの複数の和の形で表現したときの、その重みが1の単位行列、準単位行列、又はシフト行列の1の位置に対応するデータ（単位行列、準単位行列、又はシフト行列に属する枝に対応するメッセージ）は、同一アドレス（FIFO304₁ないし304₁₈のうちの同一のFIFO）に格納される。

【0615】

以下、第4及び第5段の記憶領域についても、変換検査行列H'に対応付けて、データが格納される。このFIFO304₁の記憶領域の段数は、変換検査行列H'の第1列から第5列における行方向の1の数（ハミング重み）の最大数である5になっている。

【0616】

FIFO 3 0 4₂と3 0 4₃も同様に変換検査行列H'に対応付けてデータを格納し、それぞれの長さ（段数）は、5である。FIFO 3 0 4₄ないし3 0 4₁₂も同様に、変換検査行列H'に対応付けてデータを格納し、それぞれの長さは3である。FIFO 3 0 4₁₃ないし3 0 4₁₈も同様に、変換検査行列H'に対応付けてデータを格納し、それぞれの長さは2である。

【0 6 1 7】

次に、図 6 7 の復号装置の動作について説明する。

【0 6 1 8】

枝データ格納用メモリ 3 0 0 は、6 つのFIFO 3 0 0₁ないし3 0 0₆からなり、前段のサイクリックシフト回路 3 0 8 から供給される 5 つのメッセージD311が、変換検査行列H'のどの行に属するかの情報（Matrixデータ）D312に従って、データを格納するFIFOを、FIFO 3 0 0₁ないし3 0 0₆の中から選び、選んだFIFOに 5 つのメッセージD311をまとめて順番に格納していく。また、枝データ格納用メモリ 3 0 0 は、データを読み出す際には、FIFO 3 0 0₁から 5 つのメッセージD300₁を順番に読み出し、次段のセクタ 3 0 1 に供給する。枝データ格納用メモリ 3 0 0 は、FIFO 3 0 0₁からのメッセージの読み出しの終了後、FIFO 3 0 0₂ないし3 0 0₆からも、順番に、メッセージを読み出し、セクタ 3 0 1 に供給する。

【0 6 1 9】

セクタ 3 0 1 は、セレクト信号D301に従って、FIFO 3 0 0₁ないし3 0 0₆のうちの、現在データが読み出されているFIFOからの 5 つのメッセージを選択し、メッセージD302として、チェックノード計算部 3 0 2 に供給する。

【0 6 2 0】

チェックノード計算部 3 0 2 は、5 つのチェックノード計算器 3 0 2₁ないし3 0 2₅からなり、セクタ 3 0 1 を通して供給されるメッセージD302(D302₁ないしD302₅)（式（7）のメッセージ v_i ）を用いて、式（7）に従ってチェックノード演算を行い、そのチェックノード演算の結果得られる 5 つのメッセージD303(D303₁ないしD303₅)（式（7）のメッセージ u_j ）をサイクリックシフト回路 3 0 3 に供給する。

【0 6 2 1】

サイクリックシフト回路 3 0 3 は、チェックノード計算部 3 0 2 で求められた 5 つのメッセージD303₁ないしD303₅を、対応する枝が変換検査行列H'において元となる単位行列を幾つサイクリックシフトしたものであるかの情報（Matrixデータ）D305を元にサイクリックシフトし、その結果をメッセージD304として、枝データ格納用メモリ 3 0 4 に供給する。

【0 6 2 2】

枝データ格納用メモリ 3 0 4 は、1 8 個のFIFO 3 0 4₁ないし3 0 4₁₈からなり、前段のサイクリックシフト回路 3 0 3 から供給される 5 つのメッセージD304が変換検査行列H'のどの行に属するかの情報D305に従って、データを格納するFIFOを、FIFO 3 0 4₁ないし3 0 4₁₈の中から選び、選んだFIFOに 5 つのメッセージD304をまとめて順番に格納していく。また、枝データ格納用メモリ 3 0 4 は、データを読み出す際には、FIFO 3 0 4₁から 5 つのメッセージD306₁を順番に読み出し、次段のセクタ 3 0 5 に供給する。枝データ格納用メモリ 3 0 4 は、FIFO 3 0 4₁からのデータの読み出しの終了後、FIFO 3 0 4₂ないし3 0 4₁₈からも、順番に、メッセージを読み出し、セクタ 3 0 5 に供給する。

【0 6 2 3】

セクタ 3 0 5 は、セレクト信号D307に従って、FIFO 3 0 4₁ないし3 0 4₁₈のうちの、現在データが読み出されているFIFOからの 5 つのメッセージを選択し、メッセージD308として、バリアブルノード計算部 3 0 7 と復号語計算部 3 0 9 に供給する。

【0 6 2 4】

一方、受信データ並べ替え部 3 1 0 は、通信路 1 3 を通して受信したLDPC符号D313を、式（1 2）の列置換を行うことにより並べ替え、受信データD314として、受信データ用メモリ 3 0 6 に供給する。受信データ用メモリ 3 0 6 は、受信データ並べ替え部 3 1 0 から供給される受信データD314から、受信LLR（対数尤度比）を計算して記憶し、その受信LLR

を5個ずつまとめて受信値D309として、バリエブルノード計算部307と復号語計算部309に供給する。

【0625】

バリエブルノード計算部307は、5つのバリエブルノード計算器 307_1 ないし 307_5 からなり、セレクタ305を通して供給されるメッセージD308($D308_1$ ないし $D308_5$) (式(1)のメッセージ u_j)と、受信データ用メモリ306から供給される5つの受信値D309 (式(1)の受信値 u_{0i})を用いて、式(1)に従ってバリエブルノード演算を行い、その演算の結果得られるメッセージD310($D310_1$ ないし $D310_5$) (式(1)のメッセージ v_i)を、サイクリックシフト回路308に供給する。

【0626】

サイクリックシフト回路308は、バリエブルノード計算部307で計算されたメッセージ $D310_1$ ないし $D310_5$ を、対応する枝が変換検査行列 H' において元となる単位行列を幾つサイクリックシフトしたものであるかの情報を元にサイクリックシフトし、その結果をメッセージD311として、枝データ格納用メモリ300に供給する。

【0627】

以上の動作を1巡することで、LDPC符号の1回の復号を行うことができる。図67の復号装置は、所定の回数だけLDPC符号を復号した後、復号語計算部309及び復号データ並べ替え部311において、最終的な復号結果を求めて出力する。

【0628】

すなわち、復号語計算部309は、5つの復号語計算器 309_1 ないし 309_5 からなり、セレクタ305が出力する5つのメッセージD308($D308_1$ ないし $D308_5$) (式(5)のメッセージ u_j)と、受信データ用メモリ306から供給される5つの受信値D309 (式(5)の受信値 u_{0i})を用い、複数回の復号の最終段として、式(5)に基づいて、復号結果(復号語)を計算して、その結果得られる復号データD315を、復号データ並べ替え部311に供給する。

【0629】

復号データ並べ替え部311は、復号語計算部309から供給される復号データD315を対象に、式(12)の列置換の逆置換を行うことにより、その順序を並べ替え、最終的な復号結果D316として出力する。

【0630】

以上のように、検査行列(元の検査行列)に対して、行置換と列置換のうちの一方又は両方を施し、 $P \times P$ の単位行列、その要素の1のうち1個以上が0になった準単位行列、単位行列もしくは準単位行列をサイクリックシフトしたシフト行列、単位行列、準単位行列、もしくはシフト行列の複数の和である和行列、 $P \times P$ の0行列の組合せ、つまり、構成行列の組み合わせで表すことができる検査行列(変換検査行列)に変換することで、LDPC符号の復号を、チェックノード演算とバリエブルノード演算をP個同時に行うアーキテクチャ(architecture)を採用することが可能となり、これにより、ノード演算を、P個同時に行うことで動作周波数を実現可能な範囲に抑えて、多数の繰り返し復号を行うことができる。

【0631】

図61の受信装置12を構成するLDPCデコーダ166は、図67の復号装置と同様に、チェックノード演算とバリエブルノード演算をP個同時に行うことで、LDPC復号を行うようになっている。

【0632】

すなわち、いま、説明を簡単にするために、図8の送信装置11を構成するLDPCエンコーダ115が出力するLDPC符号の検査行列が、例えば、図64に示した、パリティ行列が階段構造になっている検査行列 H であるとする、送信装置11のパリティインターリーブ23では、 $K+qx+y+1$ 番目の符号ビットを、 $K+Py+x+1$ 番目の符号ビットの位置にインターリーブするパリティインターリーブが、情報長 K を60に、巡回構造の単位の列数 P を5に、パリティ長 M の約数 $q(=M/P)$ を6に、それぞれして行われる。

10

20

30

40

50

【0633】

このパリティインターリーブは、上述したように、式(12)の列置換に相当するから、LDPCデコーダ166では、式(12)の列置換を行う必要がない。

【0634】

このため、図61の受信装置12では、上述したように、カラムツイストデインターリーブ55から、LDPCデコーダ166に対して、パリティデインターリーブが行われていないLDPC符号、つまり、式(12)の列置換が行われた状態のLDPC符号が供給され、LDPCデコーダ166では、式(12)の列置換を行わないことを除けば、図67の復号装置と同様の処理が行われる。

【0635】

10

すなわち、図68は、図61のLDPCデコーダ166の構成例を示している。

【0636】

図68において、LDPCデコーダ166は、図67の受信データ並べ替え部310が設けられていないことを除けば、図67の復号装置と同様に構成されており、式(12)の列置換が行われないことを除いて、図67の復号装置と同様の処理を行うため、その説明は省略する。

【0637】

以上のように、LDPCデコーダ166は、受信データ並べ替え部310を設けずに構成することができるので、図67の復号装置よりも、規模を削減することができる。

【0638】

20

なお、図64ないし図68では、説明を簡単にするために、LDPC符号の符号長 N を90と、情報長 K を60と、巡回構造の単位の列数(構成行列の行数及び列数) P を5と、パリティ長 M の約数 $q(=M/P)$ を6と、それぞれしたが、符号長 N 、情報長 K 、巡回構造の単位の列数 P 、及び約数 $q(=M/P)$ のそれぞれは、上述した値に限定されるものではない。

【0639】

すなわち、図8の送信装置11において、LDPCエンコーダ115が出力するのは、例えば、符号長 N を64800や16200等と、情報長 K を $N-Pq(=N-M)$ と、巡回構造の単位の列数 P を360と、約数 q を M/P と、それぞれするLDPC符号であるが、図68のLDPCデコーダ166は、そのようなLDPC符号を対象として、チェックノード演算とバリエブルノード演算を P 個同時に行うことで、LDPC復号を行う場合にも適用可能である。

30

【0640】

図69は、図62のビットデインターリーブ165を構成するマルチプレクサ54の処理を説明する図である。

【0641】

すなわち、図69のAは、マルチプレクサ54の機能的な構成例を示している。

【0642】

マルチプレクサ54は、逆入れ替え部1001、及びメモリ1002から構成される。

【0643】

マルチプレクサ54は、前段のQAMデコーダ164から供給されるシンボルのシンボルビットを対象として、送信装置11のデマルチプレクサ25が行う入れ替え処理に対応する逆入れ替え処理(入れ替え処理の逆の処理)、すなわち、入れ替え処理によって入れ替えられたLDPC符号の符号ビット(シンボルビット)の位置を元の位置に戻す逆入れ替え処理を行い、その結果得られるLDPC符号を、後段のカラムツイストデインターリーブ55に供給する。

40

【0644】

すなわち、マルチプレクサ54において、逆入れ替え部1001には、(連続する) b 個のシンボルの単位で、その b 個のシンボルの mb ビットのシンボルビット $y_0, y_1, \dots, y_{mb-1}$ が供給される。

【0645】

逆入れ替え部1001は、 mb ビットのシンボルビット y_0 ないし y_{mb-1} を、元の mb ビット

50

の符号ビット $b_0, b_1, \dots, b_{mb-1}$ の並び（送信装置 1 1 側のデマルチプレクサ 2 5 を構成する入れ替え部 3 2 での入れ替えが行われる前の符号ビット b_0 ないし b_{mb-1} の並び）に戻す逆入れ替えを行い、その結果得られる mb ビットの符号ビット b_0 ないし b_{mb-1} を出力する。

【0646】

メモリ 1002 は、送信装置 1 1 側のデマルチプレクサ 2 5 を構成するメモリ 3 1 と同様に、ロウ(row)（横）方向に mb ビットを記憶するとともに、カラム(column)（縦）方向に $N/(mb)$ ビットを記憶する記憶容量を有する。すなわち、メモリ 1002 は、 $N/(mb)$ ビットを記憶する mb 個のカラムから構成される。

【0647】

但し、メモリ 1002 では、送信装置 1 1 のデマルチプレクサ 2 5 のメモリ 3 1 からの符号ビットの読み出しが行われる方向に、逆入れ替え部 1001 が出力するLDPC符号の符号ビットの書き込みが行われ、メモリ 3 1 への符号ビットの書き込みが行われる方向に、メモリ 1002 に書き込まれた符号ビットの読み出しが行われる。

【0648】

すなわち、受信装置 1 2 のマルチプレクサ 5 4 では、図 6 9 の A に示すように、逆入れ替え部 1001 が出力するLDPC符号の符号ビットを、 mb ビット単位で、ロウ方向に書き込むことが、メモリ 1002 の 1 行目から下の行に向かって順次行われる。

【0649】

そして、1 符号長分の符号ビットの書き込みが終了すると、マルチプレクサ 5 4 では、メモリ 1002 から、符号ビットを、カラム方向に読み出して、後段のカラムツイストデインターリーバ 5 5 に供給する。

【0650】

ここで、図 6 9 B は、メモリ 1002 からの符号ビットの読み出しを示す図である。

【0651】

マルチプレクサ 5 4 では、LDPC符号の符号ビットを、メモリ 1002 を構成するカラムの上から下方向（カラム方向）に読み出すことが、左から右方向のカラムに向かって行われる。

【0652】

図 7 0 は、図 6 2 のビットデインターリーバ 1 6 5 を構成するカラムツイストデインターリーバ 5 5 の処理を説明する図である。

【0653】

すなわち、図 7 0 は、マルチプレクサ 5 4 のメモリ 1002 の構成例を示している。

【0654】

メモリ 1002 は、カラム（縦）方向に mb ビットを記憶するとともに、ロウ（横）方向に $N/(mb)$ ビットを記憶する記憶容量を有し、 mb 個のカラムから構成される。

【0655】

カラムツイストデインターリーバ 5 5 は、メモリ 1002 に対して、LDPC符号の符号ビットを、ロウ方向に書き込み、カラム方向に読み出すときの読み出し始めの位置を制御することで、カラムツイストデインターリーブを行う。

【0656】

すなわち、カラムツイストデインターリーバ 5 5 では、複数のカラムそれぞれについて、符号ビットの読み出しを開始する読み出し始めの位置を、適宜変更することで、カラムツイストインターリーブで並び替えられた符号ビットの並びを、元の並びに戻す逆並び替え処理を行う。

【0657】

ここで、図 7 0 は、図 2 4 で説明した、変調方式が16QAMであり、かつ、倍数 b が1である場合の、メモリ 1002 の構成例を示している。したがって、1 シンボルのビット数 m は、4 ビットであり、また、メモリ 1002 は、4 ($=mb$) 個のカラムで構成される。

【0658】

10

20

30

40

50

カラムツイストデインターリーバ55は、マルチプレクサ54に代わり、入れ替え部1001が出力するLDPC符号の符号ビットのロウ方向への書き込みを、メモリ1002の1行目から下の行に向かって順次行う。

【0659】

そして、1符号長分の符号ビットの書き込みが終了すると、カラムツイストデインターリーバ55は、符号ビットを、メモリ1002の上から下方向（カラム方向）に読み出すことを、左から右方向のカラムに向かって行う。

【0660】

但し、カラムツイストデインターリーバ55は、送信装置11側のカラムツイストインターリーバ24が符号ビットを書き込む書き始めの位置を、符号ビットの読み出し始めの位置として、メモリ1002からの符号ビットの読み出しを行う。

【0661】

すなわち、各カラムの先頭（一番上）の位置のアドレスを0として、カラム方向の各位置のアドレスを、昇順の整数で表すこととすると、変調方式が16QAMであり、かつ、倍数bが1である場合には、カラムツイストデインターリーバ55では、最も左のカラムについては、読み出し始めの位置を、アドレスが0の位置とし、（左から）2番目のカラムについては、読み出し始めの位置を、アドレスが2の位置とし、3番目のカラムについては、読み出し始めの位置を、アドレスが4の位置とし、4番目のカラムについては、読み出し始めの位置を、アドレスが7の位置とする。

【0662】

なお、読み出し始めの位置が、アドレスが0の位置以外の位置のカラムについては、符号ビットの読み出しを、最も下の位置まで行った後は、先頭（アドレスが0の位置）に戻り、読み出し始めの位置の直前の位置までの読み出しが行われる。そして、その後、次（右）のカラムからの読み出しが行われる。

【0663】

以上のようなカラムツイストデインターリーブを行うことにより、カラムツイストインターリーブで並び替えられた符号ビットの並びが、元の並びに戻される。

【0664】

図71は、図61のビットデインターリーバ165の他の構成例を示すブロック図である。

【0665】

なお、図中、図62の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【0666】

すなわち、図71のビットデインターリーバ165は、パリティデインターリーバ1011が新たに設けられている他は、図62の場合と同様に構成されている。

【0667】

図71では、ビットデインターリーバ165は、マルチプレクサ(MUX)54、カラムツイストデインターリーバ55、及び、パリティデインターリーバ1011から構成され、QAMデコーダ164からのLDPC符号の符号ビットのビットデインターリーブを行う。

【0668】

すなわち、マルチプレクサ54は、QAMデコーダ164からのLDPC符号を対象として、送信装置11のデマルチプレクサ25が行う入れ替え処理に対応する逆入れ替え処理（入れ替え処理の逆の処理）、すなわち、入れ替え処理によって入れ替えられた符号ビットの位置を元の位置に戻す逆入れ替え処理を行い、その結果得られるLDPC符号を、カラムツイストデインターリーバ55に供給する。

【0669】

カラムツイストデインターリーバ55は、マルチプレクサ54からのLDPC符号を対象として、送信装置11のカラムツイストインターリーバ24が行う並び替え処理としてのカラムツイストインターリーブに対応するカラムツイストデインターリーブを行う。

【0670】

カラムツイストデインターリーブの結果得られるLDPC符号は、カラムツイストデインターリーブ55からパリティデインターリーブ1011に供給される。

【0671】

パリティデインターリーブ1011は、カラムツイストデインターリーブ55でのカラムツイストデインターリーブ後の符号ビットを対象として、送信装置11のパリティインターリーブ23が行うパリティインターリーブに対応するパリティデインターリーブ（パリティインターリーブの逆の処理）、すなわち、パリティインターリーブによって並びが変更されたLDPC符号の符号ビットを、元の並びに戻すパリティデインターリーブを行う。

【0672】

パリティデインターリーブの結果得られるLDPC符号は、パリティデインターリーブ1011からLDPCデコーダ166に供給される。

【0673】

したがって、図71のビットデインターリーブ165では、LDPCデコーダ166には、逆入れ替え処理、カラムツイストデインターリーブ、及び、パリティデインターリーブが行われたLDPC符号、すなわち、検査行列Hに従ったLDPC符号化によって得られるLDPC符号が供給される。

【0674】

LDPCデコーダ166は、ビットデインターリーブ165からのLDPC符号のLDPC復号を、送信装置11のLDPCエンコーダ115がLDPC符号化に用いた検査行列Hそのもの、又は、その検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行い、その結果得られるデータを、LDPC対象データの復号結果として出力する。

【0675】

ここで、図71では、ビットデインターリーブ165（のパリティデインターリーブ1011）からLDPCデコーダ166に対して、検査行列Hに従ったLDPC符号化によって得られるLDPC符号が供給されるため、そのLDPC符号のLDPC復号を、送信装置11のLDPCエンコーダ115がLDPC符号化に用いた検査行列Hそのものを用いて行う場合には、LDPCデコーダ166は、例えば、メッセージ（チェックノードメッセージ、バリバブルノードメッセージ）の演算を1個のノードずつ順次行うフルシリアルデコーディング(full serial decoding)方式によるLDPC復号を行う復号装置や、メッセージの演算をすべてのノードについて同時（並列）に行うフルパラレルデコーディング(full parallel decoding)方式によるLDPC復号を行う復号装置で構成することができる。

【0676】

また、LDPCデコーダ166において、LDPC符号のLDPC復号を、送信装置11のLDPCエンコーダ115がLDPC符号化に用いた検査行列Hに対して、パリティインターリーブに相当する列置換を少なくとも行って得られる変換検査行列を用いて行う場合には、LDPCデコーダ166は、チェックノード演算、及びバリバブルノード演算を、P（又はPの1以外の約数）個同時に行うアーキテクチャ(architecture)の復号装置であって、変換検査行列を得るための列置換と同様の列置換を、LDPC符号に施すことにより、そのLDPC符号の符号ビットを並び替える受信データ並べ替え部310を有する復号装置（図67）で構成することができる。

【0677】

なお、図71では、説明の便宜のため、逆入れ替え処理を行うマルチプレクサ54、カラムツイストデインターリーブを行うカラムツイストデインターリーブ55、及び、パリティデインターリーブを行うパリティデインターリーブ1011それぞれを、別個に構成するようにしたが、マルチプレクサ54、カラムツイストデインターリーブ55、及び、パリティデインターリーブ1011の2以上は、送信装置11のパリティインターリーブ23、カラムツイストデインターリーブ24、及び、デマルチプレクサ25と同様に、一体的に構成することができる。

10

20

30

40

50

【0678】

[受信システムの構成例]

【0679】

図72は、受信装置12を適用可能な受信システムの第1の構成例を示すブロック図である。

【0680】

図72において、受信システムは、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103から構成される。

【0681】

取得部1101は、番組の画像データや音声データ等のLDPC対象データを、少なくともLDPC符号化することで得られるLDPC符号を含む信号を、例えば、地上デジタル放送、衛星デジタル放送、CATV網、インターネットその他のネットワーク等の、図示せぬ伝送路（通信路）を介して取得し、伝送路復号処理部1102に供給する。

10

【0682】

ここで、取得部1101が取得する信号が、例えば、放送局から、地上波や、衛星波、CATV(Cable Television)網等を介して放送されてくる場合には、取得部1101は、チューナやSTB(Set Top Box)等で構成される。また、取得部1101が取得する信号が、例えば、webサーバから、IPTV(Internet Protocol Television)のようにマルチキャストで送信されてくる場合には、取得部1101は、例えば、NIC(Network Interface Card)等のネットワークI/F(Interface)で構成される。

20

【0683】

伝送路復号処理部1102は、受信装置12に相当する。伝送路復号処理部1102は、取得部1101が伝送路を介して取得した信号に対して、伝送路で生じる誤りを訂正する処理を少なくとも含む伝送路復号処理を施し、その結果得られる信号を、情報源復号処理部1103に供給する。

【0684】

すなわち、取得部1101が伝送路を介して取得した信号は、伝送路で生じる誤りを訂正するための誤り訂正符号化を、少なくとも行うことで得られた信号であり、伝送路復号処理部1102は、そのような信号に対して、例えば、誤り訂正処理等の伝送路復号処理を施す。

30

【0685】

ここで、誤り訂正符号化としては、例えば、LDPC符号化や、BCH符号化等がある。ここでは、誤り訂正符号化として、少なくとも、LDPC符号化が行われている。

【0686】

また、伝送路復号処理には、変調信号の復調等が含まれることがある。

【0687】

情報源復号処理部1103は、伝送路復号処理が施された信号に対して、圧縮された情報を元の情報に伸張する処理を少なくとも含む情報源復号処理を施す。

【0688】

すなわち、取得部1101が伝送路を介して取得した信号には、情報としての画像や音声等のデータ量を少なくするために、情報を圧縮する圧縮符号化が施されていることがあり、その場合、情報源復号処理部1103は、伝送路復号処理が施された信号に対して、圧縮された情報を元の情報に伸張する処理(伸張処理)等の情報源復号処理を施す。

40

【0689】

なお、取得部1101が伝送路を介して取得した信号に、圧縮符号化が施されていない場合には、情報源復号処理部1103では、圧縮された情報を元の情報に伸張する処理は行われない。

【0690】

ここで、伸張処理としては、例えば、MPEGデコード等がある。また、伝送路復号処理には、伸張処理の他、デスクランブル等が含まれることがある。

50

【0691】

以上のように構成される受信システムでは、取得部1101において、例えば、画像や音声等のデータに対して、MPEG符号化等の圧縮符号化が施され、さらに、LDPC符号化等の誤り訂正符号化が施された信号が、伝送路を介して取得され、伝送路復号処理部1102に供給される。

【0692】

伝送路復号処理部1102では、取得部1101からの信号に対して、例えば、受信装置12が行うのと同様の処理等が、伝送路復号処理として施され、その結果得られる信号が、情報源復号処理部1103に供給される。

【0693】

情報源復号処理部1103では、伝送路復号処理部1102からの信号に対して、MPEGデコード等の情報源復号処理が施され、その結果得られる画像、又は音声が出力される。

【0694】

以上のような図72の受信システムは、例えば、ディジタル放送としてのテレビジョン放送を受信するテレビチューナ等に適用することができる。

【0695】

なお、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103は、それぞれ、1つの独立した装置（ハードウェア（IC(Integrated Circuit)等））、又はソフトウェアモジュール）として構成することが可能である。

【0696】

また、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103については、取得部1101と伝送路復号処理部1102とのセットや、伝送路復号処理部1102と情報源復号処理部1103とのセット、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103のセットを、1つの独立した装置として構成することが可能である。

【0697】

図73は、受信装置12を適用可能な受信システムの第2の構成例を示すブロック図である。

【0698】

なお、図中、図72の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【0699】

図73の受信システムは、取得部1101、伝送路復号処理部1102、及び、情報源復号処理部1103を有する点で、図72の場合と共通し、出力部1111が新たに設けられている点で、図72の場合と相違する。

【0700】

出力部1111は、例えば、画像を表示する表示装置や、音声を出力するスピーカであり、情報源復号処理部1103から出力される信号としての画像や音声等を出力する。すなわち、出力部1111は、画像を表示し、あるいは、音声を出力する。

【0701】

以上のような図73の受信システムは、例えば、ディジタル放送としてのテレビジョン放送を受信するTV（テレビジョン受像機）や、ラジオ放送を受信するラジオ受信機等に適用することができる。

【0702】

なお、取得部1101において取得された信号に、圧縮符号化が施されていない場合には、伝送路復号処理部1102が出力する信号が、出力部1111に供給される。

【0703】

図74は、受信装置12を適用可能な受信システムの第3の構成例を示すブロック図である。

【0704】

なお、図中、図 7 2 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【0705】

図 7 4 の受信システムは、取得部 1 1 0 1、及び、伝送路復号処理部 1 1 0 2 を有する点で、図 7 2 の場合と共通する。

【0706】

但し、図 7 4 の受信システムは、情報源復号処理部 1 1 0 3 が設けられておらず、記録部 1 1 2 1 が新たに設けられている点で、図 7 2 の場合と相違する。

【0707】

記録部 1 1 2 1 は、伝送路復号処理部 1 1 0 2 が出力する信号（例えば、MPEGのTSのTS
10
パケット）を、光ディスクや、ハードディスク（磁気ディスク）、フラッシュメモリ等の記録（記憶）媒体に記録する（記憶させる）。

【0708】

以上のような図 7 4 の受信システムは、テレビジョン放送を録画するレコーダ等に適用することができる。

【0709】

なお、図 7 4 において、受信システムは、情報源復号処理部 1 1 0 3 を設けて構成し、情報源復号処理部 1 1 0 3 で、情報源復号処理が施された後の信号、すなわち、デコードによって得られる画像や音声を、記録部 1 1 2 1 で記録することができる。

【0710】

20

〔コンピュータの一実施の形態〕

【0711】

次に、上述した一連の処理は、ハードウェアにより行うこともできるし、ソフトウェアにより行うこともできる。一連の処理をソフトウェアによって行う場合には、そのソフトウェアを構成するプログラムが、汎用のコンピュータ等にインストールされる。

【0712】

そこで、図 7 5 は、上述した一連の処理を実行するプログラムがインストールされるコンピュータの一実施の形態の構成例を示している。

【0713】

プログラムは、コンピュータに内蔵されている記録媒体としてのハードディスク 7 0 5
30
や ROM 7 0 3 に予め記録しておくことができる。

【0714】

あるいはまた、プログラムは、フレキシブルディスク、CD-ROM(Compact Disc Read Only Memory)、MO(Magneto Optical)ディスク、DVD(Digital Versatile Disc)、磁気ディスク、半導体メモリなどのリムーバブル記録媒体 7 1 1 に、一時的あるいは永続的に格納（記録）しておくことができる。このようなリムーバブル記録媒体 7 1 1 は、いわゆるパッケージソフトウェアとして提供することができる。

【0715】

なお、プログラムは、上述したようなリムーバブル記録媒体 7 1 1 からコンピュータにインストールする他、ダウンロードサイトから、デジタル衛星放送用の人工衛星を介して、コンピュータに無線で転送したり、LAN(Local Area Network)、インターネットといったネットワークを介して、コンピュータに有線で転送し、コンピュータでは、そのようにして転送されてくるプログラムを、通信部 7 0 8 で受信し、内蔵するハードディスク 7 0 5 にインストールすることができる。

40

【0716】

コンピュータは、CPU(Central Processing Unit) 7 0 2 を内蔵している。CPU 7 0 2 には、バス 7 0 1 を介して、入出力インタフェース 7 1 0 が接続されており、CPU 7 0 2 は、入出力インタフェース 7 1 0 を介して、ユーザによって、キーボードや、マウス、マイク等で構成される入力部 7 0 7 が操作等されることにより指令が入力されると、それに従って、ROM(Read Only Memory) 7 0 3 に格納されているプログラムを実行する。あるいは

50

、また、CPU 7 0 2 は、ハードディスク 7 0 5 に格納されているプログラム、衛星若しくはネットワークから転送され、通信部 7 0 8 で受信されてハードディスク 7 0 5 にインストールされたプログラム、又はドライブ 7 0 9 に装着されたリムーバブル記録媒体 7 1 1 から読み出されてハードディスク 7 0 5 にインストールされたプログラムを、RAM(Random Access Memory) 7 0 4 にロードして実行する。これにより、CPU 7 0 2 は、上述したフローチャートに従った処理、あるいは上述したブロック図の構成により行われる処理を行う。そして、CPU 7 0 2 は、その処理結果を、必要に応じて、例えば、入出力インタフェース 7 1 0 を介して、LCD(Liquid Crystal Display)やスピーカ等で構成される出力部 7 0 6 から出力、あるいは、通信部 7 0 8 から送信、さらには、ハードディスク 7 0 5 に記録等させる。

10

【0717】

ここで、本明細書において、コンピュータに各種の処理を行わせるためのプログラムを記述する処理ステップは、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含むものである。

【0718】

また、プログラムは、1つのコンピュータにより処理されるものであっても良いし、複数のコンピュータによって分散処理されるものであっても良い。さらに、プログラムは、遠方のコンピュータに転送されて実行されるものであっても良い。

20

【0719】

なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【0720】

すなわち、上述した、携帯端末向けのデジタル放送等で採用するLDPC符号（の検査行列初期値テーブル）等は、固定端末向けのデジタル放送等で用いることが可能である。

【符号の説明】

【0721】

1 1 送信装置, 1 2 受信装置, 2 3 パリティインターリーバ, 2 4 カラムツイストインターリーバ, 2 5 デマルチプレクサ, 3 1 メモリ, 3 2 入れ替え部, 5 4 マルチプレクサ, 5 5 カラムツイストインターリーバ, 1 1 1 モードアダプテーション／マルチプレクサ, 1 1 2 パダー, 1 1 3 BBスクランブラ, 1 1 4 BCHエンコーダ, 1 1 5 LDPCエンコーダ, 1 1 6 ビットインターリーバ, 1 1 7 QAMエンコーダ, 1 1 8 時間インターリーバ, 1 1 9 MISO/MIMOエンコーダ, 1 2 0 周波数インターリーバ, 1 2 1 BCHエンコーダ, 1 2 2 LDPCエンコーダ, 1 2 3 QAMエンコーダ, 1 2 4 周波数インターリーバ, 1 3 1 フレームビルダ／リソースアロケーション部, 1 3 2 OFDM生成部, 1 5 1 OFDM処理部, 1 5 2 フレーム管理部, 1 5 3 周波数デインターリーバ, 1 5 4 QAMデコーダ, 1 5 5 LDPCデコーダ, 1 5 6 BCHデコーダ, 1 6 1 周波数デインターリーバ, 1 6 2 MISO/MIMOデコーダ, 1 6 3 時間デインターリーバ, 1 6 4 QAMデコーダ, 1 6 5 ビットデインターリーバ, 1 6 6 LDPCデコーダ, 1 6 7 BCHデコーダ, 1 6 8 BBデスクランブラ, 1 6 9 ノル削除部, 1 7 0 デマルチプレクサ, 3 0 0 枝データ格納用メモリ, 3 0 1 セレクタ, 3 0 2 チェックノード計算部, 3 0 3 サイクリックシフト回路, 3 0 4 枝データ格納用メモリ, 3 0 5 セレクタ, 3 0 6 受信データ用メモリ, 3 0 7 バリアブルノード計算部, 3 0 8 サイクリックシフト回路, 3 0 9 復号語計算部, 3 1 0 受信データ並べ替え部, 3 1 1 復号データ並べ替え部, 6 0 1 符号化処理部, 6 0 2 記憶部, 6 1 1 符号化率設定部, 6 1 2 初期値テーブル読み出し部, 6 1 3 検査行列生成部, 6 1 4 情報ビット読み出し部, 6 1 5 符号化パリティ演算部, 6 1 6 制御部, 7 0 1 バス, 7 0 2 CPU, 7 0 3 ROM, 7 0 4 RAM, 7 0 5 ハードディスク, 7 0 6 出力部, 7 0 7 入力部

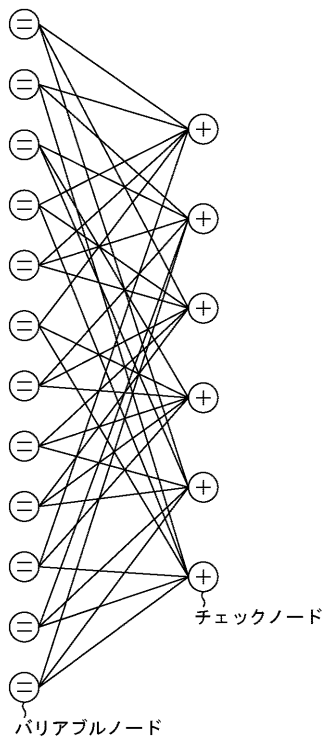
30

40

50

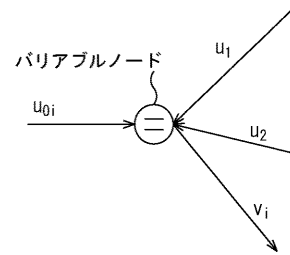
【図 4】

図4



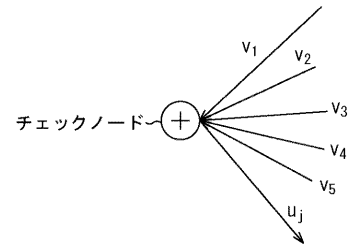
【図 5】

図5



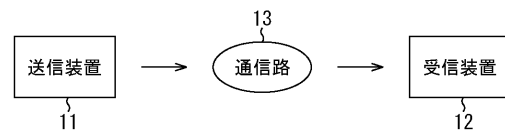
【図 6】

図6



【図 7】

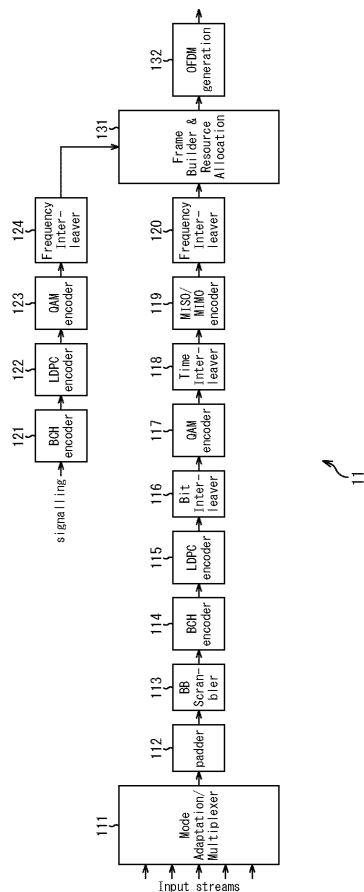
図7



伝送システム

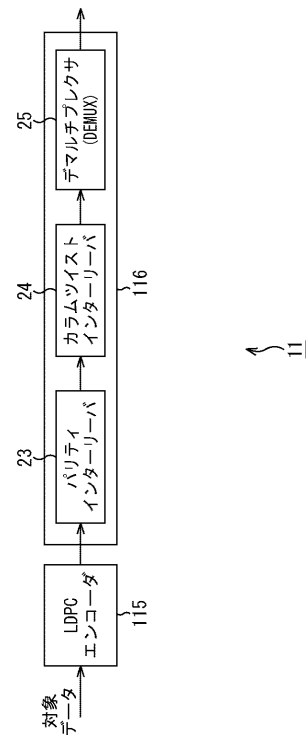
【図 8】

図8

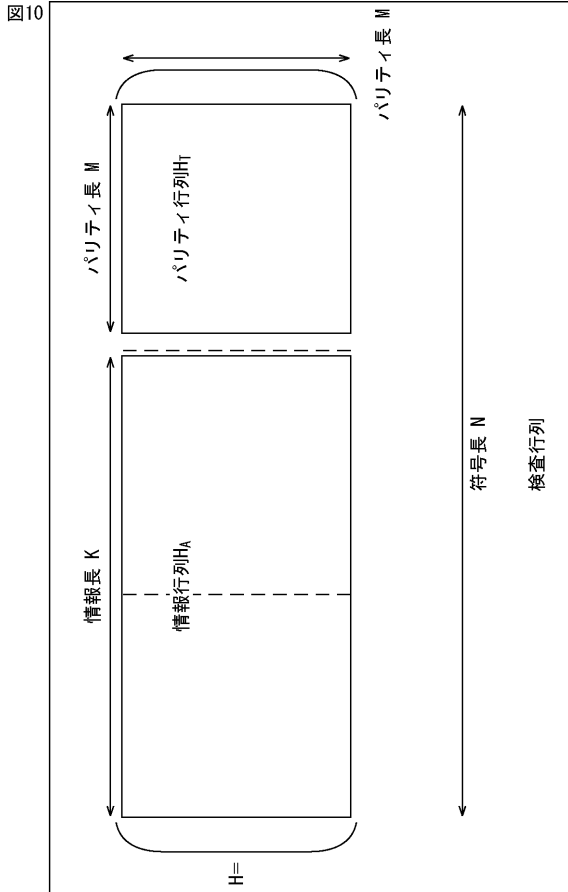


【図 9】

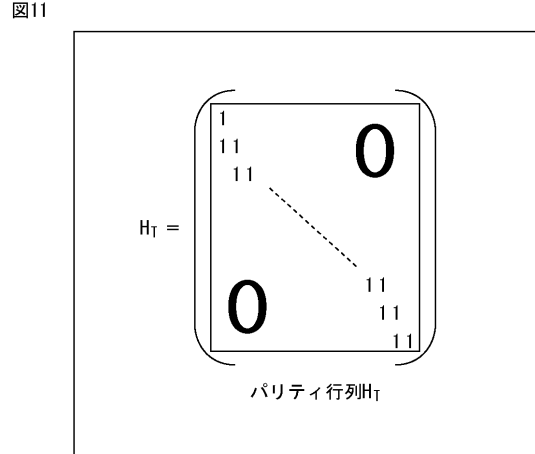
図9



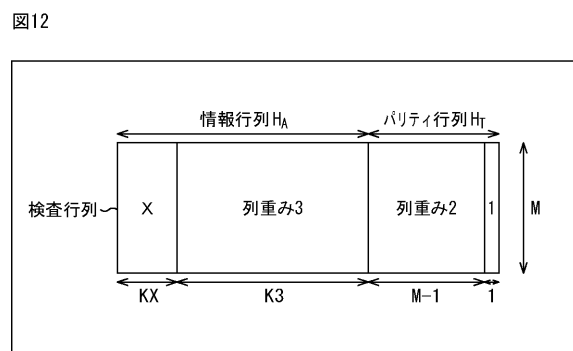
【図 10】



【図 11】



【図 12】



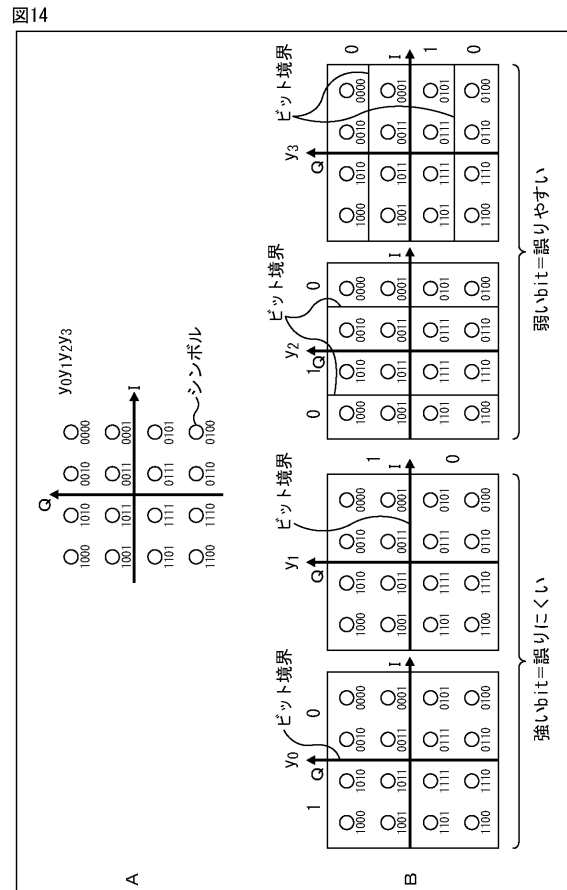
【図 13】

図13は、各列重みの列数と、符号化率の表である。

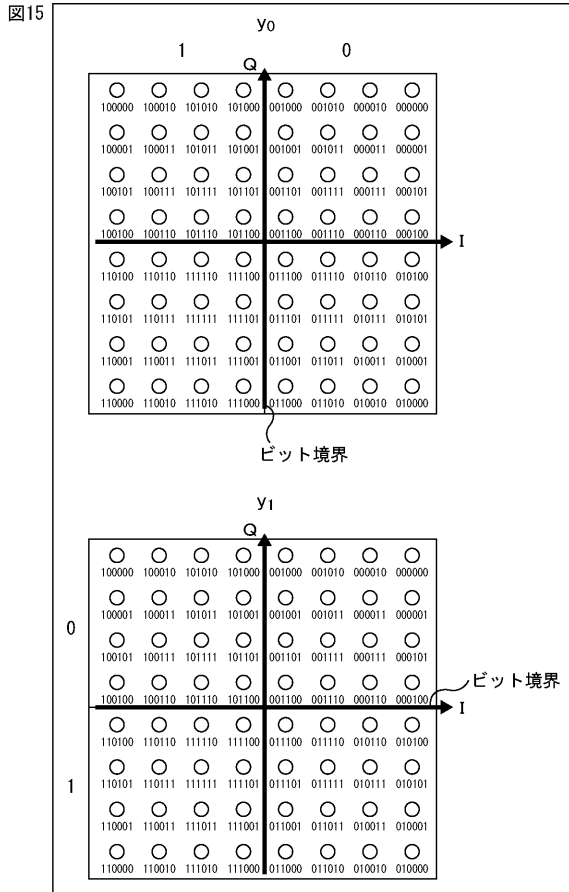
Nominal 符号化率	N=64800				N=16200			
	X	KX	K3	M	X	KX	K3	M
1/4	12	5400	10800	48600	12	1440	1800	12960
1/3	12	7200	14400	43200	12	1800	3600	10800
2/5	12	8640	17280	38880	12	2160	4320	9720
1/2	8	12960	19440	32400	8	1800	5400	9000
3/5	12	12960	25920	25920	12	3240	6480	6480
2/3	13	4320	38880	21600	13	1080	9720	5400
3/4	12	5400	43200	16200	12	360	11520	4320
4/5	11	6480	45360	12960	-	0	12600	3600
5/6	13	5400	48600	10800	13	360	12960	2880
8/9	4	7200	50400	7200	4	1800	12600	1800
9/10	4	6480	51840	6480	---	---	---	---

各列重みの列数

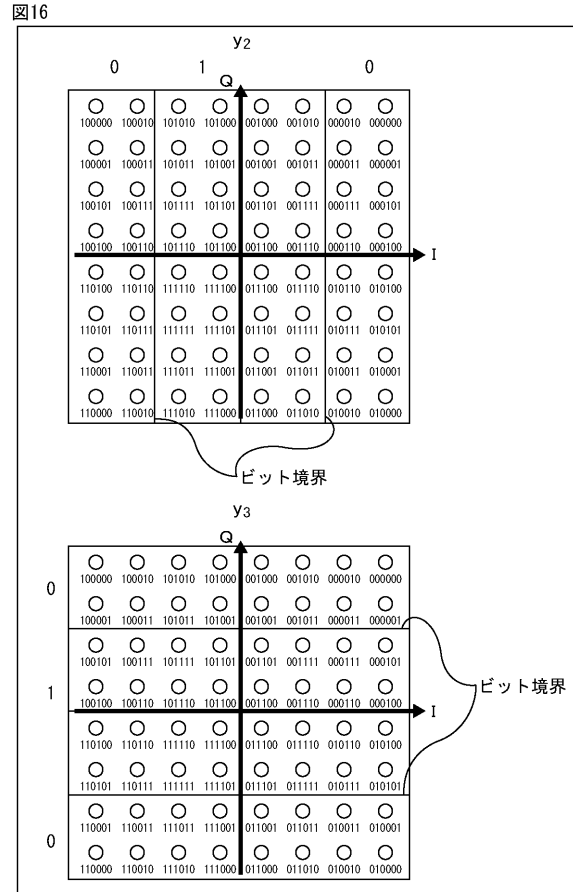
【図 14】



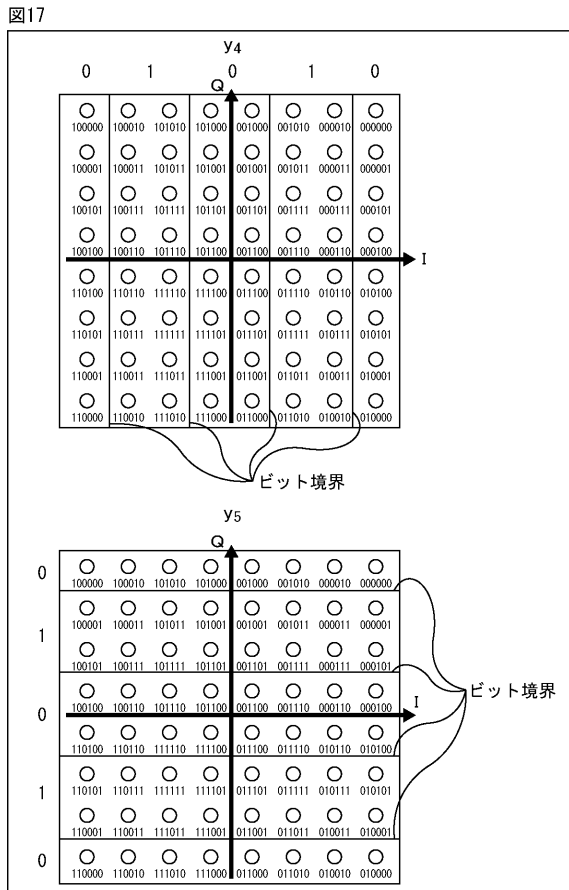
【図 15】



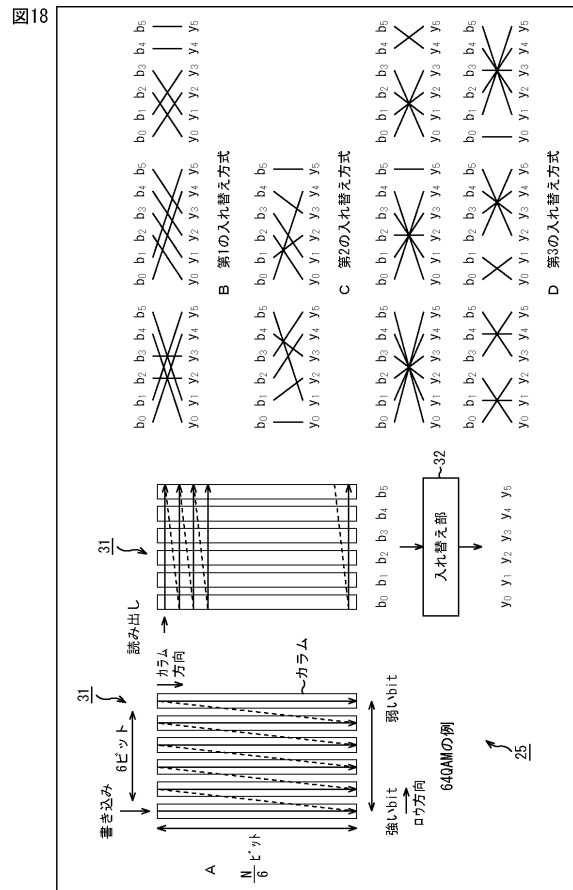
【図 16】



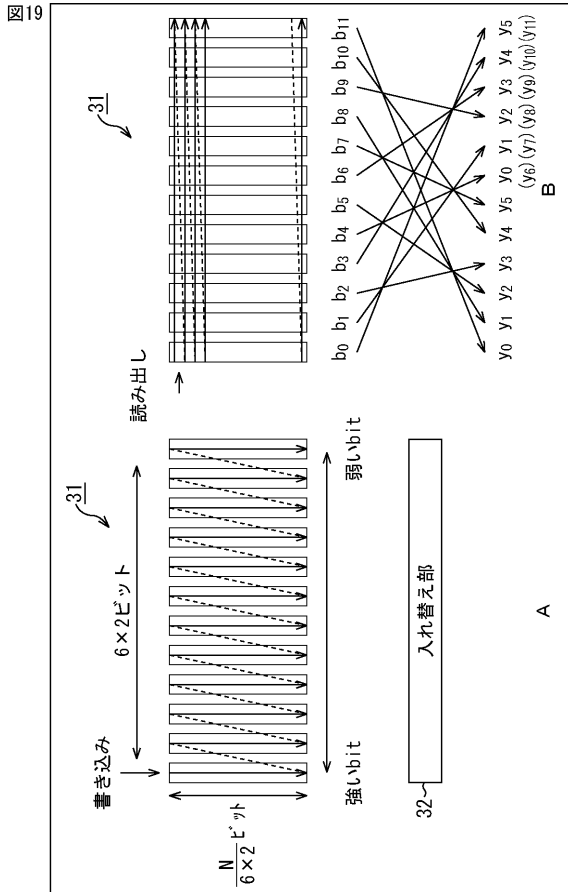
【図 17】



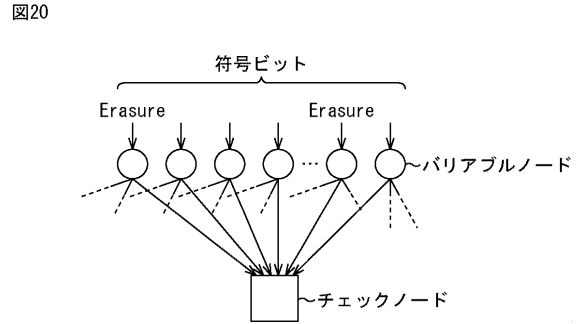
【図 18】



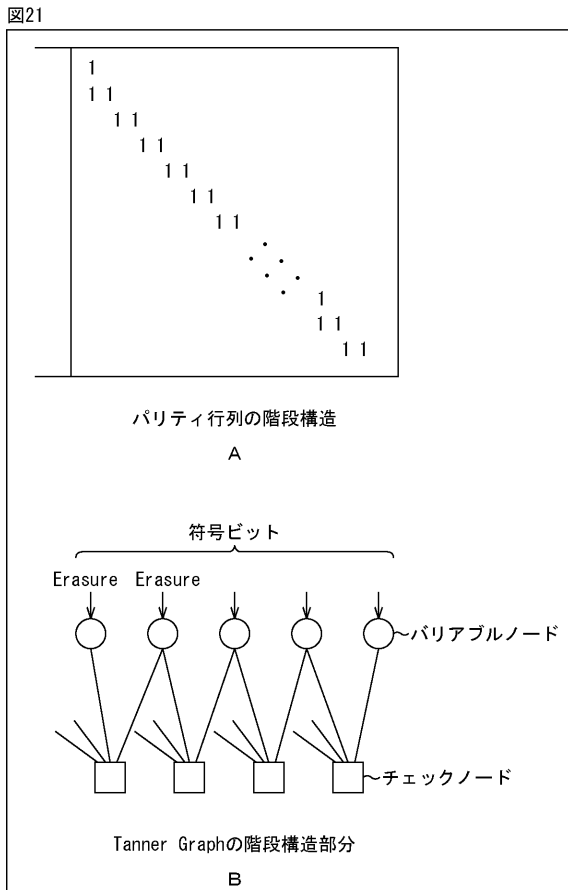
【図 19】



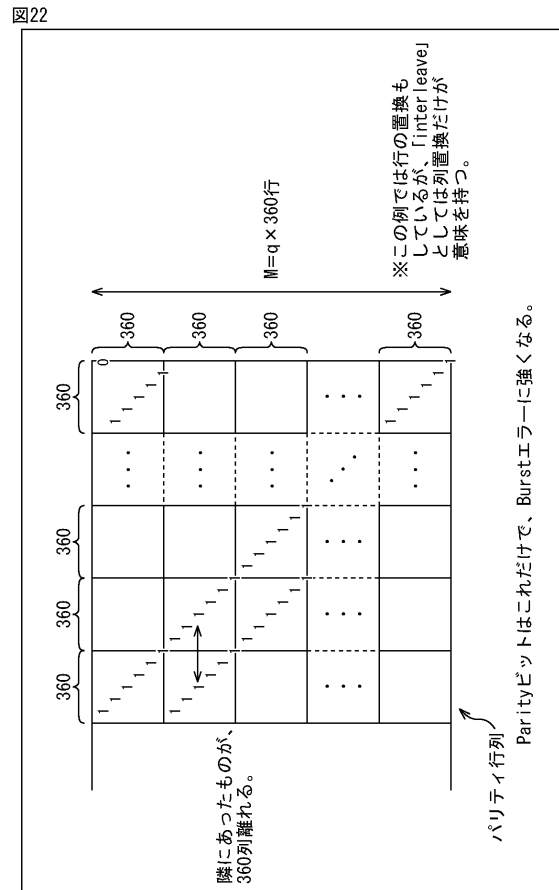
【図 20】



【図 21】

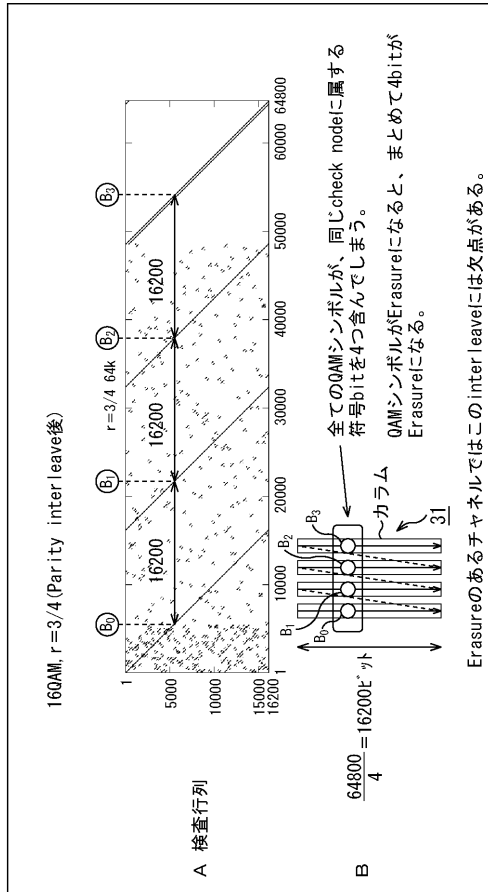


【図 22】



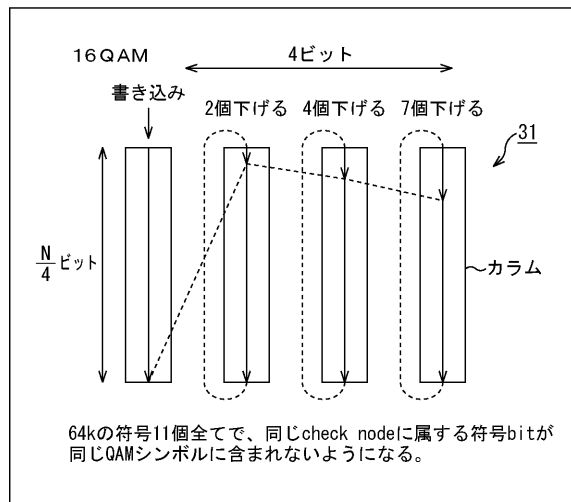
【图 2 3】

图23



【図 24】

図24



【图 2 5】

図25

mb 画の各カラムの書き始めの位置																											
必要な 符号数 mb	b = 1 (第1ないし 第3の 入れ替え方式)	b = 2 (第4の 入れ替え 方式)																									
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
2	QPSK		0	2																							
4	16QAM	QPSK	0	2	4	7																					
6	64QAM		0	2	5	9	10	13																			
8	256QAM	16QAM	0	0	2	4	4	5	7																		
10	1024QAM		0	3	6	8	11	13	15	17	18	20															
12	4096QAM	64QAM	0	0	2	2	3	4	5	7	8	9															
16	256QAM		0	2	2	2	3	7	15	16	20	22	27	27	28	32											
20	1024QAM		0	1	3	4	5	6	9	13	14	16	21	21	23	25	25	26	28	30							
24	4096QAM		0	5	8	8	8	10	10	12	13	16	17	19	21	22	23	26	37	39	40	41	41				

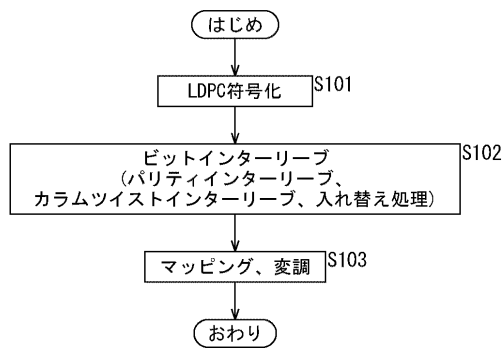
【图 2 6】

图26

[illegible]

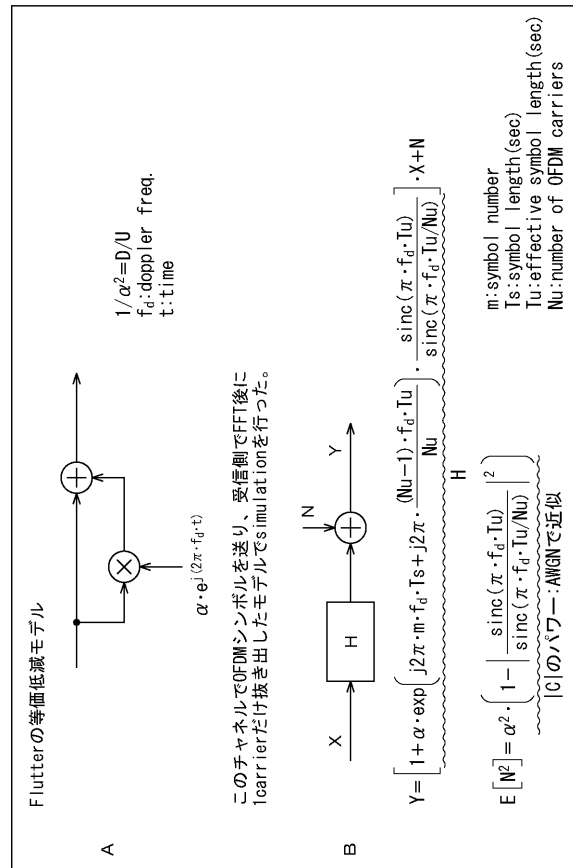
【図 27】

図27



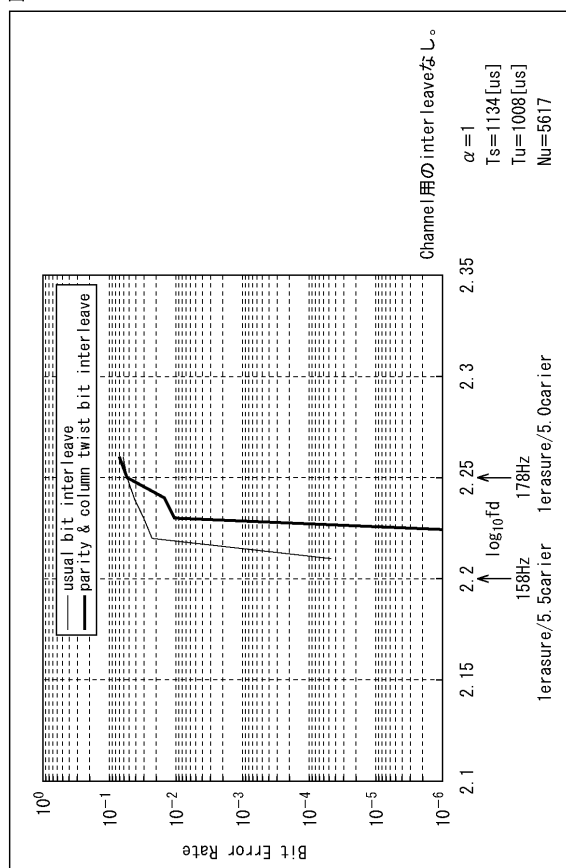
【図 28】

図28



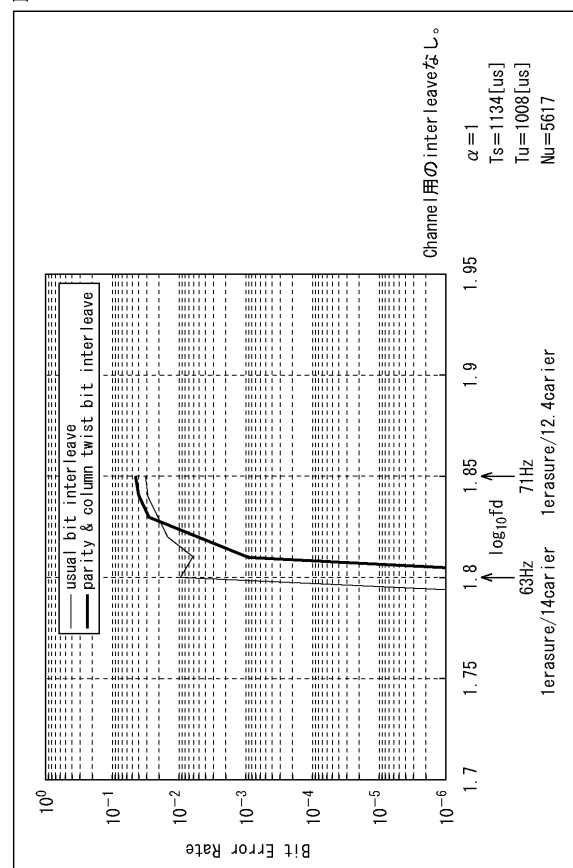
【図 29】

図29



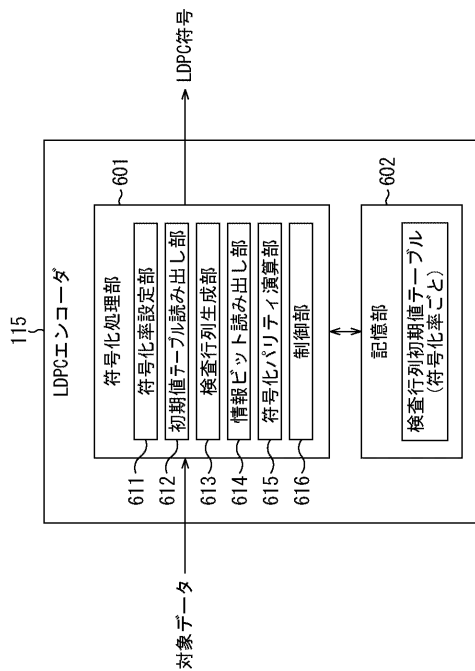
【図 30】

図30



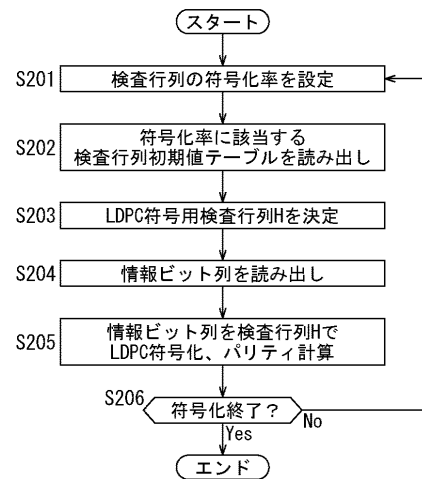
【図 3 1】

図31



【図 3 2】

図32



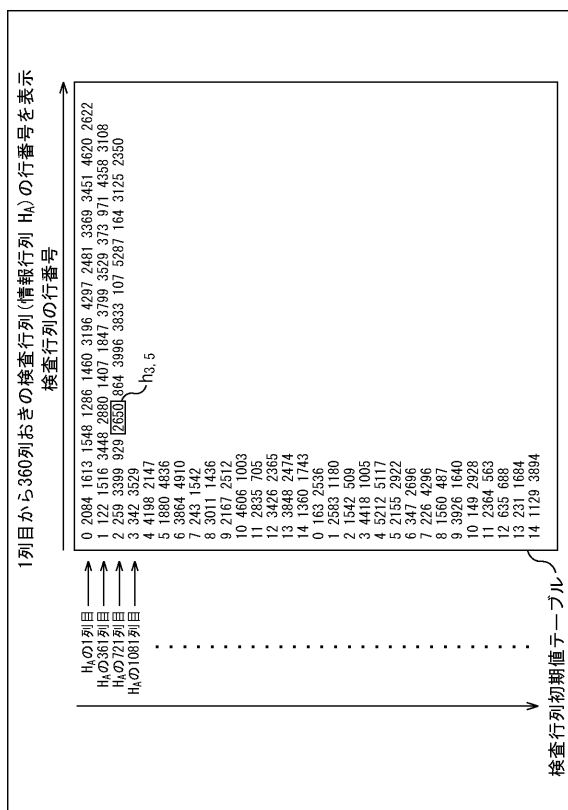
【図 3 3】

図33

r1/4 16K
 6295 9626 304 7695 4839 4936 1660 144 11203 5567 6347 12557
 10691 4988 3859 3734 3071 3494 7687 10313 5964 8069 8296 11090
 10774 3613 5208 11177 7676 3549 8746 6583 7239 12265 2674 4292
 11869 3708 5981 8718 4908 10650 6805 3334 2627 10461 9285 11120
 7844 3079 10773
 3385 10854 5747
 1360 12010 12202
 6189 4241 2343
 9840 12726 4977

【図 3 4】

図34



【図 3 5】

図35

N=6200, r=1/5の検査行列初期値テーブル
 188 518 775 1694 1820 3394 3986 4140 4224 5236 5783 6313 6371 6792 7067 7084 7173 7445 7549 7973 9043 9219 9942 10111 10258
 10300 10353 10707 10769 10796 11079 11661 12025 12042 12102 12638
 12775 1332 332 337 625 838 1377 2223 2396 3058 3335 3348 3363 3918 4040 4128 4899 5189 5474 5838 6040 6124 7777 8220 8783 9299
 9786 10924 11661 11907 12381 12513 12758 12834 12871 12950
 13083 13103 13123 13143 13163 13183 13203 13223 13243 13263 13283 13303 13323 13343 13363 13383 13403 13423 13443 13463 13483 13503 13523 13543 13563 13583 13603 13623 13643 13663 13683 13703 13723 13743 13763 13783 13803 13823 13843 13863 13883 13903 13923 13943 13963 13983 14003 14023 14043 14063 14083 14103 14123 14143 14163 14183 14203 14223 14243 14263 14283 14303 14323 14343 14363 14383 14403 14423 14443 14463 14483 14503 14523 14543 14563 14583 14603 14623 14643 14663 14683 14703 14723 14743 14763 14783 14803 14823 14843 14863 14883 14903 14923 14943 14963 14983 15003 15023 15043 15063 15083 15103 15123 15143 15163 15183 15203 15223 15243 15263 15283 15303 15323 15343 15363 15383 15403 15423 15443 15463 15483 15503 15523 15543 15563 15583 15603 15623 15643 15663 15683 15703 15723 15743 15763 15783 15803 15823 15843 15863 15883 15903 15923 15943 15963 15983 16003 16023 16043 16063 16083 16103 16123 16143 16163 16183 16203 16223 16243 16263 16283 16303 16323 16343 16363 16383 16403 16423 16443 16463 16483 16503 16523 16543 16563 16583 16603 16623 16643 16663 16683 16703 16723 16743 16763 16783 16803 16823 16843 16863 16883 16903 16923 16943 16963 16983 17003 17023 17043 17063 17083 17103 17123 17143 17163 17183 17203 17223 17243 17263 17283 17303 17323 17343 17363 17383 17403 17423 17443 17463 17483 17503 17523 17543 17563 17583 17603 17623 17643 17663 17683 17703 17723 17743 17763 17783 17803 17823 17843 17863 17883 17903 17923 17943 17963 17983 18003 18023 18043 18063 18083 18103 18123 18143 18163 18183 18203 18223 18243 18263 18283 18303 18323 18343 18363 18383 18403 18423 18443 18463 18483 18503 18523 18543 18563 18583 18603 18623 18643 18663 18683 18703 18723 18743 18763 18783 18803 18823 18843 18863 18883 18903 18923 18943 18963 18983 19003 19023 19043 19063 19083 19103 19123 19143 19163 19183 19203 19223 19243 19263 19283 19303 19323 19343 19363 19383 19403 19423 19443 19463 19483 19503 19523 19543 19563 19583 19603 19623 19643 19663 19683 19703 19723 19743 19763 19783 19803 19823 19843 19863 19883 19903 19923 19943 19963 19983 20003 20023 20043 20063 20083 20103 20123 20143 20163 20183 20203 20223 20243 20263 20283 20303 20323 20343 20363 20383 20403 20423 20443 20463 20483 20503 20523 20543 20563 20583 20603 20623 20643 20663 20683 20703 20723 20743 20763 20783 20803 20823 20843 20863 20883 20903 20923 20943 20963 20983 21003 21023 21043 21063 21083 21103 21123 21143 21163 21183 21203 21223 21243 21263 21283 21303 21323 21343 21363 21383 21403 21423 21443 21463 21483 21503 21523 21543 21563 21583 21603 21623 21643 21663 21683 21703 21723 21743 21763 21783 21803 21823 21843 21863 21883 21903 21923 21943 21963 21983 22003 22023 22043 22063 22083 22103 22123 22143 22163 22183 22203 22223 22243 22263 22283 22303 22323 22343 22363 22383 22403 22423 22443 22463 22483 22503 22523 22543 22563 22583 22603 22623 22643 22663 22683 22703 22723 22743 22763 22783 22803 22823 22843 22863 22883 22903 22923 22943 22963 22983 23003 23023 23043 23063 23083 23103 23123 23143 23163 23183 23203 23223 23243 23263 23283 23303 23323 23343 23363 23383 23403 23423 23443 23463 23483 23503 23523 23543 23563 23583 23603 23623 23643 23663 23683 23703 23723 23743 23763 23783 23803 23823 23843 23863 23883 23903 23923 23943 23963 23983 24003 24023 24043 24063 24083 24103 24123 24143 24163 24183 24203 24223 24243 24263 24283 24303 24323 24343 24363 24383 24403 24423 24443 24463 24483 24503 24523 24543 24563 24583 24603 24623 24643 24663 24683 24703 24723 24743 24763 24783 24803 24823 24843 24863 24883 24903 24923 24943 24963 24983 25003 25023 25043 25063 25083 25103 25123 25143 25163 25183 25203 25223 25243 25263 25283 25303 25323 25343 25363 25383 25403 25423 25443 25463 25483 25503 25523 25543 25563 25583 25603 25623 25643 25663 25683 25703 25723 25743 25763 25783 25803 25823 25843 25863 25883 25903 25923 25943 25963 25983 26003 26023 26043 26063 26083 26103 26123 26143 26163 26183 26203 26223 26243 26263 26283 26303 26323 26343 26363 26383 26403 26423 26443 26463 26483 26503 26523 26543 26563 26583 26603 26623 26643 26663 26683 26703 26723 26743 26763 26783 26803 26823 26843 26863 26883 26903 26923 26943 26963 26983 27003 27023 27043 27063 27083 27103 27123 27143 27163 27183 27203 27223 27243 27263 27283 27303 27323 27343 27363 27383 27403 27423 27443 27463 27483 27503 27523 27543 27563 27583 27603 27623 27643 27663 27683 27703 27723 27743 27763 27783 27803 27823 27843 27863 27883 27903 27923 27943 27963 27983 28003 28023 28043 28063 28083 28103 28123 28143 28163 28183 28203 28223 28243 28263 28283 28303 28323 28343 28363 28383 28403 28423 28443 28463 28483 28503 28523 28543 28563 28583 28603 28623 28643 28663 28683 28703 28723 28743 28763 28783 28803 28823 28843 28863 28883 28903 28923 28943 28963 28983 29003 29023 29043 29063 29083 29103 29123 29143 29163 29183 29203 29223 29243 29263 29283 29303 29323 29343 29363 29383 29403 29423 29443 29463 29483 29503 29523 29543 29563 29583 29603 29623 29643 29663 29683 29703 29723 29743 29763 29783 29803 29823 29843 29863 29883 29903 29923 29943 29963 29983 30003 30023 30043 30063 30083 30103 30123 30143 30163 30183 30203 30223 30243 30263 30283 30303 30323 30343 30363 30383 30403 30423 30443 30463 30483 30503 30523 30543 30563 30583 30603 30623 30643 30663 30683 30703 30723 30743 30763 30783 30803 30823 30843 30863 30883 30903 30923 30943 30963 30983 31003 31023 31043 31063 31083 31103 31123 31143 31163 31183 31203 31223 31243 31263 31283 31303 31323 31343 31363 31383 31403 31423 31443 31463 31483 31503 31523 31543 31563 31583 31603 31623 31643 31663 31683 31703 31723 31743 31763 31783 31803 31823 31843 31863 31883 31903 31923 31943 31963 31983 32003 32023 32043 32063 32083 32103 32123 32143 32163 32183 32203 32223 32243 32263 32283 32303 32323 32343 32363 32383 32403 32423 32443 32463 32483 32503 32523 32543 32563 32583 32603 32623 32643 32663 32683 32703 32723 32743 32763 32783 32803 32823 32843 32863 32883 32903 32923 32943 32963 32983 33003 33023 33043 33063 33083 33103 33123 33143 33163 33183 33203 33223 33243 33263 33283 33303 33323 33343 33363 33383 33403 33423 33443 33463 33483 33503 33523 33543 33563 33583 33603 33623 33643 33663 33683 33703 33723 33743 33763 33783 33803 33823 33843 33863 33883 33903 33923 33943 33963 33983 34003 34023 34043 34063 34083 34103 34123 34143 34163 34183 34203 34223 34243 34263 34283 34303 34323 34343 34363 34383 34403 34423 34443 34463 34483 34503 34523 34543 34563 34583 34603 34623 34643 34663 34683 34703 34723 34743 34763 34783 34803 34823 34843 34863 34883 34903 34923 34943 34963 34983 35003 35023 35043 35063 35083 35103 35123 35143 35163 35183 35203 35223 35243 35263 35283 35303 35323 35343 35363 35383 35403 35423 35443 35463 35483 35503 35523 35543 35563 35583 35603 35623 35643 35663 35683 35703 35723 35743 35763 35783 35803 35823 35843 35863 35883 35903 35923 35943 35963 35983 36003 36023 36043 36063 36083 36103 36123 36143 36163 36183 36203 36223 36243 36263 36283 36303 36323 36343 36363 36383 36403 36423 36443 36463 36483 36503 36523 36543 36563 36583 36603 36623 36643 36663 36683 36703 36723 36743 36763 36783 36803 36823 36843 36863 36883 36903 36923 36943 36963 36983 37003 37023 37043 37063 37083 37103 37123 37143 37163 37183 37203 37223 37243 37263 37283 37303 37323 37343 37363 37383 37403 37423 37443 37463 37483 37503 37523 37543 37563 37583 37603 37623 37643 37663 37683 37703 37723 37743 37763 37783 37803 37823 37843 37863 37883 37903 37923 37943 37963 37983 38003 38023 38043 38063 38083 38103 38123 38143 38163 38183 38203 38223 38243 38263 38283 38303 38323 38343 38363 38383 38403 38423 38443 38463 38483 38503 38523 38543 38563 38583 38603 38623 38643 38663 38683 38703 38723 38743 38763 38783 38803 38823 38843 38863 38883 38903 38923 38943 38963 38983 39003 39023 39043 39063 39083 39103 39123 39143 39163 39183 39203 39223 39243 39263 39283 39303 39323 39343 39363 39383 39403 39423 39443 39463 39483 39503 39523 39543 39563 39583 39603 39623 39643 39663 39683 39703 39723 39743 39763 39783 39803 39823 39843 39863 39883 39903 39923 39943 39963 39983 40003 40023 40043 40063 40083 40103 40123 40143 40163 40183 40203 40223 40243 40263 40283 40303 40323 40343 40363 40383 40403 40423 40443 40463 40483 40503 40523 40543 40563 40583 40603 40623 40643 40663 40683 40703 40723 40743 40763 40783 40803 40823 40843 40863 40883 40903 40923 40943 40963 40983 41003 41023 41043 41063 41083 41103 41123 41143 41163 41183 41203 41223 41243 41263 41283 41303 41323 41343 41363 41383 41403 41423 41443 41463 41483 41503 41523 41543 41563 41583 41603 41623 41643 41663 41683 41703 41723 41743 41763 41783 41803 41823 41843 41863 41883 41903 41923 41943 41963 41983 42003 42023 42043 42063 42083 42103 42123 42143 42163 42183 42203 42223 42243 42263 42283 42303 42323 42343 42363 42383 42403 42423 42443 42463 42483 42503 42523 42543 42563 42583 42603 42623 42643 42663 42683 42703 42723 42743 42763 42783 42803 42823 42843 42863 42883 42903 42923 42943 42963 42983 43003 43023 43043 43063 43083 43103 43123 43143 43163 43183 43203 43223 43243 43263 43283 43303 43323 43343 43363 43383 43403 43423 43443 43463 43483 43503 43523 43543 43563 43583 43603 43623 43643 43663 43683 43703 43723 43743 43763 43783 43803 43823 43843 43863 43883 43903 43923 43943 43963 43983 44003 44023 44043 44063 44083 44103 44123 44143 44163 44183 44203 44223 44243 44263 44283 44303 44323 44343 44363 44383 44403 44423 44443 44463 44483 44503 44523 44543 44563 44583 44603 44623 44643 44663 44683 44703 44723 44743 44763 44783 44803 44823 44843 44863 44883 44903 44923 44943 44963 44983 45003 45023 45043 45063 45083 45103 45123 45143 45163 45183 45203 45223 45243 45263 45283 45303 45323 45343 45363 45383 45403 45423 45443 45463 45483 45503 45523 45543 45563 45583 45603 45623 45643 45663 45683 45703 45723 45743 45763 45783 45803 45823 45843 45863 45883 45903 45923 45943 45963 45983 46003 46023 46043 46063 46083 46103 46123 46143 46163 46183 46203 46223 46243 46263 46283 46303 46323 46343 46363 46383 46403 46423 46443 46463 46483 46503 46523 46543 46563 46583 46603 46623 46643 46663 46683 46703 46723 46743 46763 46783 46803 46823 46843 46863 46883 46903 46923 46943 46963 46983 47003 47023 47043 47063 47083 47103 47123 47143 47163 47183 47203 47223 47243 47263 47283 47303 47323 47343 47363 47383 47403 47423 47443 47463 47483 47503 47523 47543 47563 47583 47603 47623 47643 47663 47683 47703 47723 47743 47763 47783 47803 47823 47843 47863 47883 47903 47923 47943 47963 47983 48003 48023 48043 48063 48083 48103 48123 48143 48163 48183 48203 48223 48243 48

【図 3 6】

図36

N=16200, r=4/15の検査行列初期値テーブル	
1953 2331 2545 2623 4653 5012 5700 6458 6875 7605 7694 7881 8416 8758 9181 9555 9578 9932 10068 11479 11699	
514 784 2059 2129 2386 2454 3396 5184 6624 6825 7533 7861 9116 9473 9601 10432 11011 11159 11378 11528 11598	
483 1303 1735 2291 3302 3648 4222 4522 5511 6626 6804 7404 7752 7982 8108 8930 9151 9793 9876 10786 11879	
1956 7572 9020 9971	
13 1578 7445 8373	
6805 6857 8615 11179	
7983 8022 10017 11748	
4939 8861 10444 11661	
2278 3733 6265 10009	
4494 7974 10649	
8909 11030 11696	
3131 9964 10480	

【図 3 7】

図37

N=16200, r=1/3の検査行列初期値テーブル	
77 182 354 816 916 958 1055 1261 1553 1874 2211 2490 2999 3267 3975 5018 5952 6198 6343 7027 7045 7751 7923 8649 9010 9022	
9380 9956 10204 10339	
5 612 1724 1737 1911 1914 2108 2496 2809 4037 5838 6950 8049 8081 9480 9512 9724 9745 9952 10203 10207 10270 10463 10486	
10499 10515 10663 10678 10706 10741	
22 345 1938 3636 4016 5293 6424 6589 7426 7547 8102 9038 9095 9127 9174 9239 9279 9810 10347 10403 10408 10591 10610 10632	
10660 10721 10754 10765 10773 10791	
17 3435 7278 9952	
1442 2518 3132 7541	
5464 9226 10615 10658	
426 2473 8459 10750	
1862 2111 6236 10546	
1010 9922 10591 10735	
29 2653 6553 10749	
9652 7265 7789 10708	
4334 5497 10784	
3445 3027 10781	
2823 3127 10688	
84 4600 9066	

【図 3 8】

図38

N=16200, r=2/5の検査行列初期値テーブル	
13 88 136 188 398 794 855 918 954 1950 2762 2837 2847 4209 4342 5092 5334 5498 5731 5837 6150 6942 7127 7402 7938 8235 8307	
8600 9001 9419 9442 9710	
619 792 1002 1148 1528 1533 1925 2207 2766 3021 3267 3593 3947 4632 4873 5109 5488 5882 6079 6097 6276 6499 6584 6738 6795	
7550 7723 7786 8732 9060 9270 9401	
499 717 1351 1791 2535 3135 3582 3813 4047 4309 5126 5186 5219 5716 5977 6236 6406 6586 6591 7085 7199 7485 7726 7878 8027	
8066 8425 8802 9309 9464 9553 9671	
658 4058 7824 8512	
3245 4743 8117 9369	
465 6559 8112 9461	
975 2368 4444 6095	
4128 5983 9182 9473	
9 3822 5306 5320	
4 6111 9714 9868	
13 8172 8049 9856	
3353 4449 5829 8053	
7885 9118 9674	
7575 9591 9670	
431 8123 9271	
4228 7587 9270	
8847 9146 9556	
11 5213 7763	

【図 3 9】

図39

N=16200, r=4/9の検査行列初期値テーブル	
567 1111 1821 2216 2255 2806 2860 3463 3697 3744 3839 3951 4212 4475 4884 5157 5679 6498 7043 7340 7403 7827 8233 8470 8699	
18 24 1578 2569 3538 3714 4879 4922 5825 6417 7090 7285 7291 7451 7545 7758 7857 8180 8511 8887 8834 8877 8896 8923 8956	
168 1839 1944 2745 2815 3874 4427 5366 6331 6396 6503 6612 7107 7608 7663 7742 8101 8223 8710 8722 8804 8825 8861 8909 8980	
1 12 395 1035 1675 1946 2788 2823 3899 4097 4382 4741 4933 5267 7094 7503 7555 7929 8136 8377 8434 8668 8739 8756 8990	
2635 4688 6722 6823	
11 527 7081 7698	
3930 4520 5817 7864	
16 657 2009 8233	
2965 5337 6600	
521 6304 8963	
1218 3326 6124	
19 9853 8813	
7129 8899 8962	
3467 5832 8651	
3385 5711 8745	
2756 9212 8965	
7205 8768 8961	
4928 6921 8994	
364 7205 8927	
3918 4050 8435	

【図 4 0】

図40

N=16200, r=7/15の検査行列初期値テーブル	
3	137 314 327 983 1597 2028 3043 3217 4109 6020 6178 6535 6560 7146 7180 7408 7790 7893 8123 8313 8526 8616 8638
356	1197 1208 1839 1903 2712 3088 3537 4091 4301 4919 5068 6025 6195 6324 6378 6686 6829 7558 7745 8042 8382 8587 8602
18	187 1115 1417 1463 2300 2328 3502 3805 4677 4827 5551 5968 6394 6412 6753 7169 7524 7695 7976 8069 8118 8522 8582
714	2713 2726 2964 3055 3220 3334 3459 5557 5765 5841 6290 6419 6573 6856 7786 7937 8156 8286 8327 8384 8448 8539 8559
3452	7935 8092 8623
56	1955 3000 8242
1809	4094 7991 8489
2220	6455 7849 8548
1006	2576 3247 6976
2177	6048 7795 8295
1413	2595 7446 8594
2101	3714 7541 8531
10	5961 7484
3144	4636 5282
5708	5875 8390
3322	5223 7975
197	4653 8283
598	5393 8624
906	7249 7542
1223	2148 8195
976	2001 5005

【図 4 2】

図42

N=16200, r=3/5の検査行列初期値テーブル	
41	588 1367 1831 1964 3424 3732 4590 4677 5455 5542 5627 6415
904	1706 2800 3732 3783 4217 4507 4999 6010 6218 6282 6363 6456
356	1871 2216 2629 2994 3719 5194 5585 6012 6273 6393 6457 6474
1676	2419 2604 3939 4186 5080 5400 5552 5971 6023 6324 6442 6445
3	770 2770 3457 3815 4253 4512 4671 5390 5393 5818 5978 6441
491	548 1033 1042 1187 3816 4378 4956 5049 5649 5684 6177 6475
1489	2817 3377 3716 4229 4512 4664 5065 5257 5477 5550 5950 6447
1546	2444 4684
15	3546 6220
1427	6199 6430
103	3629 5526
1330	6150 6255
363	5660 6422
4069	5586 5885
722	820 2823
204	2820 6181
3710	6077 6106
2655	5428 6264
1850	5989 6245
2701	5315 6477
1286	4462 6159
3356	4359 4805
13	4416 4800
3103	4357 4685
1163	5127 6435
164	3202 3934
36	230 3514

【図 4 1】

図41

N=16200, r=8/15の検査行列初期値テーブル	
32	384 430 591 1296 1976 1999 2137 2175 3638 4214 4304 4486 4662 4999 5174 5700 6969 7115 7138 7189
1788	1881 1910 2724 4504 4928 4973 5616 5686 5718 5846 6523 6893 6994 7074 7100 7277 7399 7476 7480 7537
2791	2824 2927 4196 4298 4800 4948 5361 5401 5688 5818 5862 5969 6029 6244 6645 6962 7203 7302 7454 7534
574	1461 1826 2056 2069 2387 2794 3349 3366 4951 5826 5834 5903 6640 6762 6786 6859 7043 7418 7431 7554
14	178 675 823 890 930 1209 1311 2898 4339 4600 5203 6485 6549 6970 7208 7218 7298 7454 7457 7462
4075	4188 7313 7553
5145	6018 7148 7507
3198	4858 6983 7033
3170	5126 5625 6901
2839	6093 7071 7450
11	3735 5413
2497	5400 7238
2067	5172 5714
1889	7173 7329
1795	2773 3499
2695	2944 6735
3221	4625 5897
1690	6122 6816
5013	6839 7358
1601	6849 7415
2180	7389 7543
2121	6838 7054
1948	3109 5046
272	1015 7464

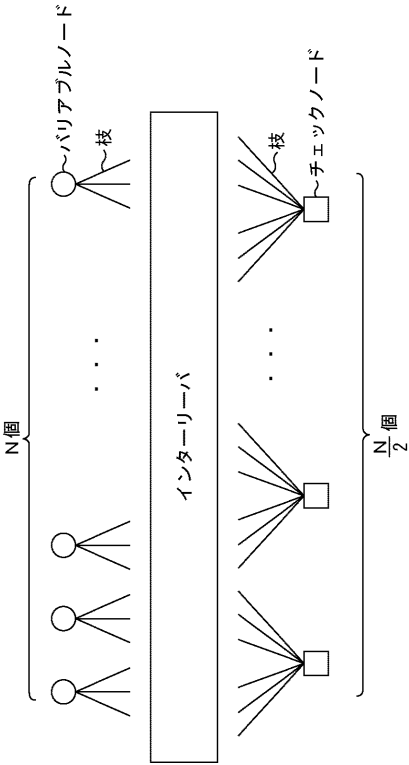
【図 4 3】

図43

N=16200, r=2/3の検査行列初期値テーブル	
76	545 1005 1029 1390 1970 2525 2971 3448 3845 4088 4114 4163 4373 4640 4705 4970 5094
14	463 600 1676 2239 2319 2326 2815 2887 4278 4457 4493 4597 4918 4989 5038 5261 5384
451	632 829 1006 1530 1723 2205 2587 2801 3041 3849 4382 4595 4727 5006 5156 5224 5286
211	265 1293 1777 1926 2214 2909 2957 3178 3278 3771 4547 4583 4737 4879 5068 5232 5344
6	2901 3925 5384
2858	4152 5006 5202
9	1232 2063 2768
7	11 2781 3871
12	2161 2820 4078
3	3510 4668 5323
253	411 3215 5241
3919	4789 5040 5302
12	5113 5256 5352
9	1461 4004 5241
1688	3585 4480 5394
8	2127 3469 4360
2827	4049 5084 5379
1770	3331 5315 5366
1885	2817 4900 5088
2568	3854 4660
1604	3565 5373
2317	4636 5156
2480	2816 4094
14	4518 4826
127	1192 3872
93	2282 3663
2962	5085 5314
2078	4277 5089
9	5280 5292
50	2847 4742

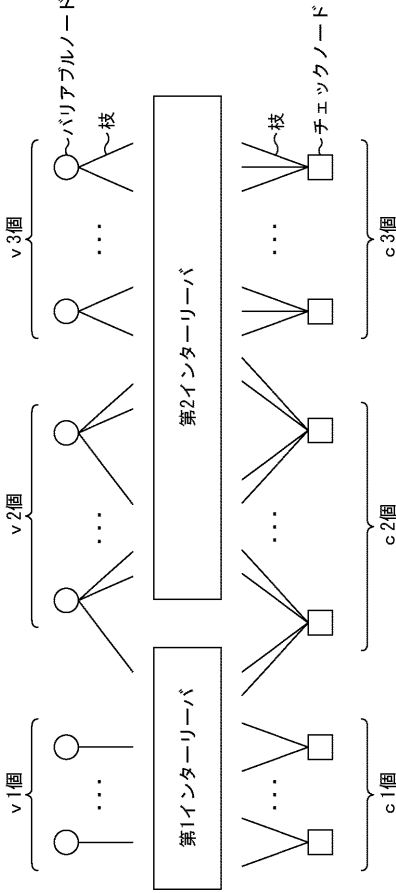
【図 4 4】

図44



【図 4 5】

図45



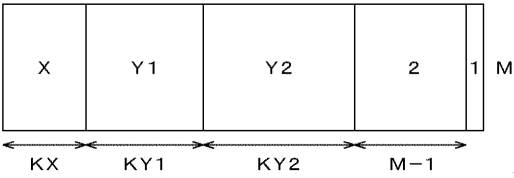
【図 4 6】

図46

符号化率	最小サイクル長	性能閾値 (Eb/No)
1/5	8	0.15
4/15	8	-0.21
1/3	6	-0.01
2/5	6	0.01
4/9	6	0.17
7/15	6	0.36
8/15	6	0.64
3/5	8	1.00
2/3	6	1.35

【図 4 7】

図47



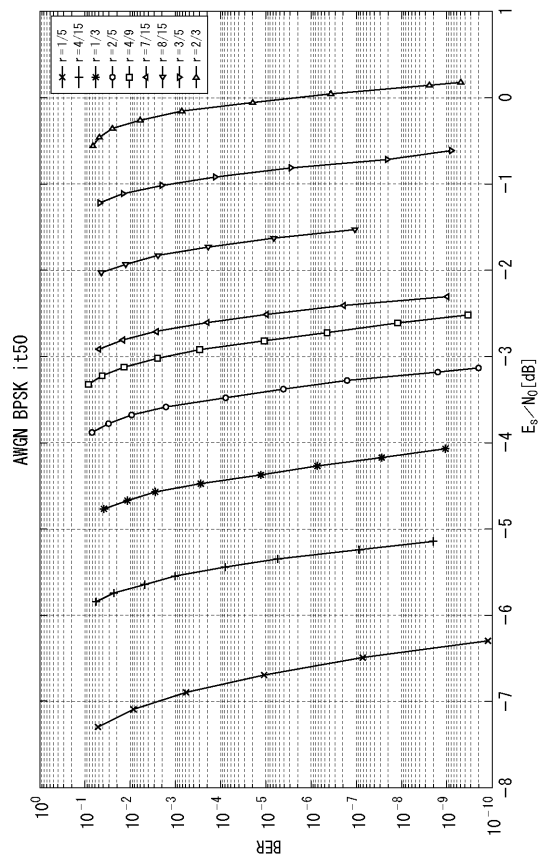
【図 4 8】

図48

rate	X	KX	Y1	KY1	Y2	KY2	M
1/5	36	720	5	360	4	2160	12960
4/15	21	1080	4	2160	3	1080	11880
1/3	30	1080	4	2880	3	1440	10800
2/5	32	1080	4	3240	3	2160	9720
4/9	25	1440	4	1440	3	4320	9000
7/15	24	1440	4	2880	3	3240	8640
8/15	21	1800	4	1800	3	5040	7560
3/5	13	2520	3	7200	—	0	6480
2/3	18	1440	4	5400	3	3960	5400

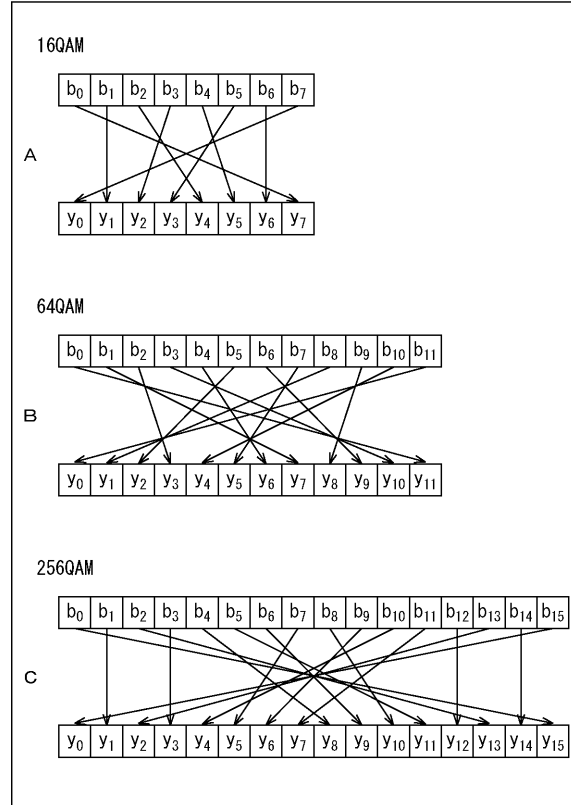
【図 49】

図49



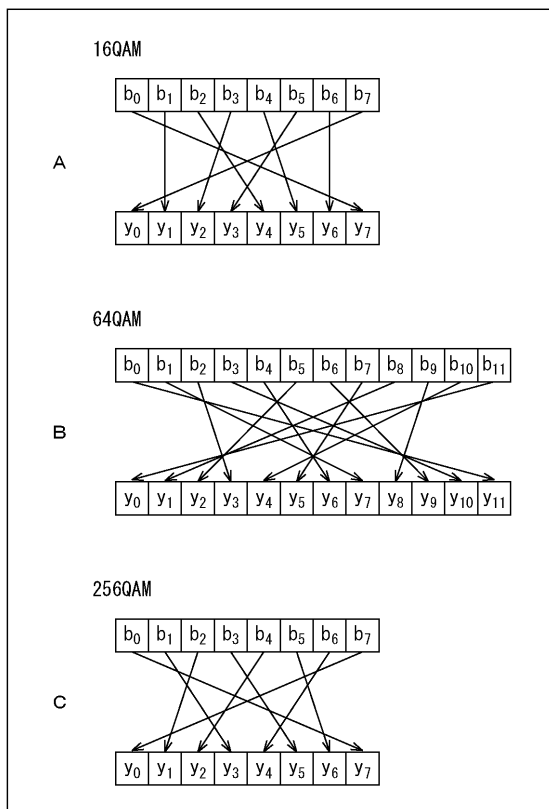
【図 50】

図50



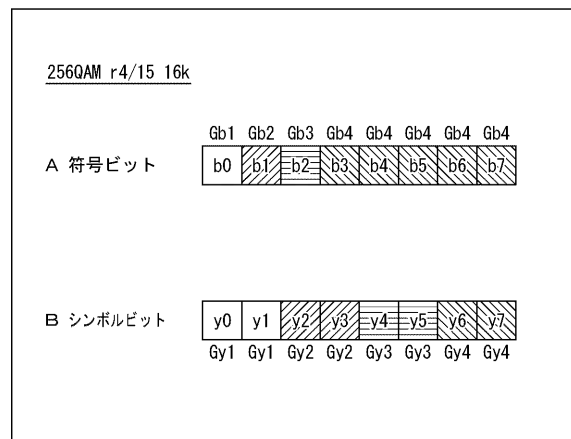
【図 51】

図51



【図 52】

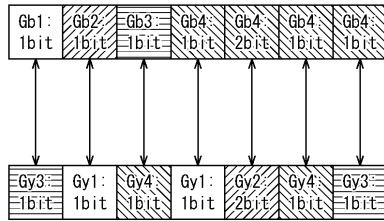
図52



【図 5 3】

図53

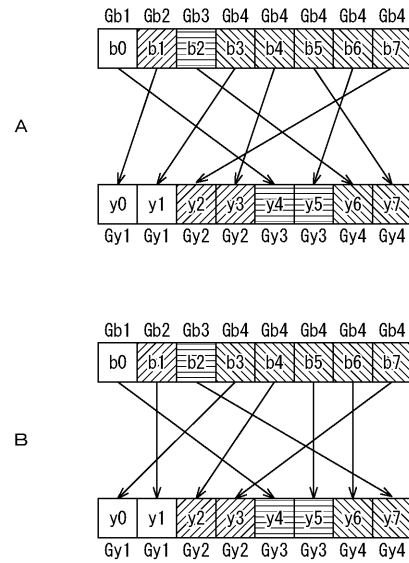
256QAM r4/15 16k



【図 5 4】

図54

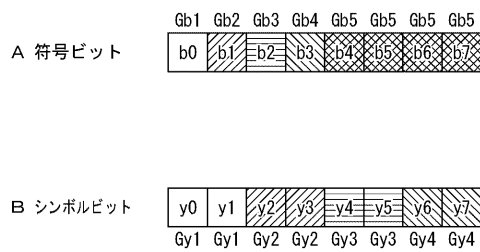
256QAM r4/15 16k



【図 5 5】

図55

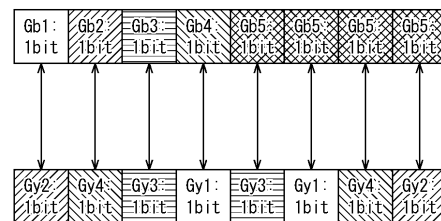
256QAM r7/15 16k



【図 5 6】

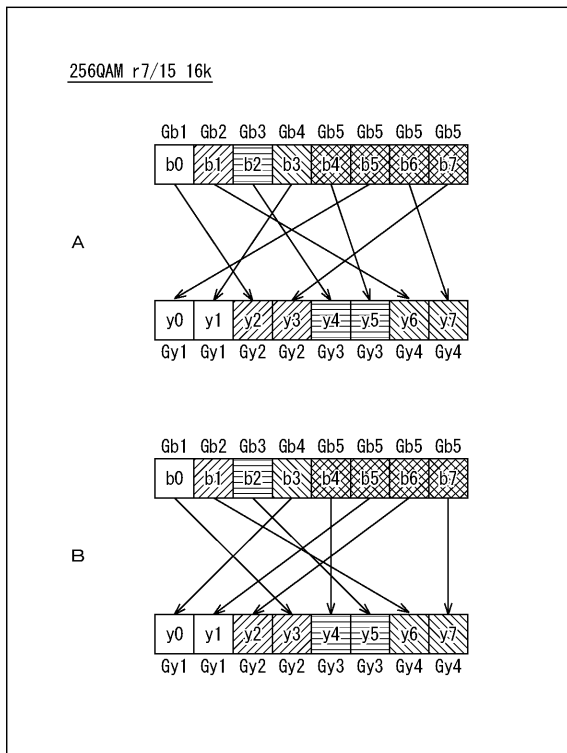
図56

256QAM r7/15 16k



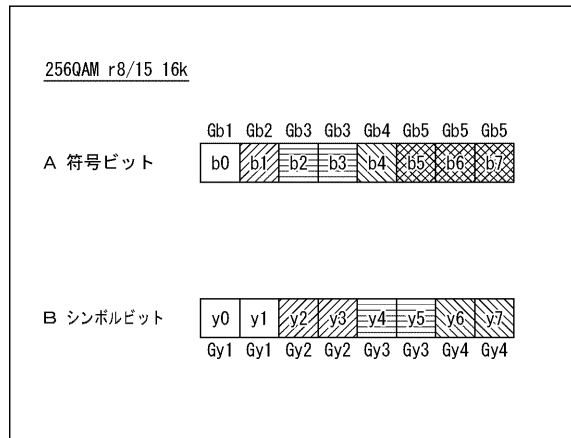
【図 57】

図57



【図 58】

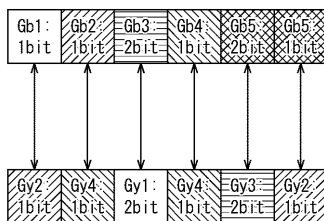
図58



【図 59】

図59

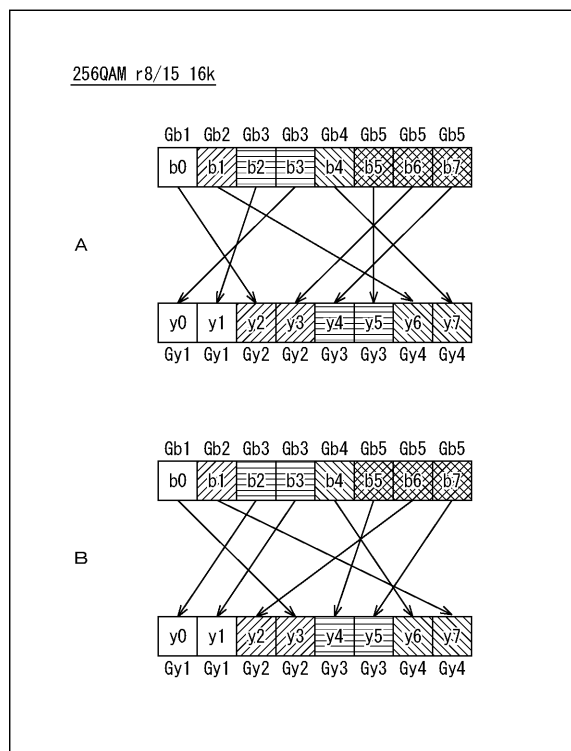
256QAM r8/15 16k



【図 60】

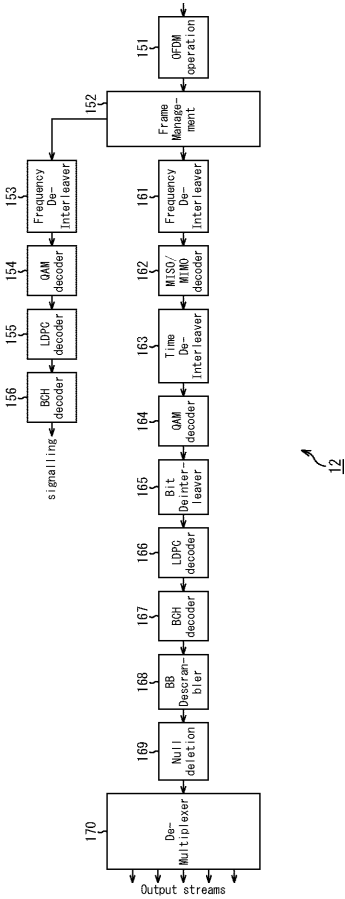
図60

256QAM r8/15 16k



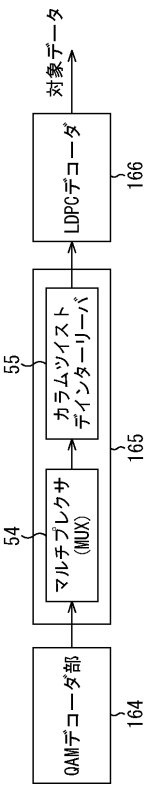
【図 6 1】

図61



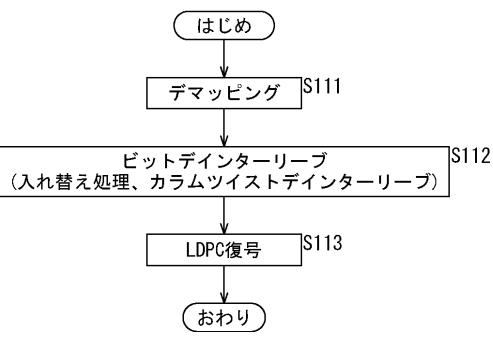
【図 6 2】

図62



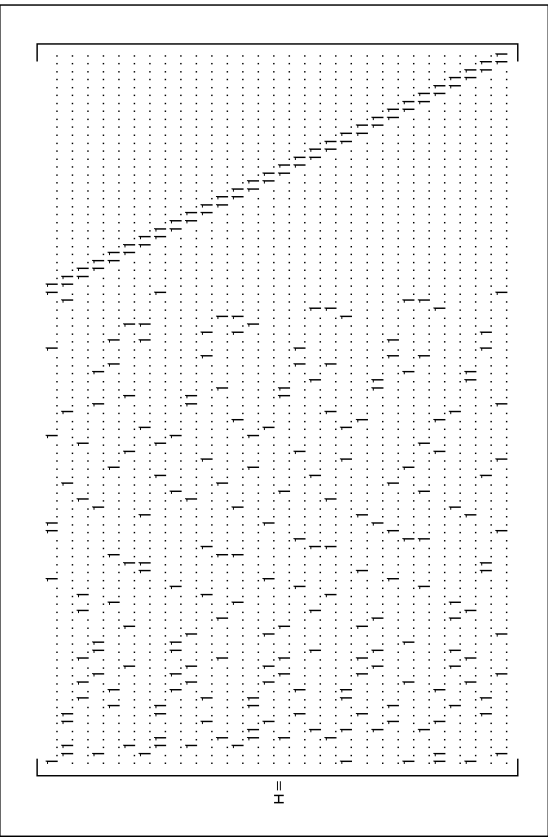
【図 6 3】

図63



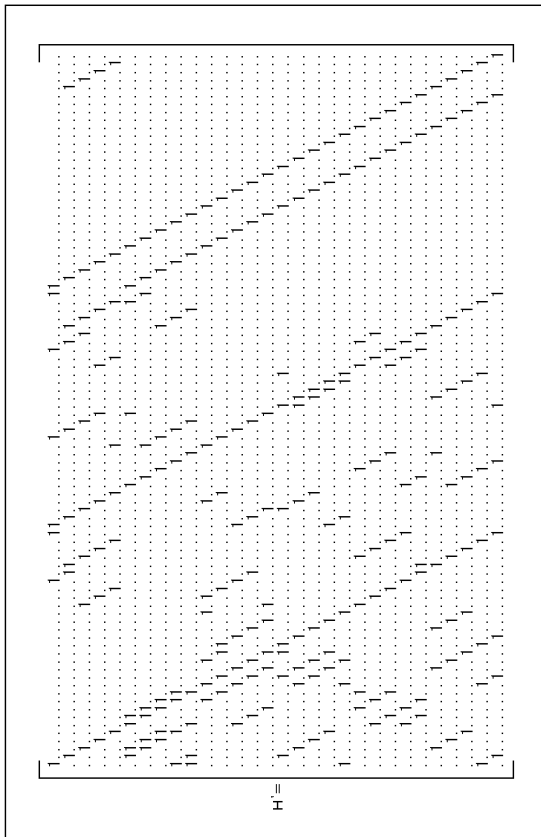
【図 6 4】

図64



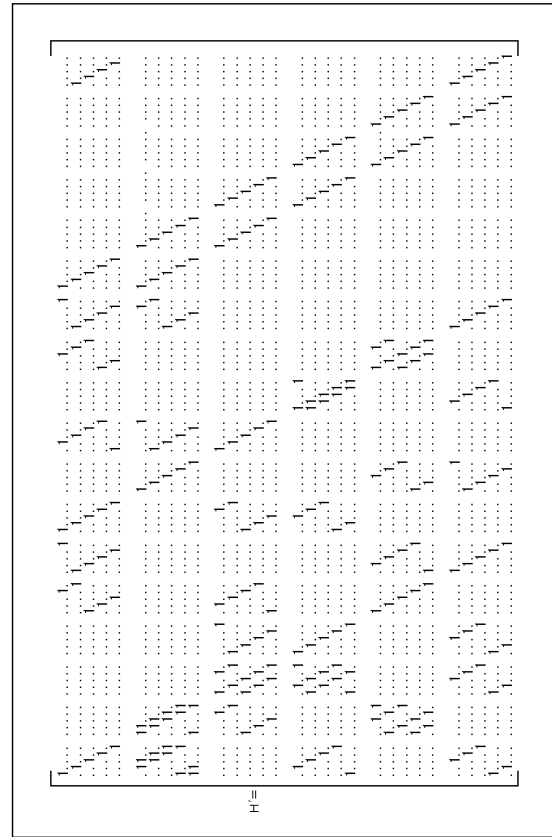
【図 6 5】

図65



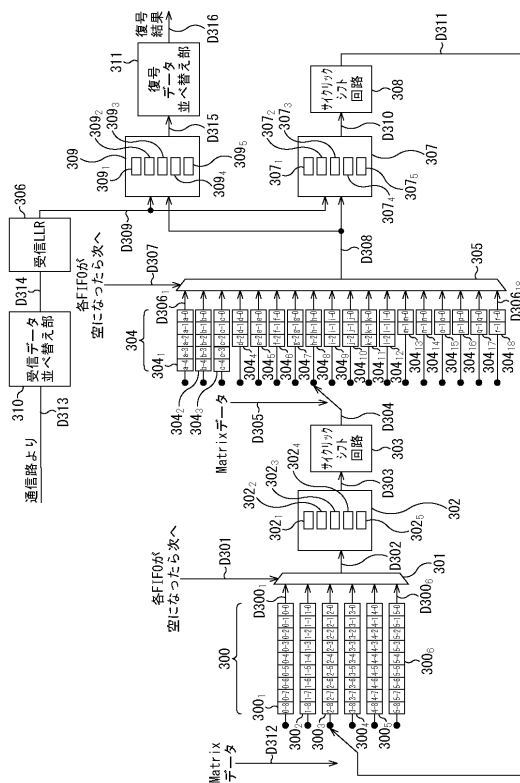
【図 6 6】

図66



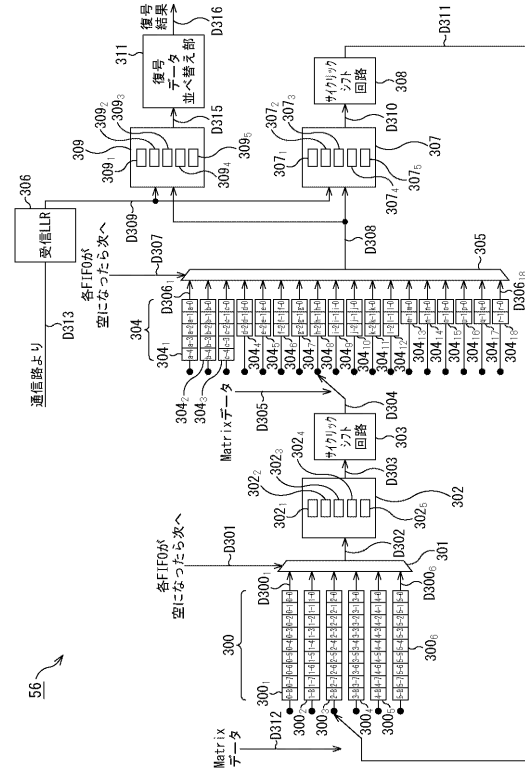
【図 6 7】

図67



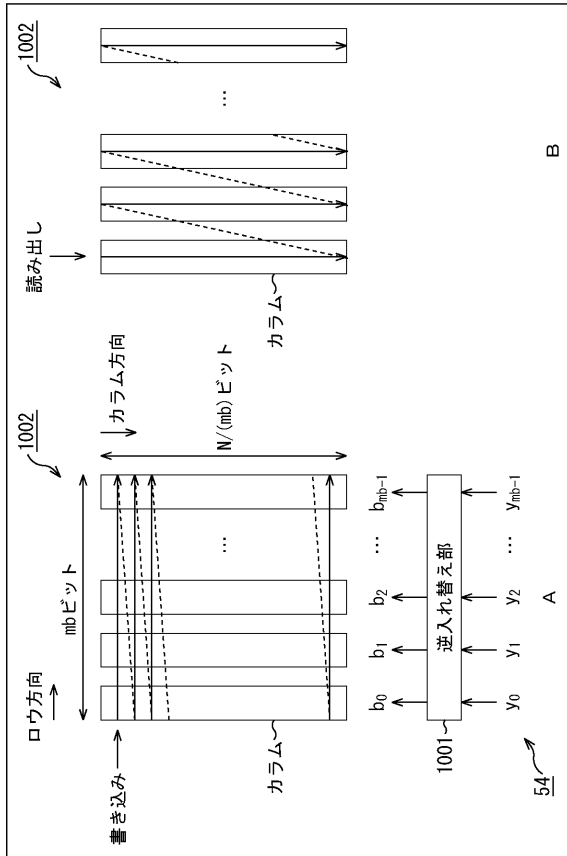
【図 6 8】

図68



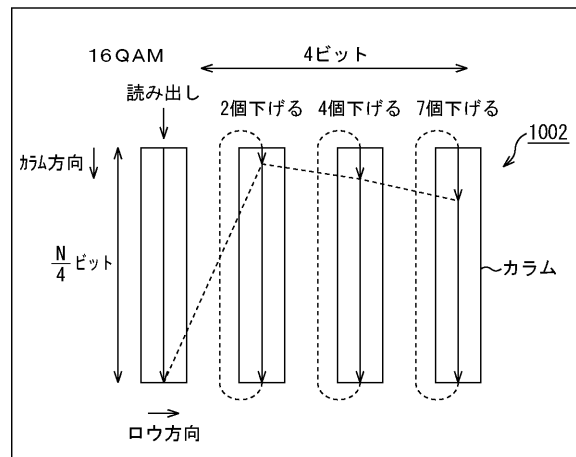
【図 69】

図69



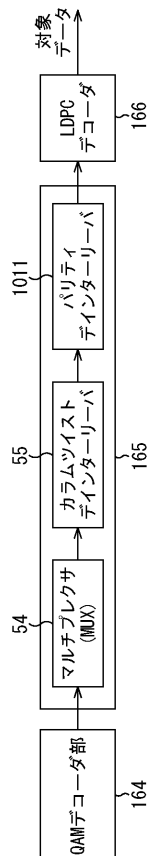
【図 70】

図70



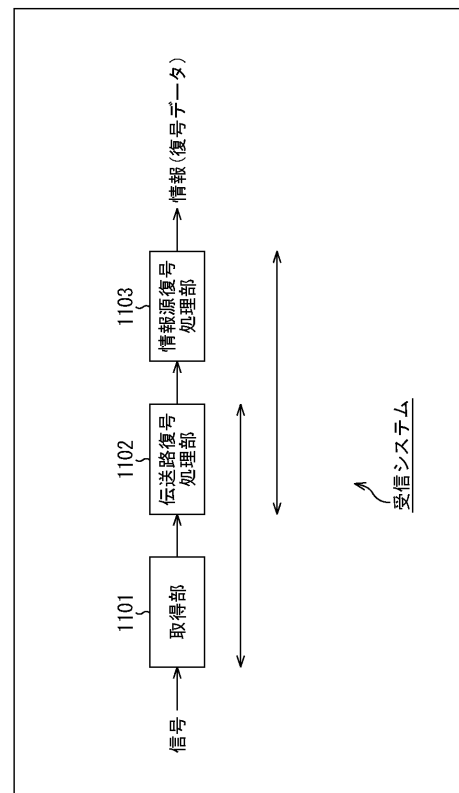
【図 71】

図71



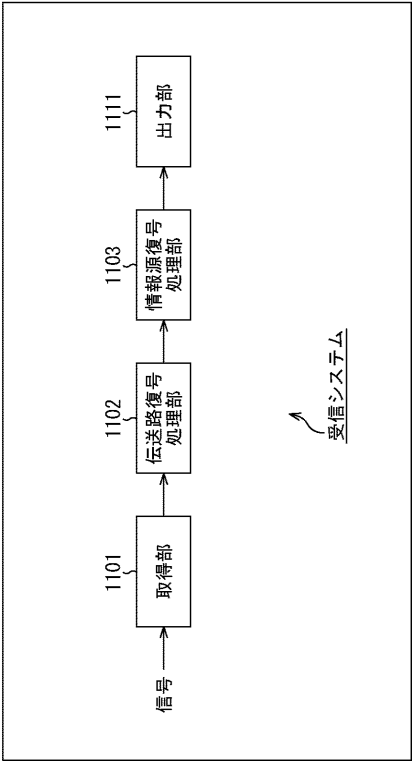
【図 72】

図72



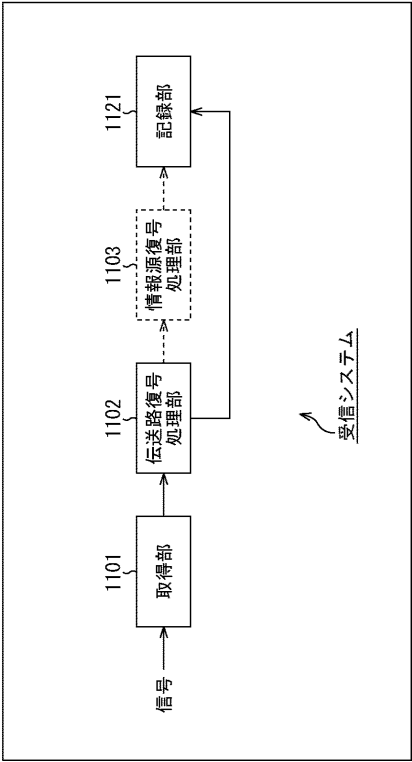
【図 7 3】

図73



【図 7 4】

図74



【図 7 5】

図75

