(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3831040号
(P3831040)
(45)発行日　平成18年10月11日(2006.10.11)　(24)登録日　平成18年7月21日(2006.7.21)

(51)Int.Cl.　F I
*G11C 16/06 (2006.01)*　G11C 17/00 632Z

請求項の数 14　(全 31 頁)

(21)出願番号　特願平9-18413
(22)出願日　平成9年1月31日(1997.1.31)
(65)公開番号　特開平10-214496
(43)公開日　平成10年8月11日(1998.8.11)
審査請求日　平成15年2月26日(2003.2.26)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089071
弁理士　玉村　静世
(72)発明者　石川　栄一
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　斉藤　康幸
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　佐藤　斉尚
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内

最終頁に続く

(54)【発明の名称】半導体集積回路

(57)【特許請求の範囲】
【請求項１】
電気的に書き込み及び消去可能な不揮発性メモリと、前記不揮発性メモリにアクセス可能な中央処理装置とを一つの半導体基板上に形成した半導体集積回路であって、
前記半導体集積回路は、電圧クランプ手段と、昇圧回路とを具備し、前記半導体基板の外部から供給される単一の外部電源電圧を動作電源とするとともに、前記半導体集積回路の前記外部電源電圧の許容範囲が第１電圧から前記第１電圧より小さい第２電圧までとされ、
前記電圧クランプ手段は、前記外部電源電圧を受けて、前記第２電圧より小さい電圧を発生し、
前記昇圧回路は、前記電圧クランプ手段から出力された電圧を受けて、前記電圧クランプ手段から出力された電圧より大きい内部正昇圧電圧又は内部負昇圧電圧を発生し、
前記不揮発性メモリは、前記内部正昇圧電圧又は前記内部負昇圧電圧を用いてデータの消去又は書き込みを行う複数の不揮発性メモリセルを有し、
前記電圧クランプ手段は、前記外部電源電圧を受けて、基準電圧を発生する基準電圧発生回路と、前記基準電圧を参照電圧として第１クランプ電圧を出力する第１定電圧発生回路と、前記第１定電圧発生回路から出力された電圧を参照電圧として第２クランプ電圧を出力する第２定電圧発生回路と、前記第１定電圧発生回路から出力される電圧を参照電圧として第３クランプ電圧を出力する第３定電圧発生回路とを有し、
前記第１定電圧発生回路は、前記第１クランプ電圧を負帰還する回路を含み、

前記第２定電圧発生回路は、前記第２クランプ電圧を負帰還する回路を含み、
前記第３定電圧発生回路は、前記第３クランプ電圧を負帰還する回路を含み、
前記昇圧回路は、前記第２クランプ電圧が供給され、
前記第３クランプ電圧は、読出し系の動作電源電圧とされることを特徴とする半導体集積回路。

【請求項２】
請求項１において、
前記昇圧回路は、
前記内部負昇圧電圧を発生するために、Ｐ型ＭＯＳトランジスタとキャパシタとに接続される昇圧ノードを有するチャージポンプ回路と、
昇圧動作開始から前記昇圧回路が出力する電圧が前記内部負昇圧電圧まで達する途中に、前記Ｐ型ＭＯＳトランジスタのしきい値が小さくなるように基板バイアス電圧を切り替えるためのスイッチ手段とを有することを特徴とする半導体集積回路。

【請求項３】
請求項２において、
前記Ｐ型ＭＯＳトランジスタの基板バイアス電圧は、前記昇圧動作開始後、前記スイッチ手段により切り替えられた場合は、前記昇圧動作中は切り替えられないことを特徴とする半導体集積回路。

【請求項４】
請求項１において、
前記昇圧回路は、前記内部負昇圧電圧を発生するためにＭＯＳトランジスタとキャパシタとに接続される昇圧ノードを有する負電圧昇圧回路と、前記内部正昇圧電圧を発生するためにＭＯＳトランジスタとキャパシタとに接続される昇圧ノードを有する正電圧昇圧回路とを有することを特徴とする半導体集積回路。

【請求項５】
請求項１において、
前記半導体集積回路は、前記昇圧回路が出力する電圧を微調整するためのトリミング回路と、トリミング調整情報に応じて前記トリミング回路を制御するためのトリミング制御部と、前記トリミング調整情報を前記トリミング制御部に供給するために前記トリミング調整情報が設定されるレジスタとを有し、
前記レジスタは、前記トリミング調整情報を前記不揮発性メモリの特定の領域から供給されることを特徴とする半導体集積回路。

【請求項６】
請求項５において、
前記レジスタは、前記半導体集積回路のリセット動作において、前記トリミング調整情報が設定されることを特徴とする半導体集積回路。

【請求項７】
請求項６において、
前記中央処理装置は、前記レジスタにアクセス可能であることを特徴とする半導体集積回路。

【請求項８】
電気的に書き込み及び消去可能な不揮発性メモリと、前記不揮発性メモリにアクセス可能な中央処理装置とを一つの半導体基板上に形成した半導体集積回路であって、
前記半導体集積回路は、電圧クランプ手段と、昇圧回路とを具備し、前記半導体基板の外部から供給される単一の外部電源電圧を動作電源とし、
前記電圧クランプ手段は、前記外部電源電圧を受けて、前記外部電源電圧に対する依存性が小さい基準電圧を参照電圧として前記外部電源電圧より小さい内部電圧を発生し、
前記昇圧回路は、前記電圧クランプ手段から出力された電圧を受けて、前記電圧クランプ手段から出力された電圧より大きい内部正昇圧電圧又は内部負昇圧電圧を発生し、
前記不揮発性メモリは、前記内部正昇圧電圧又は前記内部負昇圧電圧を用いてデータの

消去又は書き込みを行う複数の不揮発性メモリセルを有し、
前記電圧クランプ手段は、前記外部電源電圧を受けて、基準電圧を発生する基準電圧発生回路と、前記基準電圧を参照電圧として第１クランプ電圧を出力する第１定電圧発生回路と、前記第１定電圧発生回路から出力された電圧を参照電圧として第２クランプ電圧を出力する第２定電圧発生回路と、前記前記第１定電圧発生回路から出力される電圧を参照電圧として第３クランプ電圧を出力する第３定電圧発生回路とを有し、
前記第１定電圧発生回路は、前記第１クランプ電圧を負帰還する回路を含み、
前記第２定電圧発生回路は、前記第２クランプ電圧を負帰還する回路を含み、
前記第３定電圧発生回路は、前記第３クランプ電圧を負帰還する回路を含み、
前記昇圧回路は、前記第２クランプ電圧が供給され、
前記第３クランプ電圧は、読出し系の動作電源電圧とされることを特徴とする半導体集積回路。

【請求項９】
請求項８において、
前記昇圧回路は、
前記内部負昇圧電圧を発生するために、Ｐ型ＭＯＳトランジスタとキャパシタとに接続される昇圧ノードを有するチャージポンプ回路と、
昇圧動作開始から前記昇圧回路が出力する電圧が前記内部負昇圧電圧まで達する途中に、前記Ｐ型ＭＯＳトランジスタのしきい値が小さくなるように基板バイアス電圧を切り替えるためのスイッチ手段とを有することを特徴とする半導体集積回路。

【請求項１０】
請求項９において、
前記Ｐ型ＭＯＳトランジスタの基板バイアス電圧は、前記昇圧動作開始後、前記スイッチ手段により切り替えられた場合は、前記昇圧動作中は切り替えられないことを特徴とする半導体集積回路。

【請求項１１】
請求項８において、
前記昇圧回路は、前記内部負昇圧電圧を発生するためにＭＯＳトランジスタとキャパシタとに接続される昇圧ノードを有する負電圧昇圧回路と、前記内部正昇圧電圧を発生するためにＭＯＳトランジスタとキャパシタとに接続される昇圧ノードを有する正電圧昇圧回路とを有することを特徴とする半導体集積回路。

【請求項１２】
請求項８において、
前記半導体集積回路は、前記昇圧回路が出力する電圧を微調整するためのトリミング回路と、トリミング調整情報に応じて前記トリミング回路を制御するためのトリミング制御部と、前記トリミング調整情報を前記トリミング制御部に供給するために前記トリミング調整情報が設定されるレジスタとを有し、
前記レジスタは、前記トリミング調整情報を前記不揮発性メモリの特定の領域から供給されることを特徴とする半導体集積回路。

【請求項１３】
請求項１２において、
前記レジスタは、前記半導体集積回路のリセット動作において、前記トリミング調整情報が設定されることを特徴とする半導体集積回路。

【請求項１４】
請求項１３において、
前記中央処理装置は、前記レジスタにアクセス可能であることを特徴とする半導体集積回路。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は、不揮発性メモリと中央処理装置とを含む半導体集積回路に関し、例えばフラッシュメモリと中央処理装置を内蔵した1チップ型のマイクロコンピュータ、データ処理装置又はマイクロプロセッサの外部動作電源を単一化するのに適用して有効な技術に関する。

【０００２】

【従来の技術】

フラッシュメモリを内蔵したマイクロコンピュータとして例えば株式会社日立製作所のＨ８／５３８Ｆ，Ｈ８／３０４８，Ｈ８／３４３４Ｆなどがある。

【０００３】

フラッシュメモリのメモリセルトランジスタは、フローティングゲート、コントロールゲート、ソース及びドレインを持ち、フローティングゲート内への電荷注入状態に応じた２値の情報を保持する。例えばフローティングゲート内に電荷が注入されるとメモリセルのしきい値電圧が上昇し、コントロールゲートから見たしきい値電圧が高くされることにより、メモリセルには電流が流れなくなる。またフローティングゲートから電荷を放出してコントロールゲートから見たしきい値電圧を低くすることにより、メモリセルに電流が流れる。特に制限されないが、上記メモリセルのしきい値電圧を読み出し時のワード線選択レベルよりも高くする動作を消去動作（それによって選られるデータは論理値“１”：消去状態）、上記メモリセルのしきい値電圧を読み出し時のワード線選択レベルよりも低くする動作を書き込み動作（それによって選られるデータは論理値“０”：書き込み状態）と称する。尚、メモリセルに記憶されたデータの消去状態と書き込み状態は、上記とは逆に定義することもある。

【０００４】

前記メモリセルトランジスタに対する消去や書き込みでは、フローティングゲートを高電界中に置かなければならないため、３Ｖや５Ｖのような一般的な電源電圧よりもレベルの高い消去及び書き込み用の高電圧を必要とする。そのような高電圧は従来外部電源として供給されていた。

【０００５】

【発明が解決しようとする課題】

しかしながら、そのような高電圧を外部電源から得る場合には、前記マイクロコンピュータが実装される回路基板に、これらの高電圧を発生させる回路を搭載しなければならず、高電圧故に、回路基板の設計に特別な配慮が必要になり、使い勝手が悪いという問題がある。

【０００６】

本発明者は、フラッシュメモリを内蔵したマイクロコンピュータを３Ｖや５Ｖのような単一電源で動作可能にすることについて検討した。すなわち、外部単一電源を内部で昇圧して書き込み及び消去のための高電圧を生成する。

【０００７】

このとき、低消費電力の要請からマイクロコンピュータの動作電源は低電圧化が進み、３Ｖとされるものがあり、また、５Ｖ単一電源を利用するシステムもある。電源電圧を３Ｖ又は５Ｖの何れにするかはマイクロコンピュータが応用されるシステムの仕様によって決定される。このため、半導体メーカとしては、３Ｖから５Ｖのような比較的広い範囲の電源で動作できるようにマイクロコンピュータを設計することが得策である。

【０００８】

これを考慮したとき、本発明者の検討によれば以下の点が明らかにされた。すなわち、フラッシュメモリに対する電荷注入方式には、メモリセルトランジスタのチャネルに比較的大きな電流を流してドレイン近傍にホットエレクトロンを発生させることによってフローティングゲートに電荷を注入するチャネル注入方式と、フローティングゲートとドレイン間に所定の電界強度を作用してドレイン近傍の比較的薄いトンネル酸化膜にトンネル電流を流して電荷を注入するトンネル電流方式がある。前者は相対的に大きな電流を要するので内部昇圧には適さないが、後者であっても、単に内部昇圧を行うだけでは、低電圧動作

を含む比較的広い外部電源電圧範囲で安定的に内蔵フラッシュメモリの書き込み及び消去を実現できないことが明らかにされた。

【０００９】

本発明の目的は、フラッシュメモリのような電気的に書き込み及び消去可能な不揮発性メモリを内蔵したマイクロコンピュータなどの半導体集積回路において、低電圧動作を含む比較的広い外部電源電圧範囲で安定的に内蔵不揮発性メモリの書き込み及び消去を可能にすることにある。

【００１０】

本発明の別の目的は、フラッシュメモリのような電気的に書き込み及び消去可能な不揮発性メモリを内蔵したマイクロコンピュータのなどの半導体集積回路の使い勝手を良好にすることにある。

【００１１】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【００１２】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【００１３】

すなわち、マイクロコンピュータなどの半導体集積回路は、電気的に消去及び書き込み可能なフラッシュメモリなどの不揮発性メモリと、前記不揮発性メモリをアクセス可能な中央処理装置とを１個の半導体基板に含み、外部電源端子に供給される単一の電源電圧を動作電源とする。そして、前記不揮発性メモリは、電源電圧依存性の小さな基準電圧を用いて前記単一の電源電圧よりレベルの低い第１の電圧に出力電圧をクランプする電圧クランプ手段と、前記電圧クランプ手段の出力電圧を正の高電圧と負の高電圧に昇圧可能な昇圧手段と、前記昇圧手段から出力される正及び負の高電圧を用いて消去及び書き込みが行われる複数個の不揮発性メモリセルとを含んで成る。

【００１４】

この半導体集積回路によれば、前記電圧クランプ手段は電源電圧依存性の小さな電圧を形成し、しかも、その電圧レベルは、この半導体集積回路の許容動作電源電圧の許容範囲内で外部から供給される単一電源電圧よりも低い電圧にクランプされるから、このクランプ電圧で動作される昇圧手段が生成する昇圧電圧、即ち、書き込み及び消去電圧は、外部電源電圧に依存しない。したがって、低電圧動作を含む比較的広い外部電源電圧範囲で内蔵不揮発性メモリの消去及び書き込みを可能にする。しかもそれは単一の外部電源電圧で達成できるから、不揮発性メモリを内蔵した半導体集積回路の使い勝手を向上させる。

【００１５】

昇圧動作効率を向上させるには、昇圧電圧が所定レベルに達したとき、チャージポンプを行うＭＯＳトランジスタに共通の基板バイアス電圧を変更する。例えば、負の高電圧を形成する昇圧ノードにｐチャンネル型のＭＯＳトランジスタと容量が結合され、それらによるチャージポンプ作用で負の高電圧を生成するチャージポンプ回路を有し、前記ＭＯＳトランジスタに共通の基板バイアス電圧を、前記電圧クランプ手段の出力電圧から途中でそれよりもレベルの低い第２の電圧に切り換える切り換え手段を更に備える。前記第2の電圧は前記切り換え時点における昇圧電圧よりもレベルの高い電圧である。この例では、基板バイアス電圧が低下されると、所謂基板バイアス効果によってＭＯＳトランジスタのしきい値電圧が小さくなり、これによってチャージポンプを行うＭＯＳトランジスタを介して電荷が移動され易くなる。このことが、昇圧動作効率を向上させ、規定の昇圧電圧を得るまでの時間を短縮する。

【００１６】

チャージポンプによる昇圧途上の昇圧電圧は、チャージポンプ用のＭＯＳトランジスタのスイッチ動作に同期して上下に振れる。このようなリプル成分の影響で基板バイアス電圧

が振動するのを防止するには、前記切換え手段には、基板バイアス電圧の切換え後に昇圧電圧が上下に振れても基板バイアス電圧を第２の電圧に維持するヒステリシス特性を持たせる。このようなヒステリシス特性は、ヒステリシスコンパレータを用い、或いはＳＲフリップフロップのような回路によって状態を保持することによって達成できる。

【００１７】

同一電源で複数個のチャージポンプ回路を動作させるとき、電源の瞬間的電圧落ち込みを小さくするのは、各チャージポンプ回路の動作の位相をずらすことが望ましい。例えば、前記昇圧手段は、負の高電圧を形成する昇圧ノードに結合されたＭＯＳトランジスタと容量とによるチャージポンプ作用で負の高電圧を生成する負昇圧用チャージポンプ回路と、正の昇圧電圧を形成する昇圧ノードに結合されたＭＯＳトランジスタと容量とによるチャージポンプ作用で正の高電圧を生成する正昇圧用チャージポンプ回路を有するとき、前記正昇圧用チャージポンプ回路に含まれる前記ＭＯＳトランジスタと負昇圧用チャージポンプ回路に含まれる前記ＭＯＳトランジスタとのオン動作期間の位相を相違させればよい。

【００１８】

不揮発性メモリに対する消去及び書き込みには比較的大きな電流を要するから、昇圧回路の電源は他の回路の電源に直結されていないことが望ましい。この観点によると、前記電圧クランプ手段は、電源電圧依存性の小さな基準電圧発生回路と、前記基準電圧発生回路から出力される基準電圧を参照電圧として出力回路を前記第１の電圧に負帰還制御する第１の定電圧発生回路と、第１の定電圧発生回路から出力される電圧を参照電圧として出力回路を前記第１の電圧に負帰還制御する第２の定電圧発生回路とを有し、第２の定電圧発生回路の出力電圧が前記正昇圧手段及び負昇圧手段に供給されるものであることが望ましい。

【００１９】

前記第１の定電圧発生回路から出力される電圧を参照電圧として出力回路を負帰還制御する第３の定電圧発生回路を更に有し、第３の定電圧発生回路の出力電圧を読み出し系の動作電源電圧とすることができる。

【００２０】

プロセスばらつきなどに対して前記電圧クランプ手段の出力電圧を微調整可能にするためにトリミング回路を設けることが望ましい。このとき、前記トリミング回路をトリミング調整情報に従って制御するトリミング制御手段と、前記トリミング制御手段に供給されるべきトリミング調整情報が設定されるレジスタ手段とを設ける。このレジスタ手段は、前記不揮発性メモリの特定領域から前記トリミング調整情報の転送を受ける。これにより、ソフトウェアでトリミングを自在に行うことができる。フューズを用いた場合のように一旦プログラムした後に変更できないという制約がない。

【００２１】

前記トリミング調整情報が不揮発性メモリの読み出し電圧にも影響する場合、不揮発性メモリからレジスタ手段へのトリミング調整情報の転送は、不揮発性メモリに対する読み出しに規定よりも長い時間を費やせるとき行うことが、誤動作防止の上で望ましい。すなわち、そのような転送を半導体集積回路のリセット動作に同期して行行えばよい。これにより、トリミング動作の確定までの内部電圧の変動をリセット中に確定でき、リセット動作後には読み出し動作を安定させることができる。前記トリミング調整情報が不揮発性メモリの書き込み及び消去電圧にのみ影響する場合には、トリミング調整情報の転送は、リセット期間中、又はリセット解除後の最初のベクタフェッチ（命令フェッチ）前に行えばよい。

【００２２】

テストモードにおけるトリミング情報の選択という点を考慮すれば、テストモードにおいて前記中央処理装置は前記レジスタ手段をアクセス可能であることが望ましい。

【００２３】

半導体集積回路のウェーハ完成状態が書き込み状態（例えばしきい値電圧の低い論理値“０”の状態）で、半導体集積回路の出荷が消去状態（例えばしきい値電圧の高い論理値“

１”の状態）とされる場合、書き込み状態と消去状態でトリミング状態が両極端になって電圧クランプ手段の出力電圧に大きな差が出ないようにすることが望ましい。そのために、前記トリミング制御手段は、トリミング調整情報の値に従って前記トリミング回路のトリミング位置を決定するものであって、トリミング調整情報が全ビット論理値“１”のときのトリミング位置とトリミング調整情報が全ビット論理値“０”のときのトリミング位置とを隣り合うように選択する選択論理を有し、ウェーハ完成状態において不揮発性メモリが書き込み状態にされたときと、出荷時に不揮発性メモリが消去状態にされたときとの双方において、前記電圧クランプ手段の出力電圧の相違を最小にする。

【００２４】

昇圧手段で規定の昇圧電圧を得るには少なからず時間を要し、その時間はプロセスばらつきの影響も受ける。書き込み及び消去動作は昇圧電圧が規定電圧に達してから開始されなければならない。そのような管理を中央処理装置によるソフトウェアで実現する。即ち、前記不揮発性メモリを制御するためのコントロールレジスタを有し、前記コントロールレジスタは、前記昇圧手段に書き込み用の昇圧動作の開始を指示する書き込みセットアップビットと、昇圧電圧を用いた書き込み動作の開始を指示する書き込みイネーブルビットと、前記昇圧手段に消去用の昇圧動作の開始を指示する消去セットアップビットと、昇圧電圧を用いた消去動作の開始を指示する消去イネーブルビットとを有する。これにより、消去や書き込み動作が指示されてから実際に消去や書き込みを開始するタイミングを管理するタイマなどのハードウェアを削減することができる。

【００２５】

更に、前記コントロールレジスタに、前記昇圧手段による昇圧動作の準備状態を指示する書き換えイネーブルビットを設け、この書き換えイネーブルビットが真値であることを条件に、前記消去セットアップビットと書き込みセットアップビットによる指示を受け付け可能にすることにより、書き込み又は消去動作は前記書き換えイネーブルビットが真値であることを条件に行うことができるので、中央処理装置の暴走などによって不揮発性メモリが不所望に書き換えられる事態の発生を阻止するのに役立つ。

【００２６】

不揮発性メモリに対する不所望な書き換え阻止の信頼性を更の向上させるには、前記コントロールレジスタは外部端子の状態に応じた値が設定されるプロテクトビットを追加し、前記プロテクトビットはそれが真値（所定値）であることを条件に前記昇圧イネーブルビットの真値（所定値）への設定を可能にするインターロックを行うようにするとよい。

【００２７】

消去や書き込みに際して必要な負電圧の印加が内部回路に与える負担を少なくするには、ワード線などを一旦接地電位にしてから印加電圧を切り換えるようにすることが望ましい。例えば、電気的に消去及び書き込み可能なフラッシュメモリと、前記フラッシュメモリをアクセス可能な中央処理装置とを１個の半導体基板に含み、外部電源端子に供給される単一の電源電圧を動作電源とするマイクロコンピュータにおいて、前記フラッシュメモリは、コントロールゲートがワード線に、ドレインがビット線に、そしてソースがソース線に結合された複数個のメモリセルトランジスタを有するメモリセルアレイと、メモリセルトランジスタに対する書き込み及び消去動作用の高電圧を生成する昇圧回路と、アドレス信号に基づいてワード線選択信号を形成するアドレスデコーダと、読み出し動作時のワード線選択レベルを接地電位に対して第1の極性とし、書き込み時のワード線選択レベルを接地電位に対して第2の極性とするワードドライバ回路と、書き込み動作の開始と終了に当たって全ワード線を接地電位に強制し、前記ワードドライバの動作電源を接地電位に切換え、前記アドレスデコーダの選択信号の選択レベルの極性を論理的に反転させ、ワードドライバの動作電源を切り換えるタイミング制御手段とを有する。

【００２８】

【発明の実施の形態】

《マイクロコンピュータチップ》

図３には本発明の一例に係るマイクロコンピュータ（マイクロプロセッサ又はデータ処理

装置）のブロック図が示される。同図に示されるマイクロコンピュータ１は、特に制限されないが、公知の半導体集積回路製造技術によって単結晶シリコンのような1個の半導体基板に形成されている。

【００２９】

同図に示されるマイクロコンピュータ１は、特に制限されないが、中央処理装置（ＣＰＵ）２、フラッシュメモリ（ＦＬＥ０，ＦＬＥ１）３、フラッシュメモリ用のコントロールレジスタ（ＦＬＣ）４、ランダムアクセスメモリ（ＲＡＭ）５、割り込みコントローラ（ＩＮＴＣ）６、乗算器（ＭＵＬＴ）７、タイマ（ＡＴＵ）８、バス及びシステムコントローラ（ＢＳＣ，ＳＹＳ）９、ウォッチドックタイマ（ＷＤＴ）１０、ダイレクトメモリアクセスコントローラ（ＤＭＡ）１１、クロックパルスジェネレータ（ＣＰＧ）１２、シリアルコミュニケーションインタフェース（ＳＣＩ）１３、フェーズロックドループ回路（ＰＬＬ）１４、アナログ・ディジタルコンバータ（Ａ／Ｄ＿０，Ａ／Ｄ＿１）、そして複数個のポート入出力ＰＡ，ＰＢ，ＰＣ，ＰＤ，ＰＥ，ＰＧ，ＰＨ，ＰＭを有する。前記各回路ブロックは図示を省略するアドレスバス、データバス及びコントロールバスなどに結合されている。

【００３０】

特に制限されないが、マイクロコンピュータ１は、組み込み機器制御に利用され、ＣＰＵ２の動作プログラムはフラッシュメモリ３に格納される。ＲＡＭ５はＣＰＵ２のワーク領域もしくはデータの一時記憶領域とされる。

【００３１】

図３のマイクロコンピュータ１は外部電源端子Ｐｖｃｃに供給される単一の外部電源電圧Ｖｃｃを動作電源とする。Ｐｖｓｓは接地端子である。接地端子の供給される電位は接地電圧Ｖｓｓである。前記外部電源電圧Ｖｃｃは、特に制限されないが、所謂３Ｖ及び５Ｖ電源（許容誤差は±１０％）に対応され、２．７Ｖ～５．５Ｖの範囲の電圧が外部電源電圧の許容範囲とされる。

【００３２】

図３においてＲＥＳはマイクロコンピュータのリセット端子（リセット信号）、ＶｐｐＭＯＮ、ＶｓｓＭＯＮは内部昇圧電圧のモニタ端子、Ｐｆｗｅはフラッシュメモリ３に対する書き込みプロテクト端子である。特にＶｐｐＭＯＮは内部正昇圧電圧モニタ用であり、ＶｓｓＭＯＮは内部負昇圧電圧モニタ用である。

【００３３】

《フラッシュメモリ》

図４には前記フラッシュメモリ３の全体的なブロック図とコントロールレジスタ４が示されている。図４では図３においてＦＬＥ０で示される一つのフラッシュメモリ３を代表的に示してある。ＦＬＥ１で示される他方のフラッシュメモリ３も全く同じであるから図示を省略してある。

【００３４】

図４において１７はデータバス、１８はアドレスバスである。特に制限されないが、代表的に示されたＣＰＵ２、ＲＡＭ５及びフラッシュメモリ３はアドレスバス１８及びデータバス１７を共有する。図３に示されるコントロールレジスタ４は、図４において消去ブロック指定レジスタＥＢＲ１、書き換え制御レジスタＦＬＭＣＲ１、基準電圧トリミングレジスタＴＲＭＲ１，ＴＲＭＲ２を含んでいる。各コントロールレジスタＥＢＲ１，ＦＬＭＣＲ１，ＴＲＭＲ１，ＴＲＭＲ２はＣＰＵ２によってアクセス可能にされる。レジスタＴＲＭＲ１，ＴＲＭＲ２に対するＣＰＵアクセスには後述の制限がある。

【００３５】

メモリセルアレイ３０には多数の不揮発性メモリセルが配置されている。不揮発性メモリセルは、特に図示はしないが、ソース、ドレイン、フローティングゲート及びコントロールゲートを持ち、ゲート酸化膜（絶縁膜）は、トンネル現象によるトンネル電流を流し得るように薄くされている。ソースはソース線に、ドレインはビット線に、コントロールゲートはワード線に結合される。Ｘデコーダ（Ｘ－ＤＥＣ）３１はアドレスバス１８からア

ドレスバッファ３２に取り込まれたＸアドレス信号をデコードしてワード線の選択信号を形成する。ワードドライバ（ＷＤＲＶ）３３はワード線選択信号で選択されたワード線を、動作モード（書き込み、消去、読み出し等）に応じた所定の選択レベルに駆動する。前記ビット線はＹセレクタ３４を介して選択されたものが書き込み回路３５又はセンスアンプ３６に接続される。センスアンプ３６はメモリセルから読み出されたデータを検出し、その論理値に応じたデータを出力バッファ３７に与え、出力バッファ３７はデータ出力動作の指示に従ってデータバス１７への出力動作を行う。書き込み回路３５はデータバス１７から入力バッファ３８に与えられた書き込みデータに応じた書き込み電圧を、Ｙセレクタ３４で選択されたビット線に与える。Ｙデコーダ（Ｙ－ＤＥＣ）３１はアドレスバス１８からアドレスバッファ３２に取り込まれたＹアドレス信号をデコードして前記Ｙセレクタ３４の選択信号を形成する。ソース及び基板制御部３９は、消去ブロック指定レジスタＥＢＲ１で指定された消去ブロックのソース線を選択する制御を行うと共に、消去や書き込み動作に応じてメモリセルアレイ３０の基板電圧を制御したりする。

【００３６】

図４において４０はフラッシュメモリの電源回路であり、前記単一外部電源電圧Ｖｃｃに基づいて書き込み及び消去のための高電圧や読み出し系の動作電圧を生成する。この電源回路４０は、基準電圧回路、リード用クランプ電源回路、昇圧用クランプ電源回路、第１の正昇圧回路、第２の正昇圧回路、負昇圧回路、そして上記回路で形成された各種電圧を選択してフラッシュメモリ３の内部回路に供給する電圧供給スイッチ群を有している。

【００３７】

トリミング制御部４２はプロセスばらつき等に対して電源回路の特性を調整するための制御回路である。トリミング制御部４２に対する制御データは前記基準電圧トリミングレジスタＴＲＭＲ１及び昇圧電圧トリミングレジスタＴＲＭＲ２から与えられる。前記電源回路４０で生成される各種動作電源はフラッシュメモリの動作に応じて選択されてソース制御部３９、書き込み回路３５及びワードドライバ３３などに与えられる。この時の電源供給に関する書き込みシーケンスや消去シーケンス等は電源制御部４１が行う。電源制御部４１は書き込みシーケンサ及び消去シーケンサなどを有する。書き込みシーケンスや消去シーケンスのための制御データは前記書き換え制御レジスタＦＬＭＣＲ１から与えられる。４３で示される回路ブロックはフラッシュメモリ３のその他の制御論理である。

【００３８】

図５には前記メモリセルアレイ３０の構成例が示される。特に制限されないが、図示の構造は、ビット線は主ビット線３００と副ビット線３０１によって構成され、不揮発性メモリセル３０２のドレインが副ビット線３０１に結合される。主ビット線３００と副ビット線３０１は選択ＭＯＳトランジスタ３０３によって選択的に導通される。不揮発性メモリセル３０２のソースは一群ごとに所定のソース線３０４に共通接続されている。３０５はワード線、３０６は前記選択ＭＯＳトランジスタのセレクト線である。

【００３９】

図６には消去動作の電圧印加状態の一例が示される。消去の最小単位はソース線を共通とするブロック単位である。消去選択ソース線は－９．５Ｖ、セレクト線３０６は－９．５Ｖ、消去選択ワード線は９．５Ｖ、消去非選択ワード線は０Ｖ（接地電位Ｖｓｓ）とされる。これによって消去対象ブロック３０７の不揮発性メモリセル３０２のフローティングゲートに電子が注入され、当該不揮発性メモリセルのしきい値電圧が高くされる。すなわち、データの消去は、ゲート絶縁膜を介して、ドレイン（ソース）及びチャネル部からフローティングゲートへの電子トンネリング現象を利用して行われる。

【００４０】

図７には書き込み動作の電圧印加状態の一例が示される。書き込みはワード線毎に行われる。書き込み選択ワード線は－９．５Ｖ、書き込み選択ビット線は６．５Ｖ、書き込み非選択ビット線は０Ｖ、書き込み選択セレクト線は９．５Ｖ、ソース線はオープン（フローティング）にされる。これによって書き込み選択とされた不揮発性メモリセル３０２のフローティングゲートから電子が放出され、当該メモリセルのしきい値電圧が低くされる。

すなわち、データの書き込みは、ゲート絶縁膜を介し、フローティングゲートからドレイン（ソース）及びチャネル部への電子トンネリング現象を利用して行われる。

【００４１】

図８にはフラッシュメモリの各部における動作電源がブロック図で示されている。図８において３３Ｚで示されるものは前記セレクト線３０６のドライバ（ＺＤＲＶ）である。このドライバ３３Ｚにはブロック選択に割り当てられたアドレス信号をデコードするＺデコーダ（Ｚ－ＤＥＣ）３１Ｚからのデコード信号が供給される。Ｚドライバ３３ＺはＺデコーダ３１Ｚから出力される選択信号に従ってセレクト線を駆動する。３３Ｙで示されるものはＹセレクトドライバであり、Ｙセレクタ３４のスイッチ制御信号のレベルを決定する。前記図４ではＹセレクトドライバ３３Ｙ、Ｚドライバ３３Ｚ及びＺデコーダ３１Ｚは図示を省略してある。

【００４２】

図９には図８に示される各種動作電源の意味が示されている。それら各種動作電源の電圧と動作との関係は図１０に例示されている。図１１には前記各種動作電源が取り得る電圧を整理して示してある。９．５Ｖ及び６．５Ｖは正昇圧によって生成され、－９．５Ｖは負昇圧によって生成される。

【００４３】

《電源回路》

図１には前記電源回路４０の主要部が概略的に示されている。電源回路４０は、電源電圧依存性の小さな基準電圧を用いて前記外部電源電圧Ｖｃｃ（２．７Ｖ～５．５Ｖ）よりレベルの低い第１の電圧Ｖｆｉｘ（２．５Ｖ）に出力電圧をクランプする電圧クランプ手段４４を有し、前記電圧Ｖｆｉｘ（クランプ電圧Ｖｆｉｘとも称する）を動作電源とする昇圧回路を有する。昇圧回路は、３個のチャージポンプ回路４５，４６，４７とそれらに共通のリングオシレータ４８によって構成される。チャージポンプ回路４５とリングオシレータ４８は第１の正昇圧回路を構成し、クランプ電圧Ｖｆｉｘに基づいて９．５Ｖの正昇圧電圧を形成する。前記チャージポンプ回路４６とリングオシレータ４８は第２の正昇圧回路を構成し、クランプ電圧Ｖｆｉｘに基づいて６．５Ｖの正昇圧電圧を形成する。前記チャージポンプ回路４７とリングオシレータ４８は負昇圧回路を構成し、クランプ電圧Ｖｆｉｘに基づいて－９．５Ｖの負昇圧電圧を形成する。

【００４４】

前記電圧クランプ手段４４は電源電圧依存性の小さなクランプ電圧Ｖｆｉｘを形成し、しかも、クランプ電圧Ｖｆｉｘは、２．７Ｖ～５．５Ｖの許容範囲内で外部から供給される単一電源電圧Ｖｃｃよりも低い電圧（２．５Ｖ）にクランプされるから、このクランプ電圧Ｖｆｉｘで動作される正及び負の昇圧回路が生成する昇圧電圧、即ち、書き込み及び消去電圧は、外部電源電圧Ｖｃｃに依存しない安定な電圧とされる。比較例として図２に示した構成は、リングオシレータ及びチャージポンプ回路の動作電源は外部電源電圧Ｖｃｃとされるから、昇圧電圧は外部電源電圧Ｖｃｃに存して変動される。

【００４５】

《クランプ電源》

図１２には前記電圧クランプ手段４４の一例が示される。この電圧クランプ手段４４は、基準電圧発生回路４００、第１の定電圧発生回路４０１、第２の定電圧発生回路（昇圧用クランプ電源回路）４０２及び第３の低電圧発生回路（リード用クランプ電源回路）４０３から成る。

【００４６】

基準電圧発生回路４００は、シリコンのバンドギャップなどを利用して、電源電圧依存性及び温度依存性の小さな基準電圧Ｖｒｅｆを発生する回路である。基準電圧発生回路４００の動作電源はＶｃｃである。このような基準電圧発生回路４００は公知であるのでその詳細な回路構成については図示を省略する。この例において、前記基準電圧Ｖｒｅｆは、１．４Ｖ±０．３Ｖとされる。

【００４７】

第１の定電圧発生回路４０１は、前記基準電圧Ｖｒｅｆを参照電圧として出力回路をクランプ電圧Ｖｒｅｆａに負帰還制御する回路である。具体的には、ｎチャンネル型ＭＯＳトランジスタＱ１と帰還抵抗回路（ラダー抵抗回路）ＦＢＲ１とによって構成されたソースフォロア回路を出力回路として備えると共に、ＣＭＯＳオペアンプＯＰ１を持ち、オペアンプＯＰ１の非反転入力端子（＋）に前記基準電圧Ｖｒｅｆを受け、オペアンプＯＰ１の反転入力端子（－）に出力回路からの帰還信号を受け、オペアンプＯＰ１の出力によって前記ＭＯＳトランジスタＱ１のコンダクタンスを制御する。クランプ電圧Ｖｒｅｆａは、帰還抵抗回路ＦＢＲ１の分圧比と基準電圧Ｖｒｅｆとによって決まる一定の電圧にされる。このクランプ電圧Ｖｒｅｆａは、論理的には電源電圧Ｖｃｃに依存しない。この例に従えば、クランプ電圧Ｖｒｅｆａは２．５Ｖとなるように、帰還抵抗回路ＦＢＲ１を用いて調整されることになる。

【００４８】

第１の定電圧発生回路４０１の更に詳細な一例は図１６及び図１７に示されている。図１６に示されるように帰還抵抗回路ＦＢＲ１の分圧比はスイッチ４１０によって選択可能にされている。即ち、帰還抵抗回路ＦＢＲ１は抵抗分圧比を調整可能なトリミング抵抗回路を構成する。図１７においてＢＩＡＳは差動増幅回路及び出力回路の電流源トランジスタをバイアスする信号であり、図示しないバイアス回路から出力される。ＦＳＴＢＹＷはスタンバイ信号とされ、マイクロコンピュータ１の低消費電力モードにおける内部ノードの状態を決定し、且つ無駄な電流貫通経路をカットオフ制御する。

【００４９】

第２の定電圧発生回路４０２は、前記クランプ電圧Ｖｒｅｆａを参照電圧として出力回路をクランプ電圧ＶｆｉｘＢに負帰還制御する回路である。具体的には、ｎチャンネル型ＭＯＳトランジスタＱ２と帰還抵抗回路ＦＢＲ２とによって構成されたソースフォロア回路を出力回路として備えると共に、ＣＭＯＳオペアンプＯＰ２を持ち、オペアンプＯＰ２の非反転入力端子（＋）に前記クランプ電圧Ｖｒｅｆａを受け、オペアンプＯＰ２の反転入力端子（－）に出力回路からの帰還信号を受け、オペアンプＯＰ２の出力によって前記ＭＯＳトランジスタＱ２のコンダクタンスを制御する。クランプ電圧ＶｆｉｘＢは、帰還抵抗回路ＦＢＲ２の分圧比とクランプ電圧Ｖｒｅｆａとによって決まる一定の電圧にされる。このクランプ電圧Ｖｒｅｆａは、論理的には電源電圧Ｖｃｃに依存しない。この例に従えば、クランプ電圧ＶｆｉｘＢは２．５Ｖとなるように、帰還抵抗回路ＦＢＲ２の分圧比が決定されている。図１２のクランプ電圧ＶｆｉｘＢは図１に示されるＶｆｉｘに対応される。

【００５０】

第３の定電圧発生回路４０３は、前記クランプ電圧Ｖｒｅｆａを参照電圧として出力回路をクランプ電圧ＶｆｉｘＡに負帰還制御する回路である。具体的には、ｎチャンネル型ＭＯＳトランジスタＱ３と帰還抵抗回路ＦＢＲ３とによって構成されたソースフォロア回路を出力回路として備えると共に、オペアンプＯＰ２を持ち、オペアンプＯＰ２の非反転入力端子（＋）に前記クランプ電圧Ｖｒｅｆａを受け、オペアンプＯＰ２の反転入力端子（－）に出力回路からの帰還信号を受け、オペアンプＯＰ２の出力によって前記ＭＯＳトランジスタＱ２のコンダクタンスを制御する。帰還信号は２．５Ｖ出力用のｎチャンネル型ＭＯＳトランジスタＱ４又は４．０Ｖ出力用のｎチャンネル型ＭＯＳトランジスタＱ５を通して帰還される。クランプ電圧ＶｆｉｘＡは、帰還抵抗回路ＦＢＲ２の分圧比とクランプ電圧Ｖｒｅｆａとによって決まるほぼ一定の電圧にされる。このクランプ電圧Ｖｒｅｆａは、論理的には電源電圧Ｖｃｃに依存しない。この例に従えば、トランジスタＱ４を選択したときクランプ電圧ＶｆｉｘＡが２．５Ｖとなるように、また、トランジスタＱ５を選択したときクランプ電圧ＶｆｉｘＡが４．０Ｖとなるように帰還抵抗回路ＦＢＲ２の分圧比が決定されている。クランプ電圧ＶｆｉｘＡはリード系の動作電源とされる。クランプ電圧ＶｆｉｘＡを２．５Ｖにするか４．０Ｖにするかは動作モードによって選択され、例えば、読み出し動作ではワード線ディスターブを軽減する観点からリード時のワード線選択レベルとして、ＶｆｉｘＡ＝４．０Ｖを用いる。このときセンスアンプ電源にはＶｃ

ｃを用いる。一方、消去ベリファイや書き込みベリファイにおいては書き込みや消去レベルが電源電圧Ｖｃｃに依存しないように、Ｙセレクタのドライバやセンスアンプの電源にはＶｆｉｘＡ＝２．５Ｖを用いる。

【００５１】

クランプ電圧ＶｆｉｘＢは書き込み及び消去に利用される高電圧を昇圧するための動作電源とされ、その他のリード系動作の電源とされるクランプ電圧ＶｆｉｘＡとは分離されている。書き込み消去には比較的大きな電流を要し、それを供給するための昇圧回路には比較的大きな電流が流れるから、昇圧系とその他の電源系を別にすることによって、昇圧動作による電源電圧の変動がその他の回路の与える影響を最小限に抑えることが可能になる。

【００５２】

《昇圧回路》

図１３には第１及び第２の正昇圧回路の一例としての前記チャージポンプ４５，４６及びそれらの周辺回路が示される。特に図示はしないが、前記チャージポンプ回路４５，４６は夫々ＭＯＳトランジスタと容量素子が結合された複数個の昇圧ノードを有し、前記ＭＯＳトランジスタと容量とによるチャージポンプ作用で高電圧を生成する。クロックドライバ４２０，４２１はチャージポンプ回路４５，４６にチャージポンプ動作を行わせるための複数相の駆動信号を生成する。前記クロックドライバ４２０、４２１の動作電源は前記クランプ電圧ＶｆｉｘＢとされる。前記駆動信号は、位相をずらして前記複数個のＭＯＳトランジスタをスイッチ制御すると共に容量の一方の電極に順次規則的な電圧変化を与え、これにより、容量の一方の電極に順次規則的に与えられる変化に応じて変化される他方の電極の電圧がＭＯＳトランジスタを介して順次後段に伝達される。前記駆動信号は前記リングオシレータ４８から出力されるクロック信号ＣＬＫに同期して生成される。チャージポンプ回路４６，４５によって生成される昇圧電圧ＶＰＰ６，ＶＰＰ９を規定の電圧に維持するために、比較器４２２，４２３が設けられている。比較器４２２，４２３には、昇圧電圧ＶＰＰ６，ＶＰＰ９を抵抗回路４２８，４２９で抵抗分圧した電圧ＶＣＭＰ６，ＶＣＭＰ９が供給され、前記クランプ電圧Ｖｒｅｆａと比較される。電圧ＶＣＭＰ６，ＶＣＭＰ９は昇圧電圧が規定の電圧（ＶＰＰ６＝６．５Ｖ、ＶＰＰ９＝９．５Ｖ）になったとき電圧Ｖｒｅｆａ以上にされる。比較器４２２，４２３はその状態を検出することによって検出信号４２４，４２５をローレベルからハイレベルに反転する。検出信号４２４，４２５は論理和ゲート４２６，４２７によりクロック信号ＣＬＫと論理和が採られて、前記クロックドライバ４２０，４２１に供給される。したがって、昇圧電圧ＶＰＰ６，ＶＰＰ９が規定の電圧に達すると、論理和ゲート４２６，４２７の出力がハイレベルに固定され、その間、チャージポンプ回路４５，４６による昇圧動作が一時停止される。尚、４３０，４３１は昇圧動作の完了によってカットオフされるスイッチ回路である。

【００５３】

図１４には負正昇圧回路の一例としてのチャージポンプ回路４７及びその周辺回路が示される。特に図示はしないが、前記チャージポンプ回路４７は夫々ＭＯＳトランジスタと容量素子が結合された複数個の昇圧ノードを有し、前記ＭＯＳトランジスタと容量とによるチャージポンプ作用で負の高電圧を生成する。クロックドライバ４３４はチャージポンプ回路４７にチャージポンプ動作を行わせるための複数相の駆動信号を生成する。前記クロックドライバ４３４の動作電源は前記クランプ電圧ＶｆｉｘＢとされる。前記駆動信号は、位相をずらして前記複数個のＭＯＳトランジスタをスイッチ制御すると共に容量の一方の電極に順次規則的な電圧変化を与え、これにより、容量の一方の電極に順次規則的に与えられる変化に応じて変化される他方の電極の電圧がＭＯＳトランジスタを介して順次後段に伝達される。前記駆動信号は図１３に示される前記リングオシレータ４８から出力されるクロック信号ＣＬＫに同期して生成される。チャージポンプ回路４７によって生成される負の昇圧電圧ＶＰＰＭＮＳ９を規定の電圧に維持するために、比較器４３５が設けられている。比較器４３５には、昇圧電圧ＶＰＰＭＮＳ９を抵抗回路４３６で抵抗分圧した電圧ＶＰＣＭＰ９が供給され、接地電位Ｖｓｓと比較される。電圧ＶＰＣＭＰ９は昇圧電

圧ＶＰＰＮＭＳが規定の電圧（ＶＰＰＭＮＳ９＝－９．５Ｖ）になったとき接地電圧Ｖｓｓよりも低くされる。比較器４３５はその状態を検出することによって検出信号４３７をローレベルからハイレベルに反転する。検出信号４３７は論理和ゲート４３８によりクロック信号ＣＬＫと論理和が採られて、前記クロックドライバ４３４に供給される。したがって、昇圧電圧ＶＰＰＭＮＳ９が規定の電圧に達すると、論理和ゲート４３８の出力がハイレベルに固定され、その間、チャージポンプ回路４７による昇圧動作が一時停止される。尚、４３９は昇圧動作の完了によってカットオフされるスイッチ回路である。

【００５４】

前記チャージポンプ回路４７から出力される負の昇圧電圧ＶＰＰＭＮＳ９は前記モニタ端子ＶｓｓＭＯＮから観測できるようになっている。４４０で示される回路はテストモードにおいてオン動作されるスイッチ回路である。前記正の昇圧電圧ＶＰＰ６，ＶＰＰ９は図１５に例示されるようにモニタ端子ＶＣＰＰＭＯＮから選択的に観測することができる。４４１，４４２は正の昇圧電圧ＶＰＰ６，ＶＰＰ９をモニタ端子ＶＣＰＰＭＯＮに伝達するスイッチ回路である。ＭＯＮＥはハイレベルによってモニタ端子ＶｐｐＭＯＮによる昇圧電圧のモニタを指示するイネーブル信号、ＭＯＮＳはＶＰＰ６またはＶＰＰ９の何れをモニタするかを指示する信号であり、前記スイッチ回路４４１，４４２はテストモードにおける信号ＭＯＮＥ，ＭＯＮＳの状態にしたがってオン動作が排他的に行われ、これによって所望の昇圧電圧ＶＰＰ６又はＶＰＰ９を観測できる。

【００５５】

図１３において、ＯＳＥで示されるものはリングオシレータ４８に対する発振動作の開始指示信号である。ＶＰＥ１で示される信号は、クロックドライバ４２１及びチャージポンプ回路４６に対する昇圧動作の開始を指示する信号である。ＶＰＥ２で示されるものは、クロックドライバ４２０及びチャージポンプ回路４５に対する昇圧動作の開始を指示する信号である。図１４においてＶＰＥ３で示される信号は、クロックドライバ４３４及びチャージポンプ回路４７に対する昇圧動作の開始を指示する信号である。

【００５６】

前記３種類のクロックドライバ４２０、４２１及び４３４はその動作電源が共通のクランプ電源ＶｆｉｘＢとされ、また、一つのリングオシレータ４８をクロック源として利用する。このとき、図１３に例示されるように、チャージポンプ回路４６のクロックドライバ４２１には遅延回路４４４を介してクロック信号ＣＬＫが供給される。チャージポンプ回路４５のクロックドライバ４２０には直列２段の遅延回路４４４、４４５を介してクロック信号ＣＬＫが供給される。一方、図１４に例示されるようにチャージポンプ回路４７のクロックドライバ４３４には遅延回路介せずにクロック信号ＣＬＫが供給される。したがって、図１８に例示されるようにリングオシレータ４８から出力されるクロック信号ＣＬＫは順次位相がずらされて、－９．５Ｖ昇圧用クロック信号、＋６．５Ｖ用クロック信号及び＋９．５Ｖ用クロック信号としてクロックドライバ４３４、４２１、４２０に供給される。クロックドライバ４３４、４２１、４２０で形成されるチャージポンプ回路４７、４６、４５の駆動信号は前記夫々位相がずれたクロック信号に同期される。すなわち、クロックドライバ４３４、４２１、４２０は前記クロック信号の変化に同期してトランジスタがスイッチ動作され、回路に流れる電流はそのスイッチ動作に同期して変化される。したがって、クロックドライバ４３４、４２１、４２０に供給されるクロック信号の位相がずれているから、クロックドライバ４３４、４２１、４２０全体で生ずる瞬間的な電流変化は小さくされ、昇圧用クランプ電源回路４０２のような電源回路の負担を小さくすることができる。このことは、昇圧動作の安定化、更には書き込み及び消去動作の安定化に寄与する。

【００５７】

《チャージポンプ回路の基板バイアス電圧変更》

図１９には前記負電圧昇圧用のチャージポンプ回路４７及びクロックドライバ４３４の一例が示される。図１９にその一部のみ示されたチャージポンプ回路４７においてＮＰで示されるものは昇圧ノードである。隣接する昇圧ノードの間には電荷転送用のｐチャンネル

型ＭＯＳトランジスタＱ１０が配置されている。また、各昇圧ノードＮＰにはチャージポンプ用の容量素子Ｃ１の一方の電極が結合されている。前記ＭＯＳトランジスタＱ１０のゲートには別の容量素子Ｃ２の一方の電極が結合されている。ＭＯＳトランジスタＱ１０のゲートとその前段の昇圧ノードＮＰとの間にはＰチャンネル型のトランスファＭＯＳトランジスタＱ１１，Ｑ１２が並列配置され、ＭＯＳトランジスタＱ１１のゲートは昇圧ノードＮＰに、ＭＯＳトランジスタＱ１２のゲートはＭＯＳトランジスタＱ１０のゲートに結合されている。ＭＯＳトランジスタＱ１３，Ｑ１４は昇圧ノードＮＰを初期化するためのトランジスタである。容量素子Ｃ１の容量値はＣ２の容量値よりも大きくされている。このように、チャージポンプ回路４７は、前記ＭＯＳトランジスタＱ１０～Ｑ１３と容量素子Ｃ１，Ｃ２を一組とする単位回路が複数個直列接続されて構成されている。

【００５８】

クロックドライバ４３４は、クロック信号ＣＬＫを順次遅延させて位相の異なる３相のクロック信号φａ～φｃを生成し、その３相のクロック信号φａ～φｃに基づいて４本の駆動信号ＤＳ１～ＤＳ４を出力する。図２０には図１９に示されたクロックドライバ４３４の論理構成によって生成されるクロック信号φａ～φｃ及び駆動信号ＤＳ１～ＤＳ４の波形が示される。

【００５９】

前記駆動信号ＤＳ１，ＤＳ２は前記容量素子Ｃ１の他方の電極に交互に供給され、前記駆動信号ＤＳ３，ＤＳ４は前記容量素子Ｃ２の他方の電極に交互に供給される。例えばＤＳ４のハイレベル（ｔ１）によってＭＯＳトランジスタＱ１０がオフされ、ＤＳ２のハイレベル（ｔ１）によって昇圧ノードのレベルが持ち上げられた状態において、その前段の昇圧ノードＮＰがＤＳ１のローレベル（ｔ２）によって低下されると、トランジスタＱ１１を介してその隣のＭＯＳトランジスタＱ１０のゲートもレベル低下され、その直後にＤＳ３がローレベル（ｔ３）に変化されることによって当該昇圧ノードＮＰのレベルが更に低下される。低下されたレベルはＭＯＳトランジスタＱ１０を介して次段の昇圧ノードＮＰに移される。このようなチャージポンプ動作によって電圧ＶＰＰＭＮＳ９は徐々に負電圧に昇圧される。

【００６０】

尚、図１９に示されるノアゲート４５０は図１４で説明したオアゲート４３８の機能を代替する。

【００６１】

前記駆動信号Ｄ１～Ｄ４は接地電位Ｖｓｓとクランプ電圧ＶｆｉｘＢとの間で変化される。昇圧動作の開始時点においてチャージポンプ回路４７のＭＯＳトランジスタＱ１０，Ｑ１１，Ｑ１２のゲートにはクランプ電圧ＶｆｉｘＢが印加される。昇圧動作が進むに従って当該ゲート電圧は低下される。したがって、昇圧動作の開始時点において、それらＭＯＳトランジスタＱ１０，Ｑ１１，Ｑ１２に共通の基板バイアス電圧は少なくともクランプ電圧ＶｆｉｘＢにされなければ、当該トランジスタのｐｎ接合部分が不所望に順方向バイアス状態にされて誤動作を生ずる虞がある。

【００６２】

この例では、前記ＭＯＳトランジスタＱ１０，Ｑ１１，Ｑ１２はそれらに共通のウェル領域に形成されている。それらＭＯＳトランジスタＱ１０，Ｑ１１，Ｑ１２に共通の基板バイアス電圧（ウェルバイアス電圧）は、昇圧動作の開始時点でクランプ電圧ＶｆｉｘＢにされ、途中で接地電圧Ｖｓｓに切り換える。

【００６３】

図２１にはチャージポンプ回路の前記基板バイアス電圧を切り換えるための構成が示されている。図２１において４６０で示されるものは基板バイアス電圧をクランプ電圧ＶｆｉｘＢ又は接地電圧Ｖｓｓに切り換えるスイッチ手段である。このスイッチ手段４６０のスイッチ状態は、特に制限されないが、セット・リセット型のフリップフロップ（ＳＲ－ＦＦ）４６１の出力端子Ｑの状態によって決定される。このフリップフロップ４６１のリセット端子Ｒには昇圧イネーブル信号ＶＰＥ３の反転信号が供給され、昇圧動作が行われな

い状態においてリセット状態にされる。このリセット状態においてスイッチ手段４６０はクランプ電圧ＶｆｉｘＢを基板バイアス電圧４６２として選択する。前記フリップフロップ４６１のセット端子Ｓは比較器４６３の出力信号４６４を受ける。この比較器４６３は、前記抵抗回路４３６の分圧点ＮＤ１の電位が接地電位Ｖｓｓ以下であるかを監視する。分圧点ＮＤ１は昇圧電圧ＶＰＰＭＮＳ９が接地電位Ｖｓｓよりも低い所定の電圧になったとき、接地電位Ｖｓｓにされる。したがって、昇圧電圧Ｖｓｓが接地電位Ｖｓｓよりも低い所定の電圧になったとき、フリップフロップ４６１はセット状態にされ、これによってスイッチ手段４６０は基板バイアス電圧４６２として接地電圧Ｖｓｓを選択する。尚、図１４において前記スイッチ手段４６０はクランプ電圧ＶｆｉｘＢと接地電圧Ｖｓｓを動作電源とするインバータによって構成されている。

【００６４】

負電圧昇圧の途中で基板バイアス電圧４６２をクランプ電圧ＶｆｉｘＢよりもレベルの低い接地電圧Ｖｓｓに切り換えると、所謂基板バイアス効果によってＭＯＳトランジスタＱ１０，Ｑ１１，Ｑ１２のしきい値電圧が小さくなり、これによってチャージポンプを行うＭＯＳトランジスタＱ１０，Ｑ１１，Ｑ１２を介して電荷が移動され易くなる。したがって、動作電源（ＶｆｉｘＢ＝２．５Ｖ）に対して目的とする昇圧電圧（ＶＰＰＭＮＳ９＝－９．５Ｖ）のレベル差が最も大きい負電圧昇圧動作の効率を向上させることができ、規定の負昇圧電圧を得るまでの時間を短縮することができる。

【００６５】

例えば図２２には負電圧昇圧動作における昇圧電圧ＶＰＰＭＮＳ９遷移状態が示される。同図において（ａ）は前記基板バイアス電圧を切り換えずにクランプ電圧ＶｆｉｘＢに固定したときの昇圧電圧ＶＰＰＭＮＳ９の遷移状態を示す。（ｂ）は基板バイアス電圧を途中で切り換えたときの遷移状態を示す。（ａ）に比べて（ｂ）の場合には負電圧昇圧動作効率が向上され、規定の負昇圧電圧を得るまでの時間が短縮されている。

【００６６】

前記基板バイアス電圧が一旦接地電位Ｖｓｓに切り換えられると、その後で比較器４６３の出力が反転されてもフリップフロップ４６１はセット状態を維持する。すなわち、フリップフロップ４６１は、基板バイアス電圧の切換え後に昇圧電圧ＶＰＰＭＮＳ９が上下に振れても基板バイアス電圧を接地電位Ｖｓｓに維持するヒステリシス特性を持つということができる。このようなヒステリシス特性は、ＳＲフリップフロップ４６１に代えて、比較器４６３にヒステリシスコンパレータを用いても実現できる。

【００６７】

図２２に示されるように、チャージポンプによる昇圧途上の昇圧電圧は、チャージポンプ用のＭＯＳトランジスタＱ１０，Ｑ１１，Ｑ１２のスイッチ動作に同期して上下に振れる。前記フリップフロップ４６１に代表されるヒステリシス特性を有する回路の出力信号によってチャージポンプ回路４７の基板バイアス電圧の切換えを行うことにより、負昇圧電圧のリプル成分の影響で一旦変更した基板バイアス電圧が元の基板バイアスへ再び変更される様な基板バイアスの不所望な振動を防止することができる。

【００６８】

《電源回路のソフトウェアトリミング》

図１２及び図１６に示される前記定電圧発生回路４０１の帰還抵抗回路ＦＢＲ１、図１４に示される抵抗回路４３６は、トリミング可能な抵抗回路（トリミング抵抗回路）とされる。その構成は、図１６で説明したように、多数のスイッチ４１０の中から一つのスイッチをオン動作させて、出力ノードとして採用する分圧点を決定する、所謂ラダー抵抗回路のような回路である。帰還抵抗回路ＦＢＲ１においては、スイッチ４１０で選択された出力ノードにおける抵抗分圧比に応じて帰還抵抗値が決定される。同様に、抵抗回路４３６においては、スイッチ４１０で選択されたノード（ＮＤ１）における抵抗分圧比に応じた電圧が比較器４６３に与えられる。前記帰還抵抗回路ＦＢＲ１をトリミング可能にするのは、プロセスばらつきに対し電源回路４０の大元の電圧Ｖｒｅｆａを所要のレベルに合わせて、クランプ電圧ＶｆｉｘＡ，ＶｆｉｘＢを望ましい電圧にするという意義を有する。

また、負昇圧回路側の抵抗回路４３６をトリミング可能にするのは、最も昇圧幅の大きな負昇圧電圧ＶＰＰＭＮＳ９に関する昇圧レベル制御とウェルバイアス電圧切換えポイントを特に調整可能にして、負昇圧動作を最適化する意義を有する。尚、正昇圧回路側の抵抗回路４２８，４２９に対してもトリミング可能にしてもよい。

【００６９】

前記抵抗回路（トリミング抵抗回路とも称する）ＦＢＲ１，４３６の出力ノードにおける抵抗分圧比を決定するためのスイッチ４１０の選択信号は図２３に例示されるようにセレクタ４７０によって生成される。図２３の例に従えば、セレクタ４７０はトリミング情報をデコードし、１本のスイッチ選択信号を選択レベルにする。セレクタ４７０はトリミング抵抗回路ＦＢＲ１とトリミング抵抗回路４３６に個別化されており、図４に示されるトリミング制御部４２に含まれている。

【００７０】

抵抗回路ＦＢＲ１のトリミング情報は基準電圧トリミングレジスタＴＲＭＲ１から抵抗回路ＦＢＲ１のセレクタ４７０に供給され、抵抗回路４３６のトリミング情報は昇圧電圧トリミングレジスタＴＲＭＲ２から抵抗回路４３６のセレクタ４７０に供給される。図２５に例示されるように、基準電圧トリミングレジスタＴＲＭＲ１に設定されるトリミング情報（基準電圧トリミング情報）はＶＲ０～ＶＲ４，ＴＥＶＲとされる。昇圧電圧トリミングレジスタＴＲＭＲ２に設定されるトリミング情報（昇圧電圧トリミング情報）はＶＭ０～ＶＭ４，ＴＥＶＭとされる。

【００７１】

図２３に例示されるようにフラッシュメモリ３のメモリセルアレイ３０には前記基準電圧トリミング情報と昇圧電圧トリミング情報を格納するための専用の記憶領域３００が割り当てられている。この例に従えば、領域３００の情報は、マイクロコンピュータ１のリセット動作に同期して前記レジスタＴＲＭＲ１，ＴＲＭＲ２に転送される。この転送制御は、特に制限されないが、図２４に示されるように、ハードウェアによって自動的に行われる。即ち、リセット信号ＲＳＴがアサートされると、フラッシュメモリ３の制御部４３は前記領域３００のデータをデータバス１７に読み出すために、アドレスバッファ３２、センスアンプ３６、出力バッファ３７などを制御して、自動的に前記領域３００のデータを外部に読み出させる。一方、前記レジスタＴＲＭＲ１，ＴＲＭ２はリセット信号ＲＳＴのアサートに同期してデータバス１７からデータを入力可能に制御される。これによって、領域３００のデータがレジスタＴＲＭＲ１，ＴＲＭＲ２に自動的に転送される。

【００７２】

前記基準電圧トリミング情報と昇圧電圧トリミング情報は、プロセスばらつきなどを吸収するためにデバイステスト時に決定される。図２４に基づいて説明したデータ転送はマイクロコンピュータ１にテストモードが設定される場合にも行われる。デバイステストの初期の段階では、ウェーハ完成状態においてフラッシュメモリ３が書き込み状態（領域３００のトリミング情報は全ビット論理値“０”の状態）であるから、レジスタＴＲＭＲ１，ＴＲＭＲ２のトリミング情報は全ビット論理値“０”にされている。テストモードにおいて前記レジスタＴＲＭＲ１，ＴＲＭＲ２はＣＰＵ２によってリード・ライト可能にされる。デバイステスト時には、前記モニタ端子ＶｐｐＭＯＮ，ＶｓｓＭＯＮから正及び負の昇圧電圧をモニタして、それが規定の電圧になるように基準電圧トリミング情報及び昇圧電圧トリミング情報を決定する。このように決定された基準電圧トリミング情報及び昇圧電圧トリミング情報は、所定のテストモード下でＣＰＵ２により前記フラッシュメモリ３の所定領域３００に格納される。その後、マイクロコンピュータ１がリセットされる毎に、前記最適に決定された基準電圧トリミング情報及び昇圧電圧トリミング情報にしたがって電源回路４０が制御される。前記所定領域３００は通常動作モード（もしくはユーザモード）ではアクセスが禁止される。所定のテストモードを再度設定すれば、前記領域をアクセスして基準電圧トリミング情報及び昇圧電圧トリミング情報を再設定することも可能である。半導体メーカによるデバイステストはウェーハ段階のテストのほかに出荷時のテストもある。各テスト段階で基準電圧トリミング情報及び昇圧電圧トリミング情報を設定す

ることも可能である。出荷段階のテストを経て最後に基準電圧トリミング情報及び昇圧電圧トリミング情報を前記所定領域３００に書き込むことが想定される。

【００７３】

この例に従えば、マイクロコンピュータのウェーハ完成状態においてフラッシュメモリ３は書き込み状態（例えばしきい値電圧の低い論理値“０”の状態）とされる。マイクロコンピュータの出荷時においてフラッシュメモリは消去状態（例えばしきい値電圧の高い論理値“１”の状態）にされる。書き込み状態と消去状態でトリミング状態が両極端になって電源回路の出力電圧に大きな差が出ないようにすることが望ましい。例えば、出荷段階のテストを経て最後に基準電圧トリミング情報及び昇圧電圧トリミング情報を前記所定領域３００に書き込む場合、ウェーハ段階のテストに際して初期的に得られる昇圧電圧と、出荷時のテストに際して初期的に得られる昇圧電圧との間に無視し得ない大きな差がある場合にはテストもしくは検査効率が低下することが考えられる。また、トリミング不要なマイクロコンピュータチップの場合には消去状態のまま出荷できる。

【００７４】

そのために、前記セレクタ４７０は、図２３に例示されるように、トリミング調整情報が全ビット論理値“１”のときのトリミング位置とトリミング調整情報が全ビット論理値“０”のときのトリミング位置とを隣り合うように選択する選択論理を有する。これにより、ウェーハ完成状態においてフラッシュメモリ３が書き込み状態にされたときと、出荷時にフラッシュメモリが消去状態にされたときとの双方において、前記電源回路の出力電圧の相違を最小にすることができる。例えば図２３の例に従えば、ウェーハ完成状態においてフラッシュメモリ３が書き込み状態（領域３００のトリミング情報は全ビット論理値“０”の状態）のとき、“０００”で示されトリミング位置でスイッチが選択され、マイクロコンピュータの出荷時においてフラッシュメモリが消去状態（領域３００のトリミング情報は全ビット論理値“１”の状態）のとき、“１１１”で示されトリミング位置でスイッチが選択される。

【００７５】

図１２から明らかなように、前記トリミング調整情報はフラッシュメモリ３の読み出し電圧にも影響する。即ち、トリミング対象とされる帰還抵抗回路ＦＢＲ１を含む定電圧回路４０１が出力するクランプ電圧Ｖｒｅｆａは、読み出し電源を生成するリード用クランプ電源回路４０３の参照電圧とされる。このとき、フラッシュメモリ３からレジスタＴＲＭＲ１へのトリミング調整情報の転送は、フラッシュメモリ３に対する読み出し動作の規定アクセス時間よりも長い時間を費やして読み出しアクセスを行なえるとき行うことが、誤動作を防止する上で望ましい。なぜなら、読み出し電圧が多少規定された値より低い場合でも、読み出し時間を長くすれば、正確にメモリアレイからデータを読み出せるからである。この点においてマイクロコンピュータ１は、トリミング調整情報の初期的な転送をリセット動作に同期して行うようになっている。したがって、トリミング動作の確定までの内部電圧の変動をリセット中に確定でき、リセット動作後には読み出し動作を安定させることができる。前記トリミング調整情報がフラッシュメモリ３の書き込み及び消去電圧にのみ影響する場合には、トリミング調整情報の転送は、リセット期間中、又はリセット解除後の最初のベクタフェッチ（命令フェッチ）前に行えばよい。

【００７６】

《フラッシュメモリに対する書き換えシーケンス》

前記フラッシュメモリ３の書き換え制御レジスタＦＬＭＣＲ１及び消去ブロック指定レジスタＥＢＲ１の詳細な一例は図２５に示されている。消去ブロック指定レジスタＥＢＲ１のビットＥＢ０～ＥＢ７は消去ブロック指定データである。

【００７７】

書き換え制御レジスタＦＬＭＣＲ１はＰ，Ｅ，ＰＶ，ＥＶ，ＰＳＵ，ＥＳＵ，ＳＷＥ，ＦＷＥの各制御ビットを有し、それらの真値は特に制限されないが、論理値“１”とされる。

【００７８】

書き換えイネーブルビットＳＷＥは前記電源回路４０による昇圧動作の準備状態を指示する。例えば、書き換えイネーブルビットＳＷＥが論理値“１”にされると、図１３に示される制御信号ＯＳＥがアサートされ、これによってリングオシレータ４８が発振動作を開始し、クロック信号ＣＬＫを出力する。さらに、昇圧用クランプ電源ＶｆｉｘＢが活性化する。

【００７９】

書き込みセットアップビットＰＳＵは前記電源回路４０に書き込み用の昇圧動作の開始を指示する。この例に従えば、書き込みセットアップビットＰＳＵが論理値“１”にされると、図１３に示される制御信号ＶＰＥ１，ＶＰＥ２、ＶＰＥ３がアサートされ、クロックドライバ４２０，４２１、４３４とチャージポンプ回路４５，４６，４７の動作が開始され、電圧ＶＰＰ６，ＶＰＰ９、ＶＰＰＭＮＳ９は＋６．５Ｖ，＋９．５Ｖ，－９．５Ｖへの昇圧動作が開始される。実質的に昇圧動作が行われるためにはリングオシレータ４８からのクロック信号ＣＬＫの供給が前提である。

【００８０】

書き込みイネーブルビットＰは、昇圧電圧ＶＰＰ６，ＶＰＰ９、ＶＰＰＭＮＳ９を用いた書き込み動作の開始を指示する。

【００８１】

消去セットアップビットＥＳＵは前記電源回路４０に消去用の昇圧動作の開始を指示する。この例に従えば、消去セットアップビットＥＳＵが論理値“１”にされると、図１３に示される制御信号ＶＰＥ２と図１４に示される制御信号ＶＰＥ３がアサートされ、クロックドライバ４２０，４３４とチャージポンプ回路４５，４７の動作が開始され、電圧ＶＰＰ９，ＶＰＰＭＮＳ９は＋９．５Ｖ，－９．５Ｖへの昇圧動作が開始される。実質的に昇圧動作が行われるためにはリングオシレータ４８からのクロック信号ＣＬＫの供給が前提である。

【００８２】

消去イネーブルビットＥは、昇圧電圧ＶＰＰ９，ＶＰＰＭＮＳ９を用いた消去動作の開始を指示する。

【００８３】

昇圧手段で規定の昇圧電圧を得るには少なからず時間を要し、その時間はプロセスばらつきの影響を受ける。書き込み及び消去動作は昇圧電圧が規定電圧に達してから開始されなければならない。このとき、昇圧動作の開始から書き込みを開始するまでの時間は、ビットＰＳＵを論理値“１”に設定してからビットＰを論理値“１”に設定するまでの時間によって決定することができる。同様に、昇圧動作の開始から消去を開始するまでの時間は、ビットＥＳＵを論理値“１”に設定してからビットＥを論理値“１”に設定するまでの時間によって決定することができる。それらビットの設定は、ＣＰＵ２によるソフトウェアの実行で実現する。これにより、消去や書き込み動作が指示されてから実際に消去や書き込みを開始するタイミングを管理するタイマなどのハードウェアを削減することができる。また、回路特性に応じてそのような時間設定を任意に決定できる。

【００８４】

また、書き換えイネーブルビットＳＷＥが真値であることを条件に、前記消去セットアップビットＥＳＵと書き込みセットアップビットＰＳＵによる昇圧動作の開始が実質的に受け付け可能になるから、書き込み又は消去動作は前記書き換えイネーブルビットＳＷＥが真値であることを条件に実行可能にされる。したがって、ＣＰＵ２の暴走などによってフラッシュメモリ３が不所望に書き換えられる事態の発生を阻止するのに役立つ。

【００８５】

前記書き換え制御レジスタＦＬＭＣＲ１のプロテクトビットＦＷＥは外部端子Ｐｆｗｅの状態に応じた値が設定される。ＦＷＥは読み出し専用ビットとされる。このプロテクトビットＦＷＥはそれが真値例えば論理値“１”であることを条件に、前記昇圧イネーブルビットＳＷＥの論理値“１”への設定を可能にするインターロックを行う。すなわち、昇圧イネーブルビットＳＷＥの初期化信号のひとつとしてプロテクトビットＦＷＥを用いる。

ＦＷＥ＝１のときのみ昇圧イネーブルビットＳＷＥのセット・クリアが可能とされ、ＦＷＥ＝０では昇圧イネーブルビットは初期状態となる。例えば、データバスからの対応信号線と前記プロテクトビットＦＷＥとの論理積を採る図示を省略する論理積ゲートを設け、昇圧イネーブルビットＳＷＥビットはその論理積ゲートの出力とすることができる。これによってインターロックを実現できる。プロテクトビットＦＷＥによるインターロックを追加することにより、ＳＷＥとＦＷＥによる書き換えプロテクトを二重にすることができ、フラッシュメモリ３に対する不所望な書き換え阻止の信頼性を更の向上させることができる。

【００８６】

図２６及び図２７にはＣＰＵ２による消去動作の制御フローチャートの一例が示される。ＣＰＵ２はレジスタＦＬＭＣＲ１のＳＷＥビットを論理値“１”に設定する（Ｓ１）。この設定が可能にされるためには、外部端子Ｐｆｗｅに論理値“１”の信号が印加されてプロテクトビットＦＷＥが論理値“１”にされていることが必要である。これによってリングオシレータが発振開始される。そして適宜のレジスタにｎ＝１を代入し（Ｓ２）、レジスタＥＢＲ１に消去ブロックを設定する（Ｓ３）。次にレジスタＦＬＭＣＲ１のＥＳＵビットの論理値“１”を設定する（Ｓ４）。これによってクロックドライバ４２０、４３４とチャージポンプ回路４５，４７によるの昇圧動作が開始される。一定時間経過後、ＦＬＭＣＲ１のＥビットを論理値“１”にセットすると、消去動作が開始される（Ｓ５）。消去動作の終了後、ＦＬＭＣＲ１のＥビットを論理値“０”にクリアすると、消去動作が停止される（Ｓ６）。そして、ＦＬＭＣＲ１のＥＳＵビット２を論理値“０”にクリアして昇圧動作を停止させる（Ｓ７）この後、ＦＬＭＣＲ１のＥＶビットを論理値“１”にセットすることにより（Ｓ８）、前記消去動作に対する消去ベリファイが行われることになる。消去ベリファイ動作では、ベリファイアドレスへのダミーライト（Ｓ９）とベリファイデータのリード（Ｓ１０）を行った後、リードしたベリファイデータが全ビット論理値“１”であるかの判定を行う（Ｓ１１）。全ビット論理値“１”であれば、ラストアドレスに到達するまでアドレスインクリメントを行い（Ｓ１２，Ｓ１３）、アドレスインクリメント毎に前記処理を繰り返す。Ｓ１１でリードしたデータが論理値“１”でない場合には、消去動作が不十分であるから、ＥＶビットをクリアし（Ｓ１４）、消去の繰り返し回数が上限（Ｎ）に達していない場合には（Ｓ１５のＮＧ）、再度Ｓ４に戻って消去状態を進める。Ｓ１２においてラストアドレスまで処理が進行した場合には、消去ベリファイは正常完了とされる。Ｓ１５において、消去回数が上限に達した場合には消去ベリファイは異常終了とされる。

【００８７】

図２８及び図２９にはＣＰＵ２による書き込み動作の制御フローチャートの一例が示される。ＣＰＵ２はレジスタＦＬＭＣＲ１のＳＷＥビットを論理値“１”に設定する（Ｔ１）。この設定が可能にされるためには、外部端子Ｐｆｗｅに論理値“１”の信号が印加されてプロテクトビットＦＷＥが論理値“１”にされていることが必要である。これによってリングオシレータが発振開始される。そして適宜のレジスタにｎ＝１を代入し（Ｔ２）、適宜のフラグｆｌａｇをクリア（＝０）する（Ｔ３）。そして、例えば３２バイトの書き込みデータをフラッシュメモリ３に連続ライトする（Ｔ４）。ライトデータはフラッシュメモリ３の書き込み回路に含まれるデータレジスタに保持される。次にレジスタＦＬＭＣＲ１のＰＳＵビットの論理値“１”を設定する（Ｔ５）。これによってクロックドライバ４２０、４２１、４３４、とチャージポンプ回路４５、４６、４７によるの昇圧動作が開始される。一定時間経過後、ＦＬＭＣＲ１のＰビットを論理値“１”にセットすると、書き込み動作が開始される（Ｔ６）。書き込み動作の終了後、ＦＬＭＣＲ１のＰビットを論理値“０”にクリアすると、書き込み動作が停止される（Ｔ７）。そして、ＦＬＭＣＲ１のＰＳＵビット２を論理値“０”にクリアして昇圧動作を停止させる（Ｔ８）。

【００８８】

この後、ＦＬＭＣＲ１のＰＶビットを論理値“１”にセットすることにより（Ｔ９）、前記書き込み動作に対する書き込みベリファイが行われることになる。書き込みベリファイ

動作では、ベリファイアドレスへのダミーライト（Ｔ１０）とベリファイデータのリード（Ｔ１１）を行った後、リードしたベリファイデータと書き込みの元データに基づいて再書き込みデータを演算し、演算された再書き込みデータが全ビット論理値“１”かの判定を行う（Ｔ１２）。再書き込みデータの演算は図３０に示されるようにして行う。再書き込みデータが全ビット“１”であれば再書き込みデータをＲＡＭに転送し（Ｔ１３）、３２バイトのデータのベリファイが完了するまでアドレスインクリメントを行い（Ｔ１４，Ｔ１５）、アドレスインクリメント毎に前記処理を繰り返す。ステップＴ１２で再書き込みデータが全ビット“１”でない場合には、フラグｆｌａｇを“１”にセットして（Ｔ１６）、前記ステップＴ１４へ進む。３２バイトのベリファイ動作を完了すると、ＰＶビットをクリアし（Ｓ１７）、フラグｆｌａｇを判定する（Ｔ１８）。ｆｌａｇ＝０であれば３２バイトの書き込みは正常であるから、ＳＷＥビットをクリアして（Ｔ１９）、書き込み動作を終了する。ステップＴ１８においてｆｌａｇ＝１であれば書き込み回数が既定の上限値Ｎに達していないかを判定し（Ｔ２０）、既定値に達しているときはＳＷＥビットをクリアして（Ｔ２１）、異常終了とされる。書き込み動作の繰り返し回数が上限（Ｎ）に達していない場合には、カウンタｎをインクリメントして（Ｔ２２）、前記ステップＴ３に戻る。

【００８９】

図３１には書き込みに際して必要な高電圧の印加が内部回路に与える負担を少なくするためワード線駆動電圧切換え方式の一例が示される。概略的には、ワード線を一旦接地電位Ｖｓｓにしてから動作電圧を切り換える。即ち、ＰＳＵビットによって書き込み用昇圧回路の昇圧動作が指示されたとき、図３１の（Ｂ）で示される期間に全てのワード線が接地電位Ｖｓｓに強制される。次に、図３１の（Ｃ）で示される期間に、ワードドライバＷＤＲＶの電源ＶＰＰＸ２，ＶＳＳＸＷ，ＶＳＳＸＳが夫々接地電位Ｖｓｓに切り換えられる。次にアドレス制御の欄に記載されるように、ワード線選択の極性が反転される。例えばアドレス信号に基づいてワード線選択信号を形成するＸアドレスデコーダの選択レベルをハイレベル（読み出し動作時）からローレベル（書き込み動作時）に論理反転させる。その後で、図３１の（Ｅ）に示されるように、ワードドライバの電源を書き込み用の電源に切り換える。書き込みを終了するときも同様に、全ワード線を接地電位Ｖｓｓに強制し、ドライバの電源ＶＰＰＸ１，ＶＳＳＸＷ，ＶＳＳＸＳを接地電位Ｖｓｓに切換え、ワード線選択論理の極性を変更し、電源の切換えを行う。上記電源の切換えは電源回路４０に含まれる電源供給スイッチ群で行い、その制御は、電源制御部４１の書き込みシーケンサが行う。

【００９０】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【００９１】

例えば、外部単一電源は２．７～５．５Ｖに限定されない。昇圧電圧は６．５Ｖ，９．５Ｖ，－９．５Ｖに限定されず変更可能である。同様にクランプ電圧も２．５Ｖに限定されない。更に、書き込み及び消去の電圧印加態様も上記に限定されない。また、昇圧回路やクランプ回路の構成は適宜変更できる。また、電流供給能力が大きければリード系と昇圧系で分けたクランプ電源を共通化することも可能である。マイクロコンピュータの内蔵モジュールは適宜変更できる。また、フラッシュメモリは、ＮＯＲ、ＡＮＤなどの適宜の回路形式を採用することが可能である。フラッシュメモリはプログラムメモリを代替する用途に限定されず、もっぱらデータ格納用途に用いるものであってもよい。

【００９２】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である機器組み込み制御用とのマイクロコンピュータに適用した場合について説明したが、本発明はそれに限定されず、汎用用途のマイクロコンピュータ、その他の専用コントローラＬＳＩなど半導体集積回路に広く適用することができる。

【００９３】
【発明の効果】
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。
【００９４】
すなわち、電圧クランプ手段は電源電圧依存性の小さな電圧を形成し、しかも、その電圧レベルは、許容範囲内で外部から供給される単一電源電圧よりも低い電圧にクランプされるから、このクランプ電圧で動作される昇圧手段が生成する昇圧電圧、即ち、書き込み及び消去電圧は、外部電源電圧に依存しない。したがって、低電圧動作を含む比較的広い外部電源電圧範囲で内蔵不揮発性メモリの消去及び書き込みを可能にする。しかもそれは単一の外部電源電圧で達成できるから、不揮発性メモリを内蔵した半導体集積回路の使い勝手を向上させることができる。
【００９５】
昇圧電圧が所定レベルに達したとき、チャージポンプを行うＭＯＳトランジスタに共通の基板バイアス電圧を変更することにより、昇圧動作効率を向上させることができる。
【００９６】
前記基板バイアス電圧の切換え後に昇圧電圧が上下に振れても基板バイアス電圧を切換え後の電圧に維持するヒステリシス特性を持たせることにより、チャージポンプによる昇圧途上の昇圧電圧がチャージポンプ用のＭＯＳトランジスタのスイッチ動作に同期して上下に振れるときのリプル成分の影響で基板バイアス電圧が振動するのを防止することができる。
【００９７】
各チャージポンプ回路の動作の位相をずらすことにより、同一電源で複数個のチャージポンプ回路を動作させるときに電源の瞬間的電圧落ち込みを小さくすることができる。
【００９８】
前記不揮発性メモリの特定領域からトリミング調整情報の転送を受けるレジスタ手段の値によって電圧クランプ手段の出力電圧をトリミング可能にすることにより、ソフトウェアでトリミングを自在に行うことができ、チップ毎にプロセスばらつきの影響を吸収することも可能になる。
【００９９】
トリミング調整情報のレジスタ手段への転送を半導体集積回路のリセット動作に同期して行うことにより、トリミング動作の確定までの内部電圧の変動をリセット中に確定でき、信頼性を向上させることができる。
【０１００】
テストモードにおいて前記中央処理装置が前記レジスタ手段をアクセス可能にすれば、テストモードにおいてトリミング情報をた易く決定できる。
【０１０１】
半導体集積回路のウェーハ完成状態が書き込み状態（例えばしきい値電圧の低い論理値“０”の状態）で、半導体集積回路の出荷が消去状態（例えばしきい値電圧の高い論理値“１”の状態）とされる場合、トリミング調整情報が全ビット論理値“１”のときのトリミング位置とトリミング調整情報が全ビット論理値“０”のときのトリミング位置とを隣り合うように選択する選択論理を採用することにより、書き込み状態と消去状態でトリミング状態が両極端になって電圧クランプ手段の出力電圧に大きな差が出ないようにできる。
【０１０２】
昇圧手段で規定の昇圧電圧を得た後に書き込みや消去を開始するための管理を書き込みセットアップビットや消去セットアップビットを用いて中央処理装置によるソフトウェアで実現することにより、タイマなどのハードウェアを削減することができる。
【０１０３】
コントロールレジスタに、前記昇圧手段による昇圧動作の準備状態を指示する書き換えイネーブルビットを設け、この書き換えイネーブルビットが真値であることを条件に、前記

消去セットアップビットと書き込みセットアップビットによる指示を受け付け可能にすることにより、書き込み又は消去動作は前記書き換えイネーブルビットが真値であることを条件に行うことができるので、中央処理装置の暴走などによって不揮発性メモリが不所望に書き換えられる事態の発生を阻止するのに役立つ。

【０１０４】

コントロールレジスタは外部端子の状態に応じた値が設定されるプロテクトビットを追加し、前記プロテクトビットはそれが真値であることを条件に前記昇圧イネーブルビットの真値への設定を可能にするインターロックを行うようにすると、不揮発性メモリに対する不所望な書き換え阻止の信頼性を更の向上させることができる。

【０１０５】

ワード線などを一旦接地電位にしてから印加電圧を切り換えるようにすれば、消去や書き込みに際して必要な高電圧の印加が内部回路に与える負担を少なくすることができる。

【図面の簡単な説明】

【図１】電源回路の主要部を概略的に示すブロック図である。

【図２】図１の比較例を示すブロック図である。

【図３】本発明の一例に係るマイクロコンピュータのブロック図である。

【図４】マイクロコンピュータに内蔵されるフラッシュメモリの全体的なブロック図である。

【図５】メモリセルアレイの構成例を示す回路図である。

【図６】消去動作の電圧印加状態の一例を示す回路図である。

【図７】書き込み動作の電圧印加状態の一例を示す回路図である。

【図８】フラッシュメモリの各部における動作電源を示すブロック図である。

【図９】図８に示される各種動作電源の意味を示す説明図である。

【図１０】図８に示される各種動作電源の電圧と動作との関係を示す説明図である。

【図１１】図８の各種動作電源が採り得る電圧を整理して示した説明図である。

【図１２】電圧クランプ手段の一例回路図である。

【図１３】第１及び第２の正昇圧回路の一例回路図である。

【図１４】負正昇圧回路の一例回路図である。

【図１５】正の昇圧電圧を選択的にモニタ可能にする回路の説明図である。

【図１６】第１の定電圧発生回路のトリミング抵抗回路の説明図である。

【図１７】第１の定電圧発生回路の詳細な一例回路図である。

【図１８】昇圧動作クロック信号の波形説明図である。

【図１９】負電圧昇圧用のチャージポンプ回路及びクロックドライバの一例回路図である。

【図２０】図１９に示されたクロックドライバの論理構成によって生成されるクロック信号及び駆動信号の波形説明図である。

【図２１】チャージポンプ回路の前記基板バイアス電圧を切り換えるための構成を概略的に示すブロック図である。

【図２２】負電圧昇圧動作における昇圧電圧の遷移状態を示す説明図である。

【図２３】トリミング抵抗回路におけるトリミング方式の概念図である。

【図２４】マイクロコンピュータのリセット動作に同期してトリミング調整情報をフラッシュメモリからコントロールレジスタに転送する方式の説明図である。

【図２５】コントロールレジスタの一例フォーマット図である。

【図２６】ＣＰＵによる消去動作制御の一部を示すフローチャートである。

【図２７】ＣＰＵによる消去動作制御の残りを示すフローチャートである。

【図２８】ＣＰＵによる書き込み動作制御の一部を示すフローチャートである。

【図２９】ＣＰＵによる書き込み動作制御の残りを示すフローチャートである。

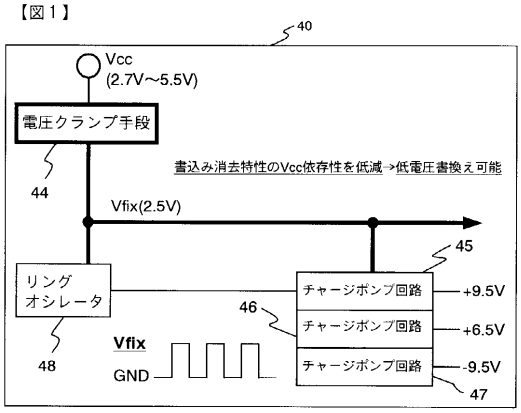
【図３０】再書き込みデータの演算手法の説明図である

【図３１】書き込みに際して必要な高電圧の印加が内部回路に与える負担を少なくするためワード線駆動電圧切換え処理の一例を示すタイミング図である。

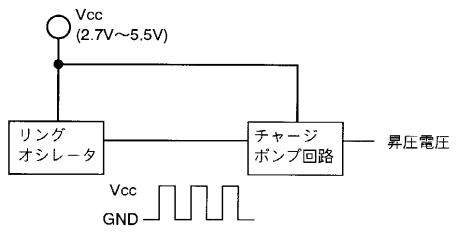
【符号の説明】
１　マイクロコンピュータ
２　中央処理装置
３　フラッシュメモリ
４　フラッシュメモリ用のコントロールレジスタ
ＦＬＭＣＲ１　書き換え制御レジスタ
ＴＲＭＲ１　基準電圧トリミングレジスタ
ＴＲＭＲ２　昇圧電圧トリミングレジスタ
Ｖｃｃ　外部単一電源電圧
Ｖｓｓ　接地電圧
Ｐｖｃｃ　Ｖｃｃ外部端子
Ｐｖｓｓ　Ｖｓｓ外部端子
ＶｐｐＭＯＮ、ＶｓｓＭＯＮ　モニタ端子
Ｐｆｗｅ　書き込みプロテクト端子
ＲＥＳ　リセット端子
３０　メモリセルアレイ
３１　Ｘデコーダ
３１Ｙ　Ｙデコーダ
３３　ワードドライバ
４０　電源回路
４１　電源制御部
４２　トリミング制御部
４４　電圧クランプ手段
４５、４６　正昇圧用チャージポンプ回路
４７　負昇圧用チャージポンプ回路
４８　リングオシレータ
３００　主ビット線
３０１副ビット線
３０２　不揮発性メモリセル
３０４　ソース線
３０５　ワード線
４００　基準電圧発生回路
４０１　第１の定電圧回路
４０２　第２の定電圧回路
４０３　第３の定電圧回路
ＦＢＲ１　帰還抵抗回路（トリミング抵抗回路）
ＦＢＲ２，ＦＢＲ３　帰還抵抗回路
Ｖｒｅｆ　基準電圧
Ｖｒｅｆａ，ＶｆｉｘＡ，ＶｆｉｘＢ　クランプ電圧
ＣＬＫ　クロック信号
４２０，４２１，４３４　クロックドライバ
４３６　トリミング抵抗回路
４４４，４４５　遅延回路
ＶＰＰ６，ＶＰＰ９　正の昇圧電圧
４６０　基板バイアス電圧の切換え手段
ＶＰＰＭＮＳ９　負の昇圧電圧
４６１　ＳＲフリップフロップ
４６４　比較器
ＮＰ　昇圧ノード
Ｑ１０，Ｑ１１，Ｑ１２　負昇圧用ｐチャンネル型ＭＯＳトランジスタ

Ｃ１，Ｃ２　負昇圧用容量素子
ＤＳ１～ＤＳ４　駆動信号
４７０　セレクタ
３３０　フラッシュメモリにおけるトリミング情報格納領域
ＦＷＥ　プロテクトビット
ＳＷＥ　書き換えイネーブルビット
ＥＳＵ　消去セットアップビット
ＰＳＵ　書き込みセットアップビット
Ｅ　消去イネーブルビット
Ｐ　書き込みイネーブルビット

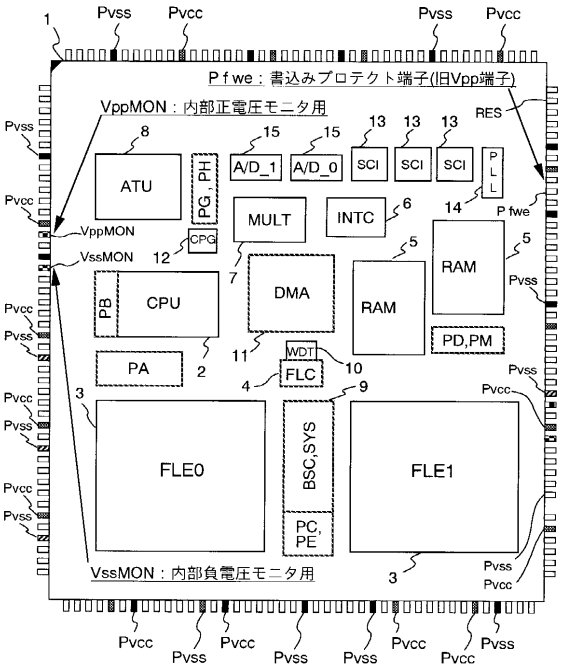
【図１】
【図１】



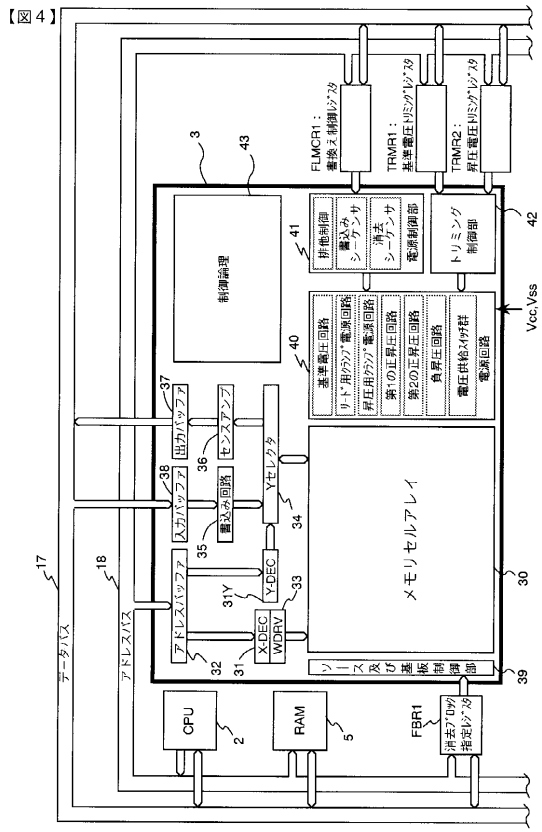

【図２】
【図２】



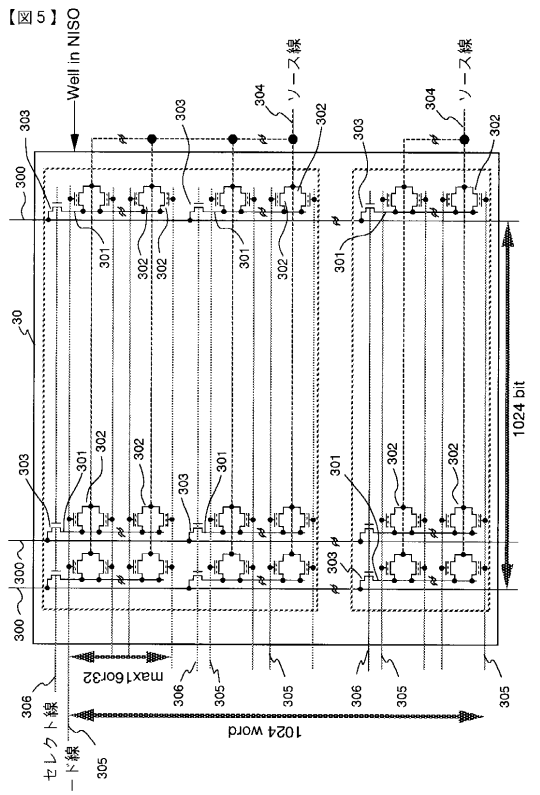

【図３】
【図３】



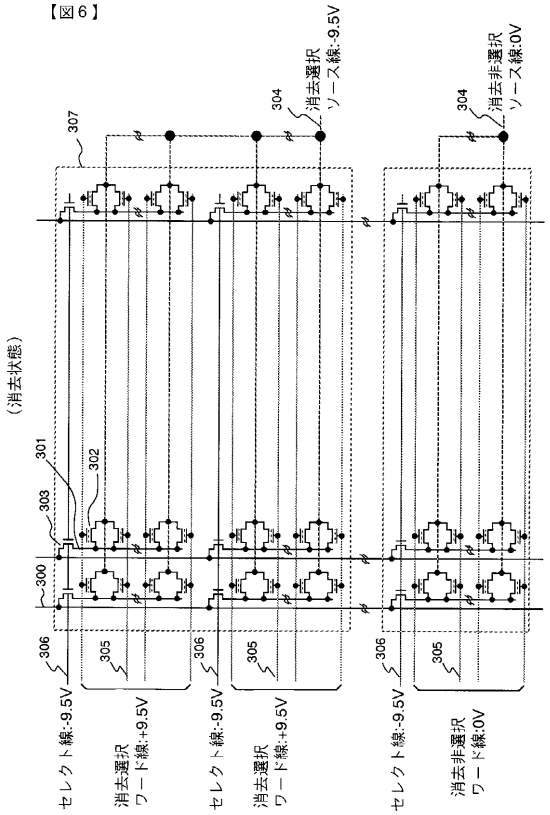
【図４】


【図4】
データバス
アドレスバス
CPU
RAM
FBR1
消去アドレス指定レジスタ
制御論理
メモリセルアレイ
アドレスバッファ
入力バッファ
出力バッファ
書込み回路
センスアンプ
Yセレクタ
X-DEC
Y-DEC
WDRV
ソース及び基板制御部
排他制御
書込みシーケンサ
消去シーケンサ
電源制御部
トリミング制御部
基準電圧回路
リード用ウェル電源回路
昇圧用ウェル電源回路
第1の正昇圧回路
第2の正昇圧回路
負昇圧回路
電圧供給スイッチ群
電源回路
FLMCR1：書換え制御レジスタ
TRMR1：基準電圧トリミングレジスタ
TRMR2：昇圧電圧トリミングレジスタ
Vcc,Vss

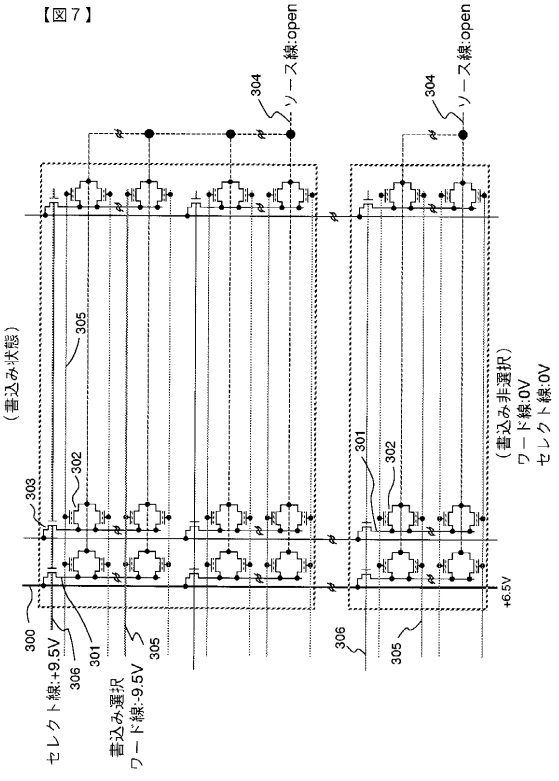
【図５】


【図5】
Well in NISO
ソース線
1024 bit
max1 or 32
1024 word
セレクト線
ワード線

【図６】


【図6】
（消去状態）
消去選択
ソース線:-9.5V
消去非選択
ソース線:0V
セレクト線:-9.5V
消去選択
ワード線:+9.5V
消去非選択
ワード線:0V

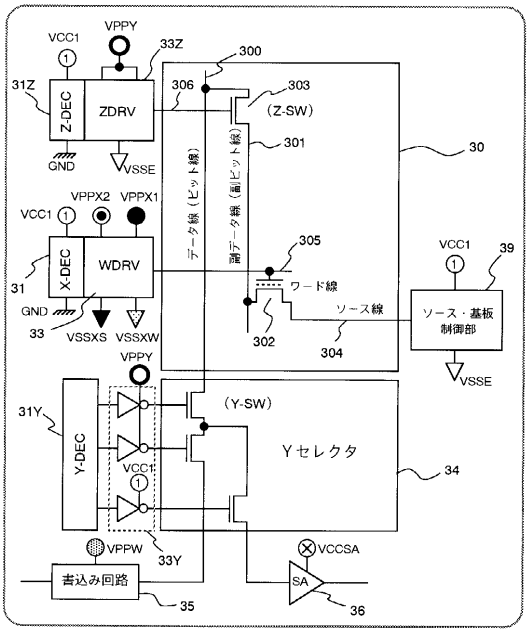
【図７】


【図7】
（書込み状態）
ソース線:open
セレクト線:+9.5V
書込み選択
ワード線:-9.5V
（書込み非選択）
ワード線:0V
セレクト線:0V
+6.5V

【図８】

【図8】

電源供給ブロック図




【図９】

【図9】

| 記号 | 名称 | 備考 |
|---|---|---|
| ○ | VCC | Vcc電源 |
| ▰ | GND | GND電源 |
| ● | VPPX1 | ワード線ドライバ正電源1 |
| ◉ | VPPX2 | ワード線ドライバ正電源2 |
| ▼ | VSSXS | ワード線ドライバ負電源（ソース） |
| ▽ | VSSXW | ワード線ドライバ負電源（WELL） |
| ⓞ | VPPY | Y-SW & Z-SW電源 |
| ① | VCC1 | レベルシフタ電源 |
| ⊗ | VCCSA | センスアンプ電源 |
| ⊛ | VPPW | 書込み回路電源 |
| ▽ | VSSE | Z-SW & 基板 & ソース制御負電源 |

【図１０】

【図１０】

電源供給一覧

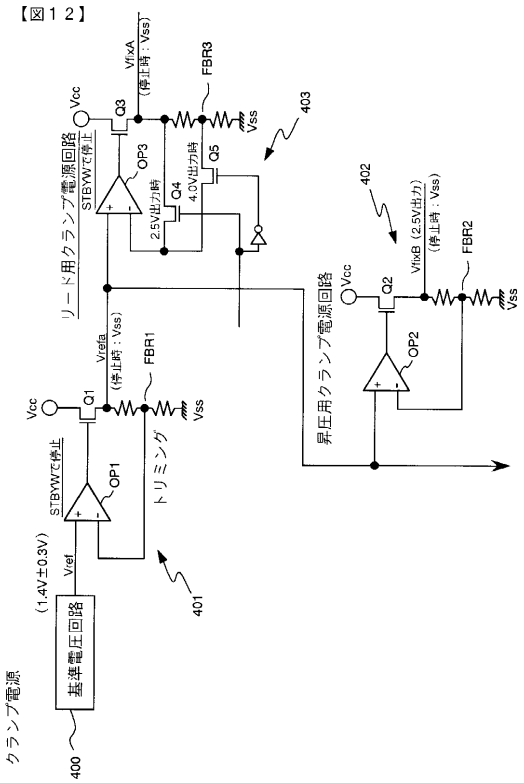
| 状態 | X-DEC high VPPX1 | X-DEC high VPPX2 | X-DEC low VSSXS | X-DEC low VSSXW | Y-DEC&Z-DEC high VPPY | レベルシフタ VCC1 | センスアンプ VCCSA | 書込み回路 high VPPW | Z-SW&ソース&基板 low VSSE |
|---|---|---|---|---|---|---|---|---|---|
| 書込み | GND | VfixA(Vsft) | −9.5V(負昇圧) | −9.5V(負昇圧) | 9.5V(正昇圧) | VfixA(Vsft) | VfixA(Vsft) | 6.5V(正昇圧) | GND |
| 書込みセカンド | Vsft↔GND | VfixA(Vsft) | GND↔−9.5V昇圧 | GND↔−9.5V昇圧 | Vcc↔9.5V昇圧 | VfixA(Vsft) | VfixA(Vsft) | Vcc↔6.5V昇圧 | GND |
| 消去 | 9.5V(正昇圧) | 9.5V(正昇圧) | GND | GND | VfixA(Vsft) | VfixA(Vsft) | VfixA(Vsft) | Vcc | −9.5V(負昇圧) |
| 消去セカンド | Vcc | Vcc | GND | GND | VfixA(Vsft) | VfixA(Vsft) | VfixA(Vsft) | Vcc | −9.5V(負昇圧) |
| 書込みベリファイ | VfixA(Vsft) | VfixA(Vsft) | GND | GND | VfixA(Vsft) | VfixA(Vsft) | VfixA(Vsft) | Vcc | GND |
| 消去ベリファイ | 6.5V(正昇圧) | 6.5V(正昇圧) | GND | GND | VfixA(Vsft) | VfixA(Vsft) | VfixA(Vsft) | Vcc | GND |
| リード | VfixA(Vread) | VfixA(Vread) | GND | GND | Vcc | VfixA(Vread) | Vcc | Vcc | GND |
| | VfixA(Vread) | VfixA(Vread) | GND | GND | Vcc | VfixA(Vread) | Vcc | Vcc | GND |

【図１１】

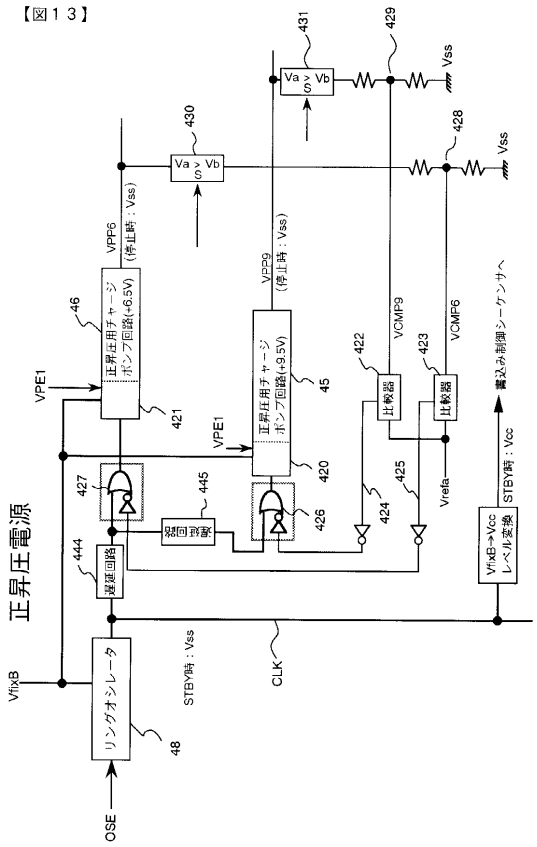
【図11】

| | VPPX1 | VPPX2 | VSSXS | VSSXW | VPPY | VCC1 | VCCSA | VPPW | VSSE |
|---|---|---|---|---|---|---|---|---|---|
| 9.5V(正昇圧) | ● | ● | | | ● | | | | |
| 6.5V(正昇圧) | ● | ● | | | | | | ● | |
| Vcc | ● | ● | | | ● | ● | ● | ● | |
| VfixA | ● | ● | | | ● | ● | ● | | |
| GND | ● | | ● | ● | | | | | ● |
| −9.5V(負昇圧) | | | ● | ● | | | | | ● |

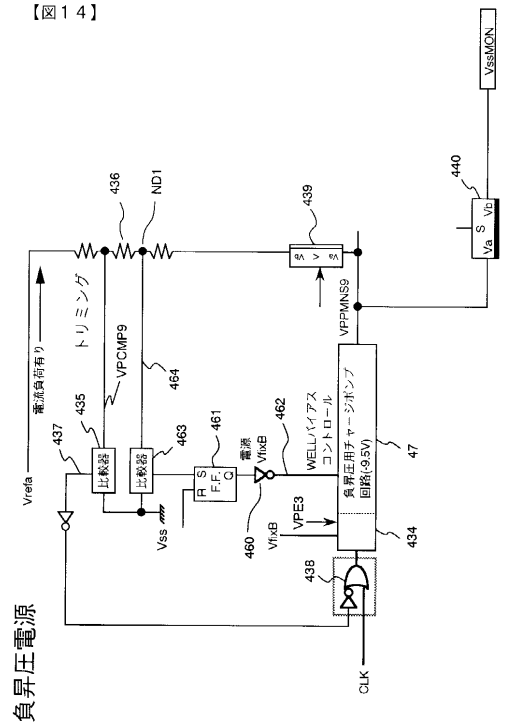
【図１２】



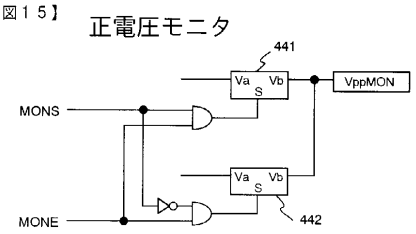

【図１３】



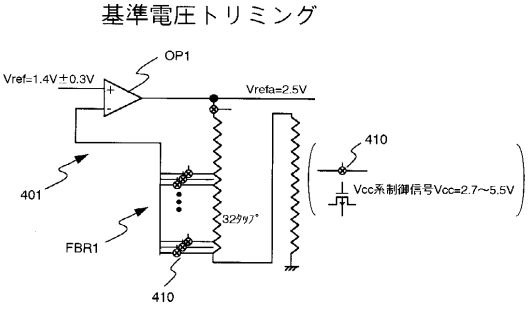

【図１４】




【図１５】

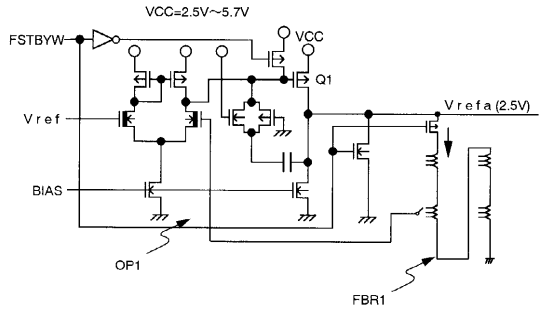



【図１６】



【図１７】

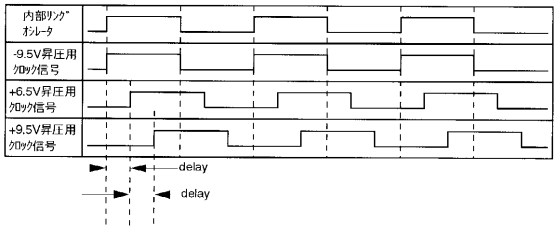
【図１７】




【図１８】

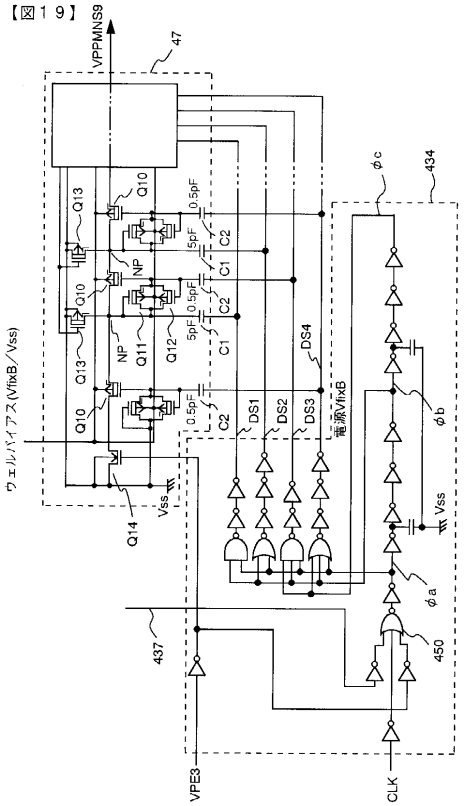
【図１８】

昇圧動作クロックタイミング



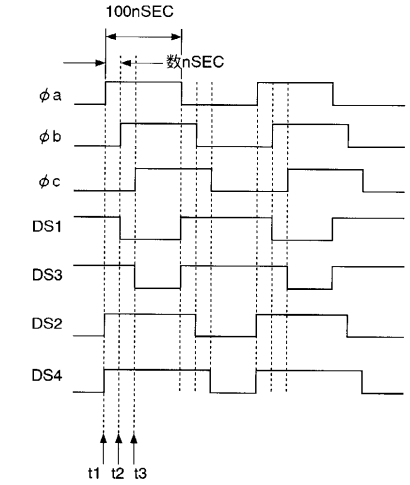

【図１９】

【図１９】



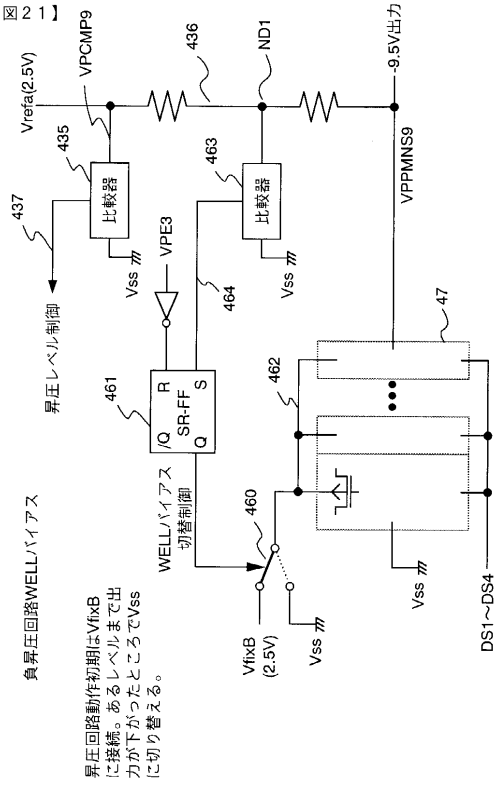

【図２０】

【図２０】



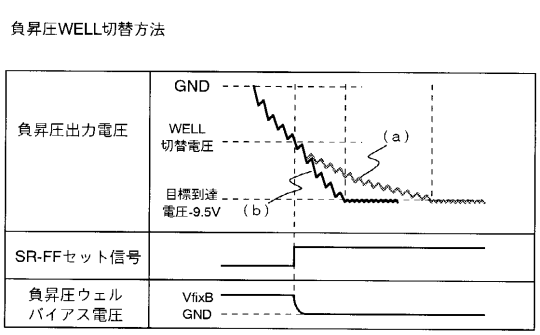

【図２１】

【図２１】



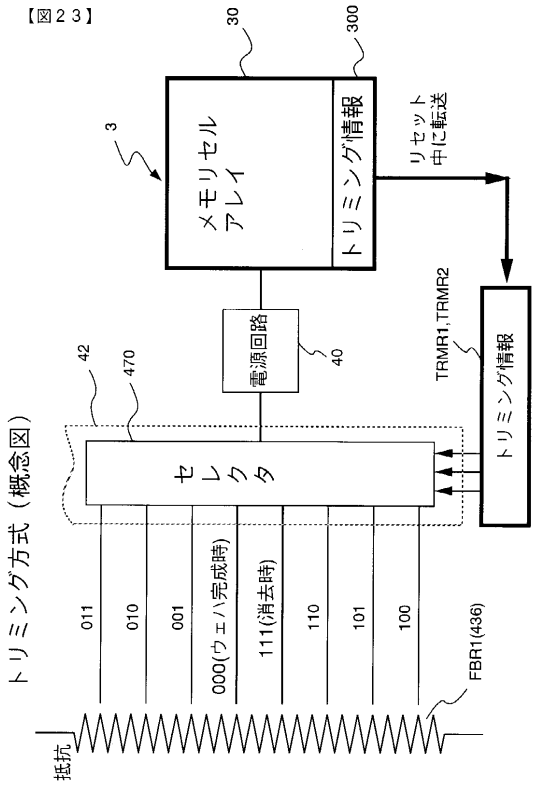
【図２２】

【図２２】



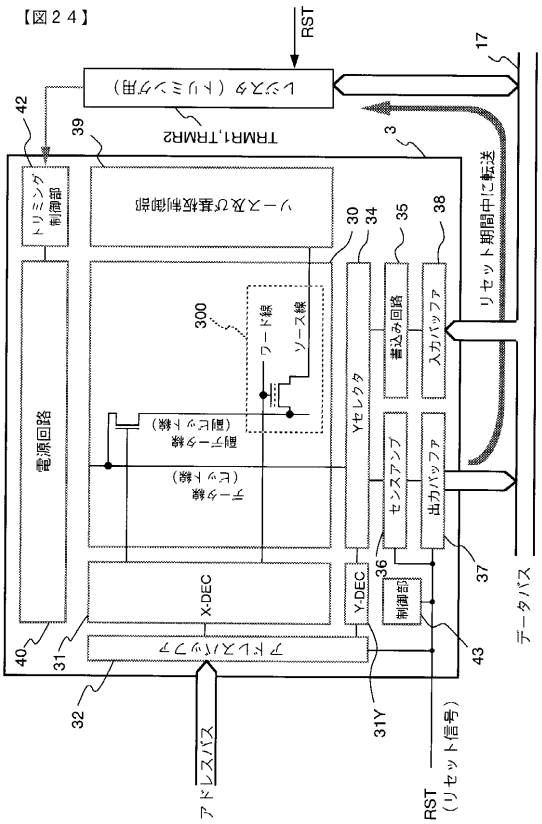

【図２３】

【図２３】




【図２４】

【図２４】




【図２５】

【図２５】

レジスタ仕様

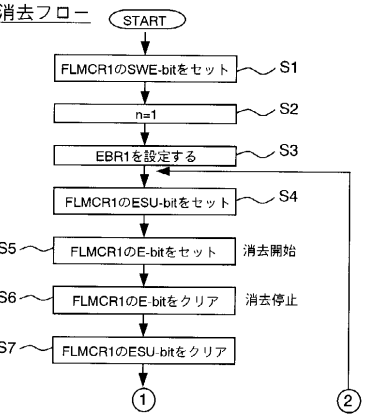
書込み／消去制御用新設ビット

| | A2 | A2 | A2 | bit7 | bit6 | bit5 | bit4 | bit3 | bit2 | bit1 | bit0 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| FLMCR1 | 0 | 0 | 0 | FWE | SWE | ESU | PSU | EV | PV | E | P |
| EBR1 | 0 | 1 | 0 | EB7 | EB6 | EB5 | EB4 | EB3 | EB2 | EB1 | EB0 |
| TRMR1 | 1 | 1 | 0 | TEVR | VR4 | VR3 | VR2 | VR1 | VR0 | — | — |
| TRMR2 | 1 | 1 | 1 | TEVM | VM4 | VM3 | VM2 | VM1 | VM0 | — | — |

トリミング

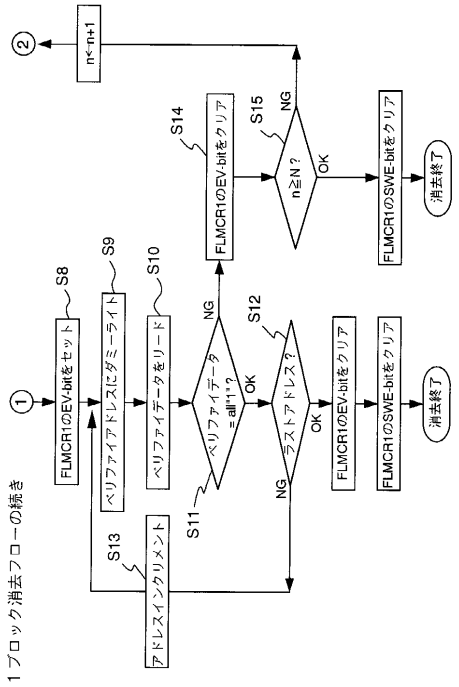
【図２６】

【図２６】



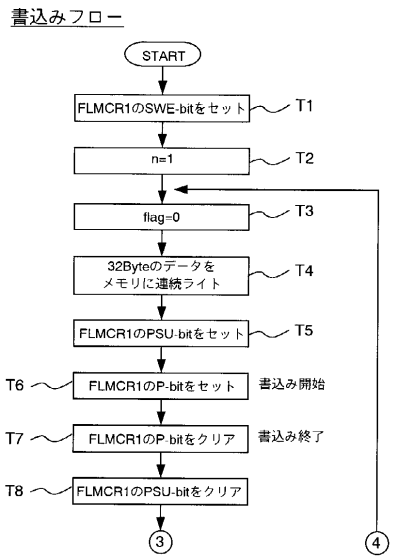
【図２７】

【図２７】



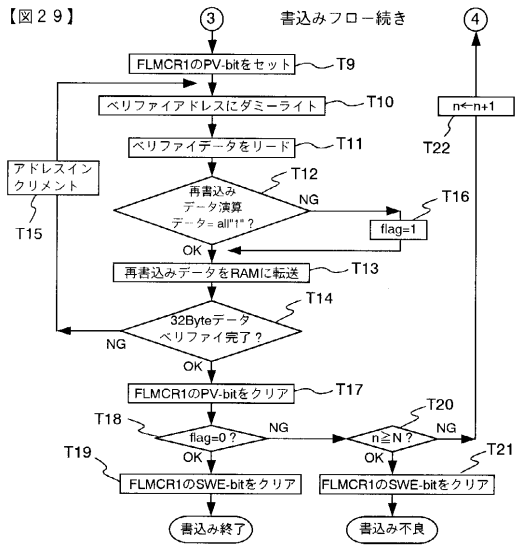

【図２８】

【図２８】




【図２９】

【図２９】




【図３０】

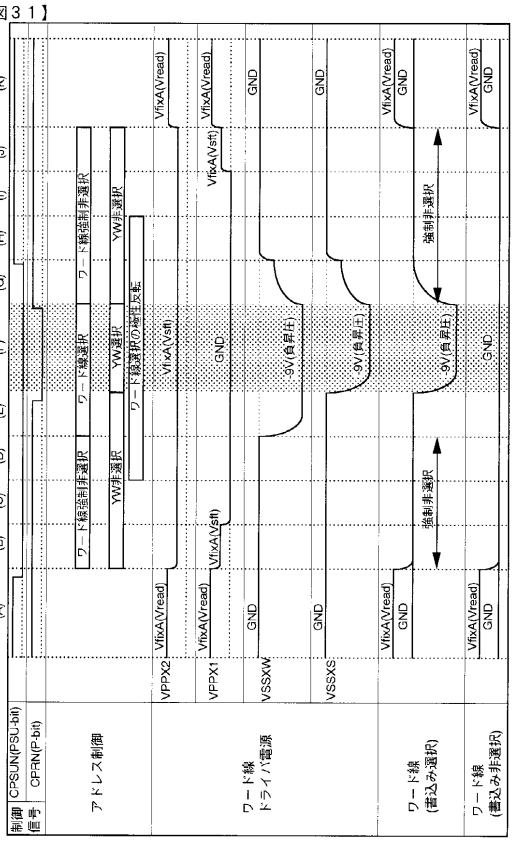
【図３０】

（＊）メモリの消去状態は"1"。データ"0"に対して書込みが行われる

| 元データ(D) | Verifyデータ(V) | 再書込みデータ(X) | コメント |
|---|---|---|---|
| 0 | 0 | 1 | 書込み完了したビットは再書込しない |
| 0 | 1 | 0 | 書込み未完了、再書込み |
| 1 | 0 | 1 | |
| 1 | 1 | 1 | 消去状態のまま、なにもしない |

【図３１】

【図３１】



フロントページの続き

(72)発明者　矢田　直樹
東京都小平市上水本町五丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　松原　清
東京都小平市上水本町五丁目２０番１号　株式会社日立製作所　半導体事業部内

審査官　滝谷　亮一

(56)参考文献　特開平０６－２８２９８７（ＪＰ，Ａ）
特開平０８－０３１１７１（ＪＰ，Ａ）
特開平０９－００９６１２（ＪＰ，Ａ）
特開平０８－０９６５９１（ＪＰ，Ａ）
特開平０７－３３４９９９（ＪＰ，Ａ）
特開平０５－２３４３８５（ＪＰ，Ａ）
特開平０５－２６５５７９（ＪＰ，Ａ）
特開平０９－０６３２７２（ＪＰ，Ａ）
特開平０７－１２９２６５（ＪＰ，Ａ）
特開平０６－０２９４９８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 16/02-16/06