(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-86433
(P2010-86433A)
(43)公開日　平成22年4月15日(2010.4.15)

(51)Int.Cl.		F I		テーマコード（参考）
G06K 19/07	(2006.01)	G06K 19/00	J	5B035
		G06K 19/00	H	

審査請求 未請求　請求項の数 14　ＯＬ　（全 27 頁）

(21)出願番号　特願2008-256948 (P2008-256948)
(22)出願日　平成20年10月2日 (2008.10.2)

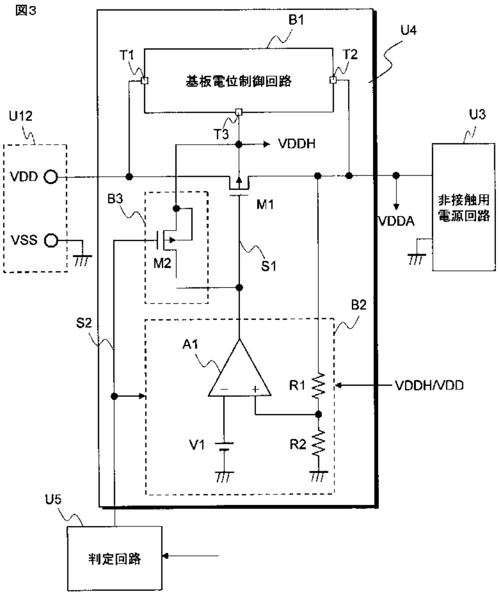
(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100089071
弁理士　玉村　静世
(72)発明者　渡邊　一希
東京都国分寺市東恋ケ窪一丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　米谷　信昭
東京都小平市上水本町五丁目２２番１号
株式会社日立超エル・エス・アイ・システムズ内

Ｆターム(参考)　5B035 BB09　CA04　CA12　CA25

(54)【発明の名称】半導体集積回路及びそれを用いたＩＣカード

(57)【要約】
【課題】ＩＣカード用の半導体集積回路においてチップ面積を大幅に増大させることなく、非接触動作時において電源電圧端子と内部回路とを分離可能にする。
【解決手段】アンテナからアンテナ端子に与えられる交流信号を整流及び平滑化して第１の電源ライン（ＶＤＤＡ）に直流電圧を得る第１の電源回路（Ｕ３）と、外部から電源が入力される電源端子（ＶＤＤ）と前記第１の電源ラインとの間に配置された第１のＭＯＳトランジスタ（Ｍ１）のゲート端子電圧を制御する電圧制御回路（Ｂ２）を有する第２の電源回路と、前記第１のＭＯＳトランジスタのソース電圧を基板電圧として形成する基板電位制御回路（Ｂ１）と、前記第１電源回路で生成する電圧を電源に用いるとき前記第１のＭＯＳトランジスタの基板電圧とゲート電圧を導通させ、外部端子からの電源を用いる場合には非導通とする第２のＭＯＳトランジスタ（Ｍ２）と、を有する。
【選択図】図３

図3



【特許請求の範囲】
【請求項１】
アンテナに接続されるアンテナ端子と、
前記アンテナから前記アンテナ端子に与えられる交流信号を整流及び平滑化して第１の電源ラインに直流電圧を得る第１の電源回路と、
外部から電源が入力される電源端子及びグランド端子と、
前記電源端子と前記第１の電源ラインとの間に配置された第１のＭＯＳトランジスタ、及び前記第１のＭＯＳトランジスタのゲート端子電圧を制御する電圧制御回路から成る第２の電源回路と、
前記第１のＭＯＳトランジスタの基板電圧を制御する基板電位制御回路と、を備え、
前記第１電源回路で生成する電圧を電源に用いるときには前記第１のＭＯＳトランジスタが遮断されることで前記電源端子と前記第１の電源ラインとを分離し、
外部端子からの電源を用いる場合には前記電源制御回路が前記第１のＭＯＳトランジスタを制御して前記電源端子及び前記グランド端子から供給される電圧を所定の電圧に抑制し、前記第１の電源ラインに出力する、半導体集積回路。
【請求項２】
前記第１電源回路で生成する電圧を電源に用いるとき前記第１のＭＯＳトランジスタの基板電圧とゲート電圧を導通させ、外部端子からの電源を用いる場合には非導通とする第２のＭＯＳトランジスタを更に有する、請求項１記載の半導体集積回路。
【請求項３】
前記基板電位制御回路は、前記第１のＭＯＳトランジスタの遮断状態において前記第１の電源ラインの電圧を前記基板電圧として出力し、前記第１のＭＯＳトランジスタの非遮断状態において前記第１の電源端子の電圧を前記基板電圧として出力する、請求項２記載の半導体集積回路。
【請求項４】
前記基板電位制御回路は、前記基板電圧の出力端子と前記電源端子との間に配置された第３のＭＯＳトランジスタと、前記基板電圧の出力端子と前記第１の電源ラインとの間に配置された第４のＭＯＳトランジスタと、前記第３ＭＯＳトランジスタ及び第４ＭＯＳトランジスタのゲート端子電圧を制御するゲート電圧制御回路とを有し、
前記ゲート電圧制御回路は、前記電源端子の電位が前記第１の電源ラインの電位よりも高いときには前記第３のＭＯＳトランジスタをオン状態とし、前記電源端子の電位が前記第１の電源ラインの電位よりも低いときには前記第４のＭＯＳトランジスタをオン状態として、前記第１のＭＯＳトランジスタの基板電圧を前記第１のＭＯＳトランジスタのソース端子の電位と同電位にする、請求項３記載の半導体集積回路。
【請求項５】
前記第３ＭＯＳトランジスタ及び第４ＭＯＳトランジスタは、夫々の基板が前記基板電圧の出力端子と同電位にされるＰチャンネル型ＭＯＳトランジスタであり、
前記ゲート電圧制御回路は、前記第３ＭＯＳトランジスタのゲートを前記第１の電源ラインに接続する配線と、前記第４ＭＯＳトランジスタのゲートを前記電源端子に接続する配線とから成る、請求項４記載の半導体集積回路。
【請求項６】
前記電源端子と前記グランド端子の間にプルダウン回路を有し、
前記検出回路が前記交流信号に基づく電源の形成を検出することに基づいて、前記プルダウン回路は電源端子とグランド端子の間の抵抗値を小さくする、請求項１記載の半導体集積回路。
【請求項７】
前記検出回路は、第１のＭＯＳトランジスタの基板端子に入力される電圧を電源電圧として動作する、請求項１記載の半導体集積回路。
【請求項８】
前記第１の電源ラインに供給される電圧を電源電圧として動作される内部回路を有する

、請求項１記載の半導体集積回路。

【請求項９】

アンテナを構成するコイルと、

接続端子を構成する複数の金属端子と、

請求項１記載の半導体集積回路と、を有し、

前記半導体集積回路のアンテナ端子が前記コイルに接続され、

前記半導体集積回路の電源端子及びグランド端子が所定の金属端子に接続された、ＩＣカード。

【請求項１０】

アンテナからアンテナ端子に与えられる交流信号を整流及び平滑化して第１の電源ラインに直流電圧を得る第１の電源回路と、

外部から電源が入力される電源端子と前記第１の電源ラインとの間に配置された第１のＭＯＳトランジスタのゲート端子電圧を制御する電圧制御回路を有する第２の電源回路と、

前記第１のＭＯＳトランジスタのソース電圧を基板電圧として形成する基板電位制御回路と、

前記第１電源回路で生成する電圧を電源に用いるとき前記第１のＭＯＳトランジスタの基板電圧とゲート電圧を導通させ、外部端子からの電源を用いる場合には非導通とする第２のＭＯＳトランジスタと、を有する半導体集積回路。

【請求項１１】

前記基板電位制御回路は、前記第１のＭＯＳトランジスタの遮断状態において前記第１の電源ラインの電圧を前記基板電圧として出力し、前記第１のＭＯＳトランジスタの非遮断状態において前記第１の電源端子の電圧を前記基板電圧として出力する、請求項１０記載の半導体集積回路。

【請求項１２】

前記基板電位制御回路は、前記基板電圧の出力端子と前記電源端子との間に配置された第３のＭＯＳトランジスタと、前記基板電圧の出力端子と前記第１の電源ラインとの間に配置された第４のＭＯＳトランジスタと、前記第３ＭＯＳトランジスタ及び第４ＭＯＳトランジスタのゲート端子電圧を制御するゲート電圧制御回路とを有し、

前記ゲート電圧制御回路は、前記電源端子の電位が前記第１の電源ラインの電位よりも高いときには前記第３のＭＯＳトランジスタをオン状態とし、前記電源端子の電位が前記第１の電源ラインの電位よりも低いときには前記第４のＭＯＳトランジスタをオン状態として、前記第１のＭＯＳトランジスタの基板電圧を前記第１のＭＯＳトランジスタのソース端子の電位と同電位にする、請求項１１記載の半導体集積回路。

【請求項１３】

前記第３ＭＯＳトランジスタ及び第４ＭＯＳトランジスタは、夫々の基板が前記基板電圧の出力端子と同電位にされるＰチャンネル型ＭＯＳトランジスタであり、

前記ゲート電圧制御回路は、前記第３ＭＯＳトランジスタのゲートを前記第１の電源ラインに接続する配線と、前記第４ＭＯＳトランジスタのゲートを前記電源端子に接続する配線とから成る、請求項１２記載の半導体集積回路。

【請求項１４】

アンテナを構成するコイルと、

接続端子を構成する複数の金属端子と、

請求項１０記載の半導体集積回路と、を有し、

前記半導体集積回路のアンテナ端子が前記コイルに接続され、

前記半導体集積回路の電源端子及びグランド端子が所定の金属端子に接続された、ＩＣカード。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＩＣカードに搭載される半導体集積回路等に適用して好適な電源制御技術に係り、特に、ＩＣカードに具備されたアンテナで受けた電磁波から生成した電源電圧とＩＣカードに具備された接触端子を介して外部から供給された電源電圧とを選択して動作する半導体集積回路及びそれを用いたＩＣカードに関する。

【背景技術】

【０００２】

カードの内部にＣＰＵやメモリ等の機能を有した半導体集積回路を備え、この半導体集積回路との接触端子をカード表面上に備えた接触型ＩＣカードが、金融等の分野で普及しつつある。

【０００３】

この接触型ＩＣカードは、ＣＰＵ等によってメモリへの書込み・消去、および読出しが管理される共に、暗号処理機能等を有することで、接触型ＩＣカードの高セキュリティ性能が実現されている。このような機能を実現するＣＰＵ等では、昨今の半導体プロセスの微細化により素子耐圧が低下しており、ＣＰＵに供給される電源電圧はその素子耐圧を超えないレベルに抑制されている。そのため、ＣＰＵ等には電源電圧端子からの電圧レベルを抑制するレギュレータ回路を介して、電源電圧が供給されることが一般的である。

【０００４】

一方、バッテリ等の電源を持たず、アンテナで受けた電磁波から内部回路が動作するための電源電圧を生成して動作する非接触型ＩＣカードが交通等の分野で盛んに使われるようになってきた。非接触型ＩＣカードは、リーダ・ライタ（質問器）から電磁波を変調して送られるデータを受信し、受信したデータを信号処理して得られたデータに応じて、アンテナ端子間の負荷を変動することでアンテナで受信している電磁波を変調し、データをリーダ・ライタ（質問器）に送信する。

【０００５】

接触型ＩＣカードと同様に、非接触型ＩＣカードにおいても、上記のような機能を実現するためにＣＰＵやメモリ等が搭載されるため、ＣＰＵ等には、その構成素子の素子耐圧を超えないように抑制された電源電圧が供給される。

【０００６】

以上のような、接触型ＩＣカードと非接触型ＩＣカードとの機能を兼用できるデュアルウェイＩＣカードでは、ＩＣカードの動作状態に応じて、接触端子として設けられる電源電圧端子からレギュレータ回路を介して供給される電源電圧とアンテナで受けた電磁波から生成した電源電圧とが、選択的に内部に搭載されるＣＰＵ等の内部回路に供給される。

【０００７】

このように、複数の電源入力手段を有し、供給された電源を切替えて使用する場合に発生し得る入力電圧源の短絡や、非接触動作時における金属の接触等が引き起こす電源端子とグランド端子の短絡を防止するためには、選択した電源以外の電源入力を分離する必要がある。

【０００８】

そこで、電源電圧端子と内部電源ラインとの間に電源スイッチ回路を備え、アンテナで受けた電磁波から生成した電源で動作する場合は、電源電圧端子からの入力を遮断する技術がある（特許文献１参照）。

【０００９】

また、特許文献１に記載の電源スイッチ回路をＰＭＯＳトランジスタで構成した場合には、ＰＭＯＳトランジスタのバルク端子とソース端子との間に生成される寄生ダイオードを通して、電源電圧端子と内部電源ラインの間に電流経路が生成されるため、内部電源ラインを電源電圧端子から完全に遮断することができなかった。

【００１０】

そこで、電源スイッチ回路を２つの直列接続されたＰＭＯＳトランジスタで構成することで、寄生ダイオードによる電流経路を生成することなく、内部電源ラインを電源電圧端子から完全に遮断する技術がある（特許文献２参照）。

【００１１】
【特許文献１】特開２０００－１１３１４８号公報
【特許文献２】特開２００４－７８８９８号公報
【発明の開示】
【発明が解決しようとする課題】
【００１２】
特許文献１に示されるように、電源スイッチ回路をＮＭＯＳトランジスタで構成した場合、電源電圧端子から供給される電源電圧が低くなると、ＮＭＯＳトランジスタが十分にオンするゲート電圧が生成されるまでに長い時間を必要とし、その間、内部電源ラインには十分な電圧が供給されないため、動作モードの判定等の処理を行うことも困難となり、チップが動作を開始するまでの時間が必要であった。
【００１３】
更には、電源電圧端子から供給される電源電圧が低い場合においても電源スイッチ回路の電圧ロスを小さくするためには、ＮＭＯＳトランジスタのトランジスタサイズの拡張や、ＮＭＯＳトランジスタのゲート端子に十分に大きな電圧を供給するなどして、ＮＭＯＳトランジスタのオン抵抗を小さくしなければならない。特に、電源電圧端子から供給される電源電圧が低く、内部回路の消費電力が大きい場合には、その影響が大きくなるため、チップ面積や消費電流の増大を抑制することは困難であった。
【００１４】
一方、特許文献２に示されるように、電源スイッチ回路をＰＭＯＳトランジスタで構成した場合、電源電圧端子から供給される電源電圧が低くなると、電源スイッチを構成するＰＭＯＳトランジスタのゲート・ソース間電圧も小さくなるため、電源スイッチによる電圧ロスが大幅に増大する。そのため、電源スイッチを構成するＰＭＯＳトランジスタのオン抵抗を低減するためには、トランジスタサイズを大きくする必要があった。
【００１５】
更には、特許文献２に示される電源スイッチ回路は、電源スイッチ回路を構成するＰＭＯＳトランジスタのドレイン端子及びソース端子と、基板端子の間に形成される寄生ダイオードによる電流経路をも遮断するために、大きなトランジスタサイズを必要とするＰＭＯＳトランジスタが２つ使用する必要があった。そのため、電源電圧端子から供給される電源電圧が低い電圧の場合における電源スイッチ回路による電圧ロスを低減するためには、ＰＭＯＳトランジスタのサイズを大幅に拡張することが必要であり、チップ面積の増大を抑制することは困難であった。
【００１６】
本発明の目的は、チップ面積を大幅に増大させることなく、非接触動作時において電源電圧端子と内部回路とを分離する機能を実現すると共に、接触動作時に電源電圧端子から供給される電圧を損失させることなく内部回路に供給することが可能な回路技術を提供することにある。
【００１７】
本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。
【課題を解決するための手段】
【００１８】
本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。
【００１９】
すなわち、アンテナからアンテナ端子に与えられる交流信号を整流及び平滑化して第１の電源ラインに直流電圧を得る第１の電源回路と、外部から電源が入力される電源端子と前記第１の電源ラインとの間に配置された第１のＭＯＳトランジスタゲート端子電圧を制御する電圧制御回路を有する第２の電源回路と、前記第１のＭＯＳトランジスタの基板電圧を制御する基板電位制御回路とを有し、前記第１電源回路で生成する電圧を電源に用い

るときは例えば第１のＭＯＳトランジスタの基板電圧とゲート電圧をそのソース電圧に等しくして前記第１のＭＯＳトランジスタを遮断することで前記電源端子と前記第１の電源ラインとを分離する。外部端子からの電源を用いる場合には前記第１のＭＯＳトランジスタの相互コンダクタンス制御によって前記電源端子からの電圧を所定の電圧に抑制して前記第１の電源ラインに出力する。

【発明の効果】

【００２０】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【００２１】

すなわち、電源用の外部端子と内部の電源ラインとの間に電源スイッチ回路を形成する大きなトランジスタを追加することなく、非接触動作時に電源電圧端子と内部電源ラインとを分離することが可能なる。

【発明を実施するための最良の形態】

【００２２】

１．実施の形態の概要

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【００２３】

〔１〕本発明に係る半導体集積回路は、アンテナに接続されるアンテナ端子と、前記アンテナから前記アンテナ端子に与えられる交流信号を整流及び平滑化して第１の電源ラインに直流電圧を得る第１の電源回路（Ｕ３）と、外部から電源が入力される電源端子（ＶＤＤ）及びグランド端子（ＶＳＳ）と、前記電源端子と前記第１の電源ラインとの間に配置された第１のＭＯＳトランジスタ（Ｍ１）、及び前記第１のＭＯＳトランジスタのゲート端子電圧を制御する電圧制御回路（Ｂ２）から成る第２の電源回路と、前記第１のＭＯＳトランジスタの基板電圧を制御する基板電位制御回路（Ｂ１）と、を備える。前記第１電源回路で生成する電圧を電源に用いるときには前記第１のＭＯＳトランジスタが遮断されることで前記電源端子と前記第１の電源ラインとを分離し、外部端子からの電源を用いる場合には前記電源制御回路が前記第１のＭＯＳトランジスタを制御して前記電源端子及び前記グランド端子から供給される電圧を所定の電圧に抑制し、前記第１の電源ラインに出力する。

【００２４】

〔２〕項１の半導体集積回路は更に、前記第１電源回路で生成する電圧を電源に用いるとき前記第１のＭＯＳトランジスタの基板電圧とゲート電圧を導通させ、外部端子からの電源を用いる場合には非導通とする第２のＭＯＳトランジスタ（Ｍ２）を有する。

【００２５】

〔３〕項２の半導体集積回路において、前記基板電位制御回路は、前記第１のＭＯＳトランジスタの遮断状態において前記第１の電源ラインの電圧を前記基板電圧として出力し、前記第１のＭＯＳトランジスタの非遮断状態において前記第１の電源端子の電圧を前記基板電圧として出力する。

【００２６】

〔４〕項３の半導体集積回路において、前記基板電位制御回路は、前記基板電圧の出力端子と前記電源端子との間に配置された第３のＭＯＳトランジスタ（Ｍ３）と、前記基板電圧の出力端子と前記第１の電源ラインとの間に配置された第４のＭＯＳトランジスタ（Ｍ４）と、前記第３ＭＯＳトランジスタ及び第４ＭＯＳトランジスタのゲート端子電圧を制御するゲート電圧制御回路（Ｂ４）とを有する。前記ゲート電圧制御回路は、前記電源端子の電位が前記第１の電源ラインの電位よりも高いときには前記第３のＭＯＳトランジスタをオン状態とし、前記電源端子の電位が前記第１の電源ラインの電位よりも低いときには前記第４のＭＯＳトランジスタをオン状態として、前記第１のＭＯＳトランジスタの

基板電圧を前記第１のＭＯＳトランジスタのソース端子の電位と同電位にする。

【００２７】

〔５〕項４の半導体集積回路において、前記第３ＭＯＳトランジスタ及び第４ＭＯＳトランジスタは、夫々の基板が前記基板電圧の出力端子と同電位にされるＰチャンネル型ＭＯＳトランジスタである。前記ゲート電圧制御回路は、前記第３ＭＯＳトランジスタのゲートを前記第１の電源ラインに接続する配線と、前記第４ＭＯＳトランジスタのゲートを前記電源端子に接続する配線とから成る。

【００２８】

〔６〕項１の半導体集積回路において、前記電源端子と前記グランド端子の間にプルダウン回路（Ｂ５）を有する。前記検出回路が前記交流信号に基づく電源の形成を検出することに基づいて、前記プルダウン回路は電源端子とグランド端子の間の抵抗値を小さくする。

【００２９】

〔７〕項１の半導体集積回路において、前記検出回路は、第１のＭＯＳトランジスタの基板端子に入力される電圧（ＶＤＤＨ）を電源電圧として動作する。

【００３０】

〔８〕項１の半導体集積回路において、前記第１の電源ラインに供給される電圧を電源電圧として動作される内部回路（Ｕ６）を有する。

【００３１】

〔９〕本発明に係るＩＣカードは、アンテナを構成するコイルと、接続端子を構成する複数の金属端子と、

項１の半導体集積回路とを有し、前記半導体集積回路のアンテナ端子が前記コイルに接続され、前記半導体集積回路の電源端子及びグランド端子が所定の金属端子に接続される。

【００３２】

〔１０〕本発明の別の観点による半導体集積回路は、アンテナからアンテナ端子に与えられる交流信号を整流及び平滑化して第１の電源ライン（ＶＤＤＡ）に直流電圧を得る第１の電源回路（Ｕ３）と、外部から電源が入力される電源端子（ＶＤＤ）と前記第１の電源ラインとの間に配置された第１のＭＯＳトランジスタ（Ｍ１）のゲート端子電圧を制御する電圧制御回路（Ｂ２）を有する第２の電源回路と、前記第１のＭＯＳトランジスタのソース電圧を基板電圧として形成する基板電位制御回路（Ｂ１）と、前記第１電源回路で生成する電圧を電源に用いるとき前記第１のＭＯＳトランジスタの基板電圧とゲート電圧を導通させ、外部端子からの電源を用いる場合には非導通とする第２のＭＯＳトランジスタと、を有する。

【００３３】

〔１１〕項１０の半導体集積回路において、前記基板電位制御回路は、前記第１のＭＯＳトランジスタの遮断状態において前記第１の電源ラインの電圧を前記基板電圧として出力し、前記第１のＭＯＳトランジスタの非遮断状態において前記第１の電源端子の電圧を前記基板電圧として出力する。

【００３４】

〔１２〕項１１の半導体集積回路において、前記基板電位制御回路は、前記基板電圧の出力端子と前記電源端子との間に配置された第３のＭＯＳトランジスタと、前記基板電圧の出力端子と前記第１の電源ラインとの間に配置された第４のＭＯＳトランジスタと、前記第３ＭＯＳトランジスタ及び第４ＭＯＳトランジスタのゲート端子電圧を制御するゲート電圧制御回路とを有する。前記ゲート電圧制御回路は、前記電源端子の電位が前記第１の電源ラインの電位よりも高いときには前記第３のＭＯＳトランジスタをオン状態とし、前記電源端子の電位が前記第１の電源ラインの電位よりも低いときには前記第４のＭＯＳトランジスタをオン状態として、前記第１のＭＯＳトランジスタの基板電圧を前記第１のＭＯＳトランジスタのソース端子の電位と同電位にする。

【００３５】

〔１３〕項１２の半導体集積回路において、前記第３ＭＯＳトランジスタ及び第４ＭＯＳトランジスタは、夫々の基板が前記基板電圧の出力端子と同電位にされるＰチャンネル型ＭＯＳトランジスタである。前記ゲート電圧制御回路は、前記第３ＭＯＳトランジスタのゲートを前記第１の電源ラインに接続する配線と、前記第４ＭＯＳトランジスタのゲートを前記電源端子に接続する配線とから成る。

【００３６】

〔１４〕本発明に係るＩＣカードは、アンテナを構成するコイルと、接続端子を構成する複数の金属端子と、項１０の半導体集積回路と、を有し、前記半導体集積回路のアンテナ端子が前記コイルに接続され、前記半導体集積回路の電源端子及びグランド端子が所定の金属端子に接続される。

【００３７】

２．実施の形態の詳細

実施の形態について更に詳述する。

【００３８】

《実施の形態１》

図１は、本発明の半導体集積回路及びＩＣカードの第１の実施の形態を示す基本構成のブロック図である。

【００３９】

図１において、Ｕ１はＩＣカード、Ｕ２はＩＣカードＵ１に搭載される半導体集積回路、Ｌ１はＩＣカードＵ１に搭載されるアンテナである。アンテナＬ１と並列に接続された容量ＣＡは、共振回路を構成する。この共振容量ＣＡは、寄生容量等も考慮して調整されるため、必ずしも接続されるものではない。半導体集積回路Ｕ２は、非接触動作用電源回路Ｕ３、電源電圧端子入力制御回路Ｕ４、接触／非接触判定回路Ｕ５、内部回路Ｕ６を有し、アンテナＬ１を接続するためのアンテナ端子ＬＡ及びＬＢ、外部接触端子Ｕ１２に接続される電源電圧端子ＶＤＤ、グランド端子ＶＳＳ及び信号入出力端子ＰＩＯを有している。

【００４０】

図２に、ＩＣカードＵ１の構造を示す。ＩＣカードＵ１は、樹脂モールドされたプリント基板Ｕ１３によってカードの形態を成す。外部のリーダ・ライタＵ１７からの電磁波を受けるアンテナＬ１は、プリント基板Ｕ１３の配線により形成される渦巻き状のコイルＵ１４によって構成される。外部との接触端子Ｕ１２はＩＣカードＵ１の表面上に分離して形成された複数の金属端子Ｕ１６によって構成される。１個のＩＣチップＵ１５で構成された半導体集積回路Ｕ２には、ＩＣチップＵ１５にアンテナとなるコイルＵ１４と金属端子Ｕ１６と接続される。リーダ・ライタＵ１７からの電磁波を受けたアンテナＬ１は、アンテナ端子ＬＡ及びＬＢに高周波の交流信号を出力する。交流信号は、部分的に情報信号（データ）によって変調されている。

【００４１】

また、特に限定はされないが、半導体集積回路Ｕ２は、公知の半導体集積回路の製造技術によって、単結晶シリコン等のような１個の半導体基板上に形成される。

【００４２】

図１において、非接触動作用電源回路Ｕ３は、整流回路、平滑容量から構成される。勿論、電源回路Ｕ３が出力する電圧が所定の電圧レベルを超えないように制御するレギュレータ機能を設けても良い。

【００４３】

非接触動作用電源回路Ｕ３の出力電圧、及び、電源端子ＶＤＤから電源電圧入力制御回路Ｕ４を介して供給される電源電圧は内部電源ラインＶＤＤＡに供給され、内部回路Ｕ６の電源電圧として利用される。

【００４４】

接触／非接触の判定回路Ｕ５は、電源の供給元を検出することで、接触端子Ｕ１２を使用して動作する状態（接触モード）であるか、アンテナＬ１を使用して動作する状態（非

接触モード）であるかを判定し、判定信号Ｓ２を出力する。ここで、接触／非接触の判定回路Ｕ５には、アンテナＬ１から電力が供給されていない場合に接触モードであると判定する回路を使用しても良いし、接触端子Ｕ１２から電力が供給されている場合に接触モードであると判定する回路を使用しても良い。

【００４５】

電源電圧入力制御回路Ｕ４は接触／非接触の判定回路Ｕ５の出力信号Ｓ２によってその動作状態が制御されるものであり、接触モードでの動作時には、電源電圧端子ＶＤＤに入力された電源電圧を所定の電圧値に抑制して内部電源ラインＶＤＤＡに供給する、所謂レギュレータ回路として動作し、非接触モードでの動作時には、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡとを分離する。

【００４６】

内部回路Ｕ６は、受信回路Ｕ７、送信回路Ｕ８、制御回路Ｕ９、メモリＵ１０、Ｉ／Ｏ回路Ｕ１１から構成される。受信回路Ｕ７は、ＩＣカードに備えられるアンテナＬ１によって受信された交流信号に重畳された情報信号を復調してディジタルの情報信号として制御回路Ｕ９に供給する。送信回路Ｕ８は、制御回路Ｕ９から出力されるディジタル信号の情報信号を受け、アンテナＬ１が受信している交流信号を同情報信号によって変調する。リーダ・ライタＵ１７は、アンテナＬ１からの電磁波の反射が上記変調によって変化することを受けて、制御回路Ｕ９からの情報信号を受信する。メモリＵ１０は、制御回路Ｕ７との間で復調された情報データや送信データの記録などに利用される。

【００４７】

更に、制御回路Ｕ９は、Ｉ／Ｏ回路Ｕ１１及び信号入出力端子ＰＩＯを介して外部装置と信号のやりとりを行うこともできる。信号入出力端子ＰＩＯを介して信号のやり取りを行うとき、内部回路Ｕ６は、電源電圧端子ＶＤＤ及びグランド端子ＶＳＳから供給される電源電圧を利用して動作する。

【００４８】

図３は、実施の形態１の半導体集積回路に搭載される電源電圧入力制御回路Ｕ４の基本構成図である。ここでは、説明を明確にするために、電源電圧入力制御回路Ｕ４の周辺回路に関わる非接触用電源回路Ｕ３、接触／非接触判定回路Ｕ５、接触端子Ｕ１２を構成する電源電圧端子ＶＤＤ及びグランド端子ＶＳＳが記載している。

【００４９】

図３において、Ｐチャンネル型ＭＯＳトランジスタ（以下単にＰＭＯＳトランジスタとも記す）Ｍ１は電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡとの間に接続され、ＰＭＯＳトランジスタＭ１の基板電圧には基板電位制御回路Ｂ１の出力電圧が供給される電圧ラインＶＤＤＨが接続され、ＰＭＯＳトランジスタＭ１のゲート端子には電圧制御回路Ｂ２とプルアップ回路Ｂ３によって生成される制御信号Ｓ１が入力される。

【００５０】

電圧制御回路Ｂ２は、次の回路により構成される。内部電源ラインＶＤＤＡとグランド端子ＶＳＳの間に、分圧抵抗Ｒ１及び分圧抵抗Ｒ２が設けられる。これら分圧抵抗Ｒ１とＲ２の接続点に得られる分圧電圧は、演算増幅回路Ａ１の非反転入力（＋）に供給される。この演算増幅回路Ａ１の反転入力（－）とグランド端子ＶＳＳの間には基準電圧源Ｖ１が接続される。また、電圧制御回路Ｂ２は、接触／非接触判定回路Ｕ５が出力する判定信号Ｓ２によって、動作／非動作が制御されるものであり、例えば信号Ｓ２のハイレベルによって指示される接触モードでの動作時には動作が許可され、信号Ｓ２のローレベルによって指示される非接触モードでの動作時には停止する。電圧制御回路Ｂ２の動作電源はＶＤＤまたはＶＤＤＨとされる。また、電圧制御回路Ｂ２の動作電源は、信号Ｓ２がハイレベルのとき図示を省略するパワースイッチを介して電圧制御回路Ｂ２に電源ＶＤＤまたはＶＤＤＨが供給される形態を取ってもよい。

【００５１】

以上の構成により、電圧制御回路Ｂ２は、接触モードでの動作時にのみ、分圧抵抗Ｒ１とＲ２の接続点に得られる分圧電圧と基準電圧源Ｖ１の出力電圧との差分に比例した電圧

を生成し、この電圧を制御信号Ｓ１として出力する。信号Ｓ１を受けるＰＭＯＳトランジスタＭ１は抵抗Ｒ１，Ｒ２による分圧電圧が基準電圧Ｖ１に等しくなるようにその相互コンダクタンスが制御されて、レギュレータとしての動作が行われる。

【００５２】

プルアップ回路Ｂ３は、ＰＭＯＳトランジスタＭ２によって構成され、接触／非接触の判定回路Ｕ５が出力する判定信号Ｓ２によってオン／オフが制御されるものであり、信号Ｓ２のハイレベルによる接触モードでの動作時にはＰＭＯＳトランジスタＭ２はオフし、信号Ｓ２のローレベルによる非接触モードでの動作時にはＰＭＯＳトランジスタＭ２はオンする。ＰＭＯＳトランジスタＭ２のオン状態によりＰＭＯＳトランジスタＭ１はオフ状態にされる。

【００５３】

基板電位制御回路Ｂ１は、入力端子Ｔ１には電源電圧端子ＶＤＤが接続され、入力端子Ｔ２には内部電源ラインＶＤＤＡが接続され、出力端子Ｔ３には電圧ラインＶＤＤＨが接続される。

【００５４】

図４には、実施の形態１の半導体集積回路に搭載される電源電圧入力制御回路Ｕ４を構成する基板電位制御回路Ｂ１の入出力特性の一例を示す。ここでは、説明を簡略化するため、電源ラインＶＤＤＡの電圧が一定として、電源電圧端子ＶＤＤの電圧が変化した場合における電圧ラインＶＤＤＨの電圧変化を示してある。

【００５５】

図４に示されるように、基板電位制御回路Ｂ１は、入力端子Ｔ１に接続される電源電圧端子ＶＤＤの電圧レベルと入力端子Ｔ２に接続される電源ラインＶＤＤＡを比較し、電圧レベルの高い電圧信号を電圧ラインＶＤＤＨに出力する機能を有する回路である。

【００５６】

これにより、基板電位制御回路Ｂ１は、ＰＭＯＳトランジスタＭ１がオン状態にされる接触モードにおいて、ＰＭＯＳトランジスタＭ１の基板端子にソース端子と同レベルの電圧を供給することになる。ＰＭＯＳトランジスタＭ１の基板端子とソース端子との間に形成される寄生ダイオードの両端が電位的に等しくされると共に、ＰＭＯＳトランジスタＭ１の基板端子とドレイン端子との間に形成される寄生ダイオードには常に逆バイアスが印加されるため、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡの間に電流経路が形成されず、内部電源ラインＶＤＤＡを電源電圧端子ＶＤＤから完全に遮断することができる。

【００５７】

ここで前記判定回路Ｕ５の判定機能について補足する。無電源状態では電源電圧入力制御回路Ｕ４及び判定回路Ｕ５の内部ノードはローレベルに収束され、信号Ｓ１，Ｓ２、内部電圧ＶＤＤＨ、ＶＤＤＡは、ともにローレベルにされている。例えば、判定回路Ｕ５は、ＶＤＤＡがローレベルのとき、ＶＤＤのハイレベルを一旦検出する事によりＳ２をハイレベルに反転してこの状態を維持し、ＶＤＤがローレベルのとき、ＶＤＤＡのハイレベルを一旦検出する事によりＳ２をローレベルに維持する。また、判定回路Ｕ５は、アンテナ端子から電力が供給されていることが検出できない場合には、Ｓ２をハイレベルに反転してこの状態を維持し、アンテナ端子から電力が供給されていることを検出することによりＳ２をローレベルに維持する形態を取っても良い。いずれの場合においても、判定回路Ｕ５の動作電源はＶＤＤＨとすることで、判定回路Ｕ５には電源が供給され、安定した判定動作を行うことが可能である。

【００５８】

図３で示した回路構成において、接触端子Ｕ１２を使用して動作する状態（接触モード）における各部の動作は以下の通りとなる。

【００５９】

接触端子Ｕ１２を構成する電源電圧端子ＶＤＤとグランド端子ＶＳＳの間に電圧が印加され、アンテナＬ１には外部からの電磁波が供給されない場合、接触／非接触判定回路Ｕ５は接触モードであると判定し、判定信号Ｓ２をハイレベルにして出力する。

【００６０】
この判定信号Ｓ２はプルアップ回路Ｂ３と電圧制御回路Ｂ２に入力され、プルアップ回路Ｂ３を構成するＰＭＯＳトランジスタＭ２がオフすると共に、電圧制御回路Ｂ２が動作するように制御されるため、ＰＭＯＳトランジスタＭ１のゲート端子には電圧制御回路Ｂ２によって生成される制御信号Ｓ１が供給される。
【００６１】
以上の動作により、接触モードでの動作時には、ＰＭＯＳトランジスタＭ２と電圧制御回路Ｂ２とが、内部電源ラインＶＤＤＡの電圧を所定の電圧値に抑制するレギュレータ回路として動作する。このとき、内部電源ラインＶＤＤＡの電位は電源電圧端子ＶＤＤの電位より低くなることから、ＰＭＯＳトランジスタＭ１の基板端子には、基板電位制御回路Ｂ１によって、電源電圧端子ＶＤＤと同電位に制御される。
【００６２】
図３で示した回路構成において、アンテナＬ１を使用して動作する状態（非接触モード）における各部の動作は以下の通りとなる。
【００６３】
接触端子Ｕ１２を構成する電源電圧端子ＶＤＤとグランド端子ＶＳＳの間には電圧が印加されず、アンテナＬ１に外部からの電磁波が供給されている場合、接触／非接触判定回路Ｕ５は非接触モードであると判定し、判定信号Ｓ２をローレベルとして出力する。
【００６４】
この判定信号Ｓ２はプルアップ回路Ｂ３と電圧制御回路Ｂ２に入力され、これによって電圧制御回路Ｂ２が停止されると共に、プルアップ回路Ｂ３を構成するＰＭＯＳトランジスタＭ２がオンされるため、ＰＭＯＳトランジスタＭ１のゲート端子には電圧ラインＶＤＤＨと同電位に制御される。
【００６５】
以上の動作により、非接触モードでの動作時には、ＰＭＯＳトランジスタＭ１はオフの状態が維持されるため、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡは完全に分離される。
【００６６】
そのため、非接触モードでの動作時に、電源電圧端子ＶＤＤとグランド端子ＶＳＳの間に電圧が印加されたとしても、電源電圧端子ＶＤＤの電位と内部電源ラインＶＤＤＡの電位の大小関係に関わらず、ＰＭＯＳトランジスタＭ１のゲート端子及び基板端子は電位的に等しい状態を維持しながら、その電位はＰＭＯＳトランジスタＭ１のソース端子と同電位に維持されるため、ＰＭＯＳトランジスタＭ１はオフの状態を維持し、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡは完全に分離された状態を維持することが可能になる。
【００６７】
以上のように、基板電位制御回路Ｂ１によりレギュレータ回路を構成するＰＭＯＳトランジスタＭ１の基板電位を最適な状態に維持し、接触モードと非接触モードの動作におけるＰＭＯＳトランジスタＭ１のゲート電圧の制御方法を切替えることで、ＰＭＯＳトランジスタＭ１を、接触モードでの動作時にはレギュレータ回路を構成する電圧抑制用トランジスタとして動作させることで内部電源ラインＶＤＤに所定の電圧を供給し、非接触モードでの動作時には電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡを分離するスイッチトランジスタとして動作させることが可能になる。
【００６８】
これにより、前述の通り、一般的に搭載されるレギュレータ回路を構成するトランジスタを電源分離を実現するスイッチトランジスタとして利用することが可能になるため、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡの間に分離用のトランジスタは不要になり、チップ面積の増大を極めて小さく抑制することが可能になる。
【００６９】
図５は、実施の形態１の半導体集積回路に搭載される基板電位制御回路Ｂ１の具体的な構成の一例を示す回路構成図である。

【００７０】
図５に示す基板電位制御回路Ｂ１は、基板端子が出力端子Ｔ３に接続されたＰＭＯＳトランジスタＭ３及びＭ４と、ＰＭＯＳトランジスタＭ３及びＭ４のゲート端子を制御するゲート端子制御回路Ｂ４によって構成される。ゲート端子に制御信号Ｓ３が入力されたＰＭＯＳトランジスタＭ３と、ゲート端子に制御信号Ｓ４が入力されたＰＭＯＳトランジスタＭ４が、入力端子Ｔ１と入力端子Ｔ２の間に直列接続され、ＰＭＯＳトランジスタＭ３とＰＭＯＳトランジスタＭ４の接続点を出力接続端子Ｔ３とする。また、ゲート端子制御回路Ｂ４は、入力端子Ｔ１を制御信号Ｓ４として出力し、入力端子Ｔ２を制御信号Ｓ３として出力する構成である。

【００７１】
以上の回路構成を成す基板電位制御回路Ｂ１は、図３で示した電源電圧入力制御回路Ｕ４において、入力端子Ｔ１に電源電圧端子ＶＤＤが接続され、入力端子Ｔ２に内部電源ラインＶＤＤＡが接続され、出力端子Ｔ３に電圧ラインＶＤＤＨが接続される。

【００７２】
ここで、電源電圧端子ＶＤＤの電位が内部電源ラインＶＤＤＡの電位よりも高ければ、ＰＭＯＳトランジスタＭ３はオンし、ＰＭＯＳトランジスタＭ４はオフするため、出力端子Ｔ３は入力端子Ｔ１に短絡された状態になり、電圧ラインＶＤＤＨは電源電圧端子ＶＤＤと同電位に制御される。

【００７３】
逆に、電源電圧端子ＶＤＤの電位が内部電源ラインＶＤＤＡの電位よりも低くければ、ＰＭＯＳトランジスタＭ３はオフし、ＰＭＯＳトランジスタＭ４はオンするため、出力端子Ｔ３は入力端子Ｔ２に短絡された状態になり、電圧ラインＶＤＤＨは内部電源ラインＶＤＤＡと同電位に制御される。

【００７４】
これにより、基板電位制御回路Ｂ１は、２つのＰＭＯＳトランジスタＭ３及びＭ４のみの簡単な構成により、図４で示した入出力特性を得ることが可能になる。また、ＰＭＯＳトランジスタＭ３及びＭ４には、定常的に流れる電流は極めて小さいため、そのトランジスタサイズは小さく抑えることが可能である。

【００７５】
尚、ＰＭＯＳトランジスタＭ３及びＭ４の閾値電圧が負の電圧となると、電源電圧端子ＶＤＤと内部電源ラインの電位関係に依らず、ＰＭＯＳトランジスタＭ３及びＭ４が共にオンする条件が発生するため、ＰＭＯＳトランジスタＭ３及びＭ４の閾値電圧は正の電圧であることが好ましい。

【００７６】
図６は、実施の形態１の半導体集積回路に搭載される基板電位制御回路Ｂ１の他の具体的な構成を示す回路構成図である。

【００７７】
図６に示す基板電位制御回路Ｂ１は、基板端子が出力端子Ｔ３に接続されたＰＭＯＳトランジスタＭ３及びＭ４と、ＰＭＯＳトランジスタＭ３及びＭ４のゲート端子を制御するゲート端子制御回路Ｂ４によって構成される。ゲート端子に制御信号Ｓ３が入力されたＰＭＯＳトランジスタＭ３と、ゲート端子に制御信号Ｓ４が入力されたＰＭＯＳトランジスタＭ４が、入力端子Ｔ１と入力端子Ｔ２の間に直列接続され、ＰＭＯＳトランジスタＭ３とＰＭＯＳトランジスタＭ４の接続点を出力端子Ｔ３とする。また、ゲート端子制御回路Ｂ４は電圧比較回路Ａ２及びＡ３によって構成され、電圧比較回路Ａ２は、入力端子Ｔ１の電位が入力端子Ｔ２の電位よりも高ければ制御信号Ｓ３として”Ｌ”を出力し、入力端子Ｔ１の電位が入力端子Ｔ２の電位よりも低ければ制御信号Ｓ３として”Ｈ”を出力する。電圧比較回路Ａ３は、入力端子Ｔ１の電位が入力端子Ｔ２の電位よりも高ければ制御信号Ｓ４として”Ｈ”を出力し、入力端子Ｔ１の電位が入力端子Ｔ２の電位よりも低ければ制御信号Ｓ４として”Ｌ”を出力する。

【００７８】

以上の回路構成を成す基板電位制御回路Ｂ１は、図３で示した電源電圧入力制御回路Ｕ４において、入力端子Ｔ１に電源電圧端子ＶＤＤが接続され、入力端子Ｔ２に内部電源ラインＶＤＤＡが接続され、出力端子Ｔ３に電圧ラインＶＤＤＨが接続される。

【００７９】

ここで、電源電圧端子ＶＤＤの電位が内部電源ラインＶＤＤＡの電位よりも高ければ、電圧比較回路Ａ２は制御信号Ｓ３として”Ｌ”を出力し、電圧比較回路Ａ３は制御信号Ｓ４として”Ｈ”を出力する。これにより、ＰＭＯＳトランジスタＭ３はオンし、ＰＭＯＳトランジスタＭ４はオフするため、出力端子Ｔ３は入力端子Ｔ１に短絡された状態になり、電圧ラインＶＤＤＨは電源電圧端子ＶＤＤと同電位に制御される。

【００８０】

逆に、電源電圧端子ＶＤＤの電位が内部電源ラインＶＤＤＡの電位よりも低ければ、電圧比較回路Ａ２は制御信号Ｓ３として”Ｈ”を出力し、電圧比較回路Ａ３は制御信号Ｓ４として”Ｈ”を出力する。これにより、ＰＭＯＳトランジスタＭ３はオフし、ＰＭＯＳトランジスタＭ４はオンするため、出力端子Ｔ３は入力端子Ｔ２に短絡された状態になり、電圧ラインＶＤＤＨは内部電源ラインＶＤＤＡと同電位に制御される。

【００８１】

これにより、基板電位制御回路Ｂ１は、図４で示した入出力特性を得ることが可能になる。また、電圧比較回路Ａ２及びＡ３によって制御信号Ｓ３及びＳ４を生成しているため、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡの電位差が小さい場合においても、ＰＭＯＳトランジスタＭ３及びＭ４のオン／オフを確実に制御することが可能になり、電源電圧端子ＶＤＤや内部電源ラインＶＤＤＡの電位変動に追従して動作することができる。

【００８２】

図７は、実施の形態１の半導体集積回路に搭載される基板電位制御回路Ｂ１の他の具体的な構成を示す回路構成図である。

【００８３】

図７に示す基板電位制御回路Ｂ１は、基板端子が出力端子Ｔ３に接続されたＰＭＯＳトランジスタＭ３及びＭ４と、ＰＭＯＳトランジスタＭ３及びＭ４のゲート端子を制御するゲート端子制御回路Ｂ４によって構成される。ゲート端子に制御信号Ｓ３が入力されたＰＭＯＳトランジスタＭ３と、ゲート端子に制御信号Ｓ４が入力されたＰＭＯＳトランジスタＭ４が、入力端子Ｔ１と入力端子Ｔ２の間に直列接続され、ＰＭＯＳトランジスタＭ３とＰＭＯＳトランジスタＭ４の接続点を出力端子Ｔ３とする。ゲート端子制御回路Ｂ４は電圧比較回路Ａ３及びＡ３によって構成される。電圧比較回路Ａ２は、ＰＭＯＳトランジスタＭ５及びＭ６と電流源回路Ｉ１及びＩ２から構成される。入力端子Ｔ１とグランド電位の間に、ソース端子と基板端子が接続されたＰＭＯＳトランジスタＭ５と電流源Ｉ１が直列接続され、入力端子Ｔ２とグランド電位の間に、ソース端子と基板端子が接続されたＰＭＯＳトランジスタＭ６と電流源Ｉ２が直列接続される。ＰＭＯＳトランジスタＭ５及びＭ６のゲート端子はＰＭＯＳトランジスタＭ５と電流源Ｉ１の接続点に接続され、ＰＭＯＳトランジスタＭ６と電流源Ｉ２の接続点に生成される電圧信号が制御信号Ｓ３として出力される。電圧比較回路Ａ３は、ＰＭＯＳトランジスタＭ７及びＭ８と電流源回路Ｉ３及びＩ４から構成される。入力端子Ｔ２とグランド電位の間に、ソース端子と基板端子が接続されたＰＭＯＳトランジスタＭ７と電流源Ｉ３が直列接続され、入力端子Ｔ１とグランド電位の間に、ソース端子と基板端子が接続されたＰＭＯＳトランジスタＭ８と電流源Ｉ４が直列接続される。ＰＭＯＳトランジスタＭ７及びＭ８のゲート端子は、ＰＭＯＳトランジスタＭ７と電流源Ｉ３の接続点に接続され、ＰＭＯＳトランジスタＭ８と電流源Ｉ４の接続点に生成される電圧信号が制御信号Ｓ４として出力される。

【００８４】

以上の回路構成を成す基板電位制御回路Ｂ１は、図３で示した電源電圧入力制御回路Ｕ４において、入力端子Ｔ１に電源電圧端子ＶＤＤが接続され、入力端子Ｔ２に内部電源ラインＶＤＤＡが接続され、出力端子Ｔ３に電圧ラインＶＤＤＨが接続される。

【００８５】

以下、図７に示す基板電位制御回路Ｂ１の動作説明を簡略化するために、ＰＭＯＳトランジスタＭ５～Ｍ８のトランジスタサイズは等しく、電流源Ｉ１～Ｉ４の電流値は等しいものとする。

【００８６】

ここで、電源電圧端子ＶＤＤの電位が内部電源ラインＶＤＤＡの電位よりも高ければ、電圧比較回路Ａ２において、ＰＭＯＳトランジスタＭ５及びＭ６のゲート電位が等しく、その電位はＰＭＯＳトランジスタＭ５が電流源Ｉ１から供給される電流を流すことができる電位に制御されることから、ＰＭＯＳトランジスタＭ６のゲート・ソース間電圧はＰＭＯＳトランジスタＭ５のゲート・ソース間電圧よりも小さくなり、ＰＭＯＳトランジスタＭ６と電流源Ｉ２の接続点の電位は降下し、やがてグランドほぼ同電位となる。

【００８７】

一方、電圧比較回路Ａ３において、ＰＭＯＳトランジスタＭ７及びＭ８のゲート電位が等しく、その電位はＰＭＯＳトランジスタＭ７が電流源Ｉ３から供給される電流を流すことができる電位に制御されることから、ＰＭＯＳトランジスタＭ８のゲート・ソース間電圧はＰＭＯＳトランジスタＭ７のゲート・ソース間電圧よりも大きくなり、ＰＭＯＳトランジスタＭ８と電流源Ｉ４の接続点の電位は上昇し、やがて内部電源ラインＶＤＤＡとほぼ同電位となる。

【００８８】

以上の動作により、ＰＭＯＳトランジスタＭ３はオンし、ＰＭＯＳトランジスタＭ４はオフするため、出力端子Ｔ３は出力端子Ｔ１に短絡された状態になり、電圧ラインＶＤＤＨは電源電圧端子ＶＤＤと同電位に制御される。

【００８９】

逆に、電源電圧端子ＶＤＤの電位が内部電源ラインＶＤＤＡの電位よりも低ければ、電圧比較回路Ａ２において、ＰＭＯＳトランジスタＭ５及びＭ６のゲート電位が等しく、その電位はＰＭＯＳトランジスタＭ５が電流源Ｉ１から供給される電流を流すことができる電位に制御されることから、ＰＭＯＳトランジスタＭ６のゲート・ソース間電圧はＰＭＯＳトランジスタＭ５のゲート・ソース間電圧よりも大きくなり、ＰＭＯＳトランジスタＭ６と電流源Ｉ２の接続点の電位は上昇し、やがて内部電源ラインＶＤＤＡとほぼ同電位となる。

【００９０】

一方、電圧比較回路Ａ３において、ＰＭＯＳトランジスタＭ７及びＭ８のゲート電位が等しく、その電位はＰＭＯＳトランジスタＭ７が電流源Ｉ３から供給される電流を流すことができる電位に制御されることから、ＰＭＯＳトランジスタＭ８のゲート・ソース間電圧はＰＭＯＳトランジスタＭ７のゲート・ソース間電圧よりも小さくなり、ＰＭＯＳトランジスタＭ８と電流源Ｉ４の接続点の電位は降下し、やがてグランド電位とほぼ同電位となる。

【００９１】

以上の動作により、ＰＭＯＳトランジスタＭ３はオフし、ＰＭＯＳトランジスタＭ４はオンするため、出力端子Ｔ３は出力端子Ｔ２に短絡された状態になり、電圧ラインＶＤＤＨは電源電圧端子ＶＤＤＡと同電位に制御される。

【００９２】

これにより、基板電位制御回路Ｂ１は、図４で示した入出力特性を得ることが可能になる。また、電圧比較回路Ａ２及びＡ３によって制御信号Ｓ３及びＳ４を生成しているため、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡの電位差が小さい場合においても、ＰＭＯＳトランジスタＭ３及びＭ４のオン／オフを確実に制御することが可能になる。

【００９３】

尚、図７では電流源Ｉ１～Ｉ４を用いたが、抵抗等を利用することも可能である。

【００９４】

《実施の形態２》

図８は、実施の形態２の半導体集積回路に搭載される電源電圧入力制御回路Ｕ４の他の

構成を示す基本構成図である。ここでは、本発明の説明を明確にするために、半導体集積回路Ｕ２に搭載される非接触用電源回路Ｕ３、接触／非接触判定回路Ｕ５、接触端子Ｕ１２を構成する電源電圧端子ＶＤＤ及びグランド端子ＶＳＳを記載している。

【００９５】

図８において、ＰＭＯＳトランジスタＭ１は電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡとの間に接続され、ＰＭＯＳトランジスタＭ１の基板電圧には基板電位制御回路Ｂ１の出力電圧が供給される電圧ラインＶＤＤＨが接続され、ＰＭＯＳトランジスタＭ１のゲート端子には電圧制御回路Ｂ２とプルアップ回路Ｂ３によって生成される制御信号Ｓ１が入力され、電源電圧端子ＶＤＤには判定信号Ｓ２によって制御されるプルダウン回路Ｂ５が接続される。

【００９６】

電圧制御回路Ｂ２は、次の回路により構成される。内部電源ラインＶＤＤＡとグランド端子ＶＳＳの間に、分圧抵抗Ｒ１及び分圧抵抗Ｒ２が設けられる。これら分圧抵抗Ｒ１とＲ２の接続点に得られる分圧電圧は、演算増幅回路Ａ１の非反転入力（＋）に供給される。この演算増幅回路Ａ１の反転入力（－）とグランド端子ＶＳＳの間には基準電圧源Ｖ１が接続される。また、電圧制御回路Ｂ２は、接触／非接触の判定回路Ｕ５が出力する判定信号Ｓ２によって、動作／非動作が制御されるものであり、信号Ｓ２のハイレベルによって指示される接触モードでの動作時には動作が許可され、信号Ｓ２のローレベルによって指示される非接触モードでの動作時には停止する。

【００９７】

以上の構成により、電圧制御回路Ｂ２は、接触モードでの動作時にのみ、分圧抵抗Ｒ１とＲ２の接続点に得られる分圧電圧と基準電圧源Ｖ１の出力電圧との差分に比例した電圧を生成し、この電圧を制御信号Ｓ１として出力する。

【００９８】

一方、プルアップ回路Ｂ３は、ＰＭＯＳトランジスタＭ２によって構成され、接触／非接触の判定回路Ｕ５が出力する判定信号Ｓ２によってオン／オフが制御されるものであり、接触モードでの動作時にはＰＭＯＳトランジスタＭ２はオフし、非接触モードでの動作時にはＰＭＯＳトランジスタＭ２はオンする。

【００９９】

また、プルダウン回路Ｂ５は、判定信号Ｓ２を反転するインバータ回路Ｂ６とＮチャンネル型ＭＯＳトランジスタ（以下単にＮＭＯＳトランジスタとも記す）Ｍ９によって構成され、接触／非接触の判定回路Ｕ５が出力する判定信号Ｓ２によってオン／オフが制御されるものであり、接触モードでの動作時にはＮＭＯＳトランジスタＭ９はオフし、非接触モードでの動作時にはＮＭＯＳトランジスタＭ９はオンする。

【０１００】

基板電位制御回路Ｂ１は、入力端子Ｔ１には電源電圧端子ＶＤＤが接続され、入力端子Ｔ２には内部電源ラインＶＤＤＡが接続され、出力端子Ｔ３には電圧ラインＶＤＤＨが接続される。

【０１０１】

図４に示したように、基板電位制御回路Ｂ１は、入力端子Ｔ１に接続される電源電圧端子ＶＤＤの電圧レベルと入力端子Ｔ２に接続される電源ラインＶＤＤＡを比較し、電圧レベルの高い電圧信号を電圧ラインＶＤＤＨに出力する機能を有する回路であり、代表的には図５～７で示した回路構成等が適用される。

【０１０２】

これにより、基板電位制御回路Ｂ１は、ＰＭＯＳトランジスタＭ１の基板端子にソース端子と同レベルの電圧を供給し、ＰＭＯＳトランジスタＭ１の基板端子とソース端子との間に形成される寄生ダイオードの両端が電位的に等しくされると共に、ＰＭＯＳトランジスタＭ１の基板端子とドレイン端子との間に形成される寄生ダイオードには常に逆バイアスが印加されるため、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡの間に電流経路が形成されず、内部電源ラインＶＤＤＡを電源電圧端子ＶＤＤから完全に遮断することができ

る。

【０１０３】

図８で示した回路構成において、接触端子Ｕ１２を使用して動作する状態（接触モード）における各部の動作は以下の通りとなる。

【０１０４】

接触端子Ｕ１２を構成する電源電圧端子ＶＤＤとグランド端子ＶＳＳの間に電圧が印加され、アンテナＬ１には外部からの電磁波が供給されない場合、接触／非接触判定回路Ｕ５は接触モードであると判定し、判定信号Ｓ２をハイレベルとして出力する。

【０１０５】

この判定信号Ｓ２はプルアップ回路Ｂ３と電圧制御回路Ｂ２に入力され、プルアップ回路Ｂ３を構成するＰＭＯＳトランジスタＭ２がオフすると共に、電圧制御回路Ｂ２が動作するように制御されるため、ＰＭＯＳトランジスタＭ１のゲート端子には電圧制御回路Ｂ２によって生成される制御信号Ｓ１が供給される。このとき、プルダウン回路Ｂ５にも判定信号Ｓ２が入力されるが、この信号により、プルダウン回路Ｂ５を構成するＮＭＯＳトランジスタＭ９はオフするため、電源電圧入力制御回路Ｂ１の動作に影響は与えない。

【０１０６】

以上の動作により、接触モードでの動作時には、ＰＭＯＳトランジスタＭ２と電圧制御回路Ｂ２とが、内部電源ラインＶＤＤＡの電圧を所定の電圧値に抑制するレギュレータ回路として動作する。このとき、内部電源ラインＶＤＤＡの電位は電源電圧端子ＶＤＤの電位より低くなることから、ＰＭＯＳトランジスタＭ１の基板端子には、基板電位制御回路Ｂ１によって、電源電圧端子ＶＤＤと同電位に制御される。

【０１０７】

図８で示した回路構成において、アンテナＬ１を使用して動作する状態（非接触モード）における各部の動作は以下の通りとなる。

【０１０８】

接触端子Ｕ１２を構成する電源電圧端子ＶＤＤとグランド端子ＶＳＳの間には電圧が印加されず、アンテナＬ１に外部からの電磁波が供給されている場合、接触／非接触の判定回路Ｕ５は非接触モードであると判定し、判定信号Ｓ２をローレベルとして出力する。

【０１０９】

この判定信号Ｓ２はプルアップ回路Ｂ３と電圧制御回路Ｂ２に入力され、これによって電圧制御回路Ｂ２が停止される共に、プルアップ回路Ｂ３を構成するＰＭＯＳトランジスタＭ２がオンされるため、ＰＭＯＳトランジスタＭ１のゲート端子には電圧ラインＶＤＤＨと同電位に制御される。

【０１１０】

更に、判定信号Ｓ２はプルダウン回路Ｂ５にも入力され、プルダウン回路Ｂ５を構成するＮＭＯＳトランジスタＭ９はオンすることで、電源電圧端子ＶＤＤとグランド端子ＶＳＳの間に電流を流し、電源電圧端子ＶＤＤの電位がグランド電位と同等になるように制御する。

【０１１１】

そのため、非接触モードでの動作時には、電源電圧端子ＶＤＤをグランド端子と同電位に固定することが可能になり、内部電源ラインＶＤＤＡの電位は電源電圧端子ＶＤＤの電位よりも大きくなるため、ＰＭＯＳトランジスタＭ１のゲート端子及び基板端子は、電位的に等しい状態を維持しながら、ＰＭＯＳトランジスタＭ１のソース端子即ち内部電源ラインＶＤＤＡと同電位に維持されるため、ＰＭＯＳトランジスタＭ１はオフの状態を維持し、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡは完全に分離された状態を維持することが可能になる。

【０１１２】

仮にＮＭＯＳトランジスタＭ９が流すことが可能な電流よりも大きな電流を供給することが可能な電源により、電源電圧端子ＶＤＤとグランド端子ＶＳＳの間に電圧が印加されたとしても、電源電圧端子ＶＤＤの電位と内部電源ラインＶＤＤＡの電位の大小関係に関

わらず、ＰＭＯＳトランジスタＭ１のゲート端子及び基板端子は伝いて器に等しくされた状態を維持しながら、ＰＭＯＳトランジスタＭ１のソース端子と同電位に維持されるため、ＰＭＯＳトランジスタＭ１はオフの状態を維持し、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡは完全に分離された状態を維持することが可能になる。ＰＭＯＳトランジスタＭ１のソース端子がＶＤＤＡ側からＶＤＤ側に入れ代わるほど大きな電圧が電源端子ＶＤＤに印加されても当該ＰＭＯＳトランジスタＭ１のゲートと基板との間に同電位状態に変化は無いが、ソース端子が入れ代わるときの遷移期間にＰＭＯＳトランジスタＭ１のオフ状態が不安定になる虞を完全に排除することはできない。プルダウン回路Ｂ５を設けていない図１の構成に比べればその安定性は格段に増す。

【０１１３】

以上のように、基板電位制御回路Ｂ１によりレギュレータ回路を構成するＰＭＯＳトランジスタＭ１の基板電位を最適な状態に維持し、接触モードと非接触モードの動作におけるＰＭＯＳトランジスタＭ１のゲート電圧の制御方法を切替えることで、接触モードでの動作時にはレギュレータ回路を構成する電圧抑制用トランジスタとして動作させることで内部電源ラインＶＤＤに所定の電圧を供給し、非接触モードでの動作時には電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡを分離するスイッチトランジスタとして動作させることが可能になる。

【０１１４】

これにより、前述の通り、一般的に搭載されるレギュレータ回路を構成するトランジスタを電源分離を実現するスイッチトランジスタとして利用することが可能になるため、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡの間に分離用のトランジスタは不要になり、チップ面積の増大を極めて小さく抑制することが可能になる。

【０１１５】

更には、非接触モードでの動作時において、電源電圧端子ＶＤＤに何も接続されていない状態であっても、プルダウン回路Ｂ５によって、電源電圧端子ＶＤＤはグランド電位に固定され、より安定した動作を実現することが可能になる。

【０１１６】

《実施の形態３》

図９は、実施の形態３の半導体集積回路に搭載される電源電圧入力制御回路Ｕ４の他の構成を示す基本構成図である。ここでは、本発明の説明を明確にするために、半導体集積回路Ｕ２に搭載される非接触用電源回路Ｕ３、接触／非接触判定回路Ｕ５、接触端子Ｕ１２を構成する電源電圧端子ＶＤＤ及びグランド端子ＶＳＳを記載している。

【０１１７】

図９において、ＰＭＯＳトランジスタＭ１は電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡとの間に接続され、ＰＭＯＳトランジスタＭ１の基板電圧には基板電位制御回路Ｂ１の出力電圧が供給される電圧ラインＶＤＤＨが接続され、ＰＭＯＳトランジスタＭ１のゲート端子には電圧制御回路Ｂ２とプルアップ回路Ｂ３によって生成される制御信号Ｓ１が入力される。

【０１１８】

電圧制御回路Ｂ２は、次の回路により構成される。内部電源ラインＶＤＤＡとグランド端子ＶＳＳの間に、分圧抵抗Ｒ１及び分圧抵抗Ｒ２が設けられる。これら分圧抵抗Ｒ１とＲ２の接続点に得られる分圧電圧は、演算増幅回路Ａ１の非反転入力（＋）に供給される。この演算増幅回路Ａ１の反転入力（－）とグランド端子ＶＳＳの間には基準電圧源Ｖ１が接続される。また、電圧制御回路Ｂ２は、接触／非接触の判定回路Ｕ５が出力する判定信号Ｓ２によって、動作／非動作が制御されるものであり、信号Ｓ２のハイレベルによって指示される接触モードでの動作時には動作が許可され、信号Ｓ２のローレベルによって指示される非接触モードでの動作時には停止する。

【０１１９】

以上の構成により、電圧制御回路Ｂ２は、接触モードでの動作時にのみ、分圧抵抗Ｒ１とＲ２の接続点に得られる分圧電圧と基準電圧源Ｖ１の出力電圧との差分に比例した電圧

を生成し、この電圧を制御信号Ｓ１として出力する。

【０１２０】

プルアップ回路Ｂ３は、ＰＭＯＳトランジスタＭ２によって構成され、接触／非接の触判定回路Ｕ５が出力する判定信号Ｓ２によってオン／オフが制御されるものであり、接触モードでの動作時にはＰＭＯＳトランジスタＭ２はオフし、非接触モードでの動作時にはＰＭＯＳトランジスタＭ２はオンする。

【０１２１】

基板電位制御回路Ｂ１は、入力端子Ｔ１には電源電圧端子ＶＤＤが接続され、入力端子Ｔ２には内部電源ラインＶＤＤＡが接続され、出力端子Ｔ３には電圧ラインＶＤＤＨが接続される。

【０１２２】

図４に示したように、基板電位制御回路Ｂ１は、入力端子Ｔ１に接続される電源電圧端子ＶＤＤの電圧レベルと入力端子Ｔ２に接続される電源ラインＶＤＤＡを比較し、電圧レベルの高い電圧信号を電圧ラインＶＤＤＨに出力する機能を有する回路であり、代表的には図５～７で示した回路構成等が適用される。

【０１２３】

これにより、基板電位制御回路Ｂ１は、ＰＭＯＳトランジスタＭ１の基板端子にソース端子と同レベルの電圧を供給することになる。ＰＭＯＳトランジスタＭ１の基板端子とソース端子との間に形成される寄生ダイオードの両端が伝いて器に等しくされると共に、ＰＭＯＳトランジスタＭ１の基板端子とドレイン端子との間に形成される寄生ダイオードには常に逆バイアスが印加されるため、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡの間に電流経路が形成されず、内部電源ラインＶＤＤＡを電源電圧端子ＶＤＤから完全に遮断することができる。

【０１２４】

更に、スイッチ回路Ｂ７は、入力端子Ｔ４には電源電圧端子ＶＤＤが接続され、入力端子Ｔ５には内部電源ラインＶＤＤＡが接続され、出力端子Ｔ６には電圧ラインＶＤＤＣが接続され、入力端子Ｔ７に接続される判定信号Ｓ２によって、その動作が制御される。これにより、接触モードでの動作時には電圧ラインＶＤＤＣを電源電圧端子ＶＤＤと同電位に制御され、非接触モードでの動作時には電圧ラインＶＤＤＣを内部電源ラインＶＤＤＡと同電位に制御する。電圧ラインＶＤＤＣの電圧の利用例は後述する。

【０１２５】

図９で示した回路構成において接触端子Ｕ１２を使用して動作する状態（接触モード）でのスイッチ回路Ｂ７の動作は以下の通りとなる。

【０１２６】

接触端子Ｕ１２を構成する電源電圧端子ＶＤＤとグランド端子ＶＳＳの間に電圧が印加され、アンテナＬ１には外部からの電磁波が供給されない場合、接触／非接触の判定回路Ｕ５は接触モードであると判定し、判定信号Ｓ２をハイレベルとして出力する。

【０１２７】

この判定信号Ｓ２はプルアップ回路Ｂ３と電圧制御回路Ｂ２に入力され、プルアップ回路Ｂ３を構成するＰＭＯＳトランジスタＭ２がオフすると共に、電圧制御回路Ｂ２が動作するように制御されるため、ＰＭＯＳトランジスタＭ１のゲート端子には電圧制御回路Ｂ２によって生成される制御信号Ｓ１が供給される。

【０１２８】

また、この判定信号Ｓ２により、スイッチ回路Ｂ７は、電圧ラインＶＤＤＣを内部電源ラインＶＤＤＡとは完全に分離し、電圧ラインＶＤＤＣを電源電圧端子ＶＤＤと同電位に制御する。

【０１２９】

以上の動作により、接触モードでの動作時には、ＰＭＯＳトランジスタＭ２と電圧制御回路Ｂ２とが、内部電源ラインＶＤＤＡの電圧を所定の電圧値に抑制するレギュレータ回路として動作する。このとき、内部電源ラインＶＤＤＡの電位は電源電圧端子ＶＤＤの電

位より低くなることから、ＰＭＯＳトランジスタＭ１の基板端子には、基板電位制御回路Ｂ１によって、電源電圧端子ＶＤＤと同電位に制御される。

【０１３０】

図９で示した回路構成においてアンテナＬ１を使用して動作する状態（非接触モード）でのスイッチ回路Ｂ７の動作は以下の通りとなる。

【０１３１】

接触端子Ｕ１２を構成する電源電圧端子ＶＤＤとグランド端子ＶＳＳの間には電圧が印加されず、アンテナＬ１に外部からの電磁波が供給されている場合、接触／非接触の判定回路Ｕ５は非接触モードであると判定し、判定信号Ｓ２をローレベルとして出力する。

【０１３２】

この判定信号Ｓ２はプルアップ回路Ｂ３と電圧制御回路Ｂ２に入力され、これによって電圧制御回路Ｂ２が停止される共に、プルアップ回路Ｂ３を構成するＰＭＯＳトランジスタＭ２がオンされるため、ＰＭＯＳトランジスタＭ１のゲート端子には電圧ラインＶＤＤＨと同電位に制御される。

【０１３３】

そのため、非接触モードでの動作時に、電源電圧端子ＶＤＤとグランド端子ＶＳＳの間に電圧が印加されたとしても、電源電圧端子ＶＤＤの電位と内部電源ラインＶＤＤＡの電位の大小関係に関わらず、ＰＭＯＳトランジスタＭ１のゲート端子及び基板端子は短絡された状態を維持しながら、ＰＭＯＳトランジスタＭ１のソース端子と同電位に維持されるため、ＰＭＯＳトランジスタＭ１はオフの状態を維持し、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡは完全に分離された状態を維持することが可能になる。

【０１３４】

また、この判定信号Ｓ２により、スイッチ回路Ｂ７は、電圧ラインＶＤＤＣを電源電圧端子ＶＤＤとは完全に分離し、電圧ラインＶＤＤＣを内部電源ラインＶＤＤＡと同電位に制御する。

【０１３５】

以上のように、基板電位制御回路Ｂ１によりレギュレータ回路を構成するＰＭＯＳトランジスタＭ１の基板電位を最適な状態に維持し、接触モードと非接触モードの動作におけるＰＭＯＳトランジスタＭ１のゲート電圧の制御方法を切替えることで、ＰＭＯＳトランジスタＭ１を、接触モードでの動作時にはレギュレータ回路を構成する電圧抑制用トランジスタとして動作させることで内部電源ラインＶＤＤに所定の電圧を供給し、非接触モードでの動作時には電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡを分離するスイッチトランジスタとして動作させることが可能になる。

【０１３６】

これにより、前述の通り、一般的に搭載されるレギュレータ回路を構成するトランジスタを電源分離を実現するスイッチトランジスタとして利用することが可能になるため、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡの間に分離用のトランジスタは不要になり、チップ面積の増大を極めて小さく抑制することが可能になる。

【０１３７】

また、以上のように制御される電圧ラインＶＤＤＣは、例えば、電圧制御回路Ｂ２を構成する基準電圧源Ｖ１の電源電圧端子として利用することが可能になる。

【０１３８】

ここで、例として基準電圧源Ｖ１の動作電圧について述べる。電圧制御回路Ｂ２を構成する基準電圧源Ｖ１は、電圧制御回路Ｂ２とＰＭＯＳトランジスタＭ１から成るレギュレータ回路の動作より、接触モードでの動作時には、電源電圧端子ＶＤＤと同電位の電源電圧を供給することが好ましい。

【０１３９】

一方、非接触モードでの動作時において、基準電圧源Ｖ１が非接触動作用電源回路Ｕ３に具備される非接触用レギュレータ回路等で利用されることを考慮すれば、基準電圧源Ｖ１は内部電源ラインＶＤＤＡとグランド端子ＶＳＳの間に生成される電圧を電源電圧とし

て利用することが望ましい。したがって、非接触モード時に内部電源ラインＶＤＤＡと完全に分離される電源電圧端子ＶＤＤを、基準電圧源Ｖ１の電源電圧として利用することはできない。すなわち、非接触動作用電源回路Ｕ３のために基準電圧源を別途設けることが必要になる。

【０１４０】

以上を鑑みれば、接触モードでの動作時には電源電圧端子ＶＤＤと同電位に制御され、非接触モードでの動作時には内部電源ラインＶＤＤＡと同電位に制御される電圧ラインＶＤＤＣを設け、基準電圧源Ｖ１を電圧ラインＶＤＤＣに生成される電圧で動作させることで、基準電圧源を複数設けることなく、基準電圧源Ｖ１を接触モードと非接触モードの双方で利用して安定した電圧生成動作を実現することが可能になる。

【０１４１】

これにより、基準電圧源Ｖ１のように、接触モードと非接触モードとで動作電圧を変更したい回路の電源電圧を柔軟に制御することができ、同一の機能を持つ回路を共通化できるため、チップ面積の増大を抑制することが可能になる。

【０１４２】

更には、特性誤差を削減するために、チップの出荷前の調整工程において、特性の調整データを半導体集積回路Ｕ２に搭載されるメモリＵ１０に格納する必要がある場合、特性の調整を必要とする回路の電源電圧端子に電圧ラインＶＤＤＣを接続して利用すれば、同一の機能を持つ回路を共通化することが可能になり、複数回の回路特性の調整工程が不要となり、チップコストを低減することも可能になる。

【０１４３】

ここでは、基準電圧源Ｖ１の電源電圧に着目して説明したが、勿論、電圧ラインＶＤＤＣは他の回路等に利用できることは言うまでもない。但し、接触モードでの動作時には電源電圧端子ＶＤＤから供給される電圧で動作するため、素子の耐圧等は考慮する必要がある。

【０１４４】

図１０は、実施の形態３の半導体集積回路に搭載されるスイッチ回路Ｂ７の具体的な構成の一例を示す回路構成図である。

【０１４５】

図１０に示すスイッチ回路Ｂ７は、スイッチ基本回路Ｂ８及びＢ９とインバータ回路Ｂ１０によって構成される。

【０１４６】

スイッチ基本回路Ｂ８は、入力端子Ｔ４と出力端子Ｔ６の間にＰＭＯＳトランジスタＭ１０及びＭ１１が直列接続され、ＰＭＯＳトランジスタＭ１０の基板端子は入力端子Ｔ４に接続され、ＰＭＯＳトランジスタＭ１１の基板端子は出力端子Ｔ６に接続され、ＰＭＯＳトランジスタＭ１０及びＭ１１のゲート端子には、インバータ回路Ｂ８によって入力端子Ｔ７の電圧信号を反転した信号が入力される。

【０１４７】

以上の回路構成にすることで、ＰＭＯＳトランジスタＭ１０とＰＭＯＳトランジスタＭ１１の接続点とＰＭＯＳトランジスタＭ１０の基板端子の間に形成される寄生ダイオードと、ＰＭＯＳトランジスタＭ１０とＰＭＯＳトランジスタＭ１１の接続点とＰＭＯＳトランジスタＭ１１の基板端子の間に形成される寄生ダイオードの何れか一方には、必ず逆バイアスが印加されるため、入力端子Ｔ４と出力端子Ｔ６の間に不要な電流が流れることはない。

【０１４８】

スイッチ基本回路Ｂ９は、入力端子Ｔ５と出力端子Ｔ６の間にＰＭＯＳトランジスタＭ１２及びＭ１３が直列接続され、ＰＭＯＳトランジスタＭ１２の基板端子は入力端子Ｔ５に接続され、ＰＭＯＳトランジスタＭ１３の基板端子は出力端子Ｔ６に接続され、ＰＭＯＳトランジスタＭ１２及びＭ１３のゲート端子には、入力端子Ｔ７に入力される電圧信号が入力される。

【０１４９】
以上の回路構成にすることで、ＰＭＯＳトランジスタＭ１２とＰＭＯＳトランジスタＭ１３の接続点とＰＭＯＳトランジスタＭ１２の基板端子との間に形成される寄生ダイオードと、ＰＭＯＳトランジスタＭ１２とＰＭＯＳトランジスタＭ１３の接続点とＰＭＯＳトランジスタＭ１３の基板端子との間に形成される寄生ダイオードの何れか一方には、必ず逆バイアスが印加されるため、入力端子Ｔ５と出力端子Ｔ６の間に不要な電流が流れることはない。
【０１５０】
以上のことから、２つのスイッチ基本回路Ｂ８及びＢ９とインバータ回路Ｂ１０から構成されるスイッチ回路Ｂ７は、図９で示した電源電圧入力制御回路Ｕ４において、入力端子Ｔ４に電源電圧端子ＶＤＤが接続され、入力端子Ｔ５に内部電源ラインＶＤＤＡが接続され、出力端子Ｔ６に電圧ラインＶＤＤＣが接続され、入力端子Ｔ７には判定信号Ｓ２が入力されるスイッチ回路Ｂ７を成す。
【０１５１】
ここで、判定信号Ｓ２が接触モードであることを示しているときは、スイッチ基本回路Ｂ８を構成するＰＭＯＳトランジスタＭ１０及びＭ１１がオンし、スイッチ基本回路Ｂ９を構成するＰＭＯＳトランジスタＭ１２及びＭ１３がオフする。このとき、上述したようにＰＭＯＳトランジスタの基板端子部分に形成される寄生ダイオードに不要な電流は流れないため、電圧ラインＶＤＤＣは内部電源ラインＶＤＤＡと完全に分離され、電圧ラインＶＤＤＣは電源電圧端子ＶＤＤと同電位に制御される。
【０１５２】
逆に、判定信号Ｓ２が非接触モードであることを示しているときは、スイッチ基本回路Ｂ８を構成するＰＭＯＳトランジスタＭ１０及びＭ１１がオフし、スイッチ基本回路Ｂ９を構成するＰＭＯＳトランジスタＭ１２及びＭ１３がオンする。このとき、上述したようにＰＭＯＳトランジスタの基板端子部分に形成される寄生ダイオードに不要な電流は流れないため、電圧ラインＶＤＤＣは電源電圧端子ＶＤＤと完全に分離され、電圧ラインＶＤＤＣは内部電源ラインＶＤＤＡと同電位に制御される。
【０１５３】
これにより、判定信号Ｓ２によってスイッチ回路Ｂ７を制御することで、電圧ラインＶＤＤＣに電源電圧端子ＶＤＤまたは内部電源ラインＶＤＤＡを選択的に出力することで、接触モードと非接触モードとで動作電圧を変更したい回路の電源電圧を柔軟に制御することが可能になり、同一の機能を持つ回路を共通化できるため、チップ面積の増大を抑制することが可能になる。
【０１５４】
また、基準電圧源Ｖ１等は、その消費電流を小さくすることは可能であるから、スイッチ回路Ｂ７を構成するＰＭＯＳトランジスタＭ１０～Ｍ１３のトランジスタサイズは小さくすることが可能であり、チップ面積への影響は極めて小さい。
【０１５５】
図１１は、実施の形態３の半導体集積回路に搭載されるスイッチ回路Ｂ７の他の具体的な構成を示す回路構成図である。
【０１５６】
図１１に示すスイッチ回路Ｂ７は、スイッチ基本回路Ｂ１１及びＢ１２とインバータ回路Ｂ１３によって構成される。
【０１５７】
スイッチ基本回路Ｂ１１は、入力端子Ｔ４と出力端子Ｔ６の間にＰＭＯＳトランジスタＭ１４が接続され、ＰＭＯＳトランジスタＭ１４の基板端子は電源電圧入力制御回路Ｕ４に具備される電圧ラインＶＤＤＨに接続され、ＰＭＯＳトランジスタＭ１４のゲート端子には、インバータ回路Ｂ１３によって入力端子Ｔ７の電圧信号を反転した信号が入力される。
【０１５８】

以上の回路構成にすることで、電源電圧入力制御回路Ｕ４に具備される電圧ラインＶＤＤＨは、電源電圧端子ＶＤＤと内部電源ラインＶＤＤＡにおいて高電位側と同電位であることから、ＰＭＯＳトランジスタＭ１４の基板端子とＰＭＯＳトランジスタＭ１４のソース端子またはドレイン端子の間に形成される寄生ダイオードには、必ず逆バイアスが印加されるため、入力端子Ｔ４と出力端子Ｔ６の間に不要な電流が流れることはない。

【０１５９】

スイッチ基本回路Ｂ１２は、入力端子Ｔ５と出力端子Ｔ６の間にＰＭＯＳトランジスタＭ１５が接続され、ＰＭＯＳトランジスタＭ１５の基板端子は、電源電圧入力制御回路Ｕ４に具備される電圧ラインＶＤＤＨと入力端子Ｔ５の間に直列接続されたＰＭＯＳトランジスタＭ１６とＭ１７の接続点が接続され、ＰＭＯＳトランジスタＭ１５のゲート端子には入力端子Ｔ７に入力される電圧信号が入力される。また、ＰＭＯＳトランジスタＭ１６の基板端子は入力端子Ｔ５に接続され、ＰＭＯＳトランジスタＭ１６のゲート端子には、入力端子Ｔ７に入力される電圧信号が入力され、ＰＭＯＳトランジスタＭ１７の基板端子は電源電圧入力制御回路Ｕ４に具備される電圧ラインＶＤＤＨに接続され、ＰＭＯＳトランジスタＭ１７のゲート端子にはインバータ回路Ｂ１３によって入力端子Ｔ７の電圧信号を反転した信号が入力される。

【０１６０】

以上の構成にすることで、ＰＭＯＳトランジスタＭ１５～Ｍ１７の基板端子に形成される寄生ダイオードには、順バイアスが印加されることはないため、入力端子Ｔ５と出力端子Ｔ６の間に不要な電流が流れることはない。

【０１６１】

以上のことから、２つのスイッチ基本回路Ｂ１１及びＢ１２とインバータ回路Ｂ１３から構成されるスイッチ回路Ｂ７は、図９で示した電源電圧入力制御回路Ｕ４において、入力端子Ｔ４に電源電圧端子ＶＤＤが接続され、入力端子Ｔ５に内部電源ラインＶＤＤＣが接続され、出力端子Ｔ６に電圧ラインＶＤＤＣが接続され、入力端子Ｔ７には判定信号Ｓ２が入力されるスイッチ回路Ｂ７を成す。

【０１６２】

ここで、判定信号Ｓ２が接触モードであることを示しているときは、スイッチ回路Ｂ１１を構成するＰＭＯＳトランジスタＭ１４がオンし、スイッチ回路Ｂ１２を構成するＰＭＯＳトランジスタＭ１５がオフする。このとき、上述したようにＰＭＯＳトランジスタの基板端子部分に形成される寄生ダイオードに不要な電流は流れないため、電圧ラインＶＤＤＣは内部電源ラインＶＤＤＡと完全に分離され、電圧ラインＶＤＤＣは電源電圧端子ＶＤＤと同電位に制御される。

【０１６３】

逆に、判定信号Ｓ２が非接触モードであることを示しているときは、スイッチ回路Ｂ１１を構成するＰＭＯＳトランジスタＭ１４がオフし、スイッチ回路Ｂ１２を構成するＰＭＯＳトランジスタＭ１５がオンする。このとき、上述したようにＰＭＯＳトランジスタの基板端子部分に形成される寄生ダイオードに不要な電流は流れないため、電圧ラインＶＤＤＣは電源電圧端子ＶＤＤと完全に分離され、電圧ラインＶＤＤＣは内部電源ラインＶＤＤＡと同電位に制御される。

【０１６４】

これにより、判定信号Ｓ２によってスイッチ回路Ｂ７を制御することで、電圧ラインＶＤＤＣに電源電圧端子ＶＤＤまたは内部電源ラインＶＤＤＡを選択的に出力することで、接触モードと非接触モードとで動作電圧を変更したい回路の電源電圧を柔軟に制御することが可能になり、同一の機能を持つ回路を共通化できるため、チップ面積の増大を抑制することが可能になる。

【０１６５】

更には、スイッチ基本回路Ｂ１１は単一のＰＭＯＳトランジスタで構成でき、スイッチ基本回路Ｂ１２を構成するＰＭＯＳトランジスタＭ１５の基板端子を制御するＰＭＯＳトランジスタＭ１６及びＭ１７には電流が定常的に流れることから、ＰＭＯＳトランジスタ

Ｍ１６及びＭ１７のトランジスタサイズはＰＭＯＳトランジスタＭ１５に比べて小さくすることが可能であることから、これにより、スイッチ回路Ｂ７を構成するＰＭＯＳトランジスタの占有面積を小さくすることが可能になる。

【０１６６】

以上、本発明者よりなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、電源電圧入力制御回路Ｕ４を構成する電圧制御回路Ｂ２の回路構成は図３などで示した回路構成に限定されるものではないし、プルアップ回路Ｂ３は、その機能を電圧制御回路Ｂ２に設けて良い。また、図８で示したプルダウン回路Ｂ５を図９で示した電源電圧入力制御回路Ｕ４に適用しても良いし、基板電位制御回路Ｂ１は、図５で示した回路構成と図６で示した回路構成を組み合わせたり、図５で示した回路構成と図７で示した回路構成を組み合わせたりしても良い。

【０１６７】

本発明は、複数の電源入力手段を有し、入力される電源供給元を選択して動作する機能を備える半導体集積回路等に適用して好適である。

【図面の簡単な説明】

【０１６８】

【図１】図１は本発明の半導体集積回路及びＩＣカードの第１の実施の形態の基本構成図である。

【図２】図２はアンテナと本発明の半導体集積回路とを有するＩＣカードの配線基板及びリーダ・ライタの斜視図である。

【図３】図３は実施の形態１の半導体集積回路に搭載される電源電圧入力制御回路Ｕ４の基本構成図である。

【図４】図４は実施の形態１の半導体集積回路に搭載される電源電圧入力制御回路Ｕ４を構成する基板電位制御回路Ｂ１の入出力特性の一例を示す特性図である。

【図５】図５は実施の形態１の半導体集積回路に搭載される基板電位制御回路Ｂ１の具体的な構成の一例を示す回路構成図である。

【図６】図６は実施の形態１の半導体集積回路に搭載される基板電位制御回路Ｂ１の他の具体的な構成を示す回路構成図である。

【図７】図７は実施の形態１の半導体集積回路に搭載される基板電位制御回路Ｂ１の他の具体的な構成を示す回路構成図である。

【図８】図８は実施の形態２の半導体集積回路に搭載される電源電圧入力制御回路Ｕ４の他の構成を示す基本構成図である。

【図９】図９は実施の形態３の半導体集積回路に搭載される電源電圧入力制御回路Ｕ４の他の構成を示す基本構成図である。

【図１０】図１０は実施の形態３の半導体集積回路に搭載されるスイッチ回路Ｂ７の具体的な構成の一例を示す回路構成図である。

【図１１】図１１は実施の形態３の半導体集積回路に搭載されるスイッチ回路Ｂ７の他の具体的な構成を示す回路構成図である。

【符号の説明】

【０１６９】

Ａ１…演算増幅回路
Ａ２、Ａ３…電圧比較回路
Ｂ１…基板電位制御回路
Ｂ２…電圧制御回路
Ｂ３…プルアップ回路
Ｂ４…ゲート端子制御回路
Ｂ５…プルダウン回路
Ｂ６、Ｂ１０、Ｂ１３…インバータ回路
Ｂ７…スイッチ回路

Ｂ８、Ｂ９、Ｂ１１、Ｂ１２…スイッチ基本回路
Ｃ１…共振容量
Ｉ１～Ｉ４…電流源回路
Ｌ１…アンテナ
ＬＡ、ＬＢ…アンテナ接続端子
Ｍ１～Ｍ１７…ＭＯＳトランジスタ
ＰＩＯ…信号入出力端子
Ｒ１、Ｒ２…抵抗
Ｓ１、Ｓ３、Ｓ４…制御信号
Ｓ２…判定信号
Ｔ１、Ｔ２、Ｔ４、Ｔ５、Ｔ７…入力端子
Ｔ３、Ｔ６…出力端子
Ｕ１…ＩＣカード
Ｕ２…半導体集積回路
Ｕ３…非接触動作用電源回路
Ｕ４…電源電圧入力制御回路
Ｕ５…接触／非接触判定回路
Ｕ６…内部回路
Ｕ７…受信回路
Ｕ８…送信回路
Ｕ９…制御回路
Ｕ１０…メモリ
Ｕ１１…Ｉ／Ｏ回路
Ｕ１２…外部接続端子
Ｕ１３…プリント基板
Ｕ１４…コイル
Ｕ１５…ＩＣチップ
Ｕ１６…金属端子
Ｕ１７…リーダ・ライタ
Ｖ１…基準電圧源
ＶＤＤ…電源電圧端子
ＶＤＤＡ…内部電源ライン
ＶＤＤＣ、ＶＤＤＨ…電圧ライン
ＶＳＳ…グランド端子

【図１】

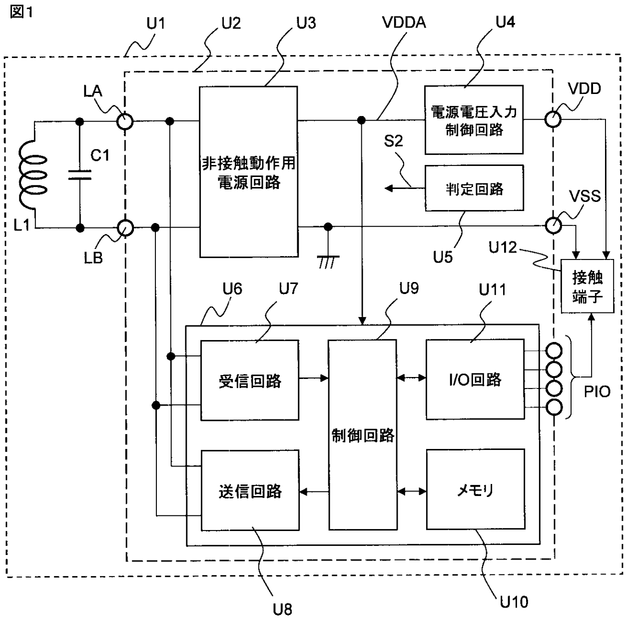


図1
U1
U2
U3
VDDA
U4
LA
VDD
C1
L1
LB
非接触動作用電源回路
電源電圧入力制御回路
S2
判定回路
VSS
U5
U12
接触端子
U6
U7
U9
U11
受信回路
制御回路
I/O回路
PIO
送信回路
メモリ
U8
U10

【図２】

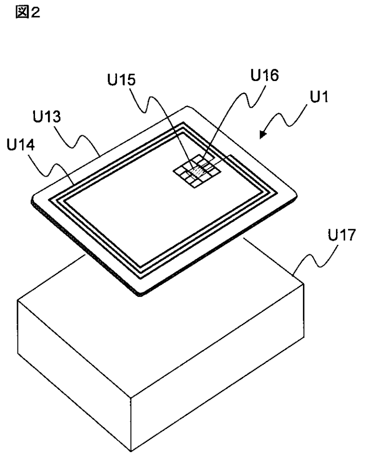


図2
U15
U16
U1
U13
U14
U17

【図３】

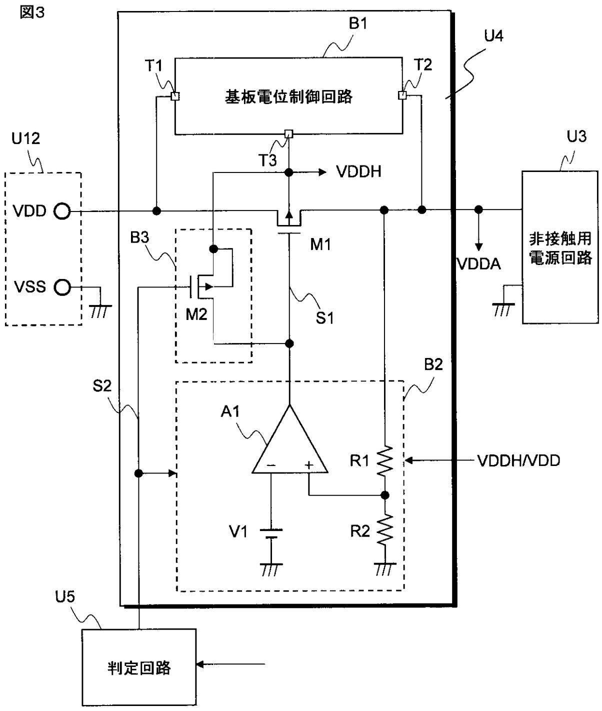


図3
B1
U4
T1
T2
基板電位制御回路
U12
T3
VDDH
U3
VDD
M1
非接触用電源回路
B3
VDDA
VSS
M2
S1
S2
B2
A1
R1
VDDH/VDD
V1
R2
U5
判定回路

【図４】

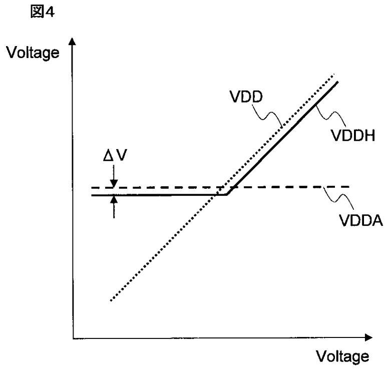


図4
Voltage
VDD
VDDH
ΔV
VDDA
Voltage

【図５】

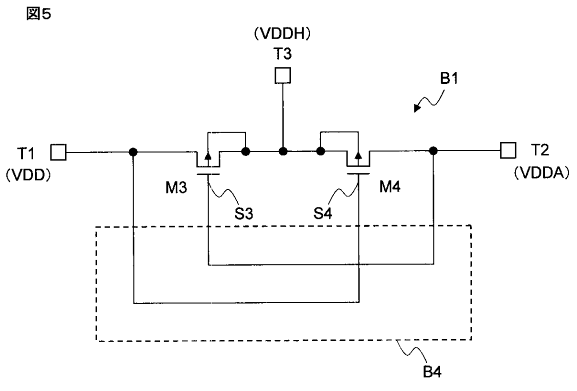


図5
(VDDH)
T3
B1
T1
(VDD)
T2
(VDDA)
M3
M4
S3
S4
B4

【図６】

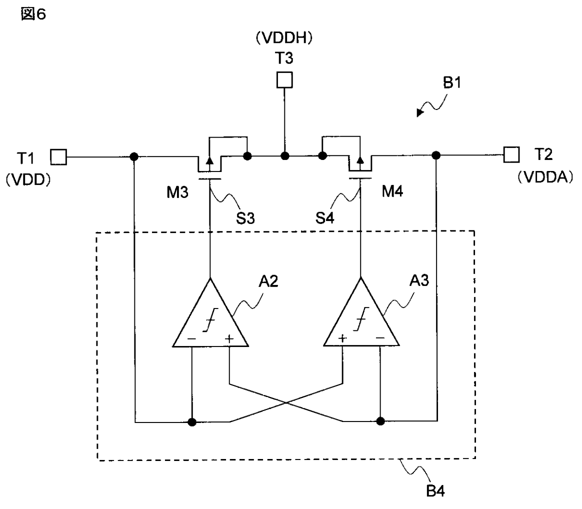


図6
(VDDH)
T3
B1
T1
(VDD)
T2
(VDDA)
M3
M4
S3
S4
A2
A3
B4

【図７】

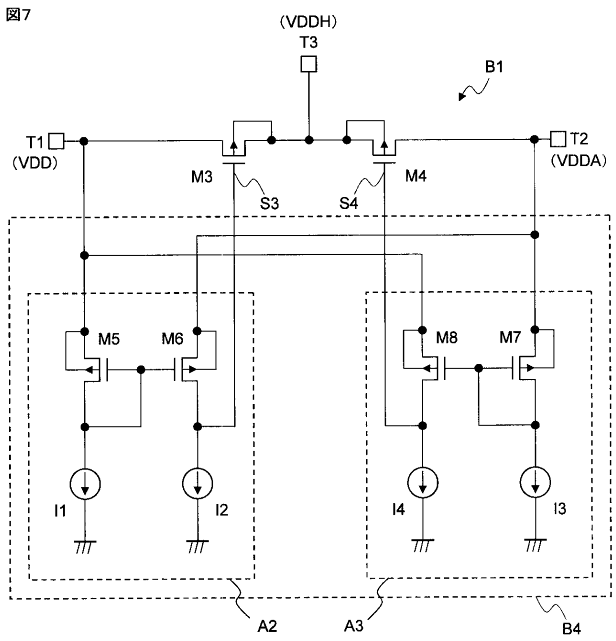


図7
(VDDH)
T3
B1
T1
(VDD)
T2
(VDDA)
M3
M4
S3
S4
M5
M6
M8
M7
I1
I2
I4
I3
A2
A3
B4

【図８】

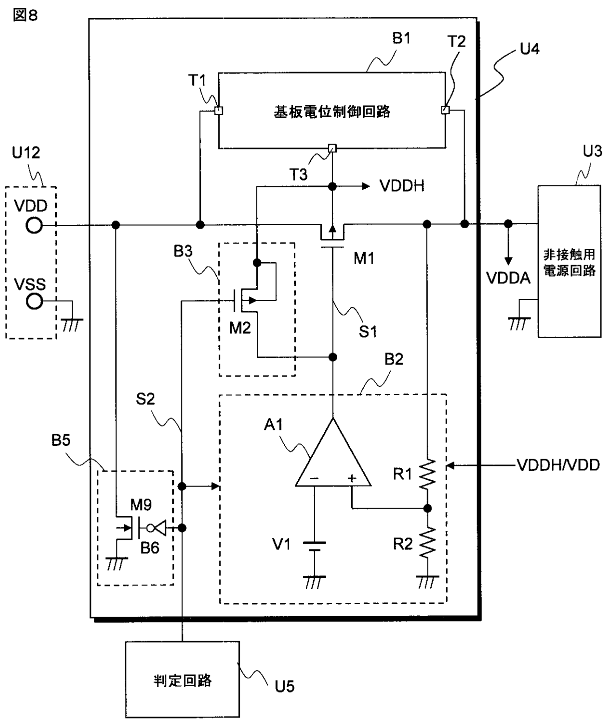


図8
B1
T2
U4
T1
基板電位制御回路
U12
T3
VDDH
U3
VDD
M1
VDDA
非接触用電源回路
B3
VSS
M2
S1
B2
S2
A1
B5
M9
R1
VDDH/VDD
B6
V1
R2
判定回路
U5

【図９】

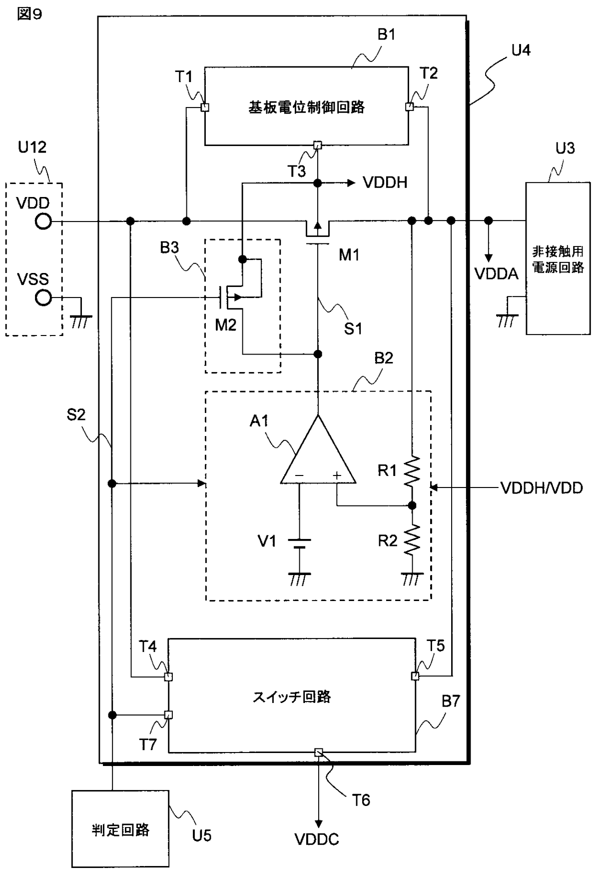


図9
B1
U4
T1
T2
基板電位制御回路
U12
T3
VDDH
U3
VDD
B3
M1
VDDA
非接触用電源回路
VSS
M2
S1
B2
S2
A1
R1
VDDH/VDD
V1
R2
T4
T5
スイッチ回路
B7
T7
T6
判定回路
U5
VDDC

【図１０】

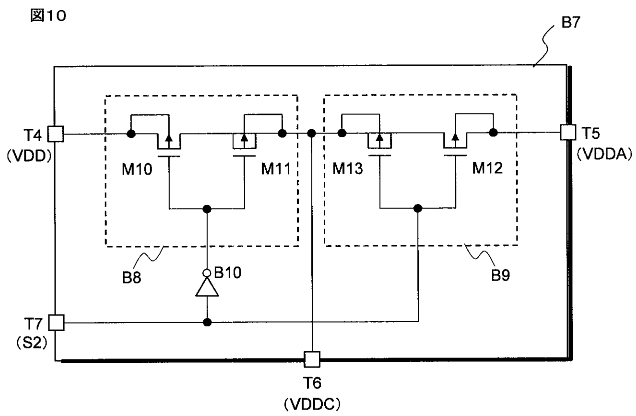


図10
B7
T4
(VDD)
M10
M11
M13
M12
T5
(VDDA)
B8
B10
B9
T7
(S2)
T6
(VDDC)

【図１１】

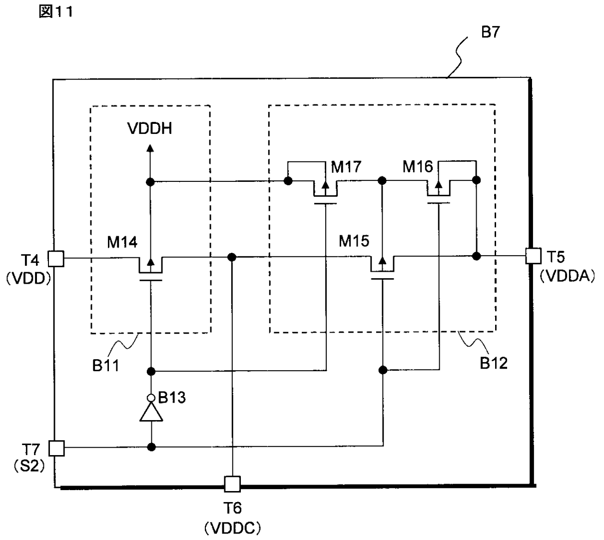


図11
B7
VDDH
M17
M16
M14
M15
T4
(VDD)
T5
(VDDA)
B11
B13
B12
T7
(S2)
T6
(VDDC)