



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0008923
(43) 공개일자 2016년01월25일

(51) 국제특허분류(Int. Cl.)
G01R 31/02 (2006.01) G11C 16/00 (2006.01)
(21) 출원번호 10-2014-0089350
(22) 출원일자 2014년07월15일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
전병길
경기도 수원시 권선구 덕영대로1323번길 26-24,
211동 1102호 (권선동, 씨미트빌아파트)
김두곤
경기도 화성시 동탄반석로 277, 122동 602호 (석
우동, 예당마을우미린제일풍경채아파트)
(74) 대리인
박영우

전체 청구항 수 : 총 10 항

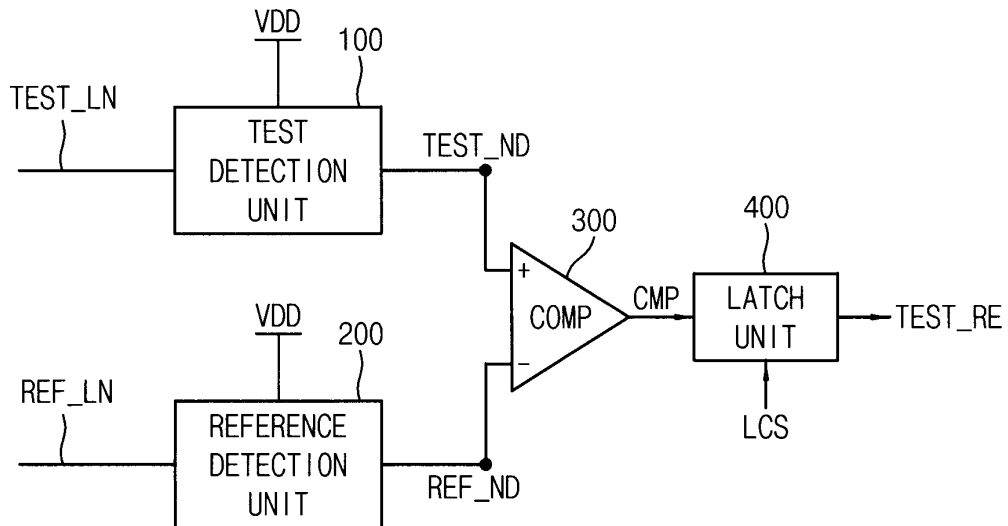
(54) 발명의 명칭 누설 전류 감지 장치 및 이를 포함하는 비휘발성 메모리 장치

(57) 요약

누설 전류 감지 장치는 테스트 검출부, 기준 검출부, 비교부 및 래치부를 포함한다. 테스트 검출부는 비휘발성 메모리 장치의 메모리 셀 어레이에 연결되는 구동 라인들 중의 하나에 상응하는 테스트 라인 및 테스트 노드 사이에 연결되고, 테스트 노드에 전원 전압을 인가하여 테스트 라인을 충전한 후 테스트 노드 및 테스트 라인을 풀 (뒷면에 계속)

대표도 - 도1

10



로팅시키고, 테스트 라인의 누설 전류에 기초하여 테스트 노드의 전압을 강하시킨다. 기준 검출부는 구동 라인들 중에서 테스트 라인과 동일한 타입의 구동 신호를 전달하는 기준 라인 및 기준 노드 사이에 연결되고, 기준 노드에 전원 전압을 인가하여 기준 라인을 충전한 후 기준 노드 및 기준 라인을 플로팅시키고, 기준 라인의 자연 방전에 기초하여 기준 노드의 전압을 강하시킨다. 비교부는 테스트 노드의 전압 및 기준 노드의 전압을 비교하여 비교 신호를 출력한다. 래치부는 래치 제어 신호에 응답하여 비교 신호를 래치하여 테스트 결과 신호를 생성한다.

명세서

청구범위

청구항 1

비휘발성 메모리 장치의 메모리 셀 어레이에 연결되는 구동 라인들 중의 하나에 상응하는 테스트 라인 및 테스트 노드 사이에 연결되고, 상기 테스트 노드에 전원 전압을 인가하여 상기 테스트 라인을 충전한 후 상기 테스트 노드 및 상기 테스트 라인을 플로팅시키고, 상기 테스트 라인의 누설 전류에 기초하여 상기 테스트 노드의 전압을 강하시키는 테스트 검출부;

상기 구동 라인들 중에서 상기 테스트 라인과 동일한 타입의 구동 신호를 전달하는 기준 라인 및 기준 노드 사이에 연결되고, 상기 기준 노드에 상기 전원 전압을 인가하여 상기 기준 라인을 충전한 후 상기 기준 노드 및 상기 기준 라인을 플로팅시키고, 상기 기준 라인의 자연 방전(self discharge)에 기초하여 상기 기준 노드의 전압을 강하시키는 기준 검출부;

상기 테스트 노드의 전압 및 상기 기준 노드의 전압을 비교하여 비교 신호를 출력하는 비교부; 및

래치 제어 신호에 응답하여 상기 비교 신호를 래치하여 테스트 결과 신호를 생성하는 래치부를 포함하는 누설 전류 감지 장치.

청구항 2

제1 항에 있어서, 상기 테스트 검출부는,

상기 전원 전압 및 상기 테스트 노드 사이에 연결되고, 충전 제어 신호가 인가되는 게이트를 포함하는 제1 충전 트랜지스터;

상기 테스트 노드 및 접지 전압 사이에 연결되고, 인에이블 신호가 인가되는 게이트를 포함하는 제1 인에이블 트랜지스터; 및

상기 테스트 라인 및 상기 테스트 노드 사이에 연결되고, 전달 제어 신호가 인가되는 게이트를 포함하는 제1 전달 트랜지스터를 포함하고,

상기 기준 검출부는,

상기 전원 전압 및 상기 기준 노드 사이에 연결되고, 상기 충전 제어 신호가 인가되는 게이트를 포함하는 제2 충전 트랜지스터;

상기 기준 노드 및 상기 접지 전압 사이에 연결되고, 상기 인에이블 신호가 인가되는 게이트를 포함하는 제2 인에이블 트랜지스터; 및

상기 기준 라인 및 상기 기준 노드 사이에 연결되고, 상기 전달 제어 신호가 인가되는 게이트를 포함하는 제2 전달 트랜지스터를 포함하는 것을 특징으로 하는 누설 전류 감지 장치.

청구항 3

제2 항에 있어서,

제1 시각에 상기 인에이블 신호를 사용하여 상기 제1 및 제2 인에이블 트랜지스터들을 턴오프시키고, 상기 충전 제어 신호를 사용하여 상기 제1 및 제2 충전 트랜지스터들을 턴온시키고, 상기 전달 제어 신호를 사용하여 상기 제1 및 제2 전달 트랜지스터들을 턴온시키고, 제2 시각에 상기 충전 제어 신호를 사용하여 상기 제1 및 제2 충전 트랜지스터들을 턴오프시켜 상기 테스트 노드 및 상기 기준 노드를 플로팅시키고, 상기 제2 시각으로부터 감지 시간이 경과한 제3 시각에 상기 래치 제어 신호를 상기 래치부에 제공하는 제어 회로를 더 포함하는 것을 특징으로 하는 누설 전류 감지 장치.

청구항 4

제3 항에 있어서, 상기 제어 회로는 상기 테스트 라인 및 상기 기준 라인이 전달하는 구동 신호의 타입에 기초

하여 논리 하이 상태에서 상기 전달 제어 신호의 전압 레벨을 가변하는 것을 특징으로 하는 누설 전류 감지 장치.

청구항 5

제3 항에 있어서, 상기 제어 회로는 감지하고자 하는 상기 테스트 라인의 상기 누설 전류의 크기에 기초하여 상기 감지 시간의 길이를 가변하는 것을 특징으로 하는 누설 전류 감지 장치.

청구항 6

제1 항에 있어서, 상기 비교부는 상기 테스트 노드의 전압이 상기 기준 노드의 전압보다 미리 정해진 전압 이상 낮아지는 경우 상기 비교 신호의 논리 레벨을 변경하는 것을 특징으로 하는 누설 전류 감지 장치.

청구항 7

제1 항에 있어서, 상기 테스트 라인 및 상기 기준 라인은 상기 메모리 셀 어레이에 연결되는 워드 라인들에 각각 상응하거나,

상기 테스트 라인 및 상기 기준 라인은 상기 메모리 셀 어레이에 연결되는 스트링 선택 라인들에 각각 상응하거나,

상기 테스트 라인 및 상기 기준 라인은 상기 메모리 셀 어레이에 연결되는 접지 선택 라인들에 각각 상응하는 것을 특징으로 하는 누설 전류 감지 장치.

청구항 8

복수의 메모리 블록들을 포함하는 메모리 셀 어레이;

복수의 워드 라인들, 복수의 스트링 선택 라인들 및 복수의 접지 선택 라인들을 통해 상기 복수의 메모리 블록들과 연결되고, 테스트 라인 선택 신호에 기초하여 상기 복수의 워드 라인들, 상기 복수의 스트링 선택 라인들 및 상기 복수의 접지 선택 라인들 중의 하나를 테스트 라인과 연결하고, 기준 라인 선택 신호에 기초하여 상기 복수의 워드 라인들, 상기 복수의 스트링 선택 라인들 및 상기 복수의 접지 선택 라인들 중의 하나를 기준 라인과 연결하는 라인 선택부;

제어 신호에 기초하여 상기 테스트 라인 및 상기 기준 라인을 동일한 전압으로 충전한 후 상기 테스트 라인 및 상기 기준 라인을 플로팅시키고, 상기 테스트 라인의 전압 변화 및 상기 기준 라인의 전압 변화에 기초하여 상기 테스트 라인으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호를 생성하는 누설 전류 감지 장치; 및

상기 테스트 라인 선택 신호, 상기 기준 라인 선택 신호 및 상기 제어 신호를 생성하는 제어부를 포함하는 비휘발성 메모리 장치.

청구항 9

제8 항에 있어서, 상기 누설 전류 감지 장치는,

상기 테스트 라인 및 테스트 노드 사이에 연결되고, 상기 테스트 노드에 전원 전압을 인가하여 상기 테스트 라인을 충전한 후 상기 테스트 노드 및 상기 테스트 라인을 플로팅시키고, 상기 테스트 라인의 누설 전류에 기초하여 상기 테스트 노드의 전압을 강하시키는 테스트 검출부;

상기 기준 라인 및 기준 노드 사이에 연결되고, 상기 기준 노드에 상기 전원 전압을 인가하여 상기 기준 라인을 충전한 후 상기 기준 노드 및 상기 기준 라인을 플로팅시키고, 상기 기준 라인의 자연 방전(self discharge)에 기초하여 상기 기준 노드의 전압을 강하시키는 기준 검출부;

상기 테스트 노드의 전압 및 상기 기준 노드의 전압을 비교하여 비교 신호를 출력하는 비교부; 및

래치 제어 신호에 응답하여 상기 비교 신호를 래치하여 상기 테스트 결과 신호를 생성하는 래치부를 포함하는 것을 특징으로 하는 비휘발성 메모리 장치.

청구항 10

제8 항에 있어서, 상기 제어부는 상기 복수의 워드 라인들, 상기 복수의 스트링 선택 라인들 및 상기 복수의 접지 선택 라인들 중에서 누설 전류가 발생하지 않는 정상 라인들에 대한 주소들을 미리 저장하는 정상 라인 테이블을 포함하고,

상기 기준 라인 선택 신호는 상기 정상 라인 테이블에 저장된 상기 정상 라인들에 대한 주소들 중의 하나에 상응하는 것을 특징으로 하는 비휘발성 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 장치에 관한 것으로, 보다 상세하게는 누설 전류 감지 장치, 이를 포함하는 비휘발성 메모리 장치 및 누설 전류 감지 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 전원 공급이 중단될 때 저장된 데이터를 상실하는지 여부에 따라, 휘발성 메모리 장치(volatile memory device)와 비휘발성 메모리 장치(nonvolatile memory device)로 구분될 수 있다. 비휘발성 메모리 장치는 전기적으로 소거 및 프로그램이 가능한 플래시 메모리 장치를 포함한다.

[0003] 플래시 메모리 장치의 메모리 셀 어레이에 포함되는 메모리 셀들은 복수의 구동 라인들에 연결된다. 플래시 메모리 장치는 상기 복수의 구동 라인들에 구동 신호를 인가하여 상기 메모리 셀들에 대해 프로그램 동작, 독출 동작 및 소거 동작을 수행한다.

[0004] 그런데 상기 복수의 구동 라인들에 결함(defect)이 발생하여 상기 복수의 구동 라인들로부터 누설 전류(leakage current)가 흐르는 경우, 누설 전류가 흐르는 구동 라인에 연결되는 메모리 셀에는 프로그램 동작 및 독출 동작이 정상적으로 수행되지 않는다. 따라서 누설 전류가 흐르는 구동 라인에 연결되는 메모리 셀에 데이터가 저장되는 경우 상기 데이터가 소실되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 비휘발성 메모리 장치의 메모리 셀 어레이에 연결되는 구동 라인들의 누설 전류를 효과적으로 감지할 수 있는 누설 전류 감지 장치를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 누설 전류 감지 장치를 포함하는 비휘발성 메모리 장치를 제공하는 것이다.

[0007] 본 발명의 또 다른 목적은 비휘발성 메모리 장치의 메모리 셀 어레이에 연결되는 구동 라인들의 누설 전류를 효과적으로 감지할 수 있는 누설 전류 감지 방법을 제공하는 것이다.

과제의 해결 수단

[0008] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 누설 전류 감지 장치는 테스트 검출부, 기준 검출부, 비교부 및 래치부를 포함한다. 상기 테스트 검출부는 비휘발성 메모리 장치의 메모리 셀 어레이에 연결되는 구동 라인들 중의 하나에 상응하는 테스트 라인 및 테스트 노드 사이에 연결되고, 상기 테스트 노드에 전원 전압을 인가하여 상기 테스트 라인을 충전한 후 상기 테스트 노드 및 상기 테스트 라인을 플로팅시키고, 상기 테스트 라인의 누설 전류에 기초하여 상기 테스트 노드의 전압을 강하시킨다. 상기 기준 검출부는 상기 구동 라인들 중에서 상기 테스트 라인과 동일한 타입의 구동 신호를 전달하는 기준 라인 및 기준 노드 사이에 연결되고, 상기 기준 노드에 상기 전원 전압을 인가하여 상기 기준 라인을 충전한 후 상기 기준 노드 및 상기 기준 라인을 플로팅시키고, 상기 기준 라인의 자연 방전(self discharge)에 기초하여 상기 기준 노드의 전압을 강하시킨다. 상기 비교부는 상기 테스트 노드의 전압 및 상기 기준 노드의 전압을 비교하여 비교 신호를 출력한다. 상기 래치부는 래치 제어 신호에 응답하여 상기 비교 신호를 래치하여 테스트 결과 신호를 생성한다.

[0009] 일 실시예에 있어서, 상기 테스트 검출부는, 상기 전원 전압 및 상기 테스트 노드 사이에 연결되고, 충전 제어 신호가 인가되는 게이트를 포함하는 제1 충전 트랜지스터, 상기 테스트 노드 및 접지 전압 사이에 연결되고, 인에이블 신호가 인가되는 게이트를 포함하는 제1 인에이블 트랜지스터, 및 상기 테스트 라인 및 상기 테스트 노

드 사이에 연결되고, 전달 제어 신호가 인가되는 게이트를 포함하는 제1 전달 트랜지스터를 포함할 수 있다.

- [0010] 상기 기준 검출부는, 상기 전원 전압 및 상기 기준 노드 사이에 연결되고, 상기 충전 제어 신호가 인가되는 게이트를 포함하는 제2 충전 트랜지스터, 상기 기준 노드 및 상기 접지 전압 사이에 연결되고, 상기 인에이블 신호가 인가되는 게이트를 포함하는 제2 인에이블 트랜지스터, 및 상기 기준 라인 및 상기 기준 노드 사이에 연결되고, 상기 전달 제어 신호가 인가되는 게이트를 포함하는 제2 전달 트랜지스터를 포함할 수 있다.
- [0011] 상기 제1 충전 트랜지스터 및 상기 제2 충전 트랜지스터는 PMOS 트랜지스터이고, 상기 제1 인에이블 트랜지스터, 상기 제2 인에이블 트랜지스터, 상기 제1 전달 트랜지스터 및 상기 제2 전달 트랜지스터는 NMOS 트랜지스터일 수 있다.
- [0012] 상기 누설 전류 감지 장치는 제1 시각에 상기 인에이블 신호를 사용하여 상기 제1 및 제2 인에이블 트랜지스터들을 턴오프시키고, 상기 충전 제어 신호를 사용하여 상기 제1 및 제2 충전 트랜지스터들을 턴온시키고, 상기 전달 제어 신호를 사용하여 상기 제1 및 제2 전달 트랜지스터들을 턴온시키고, 제2 시각에 상기 충전 제어 신호를 사용하여 상기 제1 및 제2 충전 트랜지스터들을 턴오프시켜 상기 테스트 노드 및 상기 기준 노드를 플로팅시키고, 상기 제2 시각으로부터 감지 시간이 경과한 제3 시각에 상기 래치 제어 신호를 상기 래치부에 제공하는 제어 회로를 더 포함할 수 있다.
- [0013] 상기 제어 회로는 상기 테스트 라인 및 상기 기준 라인이 전달하는 구동 신호의 타입에 기초하여 논리 하이 상태에서 상기 전달 제어 신호의 전압 레벨을 가변할 수 있다.
- [0014] 상기 제어 회로는 감지하고자 하는 상기 테스트 라인의 상기 누설 전류의 크기에 기초하여 상기 감지 시간의 길이를 가변할 수 있다.
- [0015] 일 실시예에 있어서, 상기 비교부는 상기 테스트 노드의 전압이 상기 기준 노드의 전압보다 미리 정해진 전압 이상 낮아지는 경우 상기 비교 신호의 논리 레벨을 변경할 수 있다.
- [0016] 일 실시예에 있어서, 상기 테스트 라인 및 상기 기준 라인은 상기 메모리 셀 어레이에 연결되는 워드 라인들에 각각 상응할 수 있다.
- [0017] 일 실시예에 있어서, 상기 테스트 라인 및 상기 기준 라인은 상기 메모리 셀 어레이에 연결되는 스트링 선택 라인들에 각각 상응할 수 있다.
- [0018] 일 실시예에 있어서, 상기 테스트 라인 및 상기 기준 라인은 상기 메모리 셀 어레이에 연결되는 접지 선택 라인들에 각각 상응할 수 있다.
- [0019] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는 메모리 셀 어레이, 라인 선택부, 누설 전류 감지 장치 및 제어부를 포함한다. 상기 메모리 셀 어레이는 복수의 메모리 블록들을 포함한다. 상기 라인 선택부는 복수의 워드 라인들, 복수의 스트링 선택 라인들 및 복수의 접지 선택 라인들을 통해 상기 복수의 메모리 블록들과 연결되고, 테스트 라인 선택 신호에 기초하여 상기 복수의 워드 라인들, 상기 복수의 스트링 선택 라인들 및 상기 복수의 접지 선택 라인들 중의 하나를 테스트 라인으로 연결하고, 기준 라인 선택 신호에 기초하여 상기 복수의 워드 라인들, 상기 복수의 스트링 선택 라인들 및 상기 복수의 접지 선택 라인들 중의 하나를 기준 라인으로 연결한다. 상기 누설 전류 감지 장치는 제어 신호에 기초하여 상기 테스트 라인 및 상기 기준 라인을 동일한 전압으로 충전한 후 상기 테스트 라인 및 상기 기준 라인을 플로팅시키고, 상기 테스트 라인의 전압 변화 및 상기 기준 라인의 전압 변화에 기초하여 상기 테스트 라인으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호를 생성한다. 상기 제어부는 상기 테스트 라인 선택 신호, 상기 기준 라인 선택 신호 및 상기 제어 신호를 생성한다.
- [0020] 일 실시예에 있어서, 상기 누설 전류 감지 장치는, 상기 테스트 라인 및 테스트 노드 사이에 연결되고, 상기 테스트 노드에 전원 전압을 인가하여 상기 테스트 라인을 충전한 후 상기 테스트 노드 및 상기 테스트 라인을 플로팅시키고, 상기 테스트 라인의 누설 전류에 기초하여 상기 테스트 노드의 전압을 강하시키는 테스트 검출부, 상기 기준 라인 및 기준 노드 사이에 연결되고, 상기 기준 노드에 상기 전원 전압을 인가하여 상기 기준 라인을 충전한 후 상기 기준 노드 및 상기 기준 라인을 플로팅시키고, 상기 기준 라인의 자연 방전(self discharge)에 기초하여 상기 기준 노드의 전압을 강하시키는 기준 검출부, 상기 테스트 노드의 전압 및 상기 기준 노드의 전압을 비교하여 비교 신호를 출력하는 비교부, 및 래치 제어 신호에 응답하여 상기 비교 신호를 래치하여 상기 테스트 결과 신호를 생성하는 래치부를 포함할 수 있다.
- [0021] 상기 테스트 검출부는, 상기 전원 전압 및 상기 테스트 노드 사이에 연결되고, 충전 제어 신호가 인가되는 게이

트를 포함하는 제1 충전 트랜지스터, 상기 테스트 노드 및 접지 전압 사이에 연결되고, 인에이블 신호가 인가되는 게이트를 포함하는 제1 인에이블 트랜지스터, 및 상기 테스트 라인 및 상기 테스트 노드 사이에 연결되고, 전달 제어 신호가 인가되는 게이트를 포함하는 제1 전달 트랜지스터를 포함하고, 상기 기준 검출부는, 상기 전원 전압 및 상기 기준 노드 사이에 연결되고, 상기 충전 제어 신호가 인가되는 게이트를 포함하는 제2 충전 트랜지스터, 상기 기준 노드 및 상기 접지 전압 사이에 연결되고, 상기 인에이블 신호가 인가되는 게이트를 포함하는 제2 인에이블 트랜지스터, 및 상기 기준 라인 및 상기 기준 노드 사이에 연결되고, 상기 전달 제어 신호가 인가되는 게이트를 포함하는 제2 전달 트랜지스터를 포함할 수 있다.

[0022] 일 실시예에 있어서, 상기 테스트 라인이 상기 복수의 워드 라인들 중의 하나에 연결되는 경우 상기 기준 라인도 상기 복수의 워드 라인들 중의 하나에 연결되고, 상기 테스트 라인이 상기 복수의 스트링 선택 라인들 중의 하나에 연결되는 경우 상기 기준 라인도 상기 복수의 스트링 선택 라인들 중의 하나에 연결되고, 상기 테스트 라인이 상기 복수의 접지 선택 라인들 중의 하나에 연결되는 경우 상기 기준 라인도 상기 복수의 접지 선택 라인들 중의 하나에 연결될 수 있다.

[0023] 일 실시예에 있어서, 상기 제어부는 상기 복수의 워드 라인들, 상기 복수의 스트링 선택 라인들 및 상기 복수의 접지 선택 라인들 중에서 누설 전류가 발생하지 않는 정상 라인들에 대한 주소들을 미리 저장하는 정상 라인 테이블을 포함하고, 상기 기준 라인 선택 신호는 상기 정상 라인 테이블에 저장된 상기 정상 라인들에 대한 주소들 중의 하나에 상응할 수 있다.

[0024] 상기 제어부는 외부로부터 누설 테스트 명령 및 누설 테스트 주소를 수신하고, 상기 누설 테스트 명령에 기초하여 상기 제어 신호를 생성하고, 상기 누설 테스트 주소에 기초하여 상기 테스트 라인 선택 신호 및 상기 기준 라인 선택 신호를 생성할 수 있다.

[0025] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 누설 전류 감지 방법에 있어서, 메모리 셀 어레이에 연결되는 구동 라인들 중의 하나에 상응하는 테스트 라인 및 상기 구동 라인들 중에서 상기 테스트 라인과 동일한 타입의 구동 신호를 전달하는 기준 라인을 동일한 전압으로 충전하고, 상기 테스트 라인 및 상기 기준 라인을 플로팅시키고, 상기 테스트 라인 및 상기 기준 라인이 플로팅된 시각으로부터 감지 시간이 경과된 이후에 상기 테스트 라인의 전압 및 상기 기준 라인의 전압에 기초하여 상기 테스트 라인으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호를 생성한다.

[0026] 일 실시예에 있어서, 상기 테스트 라인 및 상기 기준 라인을 동일한 전압으로 충전하는 단계는, 제1 전달 트랜지스터를 통해 상기 테스트 라인과 연결되는 테스트 노드에 전원 전압을 인가하고 상기 제1 전달 트랜지스터를 턴온시키는 단계 및 제2 전달 트랜지스터를 통해 상기 기준 라인과 연결되는 기준 노드에 상기 전원 전압을 인가하고 상기 제2 전달 트랜지스터를 턴온시키는 단계를 포함할 수 있다.

[0027] 상기 테스트 라인 및 상기 기준 라인을 플로팅시키는 단계는, 상기 테스트 노드 및 상기 기준 노드를 상기 전원 전압으로부터 차단하는 단계를 포함하고, 상기 테스트 결과 신호를 생성하는 단계는, 상기 테스트 노드 및 상기 기준 노드가 상기 전원 전압으로부터 차단된 시각으로부터 상기 감지 시간이 경과된 이후에 상기 테스트 노드의 전압이 상기 기준 노드의 전압보다 미리 정해진 전압 이상 낮아지는 경우 상기 테스트 결과 신호의 논리 레벨을 변경하는 단계를 포함할 수 있다.

발명의 효과

[0028] 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 누설 전류 감지 장치에 따르면, 메모리 셀 어레이에 연결되는 구동 라인들 중의 하나에 상응하는 테스트 라인과 상기 구동 라인과 동일한 타입의 구동 신호를 상기 메모리 셀 어레이에 전달하면서 누설 전류가 발생하지 않는 구동 라인에 상응하는 기준 라인의 누설 정도를 비교하여 상기 테스트 라인에 누설 전류가 흐르는지 여부를 판단함으로써 상기 구동 라인들에 대한 누설 테스트를 효과적으로 수행할 수 있다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 누설 전류 감지 장치를 나타내는 블록도이다.

도 2는 도 1의 누설 전류 감지 장치에 포함되는 테스트 검출부 및 기준 검출부의 일 예를 나타내는 회로도이다.

도 3 및 4는 도 2에 도시된 누설 전류 감지 장치의 동작을 설명하기 위한 타이밍도들이다.

- 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 블록도이다.
- 도 6a 및 6b는 도 5의 비휘발성 메모리 장치에 포함되는 메모리 블록의 예들을 나타내는 회로도들이다.
- 도 7은 도 5의 비휘발성 메모리 장치에 포함되는 누설 전류 감지 장치의 일 예를 나타내는 블록도이다.
- 도 8은 도 7의 누설 전류 감지 장치에 포함되는 테스트 검출부 및 기준 검출부의 일 예를 나타내는 회로도이다.
- 도 9는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 블록도이다.
- 도 10은 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 누설 전류 감지 방법을 나타내는 순서도이다.
- 도 11은 본 발명의 일 실시예에 따른 메모리 시스템을 나타내는 블록도이다.
- 도 12는 본 발명의 일 실시예에 따른 메모리 카드를 나타내는 블록도이다.
- 도 13은 본 발명의 일 실시예에 따른 솔리드 스테이트 드라이브 시스템을 나타내는 블록도이다.
- 도 14는 본 발명의 일 실시예에 따른 모바일 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0031] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0032] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.
- [0033] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0034] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0035] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0036] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0037] 도 1은 본 발명의 일 실시예에 따른 누설 전류 감지 장치를 나타내는 블록도이다.
- [0038] 도 1을 참조하면, 누설 전류 감지 장치(10)는 테스트 검출부(100), 기준 검출부(200), 비교부(300) 및 래치부(400)를 포함한다.

- [0039] 테스트 검출부(100)는 누설 테스트를 수행할 테스트 라인(TEST_LN) 및 테스트 노드(TEST_ND) 사이에 연결된다. 테스트 라인(TEST_LN)은 비휘발성 메모리 장치의 메모리 셀 어레이에 연결되는 구동 라인들 중의 하나에 상응한다. 테스트검출부(100)는 테스트 노드(TEST_ND)에 전원 전압(VDD)을 인가하여 테스트 라인(TEST_LN)을 충전(charge)한 후 테스트 노드(TEST_ND) 및 테스트 라인(TEST_LN)을 플로팅시킨다. 테스트 검출부(100)는 테스트 라인(TEST_LN)의 누설 전류에 기초하여 테스트 노드(TEST_ND)의 전압을 강하시킨다.
- [0040] 기준 검출부(200)는 테스트 라인(TEST_LN)과는 상이한 상기 구동 라인들 중의 하나에 상응하는 기준 라인(REF_LN) 및 기준 노드(REF_ND) 사이에 연결된다. 기준 라인(REF_LN)은 테스트 라인(TEST_LN)과 동일한 타입의 구동 신호를 상기 메모리 셀 어레이에 전달하는 구동 라인들 중에서 누설 전류가 발생하지 않는 구동 라인일 수 있다. 기준 검출부(200)는 기준 노드(REF_ND)에 전원 전압(VDD)을 인가하여 기준 라인(REF_LN)을 충전한 후 기준 노드(REF_ND) 및 기준 라인(REF_LN)을 플로팅시킨다. 기준 라인(REF_LN)에는 누설 전류가 발생하지 않으므로, 기준 검출부(200)는 기준 라인(REF_LN)에서 발생하는 자연 방전(self discharge)에 기초하여 기준 노드(REF_ND)의 전압을 강하시킨다. 기준 라인(REF_LN)에서 발생하는 상기 자연 방전의 크기가 무시할 정도로 작은 경우, 기준 노드(REF_ND)의 전압은 기준 노드(REF_ND) 및 기준 라인(REF_LN)이 플로팅 된 이후 실질적으로 그대로 유지될 수 있다.
- [0041] 일 실시예에 있어서, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)은 상기 메모리 셀 어레이에 워드 라인 신호를 전달하는 워드 라인들에 각각 상응할 수 있다.
- [0042] 일 실시예에 있어서, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)은 상기 메모리 셀 어레이에 스트링 선택 신호를 전달하는 스트링 선택 라인들에 각각 상응할 수 있다.
- [0043] 일 실시예에 있어서, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)은 상기 메모리 셀 어레이에 접지 선택 신호를 전달하는 접지 선택 라인들에 각각 상응할 수 있다.
- [0044] 비교부(300)는 테스트 노드(TEST_ND)의 전압 및 기준 노드(REF_ND)의 전압을 비교하여 비교 신호(CMP)를 출력한다. 일 실시예에 있어서, 비교부(300)는 테스트 노드(TEST_ND)의 전압이 기준 노드(REF_ND)의 전압보다 미리 정해진 전압 이상 낮아지는 경우 비교 신호(CMP)의 논리 레벨을 변경할 수 있다. 예를 들어, 비교부(300)는 테스트 노드(TEST_ND)의 전압이 기준 노드(REF_ND)의 전압보다 상기 미리 정해진 전압만큼 낮은 전압보다 높거나 같은 경우 논리 로우 레벨을 갖는 비교 신호(CMP)를 출력하고, 테스트 노드(TEST_ND)의 전압이 기준 노드(REF_ND)의 전압보다 상기 미리 정해진 전압만큼 낮은 전압보다 낮은 경우 논리 하이 레벨을 갖는 비교 신호(CMP)를 출력할 수 있다.
- [0045] 래치부(400)는 래치 제어 신호(LCS)에 응답하여 비교 신호(CMP)를 래치하여 테스트 결과 신호(TEST_RE)를 생성한다. 따라서 테스트 결과 신호(TEST_RE)는 테스트 라인(TEST_LN)에 누설 전류가 발생하는지 여부를 나타낼 수 있다.
- [0046] 도 2는 도 1의 누설 전류 감지 장치에 포함되는 테스트 검출부 및 기준 검출부의 일 예를 나타내는 회로도이다.
- [0047] 도 2를 참조하면, 누설 전류 감지 장치(10a)는 테스트 검출부(100a), 기준 검출부(200a), 비교부(300) 및 래치부(400)를 포함할 수 있다.
- [0048] 도 2의 누설 전류 감지 장치(10a)에 포함되는 비교부(300) 및 래치부(400)는 도 1의 누설 전류 감지 장치(10)에 포함되는 비교부(300) 및 래치부(400)와 동일하므로, 중복되는 설명은 생략한다.
- [0049] 테스트 검출부(100a)는 제1 충전 트랜지스터(110), 제1 전달 트랜지스터(120) 및 제1 인에이블 트랜지스터(130)를 포함할 수 있다.
- [0050] 제1 충전 트랜지스터(110)는 전원 전압(VDD) 및 테스트 노드(TEST_ND) 사이에 연결되고, 충전 제어 신호(CCS)가 인가되는 게이트를 포함할 수 있다.
- [0051] 제1 전달 트랜지스터(120)는 테스트 라인(TEST_LN) 및 테스트 노드(TEST_ND) 사이에 연결되고, 전달 제어 신호(TCS)가 인가되는 게이트를 포함할 수 있다.
- [0052] 제1 인에이블 트랜지스터(130)는 테스트 노드(TEST_ND) 및 접지 전압(GND) 사이에 연결되고, 인에이블 신호(EN)가 인가되는 게이트를 포함할 수 있다.
- [0053] 기준 검출부(200a)는 제2 충전 트랜지스터(210), 제2 전달 트랜지스터(220) 및 제2 인에이블 트랜지스터(230)를

포함할 수 있다.

- [0054] 제2 충전 트랜지스터(210)는 전원 전압(VDD) 및 기준 노드(REF_ND) 사이에 연결되고, 충전 제어 신호(CCS)가 인가되는 게이트를 포함할 수 있다.
- [0055] 제2 전달 트랜지스터(220)는 기준 라인(REF_LN) 및 기준 노드(REF_ND) 사이에 연결되고, 전달 제어 신호(TCS)가 인가되는 게이트를 포함할 수 있다.
- [0056] 제2 인에이블 트랜지스터(230)는 기준 노드(REF_ND) 및 접지 전압(GND) 사이에 연결되고, 인에이블 신호(EN)가 인가되는 게이트를 포함할 수 있다.
- [0057] 일 실시예에 있어서, 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)는 PMOS(p-type metal oxide semiconductor) 트랜지스터이고, 제1 인에이블 트랜지스터(130), 제2 인에이블 트랜지스터(230), 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)는 NMOS(n-type metal oxide semiconductor) 트랜지스터일 수 있다.
- [0058] 일 실시예에 있어서, 누설 전류 감지 장치(10a)는 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)에 충전 제어 신호(CCS)를 제공하고, 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)에 전달 제어 신호(TCS)를 제공하고, 제1 인에이블 트랜지스터(130) 및 제2 인에이블 트랜지스터(230)에 인에이블 신호(EN)를 제공하고, 래치부(400)에 래치 제어 신호(LCS)를 제공하는 제어 회로(450)를 더 포함할 수 있다.
- [0059] 도 3 및 4는 도 2에 도시된 누설 전류 감지 장치의 동작을 설명하기 위한 타이밍도들이다.
- [0060] 도 3은 테스트 라인(TEST_LN)으로부터 누설 전류가 흐르지 않는 경우에 도 2에 도시된 누설 전류 감지 장치(10a)의 동작을 나타내는 타이밍도이고, 도 4는 테스트 라인(TEST_LN)으로부터 누설 전류가 흐르는 경우에 도 2에 도시된 누설 전류 감지 장치(10a)의 동작을 나타내는 타이밍도이다.
- [0061] 이하, 도 2 및 3을 참조하여 테스트 라인(TEST_LN)으로부터 누설 전류가 흐르지 않는 경우에 도 2에 도시된 누설 전류 감지 장치(10a)의 동작에 대해 상세히 설명한다.
- [0062] 도 2 및 3을 참조하면, 제어 회로(450)는 제1 시각(T1)에 논리 로우 레벨을 갖는 인에이블 신호(EN)를 제1 인에이블 트랜지스터(130) 및 제2 인에이블 트랜지스터(230)에 제공하여 제1 인에이블 트랜지스터(130) 및 제2 인에이블 트랜지스터(230)를 턴오프시키고, 논리 로우 레벨을 갖는 충전 제어 신호(CCS)를 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)에 제공하여 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)를 턴온시키고, 논리 하이 레벨을 갖는 전달 제어 신호(TCS)를 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)에 제공하여 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)를 턴온시킬 수 있다.
- [0063] 따라서 테스트 노드(TEST_ND)의 전압(V_TEST_ND) 및 기준 노드(REF_ND)의 전압(V_REF_ND)은 전원 전압(VDD)으로 상승하고, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)은 각각 테스트 노드(TEST_ND) 및 기준 노드(REF_ND)로부터 제공되는 전하로 충전되어 테스트 라인(TEST_LN)의 전압(V_TEST_LN) 및 기준 라인(REF_LN)의 전압(V_REF_LN)의 역시 상승할 수 있다. 예를 들어, 도 3에 도시된 바와 같이, 테스트 라인(TEST_LN)의 전압(V_TEST_LN) 및 기준 라인(REF_LN)의 전압(V_REF_LN)은 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)의 게이트에 인가되는 전달 제어 신호(TCS)의 전압보다 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)의 문턱 전압(Vth)만큼 낮은 전압까지 충전될 수 있다.
- [0064] 일 실시예에 있어서, 제어 회로(450)는 논리 하이 상태에서 전달 제어 신호(TCS)의 전압 레벨을 가변할 수 있다. 예를 들어, 도 3에 도시된 바와 같이, 제어 회로(450)는 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)이 전달하는 구동 신호의 타입에 기초하여 논리 하이 상태에서 전달 제어 신호(TCS)의 전압 레벨을 제1 전압(V1) 및 제2 전압(V2) 사이에서 가변할 수 있다.
- [0065] 예를 들어, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)이 상대적으로 높은 전압을 전달하는 워드 라인인 경우, 제어 회로(450)는 논리 하이 상태에서 전달 제어 신호(TCS)의 전압 레벨을 상대적으로 증가시키고, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)이 상대적으로 낮은 전압을 전달하는 스트링 선택 라인 또는 접지 선택 라인인 경우, 제어 회로(450)는 논리 하이 상태에서 전달 제어 신호(TCS)의 전압 레벨을 상대적으로 감소시킬 수 있다.
- [0066] 제어 회로(450)는 논리 하이 상태에서 전달 제어 신호(TCS)의 전압 레벨을 가변함으로써 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)이 충전되는 전압 레벨을 제어할 수 있다.
- [0067] 제어 회로(450)는 제2 시각(T2)에 논리 하이 레벨을 갖는 충전 제어 신호(CCS)를 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)에 제공하여 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)를 턴오프시킬 수

있다.

- [0068] 테스트 노드(TEST_ND) 및 기준 노드(REF_ND)는 전원 전압(VDD) 및 접지 전압(GND)으로부터 차단되므로, 테스트 노드(TEST_ND) 및 기준 노드(REF_ND)는 플로팅(floating)될 수 있다. 테스트 노드(TEST_ND) 및 기준 노드(REF_ND)가 플로팅(floating)되므로, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN) 역시 플로팅될 수 있다.
- [0069] 테스트 라인(TEST_LN)으로부터 누설 전류가 흐르지 않으므로, 테스트 라인(TEST_LN)에서 발생하는 자연 방전(self discharge)에 기초하여 테스트 라인(TEST_LN)의 전압(V_TEST_LN) 및 테스트 노드(TEST_ND)의 전압(V_TEST_ND)은 낮아질 수 있다.
- [0070] 마찬가지로, 기준 라인(REF_LN)에서 발생하는 자연 방전(self discharge)에 기초하여 기준 라인(REF_LN)의 전압(V_REF_LN) 및 기준 노드(REF_ND)의 전압(V_REF_ND)은 낮아질 수 있다.
- [0071] 상술한 바와 같이, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)은 동일한 타입의 구동 신호를 상기 메모리 셀 어레이에 전달하므로, 테스트 라인(TEST_LN)에서 발생하는 자연 방전의 크기와 기준 라인(REF_LN)에서 발생하는 자연 방전의 크기는 실질적으로 서로 동일할 수 있다. 따라서 제2 시각(T2) 이후 테스트 노드(TEST_ND)의 전압(V_TEST_ND)의 강하량과 기준 노드(REF_ND)의 전압(V_REF_ND)의 강하량은 실질적으로 서로 동일할 수 있다.
- [0072] 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)에서 발생하는 상기 자연 방전의 크기가 무시할 정도로 작은 경우, 도 3에 도시된 바와 같이, 제2 시각(T2) 이후 테스트 라인(TEST_LN)의 전압(V_TEST_LN), 테스트 노드(TEST_ND)의 전압(V_TEST_ND), 기준 라인(REF_LN)의 전압(V_REF_LN) 및 기준 노드(REF_ND)의 전압(V_REF_ND)은 그대로 유지될 수 있다.
- [0073] 제어 회로(450)는 제2 시각(T2)으로부터 감지 시간(Td)이 경과한 제3 시각(T3)에 논리 로우 레벨을 갖는 전달 제어 신호(TCS)를 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)에 제공하여 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)를 턴오프시킬 수 있다. 따라서 제3 시각(T3) 이후에 테스트 노드(TEST_ND)의 전압(V_TEST_ND) 및 기준 노드(REF_ND)의 전압(V_REF_ND)은 제3 시각(T3)에서의 전압을 그대로 유지할 수 있다.
- [0074] 또한, 제어 회로(450)는 제3 시각(T3)에 논리 하이 레벨을 갖는 래치 제어 신호(LCS)를 래치부(400)에 제공할 수 있다. 따라서 래치부(400)는 제3 시각(T3)에 비교부(300)로부터 출력되는 비교 신호(CMP)를 래치하여 테스트 결과 신호(TEST_RE)로서 출력할 수 있다.
- [0075] 도 3에 도시된 바와 같이, 테스트 라인(TEST_LN)으로부터 누설 전류가 흐르지 않는 경우, 제3 시각(T3)에 테스트 노드(TEST_ND)의 전압(V_TEST_ND) 및 기준 노드(REF_ND)의 전압(V_REF_ND)은 서로 동일할 수 있다. 따라서 비교부(300)는 논리 로우 레벨을 갖는 비교 신호(CMP)를 출력하고, 래치부(400)는 논리 로우 레벨을 갖는 테스트 결과 신호(TEST_RE)를 출력할 수 있다.
- [0076] 제어 회로(450)는 제4 시각(T4)에 논리 하이 레벨을 갖는 인에이블 신호(EN)를 제1 인에이블 트랜지스터(130) 및 제2 인에이블 트랜지스터(230)에 제공하여 제1 인에이블 트랜지스터(130) 및 제2 인에이블 트랜지스터(230)를 턴온시킬 수 있다. 따라서 테스트 노드(TEST_ND)의 전압(V_TEST_ND) 및 기준 노드(REF_ND)의 전압(V_REF_ND)은 접지 전압(GND)으로 리셋되고 테스트 라인(TEST_LN)에 대한 누설 테스트는 종료될 수 있다.
- [0077] 이하, 도 2 및 4를 참조하여 테스트 라인(TEST_LN)으로부터 누설 전류가 흐르는 경우에 도 2에 도시된 누설 전류 감지 장치(10a)의 동작에 대해 상세히 설명한다.
- [0078] 도 2 및 4를 참조하면, 제어 회로(450)는 제1 시각(T1)에 논리 로우 레벨을 갖는 인에이블 신호(EN)를 제1 인에이블 트랜지스터(130) 및 제2 인에이블 트랜지스터(230)에 제공하여 제1 인에이블 트랜지스터(130) 및 제2 인에이블 트랜지스터(230)를 턴오프시키고, 논리 로우 레벨을 갖는 충전 제어 신호(CCS)를 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)에 제공하여 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)를 턴온시키고, 논리 하이 레벨을 갖는 전달 제어 신호(TCS)를 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)에 제공하여 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)를 턴온시킬 수 있다.
- [0079] 따라서 테스트 노드(TEST_ND)의 전압(V_TEST_ND) 및 기준 노드(REF_ND)의 전압(V_REF_ND)은 전원 전압(VDD)으로 상승하고, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)은 각각 테스트 노드(TEST_ND) 및 기준 노드(REF_ND)로부터 제공되는 전하로 충전되어 테스트 라인(TEST_LN)의 전압(V_TEST_LN) 및 기준 라인(REF_LN)의 전압(V_REF_LN)의 역시 상승할 수 있다. 예를 들어, 도 4에 도시된 바와 같이, 테스트 라인(TEST_LN)의 전압(V_TEST_LN) 및 기준 라인(REF_LN)의 전압(V_REF_LN)은 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터

(220)의 게이트에 인가되는 전달 제어 신호(TCS)의 전압보다 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)의 문턱 전압(V_{th})만큼 낮은 전압까지 충전될 수 있다.

- [0080] 일 실시예에 있어서, 제어 회로(450)는 논리 하이 상태에서 전달 제어 신호(TCS)의 전압 레벨을 가변할 수 있다. 예를 들어, 도 4에 도시된 바와 같이, 제어 회로(450)는 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)이 전달하는 구동 신호의 타입에 기초하여 논리 하이 상태에서 전달 제어 신호(TCS)의 전압 레벨을 제1 전압(V_1) 및 제2 전압(V_2) 사이에서 가변할 수 있다.
- [0081] 예를 들어, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)이 상대적으로 높은 전압을 전달하는 워드 라인인 경우, 제어 회로(450)는 논리 하이 상태에서 전달 제어 신호(TCS)의 전압 레벨을 상대적으로 증가시키고, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)이 상대적으로 낮은 전압을 전달하는 스트링 선택 라인 또는 접지 선택 라인인 경우, 제어 회로(450)는 논리 하이 상태에서 전달 제어 신호(TCS)의 전압 레벨을 상대적으로 감소시킬 수 있다.
- [0082] 제어 회로(450)는 논리 하이 상태에서 전달 제어 신호(TCS)의 전압 레벨을 가변함으로써 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)이 충전되는 전압 레벨을 제어할 수 있다.
- [0083] 제어 회로(450)는 제2 시각(T_2)에 논리 하이 레벨을 갖는 충전 제어 신호(CCS)를 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)에 제공하여 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)를 턴오프시킬 수 있다.
- [0084] 테스트 노드(TEST_ND) 및 기준 노드(REF_ND)는 전원 전압(VDD) 및 접지 전압(GND)으로부터 차단되므로, 테스트 노드(TEST_ND) 및 기준 노드(REF_ND)는 플로팅(floating)될 수 있다. 테스트 노드(TEST_ND) 및 기준 노드(REF_ND)가 플로팅(floating)되므로, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN) 역시 플로팅될 수 있다.
- [0085] 따라서 기준 라인(REF_LN)에서 발생하는 자연 방전(self discharge)에 기초하여 기준 라인(REF_LN)의 전압(V_{REF_LN}) 및 기준 노드(REF_ND)의 전압(V_{REF_ND})은 낮아질 수 있다. 기준 라인(REF_LN)에서 발생하는 상기 자연 방전의 크기가 무시할 정도로 작은 경우, 도 4에 도시된 바와 같이, 제2 시각(T_2) 이후 기준 라인(REF_LN)의 전압(V_{REF_LN}) 및 기준 노드(REF_ND)의 전압(V_{REF_ND})은 그대로 유지될 수 있다.
- [0086] 한편, 테스트 라인(TEST_LN)에 결함이 발생하여 상기 자연 방전에 의한 전류보다 상대적으로 큰 누설 전류가 테스트 라인(TEST_LN)으로부터 흐르는 경우, 도 4에 도시된 바와 같이, 테스트 라인(TEST_LN)으로부터 흐르는 상기 누설 전류에 기초하여 테스트 라인(TEST_LN)의 전압(V_{TEST_LN}) 및 테스트 노드(TEST_ND)의 전압(V_{TEST_ND})은 각각 기준 라인(REF_LN)의 전압(V_{REF_LN}) 및 기준 노드(REF_ND)의 전압(V_{REF_ND})에 비해 낮아질 수 있다.
- [0087] 제어 회로(450)는 제2 시각(T_2)으로부터 감지 시간(T_d)이 경과한 제3 시각(T_3)에 논리 로우 레벨을 갖는 전달 제어 신호(TCS)를 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)에 제공하여 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)를 턴오프시킬 수 있다. 따라서 제3 시각(T_3) 이후에 테스트 노드(TEST_ND)의 전압(V_{TEST_ND}) 및 기준 노드(REF_ND)의 전압(V_{REF_ND})은 제3 시각(T_3)에서의 전압을 그대로 유지할 수 있다.
- [0088] 또한, 제어 회로(450)는 제3 시각(T_3)에 논리 하이 레벨을 갖는 래치 제어 신호(LCS)를 래치부(400)에 제공할 수 있다. 따라서 래치부(400)는 제3 시각(T_3)에 비교부(300)로부터 출력되는 비교 신호(CMP)를 래치하여 테스트 결과 신호(TEST_RE)로서 출력할 수 있다.
- [0089] 도 4에 도시된 바와 같이, 테스트 라인(TEST_LN)으로부터 누설 전류가 흐르는 경우, 제3 시각(T_3)에 테스트 노드(TEST_ND)의 전압(V_{TEST_ND})은 기준 노드(REF_ND)의 전압(V_{REF_ND}) 보다 낮을 수 있다. 비교부(300)는 테스트 노드(TEST_ND)의 전압(V_{TEST_ND})이 기준 노드(REF_ND)의 전압(V_{REF_ND}) 보다 상기 미리 정해진 전압 이상 낮은 경우 논리 하이 레벨을 갖는 비교 신호(CMP)를 출력할 수 있고, 래치부(400)는 제3 시각(T_3)에서 비교부(300)로부터 출력되는 비교 신호(CMP)를 래치하여 테스트 결과 신호(TEST_RE)로서 출력할 수 있다.
- [0090] 테스트 라인(TEST_LN)으로부터 흐르는 상기 누설 전류의 크기가 클수록 감지 시간(T_d)동안 테스트 노드(TEST_ND)의 전압(V_{TEST_ND})이 강하하는 정도(rate)는 증가하고, 테스트 라인(TEST_LN)으로부터 흐르는 상기 누설 전류의 크기가 작을수록 감지 시간(T_d)동안 테스트 노드(TEST_ND)의 전압(V_{TEST_ND})이 강하하는 정도(rate)는 감소할 수 있다.
- [0091] 따라서 제어 회로(450)는 감지하고자 하는 테스트 라인(TEST_LN)의 상기 누설 전류의 크기에 기초하여 감지 시간(T_d)의 길이를 가변할 수 있다. 예를 들어, 감지 시간(T_d)의 길이가 증가할수록 감지할 수 있는 테스트 라인

(TEST_LN)의 상기 누설 전류의 크기는 감소할 수 있다.

- [0092] 제어 회로(450)는 제4 시각(T4)에 논리 하이 레벨을 갖는 인에이블 신호(EN)를 제1 인에이블 트랜지스터(130) 및 제2 인에이블 트랜지스터(230)에 제공하여 제1 인에이블 트랜지스터(130) 및 제2 인에이블 트랜지스터(230)를 턴온시킬 수 있다. 따라서 테스트 노드(TEST_ND)의 전압(V_TEST_ND) 및 기준 노드(REF_ND)의 전압(V_REF_ND)은 접지 전압(GND)으로 리셋되고 테스트 라인(TEST_LN)에 대한 누설 테스트는 종료될 수 있다.
- [0093] 일반적으로 비휘발성 메모리 장치의 메모리 셀 어레이에 연결되어 메모리 셀들에 구동 신호를 전달하는 구동 라인들 중에서 동일한 타입의 구동 신호를 상기 메모리 셀 어레이에 전달하는 구동 라인들에서 발생하는 자연 방전의 크기는 실질적으로 서로 동일할 수 있다.
- [0094] 도 1 내지 4를 참조하여 상술한 바와 같이, 본 발명의 실시예들에 따른 누설 전류 감지 장치(10)는 상기 구동 라인들 중에서 테스트 라인(TEST_LN)과 동일한 타입의 구동 신호를 상기 메모리 셀 어레이에 전달하면서 누설 전류가 발생하지 않는 구동 라인을 기준 라인(REF_LN)으로 선택하고, 테스트 라인(TEST_LN)에서 발생하는 누설 전류에 따른 테스트 노드(TEST_ND)의 전압 강하와 기준 라인(REF_LN)에서 발생하는 자연 방전에 따른 기준 노드(REF_ND)의 전압 강하를 비교하여 테스트 라인(TEST_LN)으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호(TEST_RE)를 생성한다.
- [0095] 따라서 본 발명의 실시예들에 따른 누설 전류 감지 장치(10)는 상기 비휘발성 메모리 장치의 상기 메모리 셀 어레이에 연결되는 구동 라인들의 누설 전류를 효과적으로 감지할 수 있다.
- [0096] 도 5는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 블록도이다.
- [0097] 도 5를 참조하면, 비휘발성 메모리 장치(20)는 메모리 셀 어레이(500), 라인 선택부(600), 제어부(700), 데이터 입출력 회로(800) 및 누설 전류 감지 장치(10)를 포함한다.
- [0098] 메모리 셀 어레이(500)는 복수의 메모리 블록들(510-1, 510-2, ..., 510-m)을 포함할 수 있다. 복수의 메모리 블록들(510-1, 510-2, ..., 510-m) 각각은 스트링 선택 라인(SSL1, SSL2, ..., SSLm), 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 접지 선택 라인(GSL1, GSL2, ..., GSLm) 및 공통 소스 라인(CSL1, CSL2, ..., CSLm)을 통해 라인 선택부(600)와 연결될 수 있다. 또한, 복수의 메모리 블록들(510-1, 510-2, ..., 510-m) 각각은 복수의 비트 라인들(BL1, BL2, ..., BLz)을 통해 데이터 입출력 회로(800)와 연결될 수 있다. 여기서, n, m 및 z는 양의 정수를 나타낸다.
- [0099] 복수의 메모리 블록들(510-1, 510-2, ..., 510-m) 각각은 복수의 메모리 셀 스트링들(520)을 포함할 수 있다.
- [0100] 도 6a 및 6b는 도 5의 비휘발성 메모리 장치에 포함되는 메모리 블록의 예들을 나타내는 회로도들이다.
- [0101] 도 6a에 도시된 메모리 블록(510-1a)은 기관 상에 삼차원 구조로 형성될 수 있다. 예를 들어, 메모리 블록(510-1a)에 포함되는 복수의 메모리 셀 스트링들(520)은 상기 기관과 수직한 방향으로 형성될 수 있다.
- [0102] 도 6a를 참조하면, 메모리 블록(510-1a)은 비트 라인들(BL1, BL2, BL3)과 공통 소스 라인(CSL1) 사이에 연결되는 복수의 메모리 셀 스트링들(NS11~NS33)을 포함할 수 있다. 복수의 메모리 셀 스트링들(NS11~NS33) 각각은 스트링 선택 트랜지스터(SST), 복수의 메모리 셀들(MC1, MC2, ..., MC8) 및 접지 선택 트랜지스터(GST)를 포함할 수 있다.
- [0103] 도 6a에는 복수의 메모리 셀 스트링들(NS11~NS33) 각각이 8개의 메모리 셀들(MC1, MC2, ..., MC8)을 포함하는 것으로 도시되어 있으나, 본 발명은 이에 한정되지 않는다.
- [0104] 스트링 선택 트랜지스터(SST)는 상응하는 스트링 선택 라인(SSL11, SSL12, SSL13)에 연결될 수 있다. 복수의 메모리 셀들(MC1, MC2, ..., MC8)은 각각 상응하는 워드 라인(WL11, WL12, ..., WL18)에 연결될 수 있다. 접지 선택 트랜지스터(GST)는 상응하는 접지 선택 라인(GSL11, GSL12, GSL13)에 연결될 수 있다. 스트링 선택 트랜지스터(SST)는 상응하는 비트 라인(BL1, BL2, BL3)에 연결되고, 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL1)에 연결될 수 있다.
- [0105] 동일 높이의 워드 라인(예를 들면, WL11)은 공통으로 연결되고, 접지 선택 라인(GSL11, GSL12, GSL13) 및 스트링 선택 라인(SSL11, SSL12, SSL13)은 분리될 수 있다.
- [0106] 도 6b에 도시된 메모리 블록(510-1b)은 기관에 이차원 구조로 형성될 수 있다. 예를 들어, 메모리 블록(510-1b)에 포함되는 복수의 메모리 셀 스트링들(520)은 상기 기관과 수평한 방향으로 형성될 수 있다.

- [0107] 도 6b를 참조하면, 메모리 블록(510-1b)은 복수의 메모리 셀 스트링들(NS1, NS2, NS3, ..., NSz)을 포함할 수 있다.
- [0108] 복수의 메모리 셀 스트링들(NS1, NS2, NS3, ..., NSz) 각각은 직렬로 연결된 스트링 선택 트랜지스터(SST), 복수의 메모리 셀들(MC) 및 접지 선택 트랜지스터(GST)를 포함할 수 있다.
- [0109] 복수의 메모리 셀 스트링들(NS1, NS2, NS3, ..., NSz)에 포함되는 스트링 선택 트랜지스터(SST)는 스트링 선택 라인(SSL1)에 공통으로 연결될 수 있다. 복수의 메모리 셀 스트링들(NS1, NS2, NS3, ..., NSz)에 포함되는 복수의 메모리 셀들(MC) 중에서 동일한 로우에 형성되는 메모리 셀들은 상응하는 워드 라인(WL11, WL12, WL13, WL14, ..., WL1(n-1), WL1n)에 공통으로 연결될 수 있다. 복수의 메모리 셀 스트링들(NS1, NS2, NS3, ..., NSz)에 포함되는 접지 선택 트랜지스터(GST)는 접지 선택 라인(GSL1)에 공통으로 연결될 수 있다.
- [0110] 복수의 메모리 셀 스트링들(NS1, NS2, NS3, ..., NSz)에 포함되는 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL1)에 공통으로 연결될 수 있다.
- [0111] 복수의 메모리 셀 스트링들(NS1, NS2, NS3, ..., NSz)에 포함되는 스트링 선택 트랜지스터(SST)는 상응하는 비트 라인(BL1, BL2, BL3, ..., BLz)에 연결될 수 있다.
- [0112] 도 5의 메모리 셀 어레이(500)에 포함되는 복수의 메모리 블록들(510-1, 510-2, ..., 510-m) 각각은 도 6a에 도시된 메모리 블록(510-1a) 또는 도 6b에 도시된 메모리 블록(510-1b)과 동일한 구조를 가질 수 있다.
- [0113] 도 5, 6a 및 6b를 참조하여 상술한 바와 같이, 복수의 메모리 블록들(510-1, 510-2, ..., 510-m)에 포함되는 복수의 메모리 셀 스트링들(520) 각각은 동일한 배열을 갖는 스트링 선택 트랜지스터(SST), 메모리 셀들(MC) 및 접지 선택 트랜지스터(GST)를 포함하므로, 동일한 타입의 구동 라인들의 기생 커패시턴스는 서로 동일할 수 있다. 따라서 동일한 타입의 구동 라인들에서 발생하는 자연 방전의 크기는 실질적으로 서로 동일할 수 있다. 예를 들어, 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm)에서 발생하는 자연 방전의 크기는 서로 동일하고, 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLn1~WLn)에서 발생하는 자연 방전의 크기는 서로 동일하고, 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm)에서 발생하는 자연 방전의 크기는 서로 동일할 수 있다.
- [0114] 다시 도 5를 참조하면, 데이터 입출력 회로(800)는 복수의 비트 라인들(BL1, BL2, ..., BLz)을 통해 메모리 셀 어레이(500)와 연결된다. 데이터 입출력 회로(800)는 복수의 비트 라인들(BL1, BL2, ..., BLz)을 통해 메모리 셀(MC)로부터 독출되는 데이터(DATA)를 외부 장치로 출력하고, 상기 외부 장치로부터 입력되는 데이터(DATA)를 복수의 비트 라인들(BL1, BL2, ..., BLz)을 통해 메모리 셀(MC)에 기입할 수 있다.
- [0115] 일 실시예에 있어서, 데이터 입출력 회로(800)는 감지 증폭기(sense amplifier), 페이지 버퍼(page buffer), 컬럼 선택 회로, 기입 드라이버, 데이터 버퍼 등을 포함할 수 있다.
- [0116] 라인 선택부(600)는 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLn1~WLn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm)을 통해 메모리 셀 어레이(500)에 포함되는 복수의 메모리 블록들(510-1, 510-2, ..., 510-m)과 연결된다.
- [0117] 라인 선택부(600)는 제어부(700)로부터 테스트 라인 선택 신호(TLSS) 및 기준 라인 선택 신호(RLSS)를 수신할 수 있다. 라인 선택부(600)는 테스트 라인 선택 신호(TLSS)에 기초하여 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLn1~WLn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중의 하나를 테스트 라인(TEST_LN)과 연결하고, 기준 라인 선택 신호(RLSS)에 기초하여 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLn1~WLn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중의 하나를 기준 라인(REF_LN)과 연결한다.
- [0118] 일 실시예에 있어서, 테스트 라인(TEST_LN)이 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLn1~WLn) 중의 하나에 연결되는 경우 기준 라인(REF_LN)도 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLn1~WLn) 중의 하나에 연결되고, 테스트라인(TEST_LN)이 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 중의 하나에 연결되는 경우 기준 라인(REF_LN)도 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 중의 하나에 연결되고, 테스트 라인(TEST_LN)이 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중의 하나에 연결되는 경우 기준 라인(REF_LN)도 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중의 하나에 연결될 수 있다.
- [0119] 일 실시예에 있어서, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)은 동일한 메모리 블록에 연결되는 구동 라인들 각각에 연결될 수 있다.

- [0120] 다른 실시예에 있어서, 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)은 서로 상이한 메모리 블록에 연결되는 구동 라인들 각각에 연결될 수 있다.
- [0121] 일 실시예에 있어서, 제어부(700)는 외부로부터 누설 테스트 명령(LTC) 및 누설 테스트 주소(LTA)를 수신하고, 누설 테스트 명령(LTC)에 기초하여 제어 신호(CONS)를 생성하고, 누설 테스트 주소(LTA)에 기초하여 테스트 라인 선택 신호(TLSS) 및 기준 라인 선택 신호(RLSS)를 생성할 수 있다.
- [0122] 일 실시예에 있어서, 제어부(700)는 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중에서 누설 전류가 발생하지 않는 정상 라인들에 대한 주소들을 미리 저장하는 정상 라인 테이블(NLT)(710)을 포함할 수 있다. 이 경우, 제어부(700)로부터 생성되는 기준 라인 선택 신호(RLSS)는 정상 라인 테이블(710)에 저장된 상기 정상 라인들에 대한 주소들 중의 하나에 상응할 수 있다.
- [0123] 예를 들어, 제어부(700)는 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중에서 누설 테스트 주소(LTA)가 나타내는 구동 라인에 상응하는 테스트 라인 선택 신호(TLSS)를 생성할 수 있다. 또한, 누설 테스트 주소(LTA)가 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn) 중의 하나에 상응하는 경우, 제어부(700)는 정상 라인 테이블(710)에 저장된 상기 정상 라인들에 대한 주소들 중에서 워드 라인을 나타내는 주소에 상응하는 기준 라인 선택 신호(RLSS)를 생성할 수 있다. 누설 테스트 주소(LTA)가 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 중의 하나에 상응하는 경우, 제어부(700)는 정상 라인 테이블(710)에 저장된 상기 정상 라인들에 대한 주소들 중에서 스트링 선택 라인을 나타내는 주소에 상응하는 기준 라인 선택 신호(RLSS)를 생성할 수 있다. 누설 테스트 주소(LTA)가 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중의 하나에 상응하는 경우, 제어부(700)는 정상 라인 테이블(710)에 저장된 상기 정상 라인들에 대한 주소들 중에서 접지 선택 라인을 나타내는 주소에 상응하는 기준 라인 선택 신호(RLSS)를 생성할 수 있다.
- [0124] 누설 전류 감지 장치(10)는 제어부(700)로부터 제공되는 제어 신호(CONS)에 기초하여 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)을 동일한 전압으로 충전한 후 테스트 라인(TEST_LN) 및 기준 라인(REF_LN)을 플로팅시키고, 테스트 라인(TEST_LN)의 전압 변화 및 기준 라인(REF_LN)의 전압 변화에 기초하여 테스트 라인(TEST_LN)으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호(TEST_RE)를 생성한다.
- [0125] 도 7은 도 5의 비휘발성 메모리 장치에 포함되는 누설 전류 감지 장치의 일 예를 나타내는 블록도이다.
- [0126] 도 7을 참조하면, 비휘발성 메모리 장치(20a)에 포함되는 누설 전류 감지 장치(10)는 테스트 검출부(100), 기준 검출부(200), 비교부(300) 및 래치부(400)를 포함한다.
- [0127] 테스트 검출부(100)는 테스트 라인(TEST_LN) 및 테스트 노드(TEST_ND) 사이에 연결될 수 있다. 상술한 바와 같이, 테스트 라인(TEST_LN)은 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중의 하나에 연결될 수 있다.
- [0128] 테스트 검출부(100)는 테스트 노드(TEST_ND)에 전원 전압(VDD)을 인가하여 테스트 라인(TEST_LN)을 충전한 후 테스트 노드(TEST_ND) 및 테스트 라인(TEST_LN)을 플로팅시킬 수 있다. 테스트 검출부(100)는 테스트 라인(TEST_LN)의 누설 전류에 기초하여 테스트 노드(TEST_ND)의 전압을 강하시킬 수 있다.
- [0129] 기준 검출부(200)는 기준 라인(REF_LN) 및 기준 노드(REF_ND) 사이에 연결될 수 있다. 상술한 바와 같이, 테스트 라인(TEST_LN)이 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn) 중의 하나인 경우, 기준 라인(REF_LN)은 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn) 중에서 누설 전류가 발생하지 않는 워드 라인에 연결되고, 테스트 라인(TEST_LN)이 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 중의 하나인 경우, 기준 라인(REF_LN)은 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 중에서 누설 전류가 발생하지 않는 스트링 선택 라인에 연결되고, 테스트 라인(TEST_LN)이 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중의 하나인 경우, 기준 라인(REF_LN)은 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중에서 누설 전류가 발생하지 않는 접지 선택 라인에 연결될 수 있다.
- [0130] 기준 검출부(200)는 기준 노드(REF_ND)에 전원 전압(VDD)을 인가하여 기준 라인(REF_LN)을 충전한 후 기준 노드(REF_ND) 및 기준 라인(REF_LN)을 플로팅시킬 수 있다. 기준 라인(REF_LN)에는 누설 전류가 발생하지 않으므로, 기준 검출부(200)는 기준 라인(REF_LN)에서 발생하는 자연 방전(self discharge)에 기초하여 기준 노드

(REF_ND)의 전압을 강하시킬 수 있다. 기준 라인(REF_LN)에서 발생하는 상기 자연 방전의 크기가 무시할 정도로 작은 경우, 기준 노드(REF_ND)의 전압은 기준 노드(REF_ND) 및 기준 라인(REF_LN)이 플로팅 된 이후 실질적으로 그대로 유지될 수 있다.

- [0131] 비교부(300)는 테스트 노드(TEST_ND)의 전압 및 기준 노드(REF_ND)의 전압을 비교하여 비교 신호(CMP)를 출력할 수 있다. 일 실시예에 있어서, 비교부(300)는 테스트 노드(TEST_ND)의 전압이 기준 노드(REF_ND)의 전압보다 미리 정해진 전압 이상 낮아지는 경우 비교 신호(CMP)의 논리 레벨을 변경할 수 있다. 예를 들어, 비교부(300)는 테스트 노드(TEST_ND)의 전압이 기준 노드(REF_ND)의 전압보다 상기 미리 정해진 전압만큼 낮은 전압보다 높거나 같은 경우 논리 로우 레벨을 갖는 비교 신호(CMP)를 출력하고, 테스트 노드(TEST_ND)의 전압이 기준 노드(REF_ND)의 전압보다 상기 미리 정해진 전압만큼 낮은 전압보다 낮은 경우 논리 하이 레벨을 갖는 비교 신호(CMP)를 출력할 수 있다.
- [0132] 래치부(400)는 제어부(700)로부터 제공되는 래치 제어 신호(LCS)에 응답하여 비교 신호(CMP)를 래치하여 테스트 결과 신호(TEST_RE)로서 출력할 수 있다. 따라서 테스트 결과 신호(TEST_RE)는 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLn1~WLn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중에서 테스트 라인(TEST_LN)에 연결되는 구동 라인에 누설 전류가 발생하는지 여부를 나타낼 수 있다.
- [0133] 도 8은 도 7의 누설 전류 감지 장치에 포함되는 테스트 검출부 및 기준 검출부의 일 예를 나타내는 회로도이다.
- [0134] 도 8을 참조하면, 비휘발성 메모리 장치(20b)에 포함되는 누설 전류 감지 장치(10b)는 테스트 검출부(100a), 기준 검출부(200a), 비교부(300) 및 래치부(400)를 포함할 수 있다.
- [0135] 테스트 검출부(100a)는 제1 충전 트랜지스터(110), 제1 전달 트랜지스터(120) 및 제1 인에이블 트랜지스터(130)를 포함할 수 있다.
- [0136] 제1 충전 트랜지스터(110)는 전원 전압(VDD) 및 테스트 노드(TEST_ND) 사이에 연결되고, 충전 제어 신호(CCS)가 인가되는 게이트를 포함할 수 있다.
- [0137] 제1 전달 트랜지스터(120)는 테스트 라인(TEST_LN) 및 테스트 노드(TEST_ND) 사이에 연결되고, 전달 제어 신호(TCS)가 인가되는 게이트를 포함할 수 있다.
- [0138] 제1 인에이블 트랜지스터(130)는 테스트 노드(TEST_ND) 및 접지 전압(GND) 사이에 연결되고, 인에이블 신호(EN)가 인가되는 게이트를 포함할 수 있다.
- [0139] 기준 검출부(200a)는 제2 충전 트랜지스터(210), 제2 전달 트랜지스터(220) 및 제2 인에이블 트랜지스터(230)를 포함할 수 있다.
- [0140] 제2 충전 트랜지스터(210)는 전원 전압(VDD) 및 기준 노드(REF_ND) 사이에 연결되고, 충전 제어 신호(CCS)가 인가되는 게이트를 포함할 수 있다.
- [0141] 제2 전달 트랜지스터(220)는 기준 라인(REF_LN) 및 기준 노드(REF_ND) 사이에 연결되고, 전달 제어 신호(TCS)가 인가되는 게이트를 포함할 수 있다.
- [0142] 제2 인에이블 트랜지스터(230)는 기준 노드(REF_ND) 및 접지 전압(GND) 사이에 연결되고, 인에이블 신호(EN)가 인가되는 게이트를 포함할 수 있다.
- [0143] 일 실시예에 있어서, 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)는 PMOS(p-type metal oxide semiconductor) 트랜지스터이고, 제1 인에이블 트랜지스터(130), 제2 인에이블 트랜지스터(230), 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)는 NMOS(n-type metal oxide semiconductor) 트랜지스터일 수 있다.
- [0144] 제어부(700)는 누설 테스트 명령(LTC)에 기초하여 제1 충전 트랜지스터(110) 및 제2 충전 트랜지스터(210)에 충전 제어 신호(CCS)를 제공하고, 제1 전달 트랜지스터(120) 및 제2 전달 트랜지스터(220)에 전달 제어 신호(TCS)를 제공하고, 제1 인에이블 트랜지스터(130) 및 제2 인에이블 트랜지스터(230)에 인에이블 신호(EN)를 제공하고, 래치부(400)에 래치 제어 신호(LCS)를 제공할 수 있다.
- [0145] 도 8의 누설 전류 감지 장치(10b)에 포함되는 테스트 검출부(100a), 기준 검출부(200a), 비교부(300) 및 래치부(400)는 각각 도 2의 누설 전류 감지 장치(10a)에 포함되는 테스트 검출부(100a), 기준 검출부(200a), 비교부(300) 및 래치부(400)와 동일할 수 있다. 또한, 도 8의 비휘발성 메모리 장치(20b)에 포함되는 제어부(700)는

도 2의 누설 전류 감지 장치(10a)에 포함되는 제어 회로(450)의 동작을 수행할 수 있다. 도 2에 도시된 누설 전류 감지 장치(10a)의 동작에 대해서는 도 2 내지 4를 참조하여 상술하였으므로, 여기서는 도 8에 도시된 누설 전류 감지 장치(10b)의 동작에 대한 상세한 설명은 생략한다.

- [0146] 도 1 내지 8을 참조하여 상술한 바와 같이, 본 발명의 실시예들에 따른 누설 전류 감지 장치(10)를 포함하는 비휘발성 메모리 장치(20)는 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중에서 테스트 라인(TEST_LN)과 연결되는 구동 라인과 동일한 타입이면서 누설 전류가 발생하지 않는 구동 라인을 기준 라인(REF_LN)에 연결하고, 테스트 라인(TEST_LN)에 연결되는 구동 라인에서 발생하는 누설 전류에 따른 테스트 노드(TEST_ND)의 전압 강하와 기준 라인(REF_LN)에 연결되는 구동 라인에서 발생하는 자연 방전에 따른 기준 노드(REF_ND)의 전압 강하를 비교하여 테스트 라인(TEST_LN)에 연결되는 구동 라인으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호(TEST_RE)를 생성한다.
- [0147] 따라서 본 발명의 실시예들에 따른 누설 전류 감지 장치(10)를 포함하는 비휘발성 메모리 장치(20)는 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm)의 누설 전류를 효과적으로 감지할 수 있다.
- [0148] 도 9는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 블록도이다.
- [0149] 도 9를 참조하면, 비휘발성 메모리 장치(30)는 메모리 셀 어레이(500), 어드레스 디코더(601), 제어부(701), 데이터 입출력 회로(800), 전압 생성부(850) 및 누설 전류 감지 장치(10)를 포함한다.
- [0150] 도 9의 비휘발성 메모리 장치(30)에 포함되는 메모리 셀 어레이(500)는 도 5의 비휘발성 메모리 장치(20)에 포함되는 메모리 셀 어레이(500)와 동일할 수 있다.
- [0151] 제어부(701)는 메모리 컨트롤러와 같은 외부 장치로부터 수신되는 제어 명령(CMD) 및 어드레스 신호(ADDR)에 기초하여 누설 전류 감지 장치(10), 전압 생성부(850), 어드레스 디코더(601) 및 데이터 입출력 회로(800)를 제어함으로써 비휘발성 메모리 장치(30)의 전반적인 동작을 제어한다. 예를 들어, 제어부(701)는 제어 명령(CMD) 및 어드레스 신호(ADDR)에 기초하여 비휘발성 메모리 장치(30)의 프로그램 동작, 독출 동작, 소거 동작 및 누설 테스트 동작을 제어할 수 있다.
- [0152] 일 실시예에 있어서, 제어부(701)는 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중에서 누설 전류가 발생하지 않는 정상 라인들에 대한 주소들을 미리 저장하는 정상 라인 테이블(NLT)(710)을 포함할 수 있다.
- [0153] 제어부(701)에 제공되는 제어 명령(CMD)이 누설 테스트 명령에 상응하지 않는 경우, 제어부(701)는 비활성화된 테스트 인에이블 신호(T_EN)를 어드레스 디코더(601)에 제공할 수 있다. 이 경우, 제어부(701)는 어드레스 신호(ADDR)에 기초하여 행 어드레스(RADDR) 및 열 어드레스(CADDR)를 생성할 수 있다. 제어부(701)는 행 어드레스(RADDR)를 어드레스 디코더(601)에 제공하고, 열 어드레스(CADDR)를 데이터 입출력 회로(800)에 제공할 수 있다.
- [0154] 전압 생성부(850)는 비휘발성 메모리 장치(30)의 동작에 필요한 다양한 전압들을 생성한다. 예를 들어, 전압 생성부(850)는 프로그램 동작시 사용되는 프로그램 전압, 패스 전압 및 프로그램 검증 전압을 생성하고, 독출 동작시 사용되는 독출 전압을 생성하고, 소거 동작시 사용되는 소거 전압을 생성할 수 있다.
- [0155] 어드레스 디코더(601)는 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm), 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 및 복수의 공통 소스 라인들(CSL1, CSL2, ..., CSLm)을 통해 메모리 셀 어레이(500)와 연결된다. 어드레스 디코더(601)는 제어부(701)로부터 비활성화된 테스트 인에이블 신호(T_EN)를 수신하는 경우, 제어부(701)로부터 수신되는 행 어드레스(RADDR)에 기초하여 복수의 워드라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn) 중의 하나를 선택하고, 전압 생성부(850)로부터 제공되는 다양한 전압들을 상기 선택된 워드라인 및 선택되지 않은 워드라인들에 제공할 수 있다.
- [0156] 데이터 입출력 회로(800)는 복수의 비트 라인들(BL1, BL2, ..., BLz)을 통해 메모리 셀 어레이(500)와 연결된다. 데이터입출력 회로(800)는 제어부(701)로부터 수신되는 열 어드레스(CADDR)에 기초하여 복수의 비트 라인들(BL1, BL2, ..., BLz) 중의 적어도 하나를 선택하고, 상기 선택된 적어도 하나의 비트 라인에 연결되는 메모리 셀(MC)로부터 독출되는 데이터(DATA)를 상기 외부 장치로 출력하고, 상기 외부 장치로부터 입력되는 데이터

(DATA)를 상기 선택된 적어도 하나의 비트 라인에 연결되는 메모리 셀(MC)에 기입할 수 있다.

- [0157] 일 실시예에 있어서, 데이터 입출력 회로(800)는 감지 증폭기(sense amplifier), 페이지 버퍼(page buffer), 컬럼 선택 회로, 기입 드라이버, 데이터 버퍼 등을 포함할 수 있다.
- [0158] 한편, 제어부(701)에 제공되는 제어 명령(CMD)이 누설 테스트 명령에 상응하는 경우, 제어부(701)는 활성화된 테스트 인에이블 신호(T_EN)를 어드레스 디코더(601)에 제공할 수 있다. 이 경우, 제어부(701)는 어드레스 신호(ADDR)에 기초하여 테스트 라인 선택 신호(TLSS) 및 기준 라인 선택 신호(RLSS)를 생성하여 어드레스 디코더(601)에 제공할 수 있다.
- [0159] 예를 들어, 제어부(701)는 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중에서 어드레스 신호(ADDR)가 나타내는 구동 라인에 상응하는 테스트 라인 선택 신호(TLSS)를 생성할 수 있다. 또한, 어드레스 신호(ADDR)가 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn) 중의 하나에 상응하는 경우, 제어부(701)는 정상 라인 테이블(710)에 저장된 상기 정상 라인들에 대한 주소들 중에서 워드 라인을 나타내는 주소에 상응하는 기준 라인 선택 신호(RLSS)를 생성할 수 있다. 어드레스 신호(ADDR)가 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 중의 하나에 상응하는 경우, 제어부(701)는 정상 라인 테이블(710)에 저장된 상기 정상 라인들에 대한 주소들 중에서 스트링 선택 라인을 나타내는 주소에 상응하는 기준 라인 선택 신호(RLSS)를 생성할 수 있다. 어드레스 신호(ADDR)가 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중의 하나에 상응하는 경우, 제어부(701)는 정상 라인 테이블(710)에 저장된 상기 정상 라인들에 대한 주소들 중에서 접지 선택 라인을 나타내는 주소에 상응하는 기준 라인 선택 신호(RLSS)를 생성할 수 있다.
- [0160] 어드레스 디코더(601)는 제어부(701)로부터 활성화된 테스트 인에이블 신호(T_EN)를 수신하는 경우, 테스트 라인 선택 신호(TLSS)에 기초하여 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중의 하나를 테스트 라인(TEST_LN)과 연결하고, 기준 라인 선택 신호(RLSS)에 기초하여 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중의 하나를 기준 라인(REF_LN)과 연결한다.
- [0161] 도 9의 비휘발성 메모리 장치(30)에 포함되는 누설 전류 감지 장치(10)는 도 5의 비휘발성 메모리 장치(20)에 포함되는 누설 전류 감지 장치(10)와 동일할 수 있다.
- [0162] 따라서 본 발명의 실시예들에 따른 누설 전류 감지 장치(10)를 포함하는 비휘발성 메모리 장치(30)는 메모리 컨트롤러로부터 누설 테스트 명령에 상응하는 제어 명령(CMD)을 수신하는 경우, 복수의 워드 라인들(WL11~WL1n, WL21~WL2n, ..., WLm1~WLmn), 복수의 스트링 선택 라인들(SSL1, SSL2, ..., SSLm) 및 복수의 접지 선택 라인들(GSL1, GSL2, ..., GSLm) 중에서 어드레스 신호(ADDR)에 상응하는 구동 라인으로부터 누설 전류가 흐르는지 여부를 감지하여 테스트 결과 신호(TEST_RE)를 상기 메모리 컨트롤러에 제공할 수 있다.
- [0163] 따라서 상기 메모리 컨트롤러는 테스트 결과 신호(TEST_RE)에 기초하여 어드레스 신호(ADDR)에 상응하는 구동 라인에 누설 전류가 발생하는지 여부를 효과적으로 판단할 수 있다. 어드레스 신호(ADDR)에 상응하는 구동 라인에 누설 전류가 발생하는 것으로 판단되는 경우, 상기 메모리 컨트롤러는 비휘발성 메모리 장치(30)에 포함되는 복수의 메모리 블록들(510-1, 510-2, ..., 510-m) 중에서 어드레스 신호(ADDR)에 상응하는 구동 라인이 연결되는 메모리 블록을 불량 블록(bad block)으로 처리하고 어드레스 신호(ADDR)에 상응하는 구동 라인이 연결되는 메모리 블록을 사용하지 않을 수 있다.
- [0164] 도 10은 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 누설 전류 감지 방법을 나타내는 순서도이다.
- [0165] 도 10에는 비휘발성 메모리 장치의 메모리 셀 어레이에 연결되는 구동 라인으로부터 누설 전류가 흐르는지 여부를 감지하는 방법이 도시된다.
- [0166] 도 10을 참조하면, 상기 메모리 셀 어레이에 연결되는 상기 구동 라인들 중의 하나에 상응하는 테스트 라인 및 상기 구동 라인들 중에서 상기 테스트 라인에 동일한 타입의 구동 신호를 전달하는 기준 라인을 동일한 전압으로 충전한다(단계 S100).
- [0167] 일 실시예에 있어서, 제1 전달 트랜지스터를 통해 상기 테스트 라인과 연결되는 테스트 노드에 전원 전압을 인가하고, 제2 전달 트랜지스터를 통해 상기 기준 라인과 연결되는 기준 노드에 상기 전원 전압을 인가하고, 상기 제1 전달 트랜지스터 및 상기 제2 전달 트랜지스터를 턴온시킴으로써 상기 테스트 라인 및 상기 기준 라인을 등

일한 전압으로 충전할 수 있다.

- [0168] 일 실시예에 있어서, 상기 테스트 라인 및 상기 기준 라인은 상기 메모리 셀 어레이에 워드 라인 신호를 전달하는 워드 라인들에 각각 상응할 수 있다.
- [0169] 일 실시예에 있어서, 상기 테스트 라인 및 상기 기준 라인은 상기 메모리 셀 어레이에 스트링 선택 신호를 전달하는 스트링 선택 라인들에 각각 상응할 수 있다.
- [0170] 일 실시예에 있어서, 상기 테스트 라인 및 상기 기준 라인은 상기 메모리 셀 어레이에 접지 선택 신호를 전달하는 접지 선택 라인들에 각각 상응할 수 있다.
- [0171] 상기 기준 라인은 상기 구동 라인들 중에서 누설 전류가 발생하지 않는 구동 라인들 중에서 선택될 수 있다.
- [0172] 이후, 상기 테스트 라인 및 상기 기준 라인을 플로팅시킨다(단계 S200).
- [0173] 일 실시예에 있어서, 상기 제1 전달 트래지스터 및 상기 제2 전달 트래지스터가 턴온된 상태에서 상기 테스트 노드 및 상기 기준 노드를 상기 전원 전압으로부터 차단시킴으로써 상기 테스트 라인 및 상기 기준 라인을 플로팅시킬 수 있다.
- [0174] 상기 테스트 라인 및 상기 기준 라인이 플로팅된 시각으로부터 감지 시간이 경과된 이후에 상기 테스트 라인의 전압 및 상기 기준 라인의 전압에 기초하여 상기 테스트 라인으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호를 생성한다(단계 S300).
- [0175] 일 실시예에 있어서, 상기 테스트 노드 및 상기 기준 노드가 상기 전원 전압으로부터 차단된 시각으로부터 상기 감지 시간이 경과된 이후에 상기 테스트 노드의 전압이 상기 기준 노드의 전압보다 미리 정해진 전압 이상 낮아지는 경우 상기 테스트 결과 신호의 논리 레벨을 변경할 수 있다.
- [0176] 도 10에 도시된 비휘발성 메모리 장치의 누설 전류 감지 방법은 도 5에 도시된 비휘발성 메모리 장치(20) 또는 도 9에 도시된 비휘발성 메모리 장치(30)에 의해 수행될 수 있다. 도 5에 도시된 비휘발성 메모리 장치(20) 및 도 9에 도시된 비휘발성 메모리 장치(30)의 구성 및 동작에 대해서는 도 1 내지 9를 참조하여 상술하였으므로, 도 10에 도시된 비휘발성 메모리 장치의 누설 전류 감지 방법에 대한 상세한 설명은 생략한다.
- [0177] 도 11은 본 발명의 일 실시예에 따른 메모리 시스템을 나타내는 블록도이다.
- [0178] 도 11을 참조하면, 메모리 시스템(900)은 메모리 컨트롤러(910) 및 비휘발성 메모리 장치(920)를 포함한다.
- [0179] 비휘발성 메모리 장치(920)는 메모리 셀 어레이(921), 누설 전류 감지 장치(922) 및 데이터 입출력 회로(923)를 포함한다.
- [0180] 메모리 셀 어레이(921)는 복수의 메모리 블록들을 포함하고 상기 복수의 메모리 블록들 각각은 복수의 스트링 선택 라인들(SSL), 복수의 워드 라인들(WL) 및 복수의 접지 선택 라인들(GSL)을 통해 누설 전류 감지 장치(922)와 연결된다.
- [0181] 누설 전류 감지 장치(922)는 복수의 스트링 선택 라인들(SSL), 복수의 워드 라인들(WL) 및 복수의 접지 선택 라인들(GSL) 중의 하나를 테스트 라인으로 선택하고, 복수의 스트링 선택 라인들(SSL), 복수의 워드 라인들(WL) 및 복수의 접지 선택 라인들(GSL) 중에서 상기 테스트 라인과 동일한 타입이면서 누설 전류가 발생하지 않는 구동 라인을 기준 라인으로 선택한다. 누설 전류 감지 장치(922)는 상기 테스트 라인 및 상기 기준 라인을 동일한 전압으로 충전한 후 상기 테스트 라인 및 상기 기준 라인을 플로팅시키고, 상기 테스트 라인의 전압 변화 및 상기 기준 라인의 전압 변화에 기초하여 상기 테스트 라인으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호(TEST_RE)를 생성하여 메모리 컨트롤러(910)에 제공한다.
- [0182] 데이터 입출력 회로(923)는 복수의 비트 라인들을 통해 메모리 셀 어레이(921)에 연결된다. 데이터 입출력 회로(923)는 상기 복수의 비트 라인들 중의 적어도 하나를 선택하고, 상기 선택된 적어도 하나의 비트 라인에 연결되는 메모리 셀로부터 독출되는 데이터를 메모리 컨트롤러(910)로 출력하고, 메모리 컨트롤러(910)로부터 입력되는 데이터를 상기 선택된 적어도 하나의 비트 라인에 연결되는 메모리 셀에 기입할 수 있다.
- [0183] 비휘발성 메모리 장치(920)는 도 5에 도시된 비휘발성 메모리 장치(20) 또는 도 9에 도시된 비휘발성 메모리 장치(30)로 구현될 수 있다. 도 5에 도시된 비휘발성 메모리 장치(20) 및 도 9에 도시된 비휘발성 메모리 장치(30)의 구성 및 동작에 대해서는 도 1 내지 9를 참조하여 상세히 설명하였으므로, 여기서는 비휘발성 메모리 장치(920)에 대한 상세한 설명은 생략한다.

- [0184] 메모리 컨트롤러(910)는 비휘발성 메모리 장치(920)를 제어한다. 메모리 컨트롤러(910)는 외부의 호스트와 비휘발성 메모리 장치(920) 사이의 데이터 교환을 제어할 수 있다.
- [0185] 메모리 컨트롤러(910)는 중앙 처리 장치(911), 버퍼 메모리(912), 호스트 인터페이스(913) 및 메모리 인터페이스(914)를 포함할 수 있다.
- [0186] 중앙 처리 장치(911)는 상기 데이터 교환을 위한 동작을 수행할 수 있다. 버퍼 메모리(912)는 DRAM(Dynamic random access memory), SRAM(Static random access memory), PRAM(Phase random access memory), FRAM(Ferroelectric random access memory), RRAM(Resistive random access memory), 또는 MRAM(Magnetic random access memory)으로 구현될 수 있다.
- [0187] 버퍼 메모리(912)는 중앙 처리 장치(911)의 동작 메모리일 수 있다. 실시예에 따라서, 버퍼 메모리(912)는 메모리 컨트롤러(910)의 내부 또는 외부에 위치할 수 있다.
- [0188] 호스트 인터페이스(913)는 상기 호스트와 연결되고, 메모리 인터페이스(914)는 비휘발성 메모리 장치(920)와 연결된다. 중앙 처리 장치(911)는 호스트 인터페이스(913)를 통하여 상기 호스트와 통신할 수 있다. 예를 들어, 호스트 인터페이스(913)는 USB(Universal Serial Bus), MMC(Multi-Media Card), PCI-E(Peripheral Component Interconnect-Express), SAS(Serial-attached SCSI), SATA(Serial Advanced Technology Attachment), PATA(Parallel Advanced Technology Attachment), SCSI(Small Computer System Interface), ESDI(Enhanced Small Disk Interface), IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트와 통신하도록 구성될 수 있다.
- [0189] 또한, 중앙 처리 장치(911)는 메모리 인터페이스(914)를 통하여 비휘발성 메모리 장치(920)와 통신할 수 있다.
- [0190] 실시예에 따라서, 메모리 컨트롤러(910)는 스타트-업 코드를 저장하는 비휘발성 메모리 장치를 더 포함할 수 있고, 에러 정정을 위한 에러 정정 블록(915)을 더 포함할 수 있다.
- [0191] 일 실시예에서, 메모리 컨트롤러(910)는 비휘발성 메모리 장치(920)에 빌트-인(built-in)되어 구현될 수 있다. 메모리 컨트롤러(910)가 빌트-인되어 구현된 NAND 플래시 메모리 장치를 원낸드 메모리 장치(One-NAND memory device)라 명명할 수 있다.
- [0192] 메모리 시스템(900)은 메모리 카드(memory card), 솔리드 스테이트 드라이브(solid state drive) 등과 같은 형태로 구현될 수 있다.
- [0193] 도 12는 본 발명의 일 실시예에 따른 메모리 카드를 나타내는 블록도이다.
- [0194] 도 12를 참조하면, 메모리 카드(1000)는 복수의 접속 핀들(1010), 메모리 컨트롤러(1020) 및 비휘발성 메모리 장치(1030)를 포함한다.
- [0195] 호스트와 메모리 카드(1000) 사이의 신호들이 송수신되도록 복수의 접속 핀들(1010)은 상기 호스트에 연결될 수 있다. 복수의 접속 핀들(1010)은 클록 핀, 커맨드 핀, 데이터 핀 및/또는 리셋 핀을 포함할 수 있다.
- [0196] 메모리 컨트롤러(1020)는 상기 호스트로부터 데이터를 수신하고, 상기 수신된 데이터를 비휘발성 메모리 장치(1030)에 저장할 수 있다.
- [0197] 비휘발성 메모리 장치(1030)에 포함되는 메모리 셀 어레이는 복수의 스트링 선택 라인들, 복수의 워드 라인들 및 복수의 접지 선택 라인들에 연결되는 복수의 메모리 블록들을 포함한다. 비휘발성 메모리 장치(1030)는 상기 복수의 스트링 선택 라인들, 상기 복수의 워드 라인들 및 상기 복수의 접지 선택 라인들 중의 하나를 테스트 라인으로 선택하고, 상기 복수의 스트링 선택 라인들, 상기 복수의 워드 라인들 및 상기 복수의 접지 선택 라인들 중에서 상기 테스트 라인과 동일한 타입이면서 누설 전류가 발생하지 않는 구동 라인을 기준 라인으로 선택한다. 비휘발성 메모리 장치(1030)는 상기 테스트 라인 및 상기 기준 라인을 동일한 전압으로 충전한 후 상기 테스트 라인 및 상기 기준 라인을 플로팅시키고, 상기 테스트 라인의 전압 변화 및 상기 기준 라인의 전압 변화에 기초하여 상기 테스트 라인으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호를 생성한다.
- [0198] 비휘발성 메모리 장치(1030)는 도 5에 도시된 비휘발성 메모리 장치(20) 또는 도 9에 도시된 비휘발성 메모리 장치(30)로 구현될 수 있다. 도 5에 도시된 비휘발성 메모리 장치(20) 및 도 9에 도시된 비휘발성 메모리 장치(30)의 구성 및 동작에 대해서는 도 1 내지 9를 참조하여 상세히 설명하였으므로, 여기서는 비휘발성 메모리 장

치(1030)에 대한 상세한 설명은 생략한다.

- [0199] 메모리 카드(1000)는 멀티미디어 카드(MultiMedia Card; MMC), 임베디드 멀티미디어 카드(embedded MultiMedia Card; eMMC), 하이브리드 임베디드 멀티미디어 카드(hybrid embedded MultiMedia Card; hybrid eMMC), SD(Secure Digital) 카드, 마이크로SD 카드, 메모리 스틱(Memory Stick), ID 카드, PCMCIA(Personal Computer Memory Card International Association) 카드, 칩 카드(Chip Card), USB 카드, 스마트카드(Smart Card), CF 카드(Compact Flash Card)등과 같은 메모리 카드일 수 있다.
- [0200] 실시예에 따라서, 메모리 카드(1000)는 컴퓨터(computer), 노트북(laptop), 핸드폰(cellular phone), 스마트폰(smart phone), MP3 플레이어, 피디에이(Personal Digital Assistants; PDA), 피엠펜(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console) 등과 같은 호스트에 장착될 수 있다.
- [0201] 도 13은 본 발명의 일 실시예에 따른 솔리드 스테이트 드라이브 시스템을 나타내는 블록도이다.
- [0202] 도 13을 참조하면, 솔리드 스테이트 드라이브 시스템(2000)은 호스트(2100) 및 솔리드 스테이트 드라이브(2200)를 포함한다.
- [0203] 솔리드 스테이트 드라이브(2200)는 복수의 비휘발성 메모리 장치들(2210-1, 2210-2, ..., 2210-n) 및 SSD 컨트롤러(2220)를 포함한다.
- [0204] 복수의 비휘발성 메모리 장치들(2210-1, 2210-2, ..., 2210-n)은 솔리드 스테이트 드라이브(2200)의 저장 매체로서 사용된다.
- [0205] 복수의 비휘발성 메모리 장치들(2210-1, 2210-2, ..., 2210-n) 각각에 포함되는 메모리 셀 어레이는 복수의 스트링 선택 라인들, 복수의 워드 라인들 및 복수의 접지 선택 라인들에 연결되는 복수의 메모리 블록들을 포함한다. 복수의 비휘발성 메모리 장치들(2210-1, 2210-2, ..., 2210-n) 각각은 상기 복수의 스트링 선택 라인들, 상기 복수의 워드 라인들 및 상기 복수의 접지 선택 라인들 중의 하나를 테스트 라인으로 선택하고, 상기 복수의 스트링 선택 라인들, 상기 복수의 워드 라인들 및 상기 복수의 접지 선택 라인들 중에서 상기 테스트 라인과 동일한 타입이면서 누설 전류가 발생하지 않는 구동 라인을 기준 라인으로 선택한다. 복수의 비휘발성 메모리 장치들(2210-1, 2210-2, ..., 2210-n) 각각은 상기 테스트 라인 및 상기 기준 라인을 동일한 전압으로 충전한 후 상기 테스트 라인 및 상기 기준 라인을 플로팅시키고, 상기 테스트 라인의 전압 변화 및 상기 기준 라인의 전압 변화에 기초하여 상기 테스트 라인으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호를 생성한다.
- [0206] 복수의 비휘발성 메모리 장치들(2210-1, 2210-2, ..., 2210-n) 각각은 도 5에 도시된 비휘발성 메모리 장치(20) 또는 도 9에 도시된 비휘발성 메모리 장치(30)로 구현될 수 있다. 도 5에 도시된 비휘발성 메모리 장치(20) 또는 도 9에 도시된 비휘발성 메모리 장치(30)의 구성 및 동작에 대해서는 도 1 내지 9를 참조하여 상세히 설명하였으므로, 여기서는 복수의 비휘발성 메모리 장치들(2210-1, 2210-2, ..., 2210-n)에 대한 상세한 설명은 생략한다.
- [0207] SSD 컨트롤러(2220)는 복수의 채널들(CH1, CH2, ..., CHn)을 통해 복수의 비휘발성 메모리 장치들(2210-1, 2210-2, ..., 2210-n)과 각각 연결된다.
- [0208] SSD 컨트롤러(2220)는 신호 커넥터(2221)를 통해 호스트(2100)와 신호(SGL)를 송수신한다. 여기에서, 신호(SGL)에는 커맨드, 어드레스, 데이터 등이 포함될 수 있다. SSD 컨트롤러(2220)는 호스트(2100)의 커맨드에 따라 복수의 비휘발성 메모리 장치들(2210-1, 2210-2, ..., 2210-n)에 데이터를 쓰거나 복수의 비휘발성 메모리 장치들(2210-1, 2210-2, ..., 2210-n)로부터 데이터를 읽어낸다.
- [0209] 솔리드 스테이트 드라이브(2200)는 보조 전원 장치(2230)를 더 포함할 수 있다. 보조 전원 장치(2230)는 전원 커넥터(2231)를 통해 호스트(2100)로부터 전원(PWR)을 입력받아 SSD 컨트롤러(2220)에 전원을 공급할 수 있다. 한편, 보조 전원 장치(2230)는 솔리드 스테이트 드라이브(2200) 내에 위치할 수도 있고, 솔리드 스테이트 드라이브(2200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(2230)는 메인 보드에 위치하고, 솔리드 스테이트 드라이브(2200)에 보조 전원을 제공할 수도 있다.
- [0210] 도 14는 본 발명의 일 실시예에 따른 모바일 시스템을 나타내는 블록도이다.
- [0211] 도 14를 참조하면, 모바일 시스템(3000)은 어플리케이션 프로세서(3100), 통신(Connectivity)부(3200), 사용자

인터페이스(3300), 비휘발성 메모리 장치(NVM)(3400), 휘발성 메모리 장치(VM)(3500) 및 파워 서플라이(3600)를 포함한다.

- [0212] 실시예에 따라, 모바일 시스템(3000)은 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등과 같은 임의의 모바일 시스템일 수 있다.
- [0213] 어플리케이션 프로세서(3100)는 인터넷 브라우저, 게임, 동영상 등을 제공하는 어플리케이션들을 실행할 수 있다. 실시예에 따라, 어플리케이션 프로세서(3100)는 하나의 프로세서 코어(Single Core)를 포함하거나, 복수의 프로세서 코어들(Multi-Core)을 포함할 수 있다. 예를 들어, 어플리케이션 프로세서(3100)는 듀얼 코어(Dual-Core), 쿼드 코어(Quad-Core), 헥사 코어(Hexa-Core) 등의 멀티 코어(Multi-Core)를 포함할 수 있다. 또한, 실시예에 따라, 어플리케이션 프로세서(3100)는 내부 또는 외부에 위치한 캐시 메모리(Cache Memory)를 더 포함할 수 있다.
- [0214] 통신부(3200)는 외부 장치와 무선 통신 또는 유선 통신을 수행할 수 있다. 예를 들어, 통신부(3200)는 이더넷(Ethernet) 통신, 근거리 자기장 통신(Near Field Communication; NFC), 무선 식별(Radio Frequency Identification; RFID) 통신, 이동 통신(Mobile Telecommunication), 메모리 카드 통신, 범용 직렬 버스(Universal Serial Bus; USB) 통신 등을 수행할 수 있다. 예를 들어, 통신부(3200)는 베이스밴드 칩 셋(Baseband Chipset)을 포함할 수 있고, GSM, GPRS, WCDMA, HSxPA 등의 통신을 지원할 수 있다.
- [0215] 비휘발성 메모리 장치(3400)는 모바일 시스템(3000)을 부팅하기 위한 부트 이미지를 저장할 수 있다.
- [0216] 비휘발성 메모리 장치(3400)에 포함되는 메모리 셀 어레이는 복수의 스트링 선택 라인들, 복수의 워드 라인들 및 복수의 접지 선택 라인들에 연결되는 복수의 메모리 블록들을 포함한다. 비휘발성 메모리 장치(3400)는 상기 복수의 스트링 선택 라인들, 상기 복수의 워드 라인들 및 상기 복수의 접지 선택 라인들 중의 하나를 테스트 라인으로 선택하고, 상기 복수의 스트링 선택 라인들, 상기 복수의 워드 라인들 및 상기 복수의 접지 선택 라인들 중에서 상기 테스트 라인과 동일한 타입이면서 누설 전류가 발생하지 않는 구동 라인을 기준 라인으로 선택한다. 비휘발성 메모리 장치(3400)는 상기 테스트 라인 및 상기 기준 라인을 동일한 전압으로 충전한 후 상기 테스트 라인 및 상기 기준 라인을 플로팅시키고, 상기 테스트 라인의 전압 변화 및 상기 기준 라인의 전압 변화에 기초하여 상기 테스트 라인으로부터 누설 전류가 흐르는지 여부를 나타내는 테스트 결과 신호를 생성한다.
- [0217] 비휘발성 메모리 장치(3400)는 도 5에 도시된 비휘발성 메모리 장치(20) 또는 도 9에 도시된 비휘발성 메모리 장치(30)로 구현될 수 있다. 도 5에 도시된 비휘발성 메모리 장치(20) 및 도 9에 도시된 비휘발성 메모리 장치(30)의 구성 및 동작에 대해서는 도 1 내지 9를 참조하여 상세히 설명하였으므로, 여기서는 비휘발성 메모리 장치(3400)에 대한 상세한 설명은 생략한다.
- [0218] 휘발성 메모리 장치(3500)는 어플리케이션 프로세서(3100)에 의해 처리되는 데이터를 저장하거나, 동작 메모리(Working Memory)로서 작동할 수 있다.
- [0219] 사용자 인터페이스(3300)는 키패드, 터치 스크린과 같은 하나 이상의 입력 장치, 및/또는 스피커, 디스플레이 장치와 같은 하나 이상의 출력 장치를 포함할 수 있다.
- [0220] 파워 서플라이(3600)는 모바일 시스템(3000)의 동작 전압을 공급할 수 있다.
- [0221] 또한, 실시예에 따라, 모바일 시스템(3000)은 이미지 프로세서를 더 포함할 수 있고, 메모리 카드(Memory Card), 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등과 같은 저장 장치를 더 포함할 수 있다.
- [0222] 모바일 시스템(3000) 또는 모바일 시스템(3000)의 구성요소들은 다양한 형태들의 패키지를 이용하여 실장될 수 있는데, 예를 들어, PoP(Package on Package), BGAs(Ball grid arrays), CSPs(Chip scale packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), Die in Wafer Pack, Die in Wafer Form, COB(Chip On Board), CERDIP(Ceramic Dual In-Line Package), MQFP(Plastic Metric Quad Flat Pack), TQFP(Thin Quad Flat-Pack), SOIC(Small Outline Integrated Circuit), SSOP(Shrink Small Outline Package), TSOP(Thin Small Outline Package), TQFP(Thin Quad Flat-Pack), SIP(System In Package), MCP(Multi Chip Package), WFP(Wafer-level Fabricated Package), WSP(Wafer-Level Processed Stack Package)

등과 같은 패키지들을 이용하여 실장될 수 있다.

산업상 이용가능성

[0223]

본 발명은 비휘발성 메모리 장치를 구비하는 임의의 전자 장치에 유용하게 이용될 수 있다. 예를 들어, 본 발명은 비휘발성 메모리 장치를 구비하는 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등에 적용될 수 있다.

[0224]

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

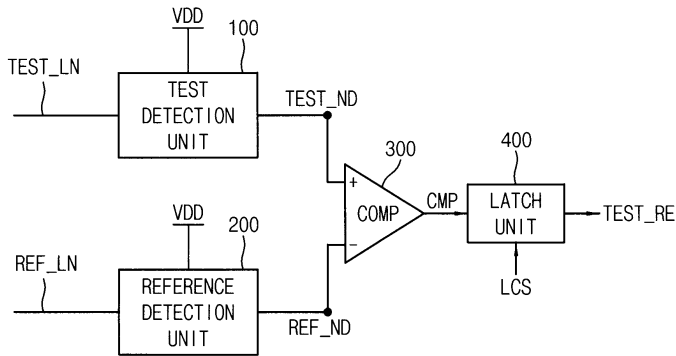
[0225]

- 10: 누설 전류 감지 장치
- 100: 테스트 검출부
- 200: 기준 검출부
- 300: 비교부
- 400: 래치부
- 20, 30: 비휘발성 메모리 장치

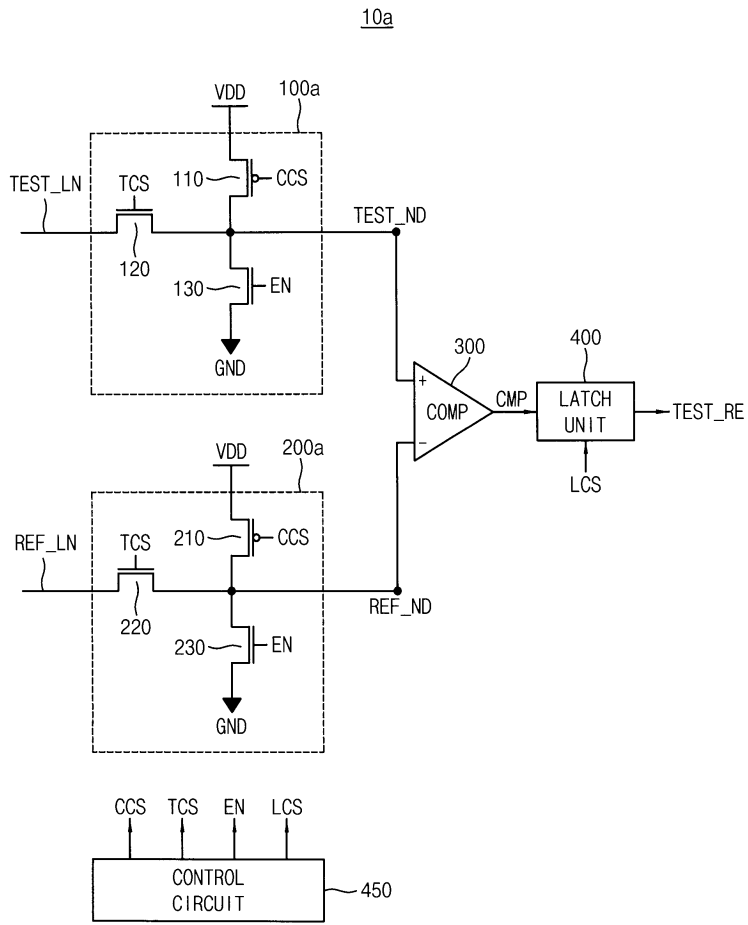
도면

도면1

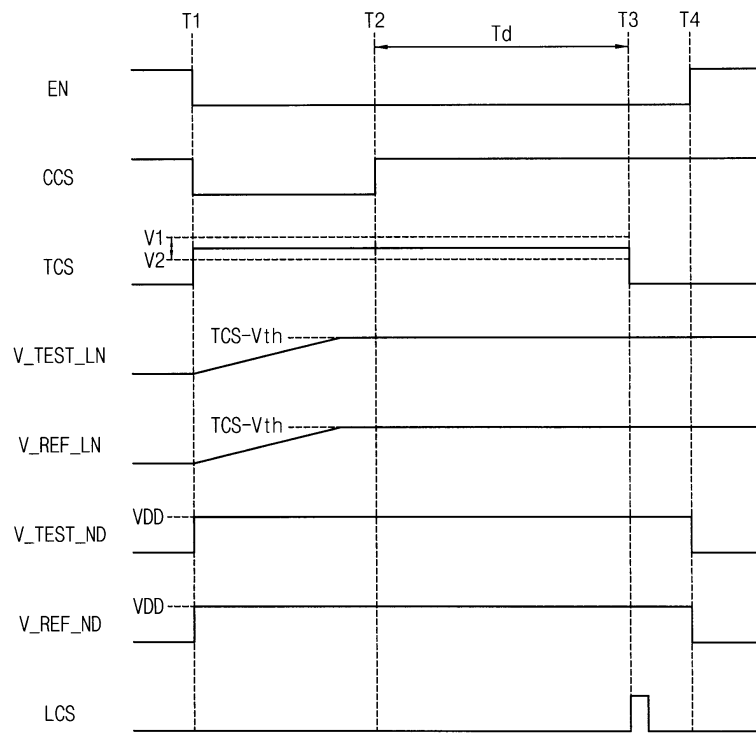
10



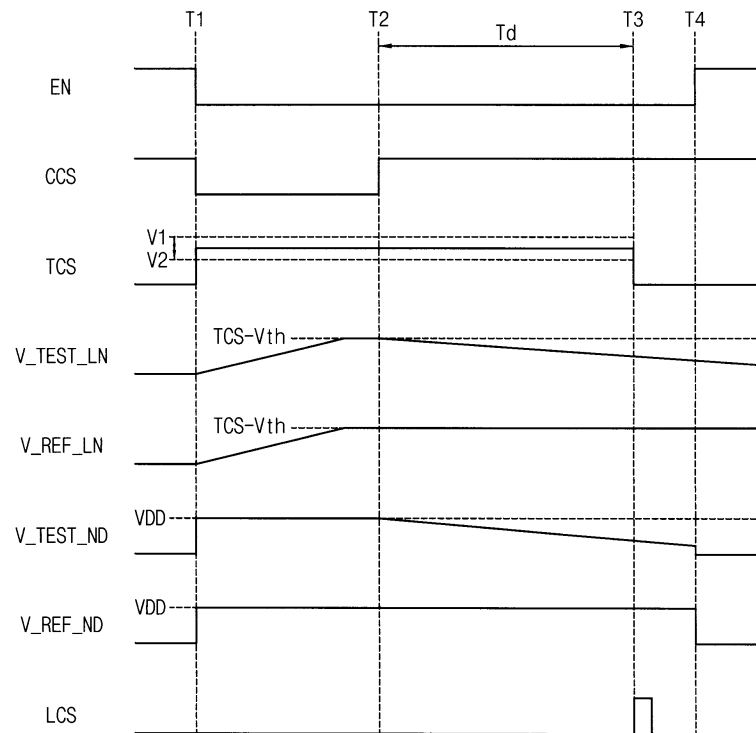
도면2



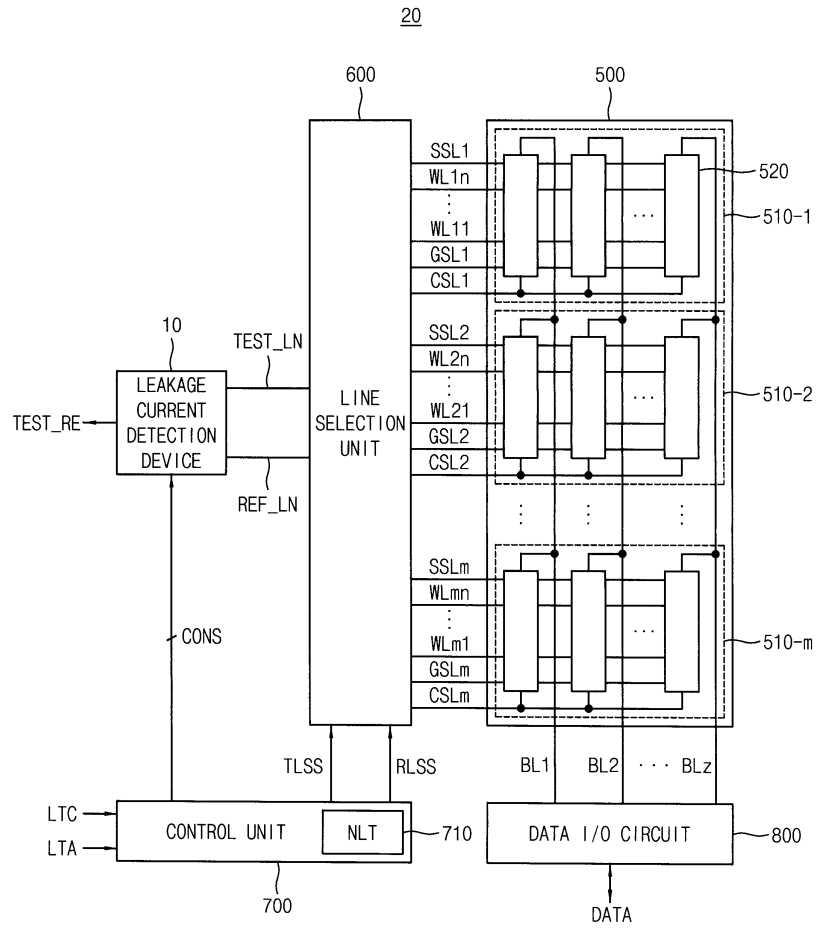
도면3



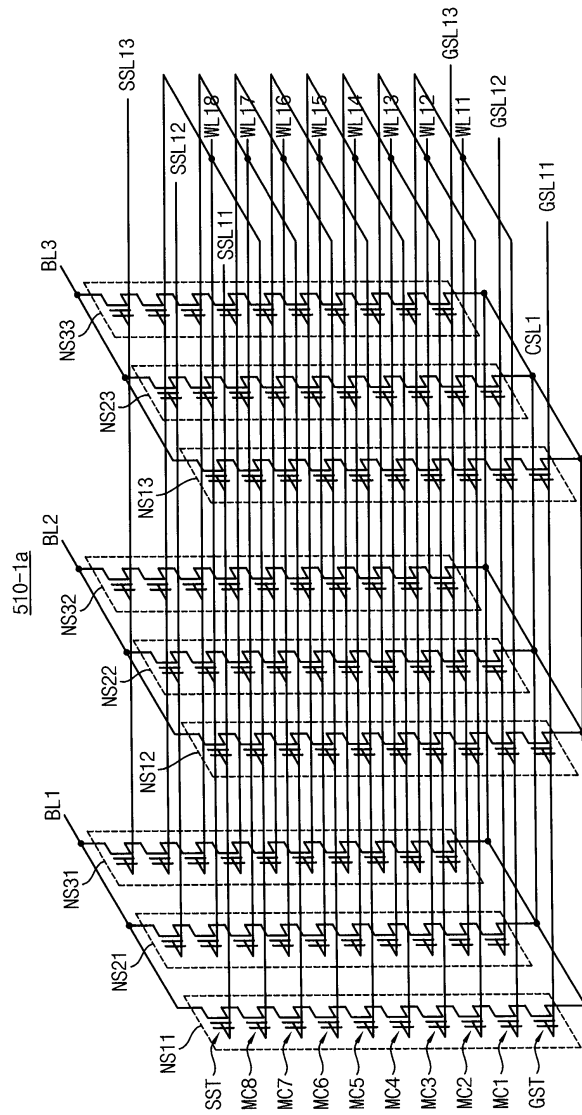
도면4



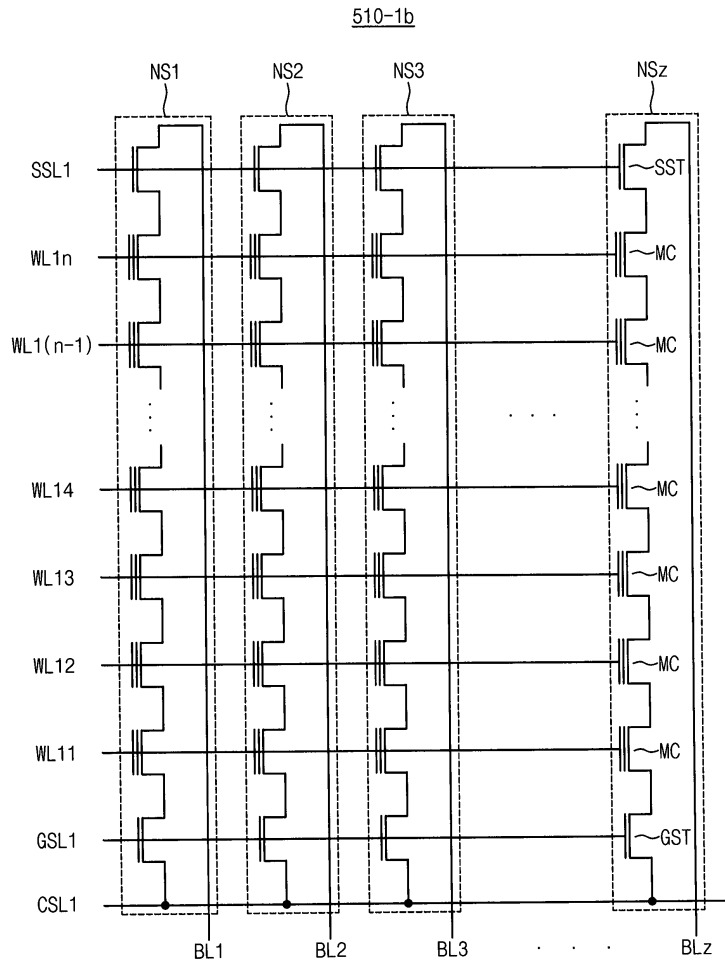
도면5



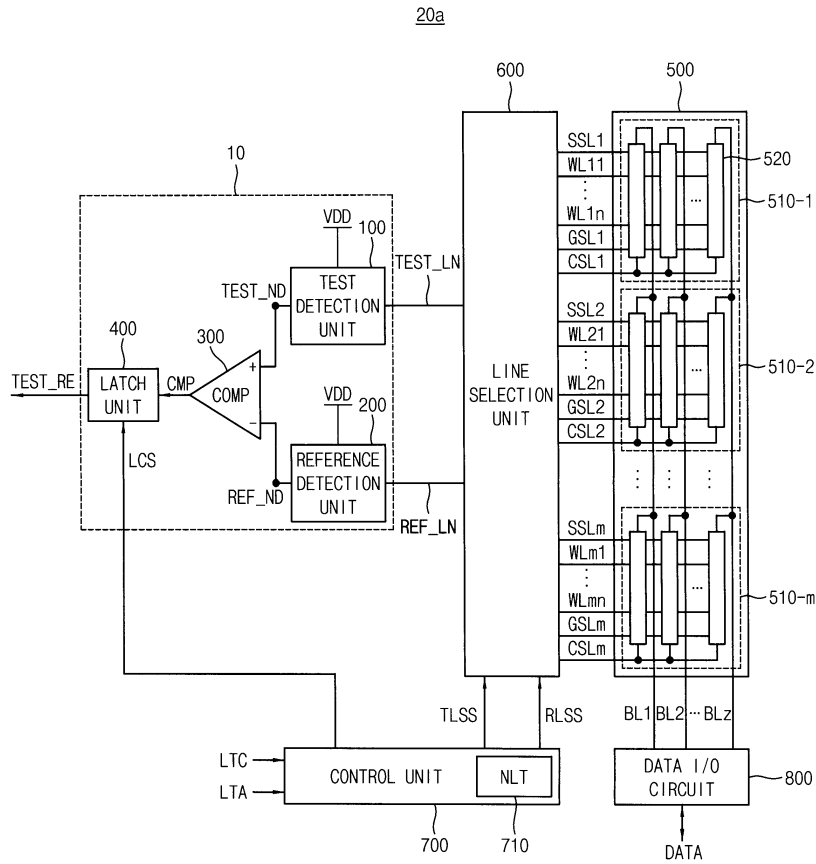
도면6a



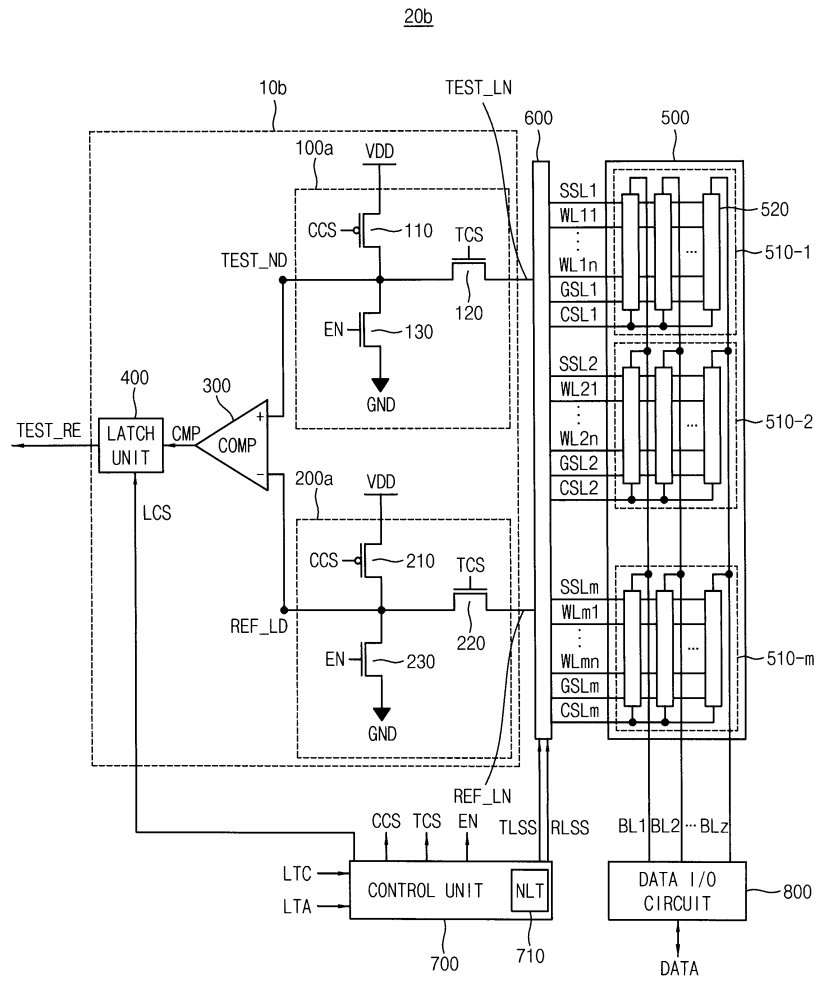
도면6b



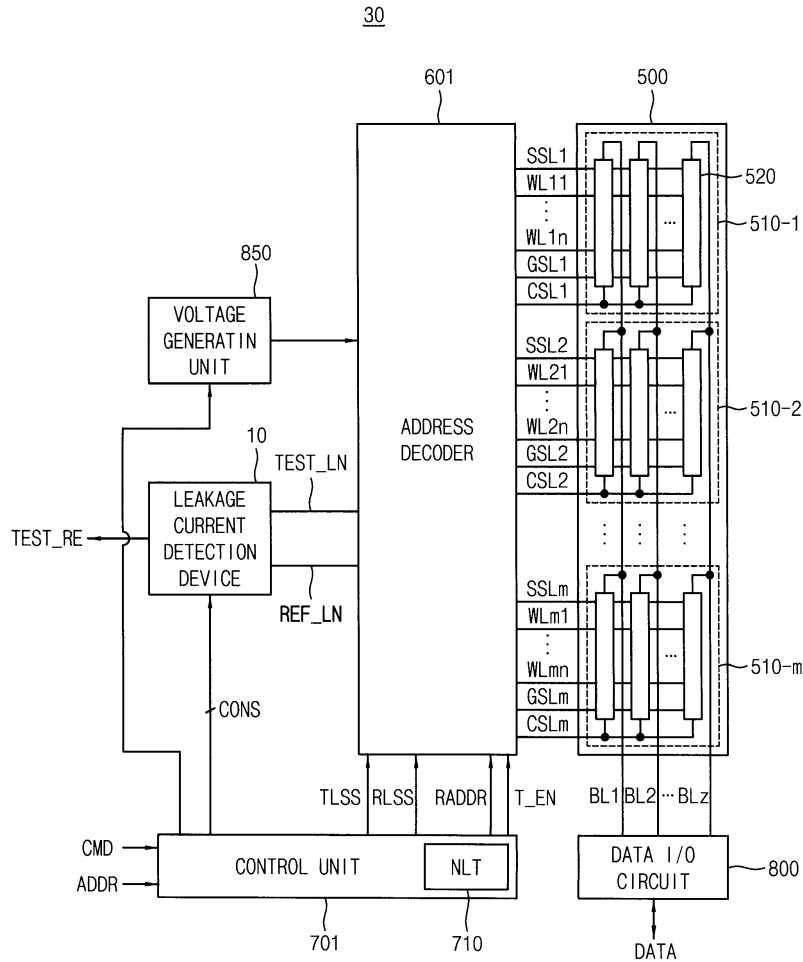
도면7



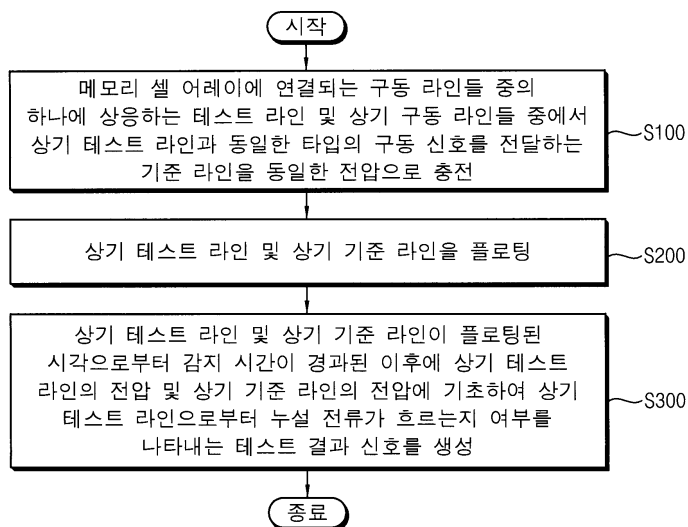
도면8



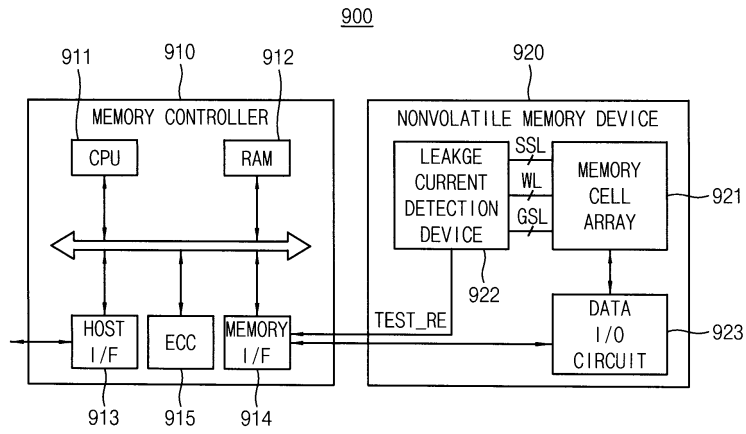
도면9



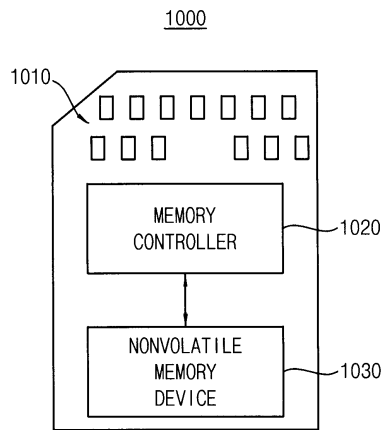
도면10



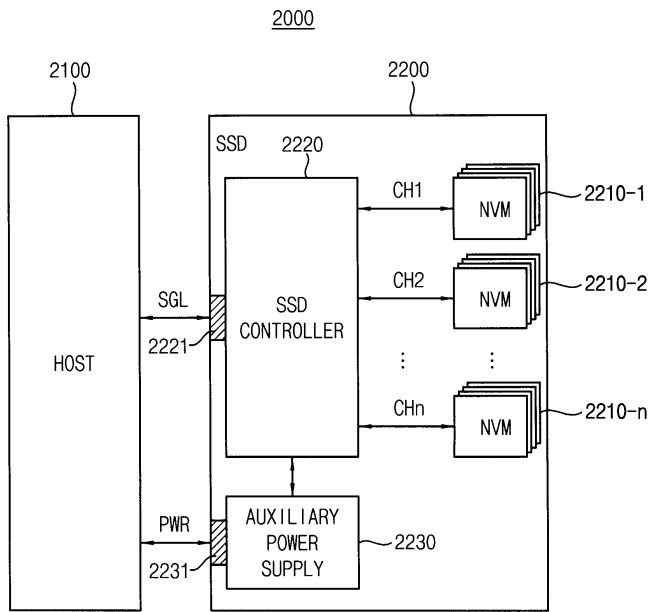
도면11



도면12



도면13



도면14

