

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年1月4日 (04.01.2001)

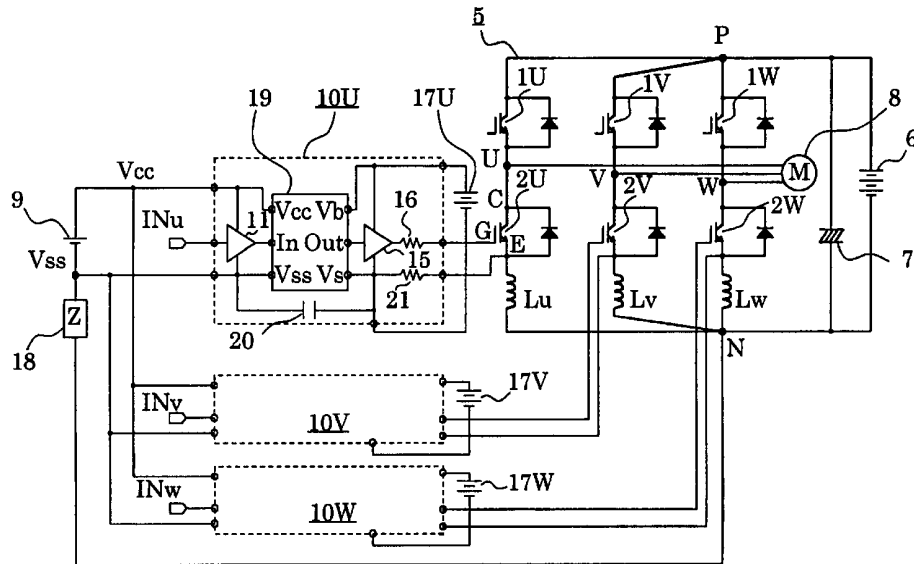
PCT

(10) 国際公開番号  
WO 01/01555 A1

- (51) 国際特許分類: H02M 7/5387  
 (21) 国際出願番号: PCT/JP99/03456  
 (22) 国際出願日: 1999年6月29日 (29.06.1999)  
 (25) 国際出願の言語: 日本語  
 (26) 国際公開の言語: 日本語  
 (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).  
 (72) 発明者; および  
 (75) 発明者/出願人 (米国についてのみ): 高梨 健 (TAKANASHI, Ken) [JP/JP]. 波多江 慎治 (HATAE, Shinji) [JP/JP]. 為谷 典孝 (TAMETANI, Fumitaka) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).  
 (74) 代理人: 弁理士 宮田 金雄, 外 (MIYATA, Kaneo et al.); 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).  
 (81) 指定国 (国内): JP, US.  
 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  
 添付公開書類:  
 — 国際調査報告書  
 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置



(57) Abstract: A power conversion device which supplies power to a load after converting dc into ac, of which erroneous operation and destruction by a surge voltage is prevented and which is constructed such that a control signal is transmitted to a semiconductor switching element via a level shift circuit that is provided correspondingly to the semiconductor switching element constituting a main circuit and level-shifts a reference voltage on an output side so as to be able to follow up variations in reference voltage of the switching semiconductor element, and a dc control power source for supplying current to the level shift circuit and the negative electrode of the switching semiconductor element are connected together via at least one of an inductance and a resistor.

[続葉有]

WO 01/01555 A1



---

(57) 要約:

直流を交流等に変換して負荷に電力を供給する電力変換装置のサージ電圧による誤動作や破壊を防止することを目的とするもので、主回路を構成する半導体スイッチング素子対応に設けられ、出力側の基準電位を前記スイッチング半導体素子の基準電位の変動に追従可能にレベルシフトするレベルシフト回路を介し前記半導体スイッチング素子に制御信号を伝達するように構成すると共に、前記レベルシフト回路に給電する直流制御電源と前記スイッチング半導体素子の負極とをインダクタと抵抗との少なくとも一方を介し接続したものである。

## 明 細 書

## 電力変換装置

## 技術分野

- 5 本発明は、直列に接続された半導体素子の少なくとも一方がスイッチング半導体素子である半導体素子列を複数列、並列に接続して備えた電力変換装置に関し、特に前記スイッチング半導体素子の駆動制御回路の改良に関するものである。

## 10 背景技術

- 直流電源を用いて誘導電動機、DCブラシレスモータやSR（スイッチド・リラクタンス）モータ等を駆動制御する駆動装置として、スイッチング半導体素子を備える主回路と、該主回路における前記スイッチング半導体素子を駆動制御する駆動制御回路とをパッケージに収めた電力  
15 変換装置としての半導体パワーモジュールが近年多用されている。

- 図11は、従来の電力変換装置としての三相交流負荷である誘導電動機を駆動するインバータ装置の回路ブロック図である。図において、1U、1V、1Wはそれぞれ、直列接続された一对のスイッチング半導体素子からなる半導体素子列におけるハイサイドスイッチング半導体素子  
20 としての絶縁ゲート・バイポーラ・トランジスタ（以下、IGBTと略記する）、2U、2V、2WはIGBT1U、1V、1Wとそれぞれ直列接続されたローサイドのスイッチング半導体素子としてのIGBTである。3U、3V、3WはIGBT1U、1V、1Wのそれぞれに並列に接続されたフライホイールダイオード、4U、4V、4WはIGBT  
25 2U、2V、2Wのそれぞれに並列に接続されたフライホイールダイオードである。そして、IGBT1U、2Uおよびフライホイールダイオ

ード3U、4UによりU相の半導体素子列を、IGBT1V、2Vおよびフライホイールダイオード3V、4VによりV相の半導体素子列を、IGBT1W、2Wおよびフライホイールダイオード3W、4WによりW相の半導体素子列を構成し、これらの半導体素子列の両端をそれぞれ  
5 接続することにより、前記U相～W相の半導体素子列が並列に接続されたインバータブリッジを構成する。

そして、並列接続された前記U相～W相の半導体素子列におけるIGBT1U、1V、1WのコレクタCの接続点を高電位側の入力端子Pとし、IGBT2U、2V、2WのエミッタEの接続点を低電位側の入力  
10 端子Nとし、IGBT1UとIGBT2U、IGBT1VとIGBT2V、IGBT1WとIGBT2Wの直列接続点をそれぞれ出力端子U、V、Wとする主回路5を構成する。

6は平滑コンデンサ7が並列に接続されている直流主電源であり、その正極側が主回路5の入力端子Pと、負極側が入力端子Nと接続されて  
15 いる。8は主回路5の負荷として、出力端子U、V、Wに接続された三相誘導電動機である。なお、Lu、Lv、Lwは、それぞれIGBT2U、2V、2WのエミッタEと入力端子N間を接続する配線の寄生インダクタンスを示す。

9はIGBT2U、2V、2Wのそれぞれに対応させて設けられた駆  
20 動制御回路10U、10V、10Wの入力回路側へそれぞれ給電する直流制御電源である。11は駆動制御回路10Uの入力回路側を構成し、入力端子INuから入力された制御信号を増幅して出力する増幅器、12は発光ダイオードLEDとフォトランジスタPTにて構成され、増幅器11から出力され、保護抵抗13を介して発光ダイオードLEDに  
25 入力された入力信号を絶縁してフォトランジスタPTから絶縁信号を出力する、即ち、負荷抵抗14が接続されたフォトランジスタPTの



4が接続されたフォトトランジスタPTのコレクタCから出力され、駆動回路15で増幅され、ゲート抵抗16を介して駆動電圧信号としてローサイドのIGBT2UのゲートGに入力され、IGBT2Uをオンオフ駆動する。駆動制御回路10V、10Wも同様に動作してそれぞれIGBT2V、2Wをオンオフ駆動する。同様に、ハイサイドのIGBT1U、1V、1Wもそれぞれに対応する駆動制御回路（図示せず）によりオンオフ駆動することにより、三相誘導電動機8をPWM制御による可変速制御を行う。

図11に示した従来のインバータ装置は、以上のように構成され、動作するが、駆動制御回路10U、10V、10Wの出力回路側の負極側は、本来、同電圧となり、単電源で動作可能であるが、主回路5における主電源線の寄生インダクタンス、特に、IGBT2U、2V、2Wの各エミッタEと入力端子N間を接続するそれぞれの配線の寄生インダクタンスLu、Lv、Lwに起因するIGBT2U、2V、2Wの開閉に伴うサージ電圧等の誘導電圧の発生により、IGBT2U、2V、2Wの基準電位が変動し、回路誤動作を生じたり、破壊されることがある。

上記回路の誤動作防止のために、前記PWM制御回路の基準電位に対して前記駆動電圧信号の基準電位のレベルをIGBT2U、2V、2Wの基準電位に追従してシフト可能とするレベルシフト回路を設け、前記PWM制御回路から出力される前記制御信号（PWM信号）をフローティング状態の駆動電圧信号に変換してIGBT2U、2V、2WのゲートGに入力する必要がある。上記従来例においては、前記レベルシフト回路として駆動制御回路10U、10V、10Wにそれぞれフォトカプラ12を挿入すると共に、その出力回路側には各相に独立した直流駆動電源17U、17V、17Wが用いられている。

発光ダイオードLEDとフォトトランジスタPTの組合せからなるフ

オトカプラ12は、その入出力間が完全に絶縁され、前記レベルシフト回路としての機能は極めて良好であるが、その寿命に限界があり、しかも、他の半導体素子等に比較して容積が大きく、かつ高価であるなどの問題点があった。

- 5 また、各相に独立した絶縁電源として直流駆動電源17U、17V、17Wを必要とするために、装置が高価なものになると共に、その小形化を阻害する等の問題点があった。

さらに、上記回路を構成する各IGBTの破壊防止のために、外部から供給される電源電圧等の異常を検出する機能を有する保護回路（図示せず）を備えたものも存在するが、前記IGBTそのものの劣化を自己診断により保護する機能を備えたものは存在しなかった。

- 15 また、上記回路を構成する各IGBTのゲートG・エミッタE間のサージ電圧による破壊防止のために、従来は、逆向きに直列接続された一対のツェナーダイオードを前記ゲートG・エミッタE間に挿入した自己保護回路（図示せず）を備えていた。即ち、ゲートG・エミッタE間に発生したサージ電圧がコレクタC・ゲートG間、前記ゲートG・エミッタE間の寄生容量によって前記ゲートG・エミッタE間に分圧されて印加され、この印加電圧が前記ゲートGの耐電圧を超えるとIGBT2Uが破壊するので、前記サージ電圧に対する保護のために、逆向きに直列
- 20 接続された一対の前記ツェナーダイオードを前記ゲートG・エミッタE間に挿入し、前記ゲートG・エミッタE間の発生電圧を前記ツェナーダイオードの降伏電圧以下に押える方法が用いられていた。しかし、前記ツェナーダイオードの動作抵抗が大きいため、前記サージ電圧の発生時には、そのツェナー電圧がその定格値よりも過渡的に大きくなり、ゲートG・エミッタE間に発生する前記サージ電圧に起因する過電圧を充分には抑制できなかった。
- 25

なお、前記スイッチング半導体素子に組込まれた従来の電流検出装置（図示せず）は、出力ラインから絶縁された信号を得るために、ホール素子やカレント・トランス等の非接触型の電流検出素子（図示せず）が一般的に使用されているが、上記のごとき非接触型の電流検出素子を使用した場合には、該電流検出素子を物理的に小型化するのが困難であると共に非接触型であるために検出精度が劣る等の問題点があった。

本発明は、以上のような従来の実情に鑑みてなされたもので、主回路を構成するスイッチング半導体素子やその駆動回路が誤動作したり、破壊されることのない、高信頼性の電力変換装置を提供することを目的とする。

#### 発明の開示

第1の発明は、互いに直列接続され、少なくとも一方がスイッチング半導体素子である半導体素子列を複数列有し、該複数列の半導体素子列を並列にその両端を互いに接続し、その接続点間に直流主電源を接続すると共に、前記半導体素子列における半導体素子の直列接続点の各々に負荷を接続した主回路と、前記スイッチング半導体素子対応に設けられ、制御信号を入力する入力側の基準電位に対して出力側の基準電位を前記スイッチング半導体素子の基準電位の変動に追従可能にレベルシフトするレベルシフト回路、および前記レベルシフト回路からの信号入力により前記スイッチング半導体素子へ駆動信号を出力する駆動回路と、前記レベルシフト回路の入力側に給電する直流制御電源とを備え、前記制御信号の入力により前記直流主電源から供給された電力を交流若しくはオンオフ流に変換して前記負荷に供給する電力変換装置において、前記レベルシフト回路は、前記直流制御電源の負極に接続されて前記入力側の基準電位となる負側電極と、前記制御信号が入力されるゲートと、該ゲ

- ートに入力された前記制御信号をその基準電位のレベルをシフトして前記駆動回路へ出力する正側電極とを有するトランジスタを備え、かつ、
- (1) 前記主回路における前記直流主電源の負極側との接続点と前記直流制御電源の負極との間にインダクタおよび抵抗の少なくとも一方を挿入したもの、
- 5 (2) 前記直流制御電源の負極と前記レベルシフト回路の出力側の基準電位点との間にキャパシタを挿入したもの、
- (3) 前記レベルシフト回路の出力側の基準電位点と前記レベルシフト回路に対応する前記スイッチング半導体素子の負側主電極との間に抵抗
- 10 およびインダクタの少なくとも一方を挿入したもの、
- (4) 前記主回路における前記直流主電源の負極側との接続点と前記直流制御電源の負極との間にインダクタおよび抵抗の少なくとも一方を挿入すると共に、前記直流制御電源の負極と前記レベルシフト回路の出力側の基準電位点との間にキャパシタを挿入したもの、
- 15 (5) 前記主回路における前記直流主電源の負極側との接続点と前記直流制御電源の負極との間にインダクタおよび抵抗の少なくとも一方を挿入すると共に、前記レベルシフト回路の出力側の基準電位点と前記レベルシフト回路に対応する前記スイッチング半導体素子の負側主電極との間に抵抗およびインダクタの少なくとも一方を挿入したもの、
- 20 (6) 前記直流制御電源の負極と前記レベルシフト回路の出力側の基準電位点との間にキャパシタを挿入すると共に、前記レベルシフト回路の出力側の基準電位点と前記レベルシフト回路に対応する前記スイッチング半導体素子の負側主電極との間に抵抗およびインダクタの少なくとも一方を挿入したもの、
- 25 (7) 前記主回路における前記直流主電源の負極側との接続点と前記直流制御電源の負極との間にインダクタおよび抵抗の少なくとも一方を挿

入すると共に、前記直流制御電源の負極と前記レベルシフト回路の出力側の基準電位点との間にキャパシタを挿入し、かつ、前記レベルシフト回路の出力側の基準電位点と前記レベルシフト回路に対応する前記スイッチング半導体素子の負側主電極との間に抵抗およびインダクタの少なくとも一方を挿入したものの、  
5 の何れかである。

上記のごとく、レベルシフト回路にトランジスタを用いることにより、フォトカプラを用いた従来のレベルシフト回路と比較して、長寿命化を図ると共に小型化および低消費電力化を可能にし、かつ、前記レベルシフト回路や前記駆動回路に前記インダクタ、前記抵抗若しくは前記キャパシタを挿入して前記主回路の配線の寄生インダクタンスに起因するサージ電圧、特に、電位が逆転して負極側が高電位となるマイナスサージ電圧をキャンセル若しくは抑制することにより、前記トランジスタが破壊したり、または、前記スイッチング半導体素子が誤動作するのを防止  
10 できるものが得られる。

また、第2の発明は、互いに直列接続され、少なくとも一方がスイッチング半導体素子である半導体素子列を複数列有し、該複数列の半導体素子列を並列にその両端を互いに接続し、その接続点間に直流主電源を接続すると共に、前記半導体素子列における半導体素子の直列接続点の  
20 各々に負荷を接続した主回路と、前記スイッチング半導体素子対応に設けられ、制御信号を入力する入力側の基準電位に対して出力側の基準電位を前記スイッチング半導体素子の基準電位の変動に追従可能にレベルシフトするレベルシフト回路、および前記レベルシフト回路からの信号入力により前記スイッチング半導体素子へ駆動信号を出力する駆動回路  
25 と、前記レベルシフト回路の入力側に給電する直流制御電源とを備え、前記制御信号の入力により前記直流主電源から供給された電力を交流若

しくはオンオフ流に変換して前記負荷に供給する電力変換装置において、前記半導体素子列におけるローサイドのスイッチング半導体素子に対応する前記レベルシフト回路の出力側および前記駆動回路に共通する正極側給電点と負極側給電点との間に挿入されたキャパシタと、前記直流制御電源の正極と前記正極側給電点との間に、カソードが前記キャパシタと接続される向きに挿入されたダイオードとを備え、かつ、前記主回路における前記直流主電源の負極側との接続点と前記直流制御電源の負極との間にインダクタおよび抵抗の少なくとも一方を挿入したものである。

上記のごとく、前記レベルシフト回路における入力回路側に対してフローティング状態にある出力回路側および駆動回路の駆動制御電源として、ダイオードとキャパシタとからなる充電回路を採用し、前記直流制御電源から給電することにより、単一電源にもかかわらず各相に絶縁された直流駆動電源を備えた場合と同様に、主電源ラインに発生するサージ電圧の影響を受けに難く、ノイズ耐量を向上させたものが得られ、かつ、小型化を可能とする。

また、第3の発明は、第1の発明において、レベルシフト回路の出力側および駆動回路に共通する正極側給電点と負極側給電点との間に挿入されたキャパシタと、前記直流制御電源の正極と前記正極側給電点との間に、カソードが前記キャパシタと接続される向きに挿入されたダイオードとを備え、かつ、少なくとも、主回路における直流主電源の負極側との接続点と前記直流制御電源の負極との間にインダクタおよび抵抗の少なくとも一方を挿入したものである。

上記のごとく、レベルシフト回路に絶縁ゲートを有するトランジスタを備えたものを用いることにより、フォトカプラを用いた従来のレベルシフト回路と比較して、長寿命化を図ると共に小型化および低消費電力化を可能にし、かつ、前記レベルシフト回路や前記駆動回路に前記イン

ダクタ、前記抵抗若しくは前記キャパシタを挿入して前記主回路の配線の寄生インダクタンスに起因するサージ電圧、特に、マイナスサージ電圧をキャンセル若しくは抑制することにより、前記トランジスタが破壊したり、または、前記スイッチング半導体素子が誤動作するのを防止できるものが得られ、かつ、前記レベルシフト回路における入力回路側からフローティングしている出力回路側および駆動回路の駆動制御電源としてダイオードとキャパシタからなる充電回路を採用し、前記直流制御電源から給電することにより、単一電源にもかかわらず各相に絶縁された直流駆動電源を備えた場合と同様に、主電源ラインに発生するサージ電圧の影響を受けにくく、ノイズ耐量を向上させたものが得られ、かつ、さらなる小型化を可能とする。

また、第4の発明は、第2または第3の発明において、直流制御電源の正極と正極側給電点との間に挿入されたダイオードのアノードと前記直流制御電源の正極との間に、インダクタおよび抵抗の少なくとも一方を、前記ダイオードと直列回路を形成するように挿入すると共に、主回路における直流主電源の負極側との接続点と前記ダイオードのアノードとの間にキャパシタを挿入したものであり、主回路に発生したサージ電圧が、前記インダクタおよび抵抗の少なくとも一方と、前記主回路における直流主電源の負極側との接続点と前記直流制御電源の負極との間に挿入されたインダクタおよび抵抗の少なくとも一方とにより、レベルシフト回路における入力回路側への侵入を抑制すると共に、前記キャパシタと、前記ダイオードと、前記レベルシフト回路の出力側および駆動回路に並列に挿入されているキャパシタとを介してバイパスされるので、前記レベルシフト回路および前記駆動回路からなる駆動制御回路が前記サージ電圧の影響をほとんど受けないものが得られる。

また、第5の発明は、第1乃至第4の発明のうちのいずれかの発明に

において、スイッチング半導体素子が絶縁ゲートタイプのトランジスタであり、前記トランジスタにおける正常時のゲート電圧よりも低く、異常時のゲート電圧よりも高い比較電圧を出力する比較電圧源と、絶縁ゲートの電圧と前記比較電圧とを比較して、前記絶縁ゲートの電圧が前記比較電圧よりも低い場合に異常信号を出力する比較器とを有するゲート電圧検出回路を備えたものであり、前記トランジスタ若しくはその駆動回路等の故障、劣化の自己診断を可能とする。即ち、前記駆動信号を出力した状態における絶縁ゲート電圧値が前記比較電圧よりも低い状態は、

5 比較電圧よりも低い場合に異常信号を出力する比較器とを有するゲート電圧検出回路を備えたものであり、前記トランジスタ若しくはその駆動回路等の故障、劣化の自己診断を可能とする。即ち、前記駆動信号を出力した状態における絶縁ゲート電圧値が前記比較電圧よりも低い状態は、

(1)前記トランジスタにおける絶縁ゲートと負側主電極間の短絡、(2)

10 前記駆動回路の故障、(3)前記駆動回路へ給電する直流駆動電源の出力電圧の低下等のトラブル発生を示し、これらのトラブルの何れかの発生により故障検出信号F<sub>o</sub>を出力するものであり、前記トランジスタおよび前記駆動回路の異常を容易に検出できる高信頼性のものが得られる。

さらに、第6の発明は、第5の発明において、御制信号が駆動回路に

15 入力されてからゲート電圧検出回路が正常信号を出力するのに要する時間遅れ以上の所定時間が経過する間、前記ゲート電圧検出回路が出力する異常信号を無効化し、代わりに正常信号を出力する異常信号無効化回路を備えたものであり、絶縁ゲートと負側主電極間の寄生容量により、ゲート電圧の立上がりに時間遅れを生じ、前記トランジスタ若しくは前記

20 駆動回路が正常であっても前記ゲート電圧検出回路が出力する故障検出信号F<sub>o</sub>を無効とし、誤った自動保護操作を行うことの無い高信頼性のものが得られる。

また、第7の発明は、第1乃至第6の発明のうちのいずれかの発明において、スイッチング半導体素子が絶縁ゲートタイプのトランジスタであり、該トランジスタの駆動回路に並列に挿入されると共に負極側が前

25 記トランジスタの負側主電極と接続されたされたキャパシタと、前記駆

動回路の正極側給電点と前記キャパシタとの接続点と絶縁ゲートとの間に、アノードが前記絶縁ゲートと接続される向きに挿入された第1のダイオードと、前記絶縁ゲートと前記負側主電極との間に、カソードが前記絶縁ゲートと接続される向きに挿入された第2のダイオードとを備えたものであり、前記トランジスタの正側主電極と負側主電極との間に印加されるサージ電圧、特に電位が逆転して負極側が高電位となるマイナスサージ電圧に起因する前記絶縁ゲートおよび前記駆動回路の破壊を確実に防止できる高信頼正のものが安価に得られる。

また、第8の発明は、第1乃至第6の発明のうちのいずれかの発明において、スイッチング半導体素子がエミッタと並列に電流センス端子を有する電流センス端子付絶縁ゲート・バイポーラトランジスタであり、前記電流センス端子と前記エミッタ間に挿入されたシャント抵抗と、一対の入力端子の一方が前記シャント抵抗と前記電流センス端子との接続点に接続され、他方の入力端子に前記エミッタの電位を基準とする直流比較電圧源が接続され、前記シャント抵抗の電位差と前記直流比較電圧源の電圧とを比較して前記電流センス端子付絶縁ゲート・バイポーラトランジスタの過電流検出信号を出力する比較器とを備え、かつ、前記電流センス端子付絶縁ゲート・バイポーラトランジスタの駆動回路に並列にその正極側給電点と前記エミッタに接続された負極側給電点との間に挿入されたキャパシタと、前記正極側給電点と絶縁ゲートとの間にアノードが前記絶縁ゲートと接続される向きに挿入された第1のダイオードと、前記絶縁ゲートと前記電流センス端子との間にカソードが前記絶縁ゲートと接続される向きに挿入された第2のダイオードと、前記電流センス端子と前記エミッタとの間に、カソードが前記第2のダイオードのアノードと接続される向きに挿入された第3のダイオードとを備えたものであり、前記電流センス端子付絶縁ゲート・バイポーラトランジスタ

の過電流検出を可能とすると共に、そのコレクタ・エミッタ間に印加されるサージ電圧、特に電位が逆転して負極側が高電位となるマイナスサージ電圧に起因する前記絶縁ゲート、前記駆動回路および過電流検出用の前記比較器等の破壊を確実に防止できる高信頼性のものが安価に得られる。

また、第9の発明は、第1乃至第8の発明のうちのいずれかの発明において、主回路と負荷とを接続する出力線に挿入されたシャント抵抗と、該シャント抵抗の電圧降下を増幅する増幅器と、該増幅器の出力信号を入力し、PWM変調したパルス信号として出力するパルス化回路と、前記パルス信号を入力し、出力側の基準電位に対して入力側の基準電位が相対的にフローティングする前記入力側から出力側に前記パルス信号を伝達すべく前記パルス信号の基準電位のレベルをシフトするレベルシフト回路とを有し、該レベルシフト回路の出力信号に基づき負荷電流を検出するものである。即ち、前記レベルシフト回路を用いて相対的にフローティングしている出力側に検出信号を伝達し、また、前記レベルシフト回路の前段にアナログ信号である検出値を、単位時間のパルス数が最小になるように最適化したデジタル信号、即ち、PWM変調したパルス信号に変換するパルス化回路を設け、前記検出信号が前記レベルシフト回路を効率良く伝達可能とし、負荷電流の検出に非接触型の電流検出素子の使用を必要とせず、小型、高精度、低消費電力型の検出装置が得られ、パッケージに内蔵可能とする。

#### 図面の簡単な説明

図1は本発明の実施の形態1としてのインバータ装置のブロック回路図である。

図2は図1に示したレベルシフト回路の詳細を示す図である。

図3は本発明の実施の形態2としてのインバータ装置のブロック回路図である。

図4は本発明の実施の形態3としてのインバータ装置のブロック回路図である。

5 図5は本発明の実施の形態4としてのインバータ装置のブロック回路図である。

図6は本発明の実施の形態5としてのインバータ装置のブロック回路図である。

10 図7は本発明の実施の形態6としてのスイッチング半導体素子の自己診断回路を示す図である。

図8は本発明の実施の形態8としてのインバータ装置のIGBT保護回路を示す図である。

図9は本発明の実施の形態9としてのインバータ装置の電流センス端子付IGBTの保護回路を示す図である。

15 図10は本発明の実施の形態7としてのインバータ装置の出力電流検出回路のブロック回路図である。

図11は従来のインバータ装置のブロック回路図である。

発明を実施するための最良の形態

20 本発明をより詳細に説明するために、添付の図面に従ってこれを説明する。

図1は本発明の実施の形態1としての電力変換装置として、三相誘導電動機を駆動制御するインバータ装置のブロック回路を示す図、図2は図1に示したインバータ装置のブロック回路におけるレベルシフト回路の25 詳細を示す回路図である。図中、従来例と同じ符号で示されたものは従来例のそれと同一若しくは同等なものを示す。

図1において、18は主回路5における直流主電源6の負極との接続点である負極側の入力端子Nと、直流制御電源9の負極と駆動制御回路10U、10V、10Wのそれぞれの入力回路側の負極との接続点である負極端子V<sub>ss</sub>との間に挿入されたインダクタ、19は入力側の基準電位5 に対して基準電位がフローティングする出力側に信号伝達すべくその基準電位のレベルをシフトして出力するレベルシフト回路である。

レベルシフト回路19は、図2に示すごとく、入力側増幅器19a、MOSFET19bおよび出力側増幅器19dが縦続接続されており、入力側増幅器19aが入力側の電源端子である正極端子V<sub>cc</sub>、負極端子10 V<sub>ss</sub>から給電され、出力側増幅器19dが出力側の電源端子である正極端子V<sub>b</sub>、負極端子V<sub>s</sub>から給電され、MOSFET19bのソースが入力側の負極端子V<sub>ss</sub>と接続され、ドレインDが負荷抵抗19cを介して正極端子V<sub>b</sub>と接続された構成を為す。

20はレベルシフト回路19における入力側の負極端子V<sub>ss</sub>と出力側15 の負極端子V<sub>s</sub>間に挿入されたキャパシタ、21は負極端子V<sub>s</sub>とIGBT2UのエミッタEとの間に挿入された抵抗である。そして、ゲート抵抗16と抵抗21の抵抗値の合計が、ゲート抵抗16が本来必要とする抵抗値となるように、ゲート抵抗16の本来の抵抗値を2分割してそれぞれをゲート抵抗16と抵抗21の抵抗値として設定する。なお、20 図1、図2において、その他の符号は図11の符号と同一、または相当部につき説明を省略する。

次に、図1、図2に示したインバータ装置の動作について説明する。先ず、負荷である三相誘導電動機8を可変速制御するためにPWM制御回路（図示せず）が出力するPWM信号である制御信号は駆動制御回路25 10U、10V、10Wの入力端子I<sub>Nu</sub>、I<sub>Nv</sub>、I<sub>Nw</sub>からそれぞれ入力される。そして、入力端子I<sub>Nu</sub>から入力された前記制御信号は

増幅器 11 で増幅され、レベルシフト回路 19 へその入力端子  $I_n$  から入力され、フローティング状態にある後段の駆動回路 15 に信号伝達可能にその基準電位をレベルシフトされて出力端子  $O_u t$  から出力される。

- 即ち、レベルシフト回路 19 の出力側は入力側に対してフローティング状態にあり、MOSFET 19 b のソースが入力側の負極端子  $V_{ss}$  と接続され、ドレイン D が負荷抵抗 19 c を介して正極端子  $V_b$  と接続されており、入力端子  $I_n$  から入力された制御信号が入力側増幅器 19 a で増幅されて MOSFET 19 b の絶縁ゲート G に入力されると、MOSFET 19 b は、制御信号の基準電位である負極端子  $V_{ss}$  の電位レベルを、出力側の基準電位である負極端子  $V_s$  の電位レベルにシフトしてドレイン D から出力し、出力側増幅器 19 d にて増幅して出力端子  $O_u t$  から出力する。そして、レベルシフト回路 19 の出力信号は駆動回路 15 で増幅され、ゲート抵抗 16 を介して IGBT 2 U の絶縁ゲート G に駆動電圧信号として入力され、IGBT 2 U をオンオフ駆動する。
- 同様に、他のローサイドの IGBT 2 V、2 W、およびハイサイドの IGBT 1 U、1 V、1 W をオンオフ駆動することにより、三相誘導電動機 8 を PWM 制御による可変速制御する。

- 端子  $I_{Nu}$  から入力された前記制御信号をフローティング状態にある駆動回路 15 へ信号伝達するために、レベルシフト回路 19 を用いる場合には、図 11 に示した従来例におけるフォトカップラ 12 を用いる場合に不要であった駆動制御回路 10 U の入力回路側の負極端子  $V_{ss}$  と主回路 5 の入力端子 N との接続が回路動作上必要となる。しかし、負極端子  $V_{ss}$  と入力端子 N とを接続しただけでは、IGBT 2 U のエミッタ E と入力端子 N とを接続する配線の寄生インダクタンス  $L_u$  にサージ電圧、特に、電位が逆転して入力端子 N がエミッタ E の電位よりも高電位となるマイナスサージ電圧が誘導されると、レベルシフト回路 19 における、

入力端子Nと接続されている入力回路側の負極端子V<sub>ss</sub>とエミッタEと接続されている出力回路側の負極端子V<sub>s</sub>間に、負極端子V<sub>s</sub>の電圧が負極端子V<sub>ss</sub>の電圧よりも低くなるように印加される。その結果として、MOSFET 19bのドレインDの電圧がソースSの電圧よりも低  
5 くなることもあり、MOSFET 19bは正常に動作できず、損傷する恐れがある。

しかし、入力端子Nと負極端子V<sub>ss</sub>との間にインダクタ18を挿入したので、寄生インダクタンスL<sub>u</sub>に誘導されるサージ電圧をキャンセル若しくは抑制でき、また、レベルシフト回路19における入力回路側の  
10 負極端子V<sub>ss</sub>と出力回路側の負極端子V<sub>s</sub>間にキャパシタ20を挿入したので、前記サージ電圧をバイパスさせることにより、前記サージ電圧に起因する負極端子V<sub>ss</sub>と負極端子V<sub>s</sub>間の電位差を低下させ、さら  
に負極端子V<sub>s</sub>とGBT 2UのエミッタE間に抵抗21を挿入したので  
15 結果として、負極端子V<sub>ss</sub>の基準電位と負極端子V<sub>s</sub>の基準電位とがほぼ同じ電位となり、MOSFET 19bは常に、正常に動作でき、損傷する恐れがない。

即ち、寄生インダクタンスL<sub>u</sub>の誘導電圧によりIGBT 2UのエミッタEの電圧が入力端子Nの電圧より負側に大きく低下しても、インダ  
20 クタ18、キャパシタ20および抵抗21の挿入により、負極端子V<sub>s</sub>の電圧が負極端子V<sub>ss</sub>よりも負側に大きく低下するのを防ぎ、レベルシフト回路19の破損やIGBT 2Uの誤動作が起こり難くなる。

以上のように、フローティングしている後段の回路への信号伝達のために、MOSFET 19bを用いたレベルシフト回路19の採用により、  
25 従来から多用されているフォトカプラよりも長寿命が期待でき、しかも、小型で安価に構成できる。

なお、図示されていないが、他のローサイドの IGBT 2V、2Wの駆動制御回路 10V、10Wに関しても、また、ハイサイドの IGBT 1U、1V、1Wの駆動制御回路（図示せず）も同様に作用し、同様な効果が得られる。

- 5      また、図 2 に示したレベルシフト回路において、伝達信号のレベルシフトを行うトランジスタとして MOSFET を用いたが、前記トランジスタは MOSFET に限定されるものではなく、IGBT や非絶縁ゲートタイプのバイポーラトランジスタ等であってもよく、同様な効果が得られる。
- 10      図 3 は本発明の実施の形態 2 としての電力変換装置であるインバータ装置のブロック回路を示す図である。図において、22 は直流制御電源 9 の正極と、駆動制御回路 10U の出力回路側を構成するフォトカップラ 12 のフォトトランジスタ PT と負荷抵抗 14 との直列回路と、駆動回路 15 との正極側接続点である正極端子 Vb との間に挿入されたダイオードであり、そのカソードが正極端子 Vb と接続される向きに挿入され
- 15      ている。23 は正極端子 Vb とこれと対をなす負極端子 Vs との間に挿入されたキャパシタである。なお、主回路 5 の入力端子 N と直流制御電源 9 の負極との間がインダクタ 18 を介して接続されており、直流制御電源 9 の正極からダイオード 22 を介して駆動制御回路 10U の出力回路側に流れる電流の帰還回路を形成している。
- 20

- なお、他のローサイドの IGBT 2V、2Wの駆動制御回路 10V、10Wも、また、ハイサイドの IGBT 1U、1V、1Wの駆動制御回路（図示せず）も同様な構成を為し、直流制御電源 9 の正極 Vcc はハイ
- 25      サイドの IGBT 1U、1V、1Wの駆動制御回路（図示せず）にも供給される。その他の符号は図 1、図 2 および図 11 と同一、または相当部につき説明を省略する。

次に、図3に示したインバータ装置の動作について説明する。直流制御電源9は、駆動制御回路10Uの入力回路側の正極端子V<sub>cc</sub>と負極端子V<sub>ss</sub>とを介して増幅器11にその制御電源として給電し、さらに、ダイオード22を介して駆動制御回路10Uの出力回路側、即ち、フォトトランジスタPTと負荷抵抗14との直列回路と、駆動回路15とにその駆動電源として給電すると共にキャパシタ23を充電する。そして、駆動制御回路10Uの入力回路側に対してフローティング状態にある出力回路側の電位が入力回路側の電位よりも一時的に高くなり、直流制御電源9から給電できなくなったときにはキャパシタ23から供給する。

そして、直流制御電源9からダイオード22を介して駆動制御回路10Uの出力回路側に流入した電流は、負極端子V<sub>s</sub>、IGBT2UのエミッタE、主回路5の入力端子N、インダクタ18を介して帰還する。なお、負荷である三相誘導電動機8を可変速制御するインバータ装置の動作は図10に示した従来のものと同様であり、その動作説明を省略する。

このように構成されたものにおいては、ダイオード22およびキャパシタ23からなる充電回路が、図11に示した従来例の回路における直流駆動電源17Uと同じ役割をするので、前記充電回路をローサイド側のV相、W相にも採用することにより、同様に、ハイサイドのIGBT1U、1V、1Wに対応す駆動制御回路（図示せず）にも採用すれば、ダイオード22およびキャパシタ23からなる回路がブートストラップ回路として機能するので、上記6個の駆動制御回路の入力回路側および出力回路側を単一の直流制御電源9だけで駆動でき、小型かつ安価で安定に動作するインバータ装置が得られる。

図4は本発明の実施の形態3としてのインバータ装置のブロック回路を示す図である。図4は図3に示した実施の形態2としてのインバータ

装置のブロック回路におけるフォトカプラ 1 2 およびその保護抵抗 1 3  
や負荷抵抗 1 4 の代わりにレベルシフト回路 1 9 を配設したものであり、  
レベルシフト回路 1 9 の入力回路側の正極端子 V cc と出力回路側の正  
極端子 V b との間にダイオード 2 2 をそのカソードが正極端子 V b と接  
5 続される向きに挿入し、出力回路側の正極端子 V b と負極端子 V b との  
間にキャパシタ 2 3 を挿入している。なお、他のローサイドの IGBT  
2 V、2 W の駆動制御回路 1 0 V、1 0 W、およびハイサイドの IGBT  
T 1 U、1 V、1 W の駆動制御回路（図示せず）も同様な構成を為す。  
なお、図中のその他の符号は図 1 乃至図 3 と同一、または相当部につき  
10 説明を省略する。

次に、図 4 に示したインバータ装置の動作について説明する。直流制  
御電源 9 は、駆動制御回路 1 0 U の入力回路側を構成する増幅器 1 1 お  
よびレベルシフト回路 1 9 の入力回路側の正極端子 V cc と負極端子 V  
ss との間にその制御電源として給電し、さらに、ダイオード 2 2 を介し  
15 て駆動制御回路 1 0 U の出力回路側を構成するレベルシフト回路 1 9 の  
出力回路側および駆動回路 1 5 にその駆動電源として給電すると共にキ  
ャパシタ 2 3 を充電する。そして、駆動制御回路 1 0 U の入力回路側に  
対してフローティング状態にあるその出力回路側の電圧が一時的に高電  
圧となり、直流制御電源 9 からの給電できなくなったときにはキャパシ  
20 タ 2 3 から供給する。

そして、直流制御電源 9 からダイオード 2 2 を介して駆動制御回路 1  
0 U の出力回路側に流入した電流は、その負極端子 V s、IGBT 2 U  
のエミッタ E、主回路 5 の入力端子 N、インダクタ 1 8 を介して直流制  
御電源 9 へ帰還する。なお、負荷である三相誘導電動機 8 を可変速制御  
25 するインバータ装置の動作は図 1 0 に示した従来のものと同様であり、  
その動作説明を省略する。

このように構成されたものにおいては、駆動制御回路10U、10V、10Wにおける入力回路側からフローティング状態にある出力回路側への信号伝達のために、MOSFETを用いたレベルシフト回路19を採用することにより長寿命が期待でき、しかも、小型で安価な構成のものが得られると共に、インダクタ18、キャパシタ20および抵抗21を挿入することにより、主回路5の配線の寄生インダクタンス $L_u$ 、 $L_v$ 、 $L_w$ 等に起因するサージ電圧の影響を防止し、レベルシフト回路19の破損やIGBT2Uの誤動作が起こり難い高信頼性のものが得られ、かつ、ダイオード22およびキャパシタ23からなる充電回路を採用することにより、単一の直流制御電源9だけでローサイドおよびハイサイドの各U、V、W相の、合計6個の駆動制御回路の入力回路側および出力回路側を単一の直流制御電源9だけで駆動でき、さらに小型かつ安価で、安定に動作するインバータ装置が得られる。

図5は本発明の実施の形態4としてのインバータ装置のブロック回路を示す図である。図において、24は一端が直流制御電源9の正極（正極端子Vcc）と接続され、他端がダイオード22を介して駆動制御回路10Uの出力回路側と接続されたインダクタ、25は主回路5の入力端子Nとダイオード22との間に接続された、即ち、インダクタ18、直流制御電源9およびインダクタ24からなる直列回路に並列に挿入されたキャパシタであり、インダクタ24およびキャパシタ25はそれぞれ一端がダイオード22のアノードと接続されている。その他の回路構成は図3に示したものと同一であるので説明を省略する。

次に、図5に示したインバータ装置の動作について説明する。直流制御電源9は、駆動制御回路10Uの入力回路側の正極端子Vcc、負極端子Vssを介して増幅器11に給電すると共に、インダクタ24およびダイオード22を介して駆動制御回路10Uの出力回路側に、即ち、フォ

トランジスタPTおよび負荷抵抗14の直列回路と駆動回路15とに給電し、かつ、キャパシタ23を充電する。そして、駆動制御回路10Uの入力回路側から絶縁され、フローティング状態にある出力回路側の電圧が一時的に高電圧となり、直流制御電源9からの給電できないとき5にはキャパシタ23から代わりに供給する。

そして、直流制御電源9からインダクタ24およびダイオード22を介して駆動制御回路10Uの出力回路側に流入した電流は、その負極端子Vs、IGBT2UのエミッタE、主回路5の入力端子N、インダクタ18を介して帰還する。なお、負荷である三相誘導電動機8を可変速10制御するインバータ装置の動作は図10に示した従来のものと同様であり、その動作説明を省略する。

このように構成されたものにおいては、通常は、図3に示した実施の形態2としてのインバータ回路と同様に動作するが、主回路5にサージ電圧が発生して駆動制御回路10Uに侵入した場合において、このサージ電圧はインダクタ18およびインダクタ24により、駆動制御回路10Uの入力回路側への侵入を抑制されると共に、キャパシタ25によりバイパスされるので、例えば、寄生インダクタンスLuにより誘導されたサージ電圧は、主回路5の入力端子N、キャパシタ25、ダイオード22、キャパシタ23およびIGBT2UのエミッタEを介して逃すので、20駆動制御回路10Uは前記サージ電圧の影響をほとんど受けない。駆動制御回路10V、10Wについても同様であり、理想的なサージ電圧対策の回路が得られる。

図6は本発明の実施の形態5としてのインバータ装置のブロック回路を示す図である。図6は図5に示した実施の形態4としてのインバータ25装置のブロック回路におけるフォトプラ12およびその保護抵抗13や負荷抵抗14の代わりにレベルシフト回路19を配設したものであり、

その他の回路構成は図5に示したものと同一であるので説明を省略する。

図6に示したインバータ装置の動作は、図4に示した実施の形態3としてのインバータ装置の動作と略同様であり、また、主回路5にサージ電圧が発生して駆動制御回路10Uに侵入した場合においても、図5に示した実施の形態4としてのインバータ装置のブロック回路の場合とほぼ同様に動作する。即ち、図6に示した実施の形態5としてのインバータ装置のブロック回路は、図4に示した実施の形態3としてのインバータ装置と図5に示した実施の形態4としてのインバータ装置の両方の特徴を合せ持つ理想的なインバータ装置が得られる。

10    なお、図示されていないが、他のローサイドのIGBT2V、2Wの駆動制御回路10V、10Wに関しても、また、ハイサイドのIGBT1U、1V、1Wの駆動制御回路（図示せず）も同様に作用し、同様な効果が得られる。

15    なお、図1、図4および図6に示した実施の形態1、実施の形態3および実施の形態5としてのインバータ装置において、寄生インダクタンス $L_u$ に誘導されるサージ電圧、特に、マイナスサージ電圧によるMOSFET19bへの悪影響を除去すべく、インダクタ18、キャパシタ20および抵抗21を挿入した例を示したが、これらの全てを必ずしも挿入する必要はなく、インダクタ18、キャパシタ20および抵抗21  
20    のうちの少なくとも何れかを挿入することにより、実用上十分な効果が得られる。

25    また、図1、図3乃至図6に示した実施の形態1乃至実施の形態5としてのインバータ装置において、インダクタ18の代わりに抵抗（図示せず）を挿入してもよく、インダクタと抵抗の直列回路を挿入してもよく、寄生インダクタンス $L_u$ の誘導電圧の影響を抑制できる。

さらに、図1、図4および図6に示した実施の形態1、実施の形態3

および実施の形態5としてのインバータ装置において、抵抗21の代わりにインダクタ（図示せず）を挿入してもよく、インダクタと抵抗の直列回路を挿入してもよく、この場合にも寄生インダクタンス $L_u$ の誘導電圧の影響を抑制できる。

- 5     また、図5および図6に示した実施の形態4および実施の形態5としてのインバータ装置において、インダクタ24の代わりに抵抗（図示せず）を挿入してもよく、インダクタと抵抗の直列回路を挿入してもよく、寄生インダクタンス $L_u$ の誘導電圧の侵入を抑制できる。

- 10     さらに、図1、図3乃至図6に示した実施の形態1乃至実施の形態5としてのインバータ装置において、スイッチング半導体素子としてIGBTを用いた例を示したが、スイッチング半導体素子はIGBTに限定されるものではなく、パワーMOSFET等であってもよく、同様な効果が得られる。

- 15     図7は本発明の実施の形態6としてのスイッチング半導体素子であるIGBTの故障の有無を自己診断する自己診断回路を示す回路図であり、図1乃至図6に示した実施の形態1乃至実施の形態5としてのインバータ回路に組込まれるものである。

- 20     図7において、26はIGBT2Uのゲート電圧を検出するゲート電圧検出回路であり、比較器26aと、IGBT2UのエミッタEを基準電圧とし、出力電圧がIGBT2Uの正常時のゲート電圧の約2/3の電圧である直流比較電源26bとにより構成され、比較器26aの一方の入力端子がIGBT2UのゲートGに、他方の入力端子が直流比較電源26bに接続されている。

- 25     27はゲート電圧の検出に若干の時間遅れを生じさせ、その間、正常信号を出力する異常信号無効化回路であり、比較器27aと、抵抗27bおよびキャパシタ27cの直列回路と、エミッタEを基準電圧とし、

出力電圧が IGBT 2 U の正常時のゲート電圧の約 2 / 3 の電圧である直流比較電源 2 7 d と、OR 回路 2 7 e とにより構成され、抵抗 2 7 b とキャパシタ 2 7 c との直列回路における抵抗 2 7 b の一端が IGBT 2 U の駆動回路 1 5 の入力側端子 I n と接続され、キャパシタ 2 7 c の一端が IGBT 2 U のエミッタ E と接続されている。そして、比較器 2 7 a の一方の入力端子に抵抗 2 7 b とキャパシタ 2 7 c との接続点が接続され、他方の入力端子に直流比較電源 2 7 d の電圧が印加される。OR 回路 2 7 e には比較器 2 6 a および比較器 2 7 a の出力信号がそれぞれ入力される。

10 2 8 は IGBT 2 U の駆動回路 1 5 の入力側に挿入された AND 回路であり、その一方の入力端子に入力端子 I n から入力された制御信号が入力され、他方の入力端子に OR 回路 2 7 e の出力信号が入力され、その出力信号が駆動回路 1 5 に入力されている。そして、ゲート電圧検出回路 2 6、異常信号無効化回路 2 7 および AND 回路 2 8 により、IGBT 2 U のゲート電圧を監視し、そのゲート G ・エミッタ E 間の短絡等の異常時に IGBT 2 U の駆動を停止させると共に、警報信号を出力する IGBT の自己診断回路を構成している。この IGBT の自己診断回路は、主回路 5 を構成する全ての IGBT にそれぞれ備えている。その他の符号は図 1 乃至図 6 と同一、または相当部につき説明を省略する。

20 次に、図 7 に示した IGBT の自己診断回路の動作について説明する。まず、入力端子 I n から制御信号が入力され、この制御信号が駆動回路 1 5 にて増幅されて駆動電圧信号としてゲート抵抗 1 6 を介して IGBT 2 U のゲート G に入力される。ゲート G が絶縁ゲートであるので、ゲート G ・エミッタ E 間が正常であれば、印加されたゲート電圧、ゲート抵抗 1 6 およびゲート G ・エミッタ E 間の寄生容量に応じた充電電流が流入してゲート G の電圧が次第に上昇して飽和し、所定時間後には印加

電圧値とほぼ等しくなるが、前記ゲートG・エミッタE間が短絡していれば、このゲートG・エミッタE間に電流が流れるのでゲートGの電圧が上昇しない。一方、比較器26aは、入力された前記ゲート電圧と直流比較電源26bの電圧とを比較し、前記ゲート電圧の方が高い場合に

5    ハイレベルの信号を出力する。即ち、直流比較電源26bの電圧が、ゲートGへの正常時の印加電圧の2/3程度の所定の比率の電圧に設定されているので、ゲートG・エミッタE間が正常であれば、入力端子Inから制御信号が入力された時刻t0よりも所定時間遅れた時刻t1に、比較器26aに入力されるゲートGの電圧と直流比較電源26bの電圧

10   との大小が反転し、即ち、ゲートGの電圧が直流比較電源26bの電圧よりも高くなり、比較器26aから、ゲートG・エミッタE間が正常であることを示すハイレベルの信号を出力するが、ゲートG・エミッタE間が短絡していれば、時刻t1を過ぎても比較器26aに入力されるゲートGの電圧と直流比較26bの電圧との大小が反転せず、比較器26

15   aから、ゲートG・エミッタE間が異常であることを示すローレベルの信号の出力を続ける。

上記のごとく、ゲート電圧検出回路26は、入力端子Inから制御信号が入力された時刻t0から比較器26aの出力が反転する時刻t1間は、ゲートG・エミッタE間が正常であっても、ゲートG・エミッタE間の異常を示すローレベルの信号を出力するので、この間の出力信号を無効とする必要がある。さもないと、ゲートG・エミッタE間が正常であるにもかかわらず、異常信号の出力により保護回路（図示せず）が作動して装置を停止させてしまう等の不都合が生じる。

20

異常信号無効化回路27において、比較器27aが、入力されたキャパシタ27cの電圧と直流比較電源27dの電圧とを比較し、キャパシタ27cの電圧の方が低い間はハイレベルの信号を出力し、比較電圧が

25

- 反転し、キャパシタ 27 c の電圧が直流比較電源 27 d の電圧よりも高くなるとローレベルの信号を出力する。即ち、入力端子 I n から制御信号が入力された時刻 t 0 から、抵抗 27 b を介して充電されるキャパシタ 27 c の電圧が上昇し、直流比較電源 27 d の電圧を超えると比較器 27 a の出力がハイレベルからローレベルへ反転するが、この、ハイレベルからローレベルへ反転する時刻 t 2 を、比較器 26 a の出力がローレベルからハイレベルへ反転する時刻 t 1 よりも長く ( $t 2 > t 1$ ) 設定しておき、比較器 26 a および比較器 27 a の出力信号を OR 回路 27 e に入力する。
- 10 OR 回路 27 e は、比較器 26 a および比較器 27 a の出力信号の入力により、ゲート G ・ エミッタ E 間が正常であれば、時刻 t 0 から時刻 t 2 の間は連続してハイレベル信号を出力し、ゲート G ・ エミッタ E 間が異常であれば、時刻 t 2 にてハイレベルからローレベルに反転し、以後はローレベルの信号を出力する。OR 回路 27 e の出力信号は I G B T 2 U のゲート G ・ エミッタ E 間の故障を示す故障検出信号 F o として PWM 制御回路 (図示せず) へ出力されると共に、AND 回路 28 に入力され、入力端子 I n から入力された制御信号が駆動回路 15 へ出力されるのをロックし、駆動回路 15 から I G B T 2 U へ駆動電圧信号が出力されるのを停止させる。
- 15
- 20 このように構成された I G B T の自己診断回路は、I G B T 2 U のゲート G ・ エミッタ E 間の短絡を検出するほか、駆動回路 15 自身の故障により、その出力信号である駆動電圧信号が出力されない場合や、直流駆動電源 17 U の異常により、駆動回路 15 への供給電圧が低下した場合にも、これらの異常を前記ゲート電圧の低下として検出し、故障検出
- 25 信号 F o を出力すると共に、駆動回路 15 の動作を停止させる。上記、I G B T の自己診断回路は、インバータ装置の運転中において常時動作

するが、運転中だけでなく、主回路5への電源投入前に動作させることにより前記IGBTの劣化を検出し、アーム短絡による他のIGBTへの破壊の拡大を未然に確実に防止することができる。

5 なお、図7に示した実施の形態6としてのIGBTの自己診断回路において、異常信号無効化回路27は、抵抗27bおよびキャパシタ27cの直列回路における時定数を利用して遅延時間を得るものであったが、異常信号無効化回路27は前記時定数を利用する方式に限定されるものではなく、例えば、パルスカウンタによる検出等の方式であってもよい。

10 また、図7に示した実施の形態6として、スイッチング半導体素子であるIGBTの故障の有無を自己診断する自己診断回路を例示したが、この自己診断回路による故障の自己診断の対象はIGBTに限定されるものではなく、パワーMOSFET等であってもよく、同様な効果が得られる。

15 図8は本発明の実施の形態7としてのスイッチング半導体素子であるIGBTのサージ電圧に対する保護回路を示す図であり、図1乃至図7に示した実施の形態1乃至実施の形態6としてのインバータ回路に組込まれるものである。

20 図8において、29はIGBT2Uの駆動回路15および駆動回路15へ給電する直流駆動電源17Uに並列に挿入され、その負極側接続点である負極端子VsにIGBT2UのエミッタEが接続されているキャパシタ、30は駆動回路15、直流駆動電源17Uおよびキャパシタ29の正極側接続点である正極端子VbとIGBT2UのゲートGとの間に挿入されたダイオードであり、そのアノードがゲートGと接続されている。31はゲートGと負極端子Vsとの間に挿入されたダイオードで  
25 あり、そのカソードがゲートGと接続されている。このIGBTのサージ電圧に対する保護回路は、主回路5を構成する全てのIGBTにそれ

ぞれ備えている。その他の符号は図1乃至図6と同一、または相当部に  
つき説明を省略する。

次に、図8に示したサージ電圧保護回路の動作について説明する。I  
GBT 2 UのコレクタC・エミッタE間に印加されるサージ電圧が、コ  
5 レクタC・ゲートG間およびゲートG・エミッタE間の寄生容量C<sub>cg</sub>、  
C<sub>ge</sub>によって分圧され、ゲートG・エミッタE間に比較的高電圧のサー  
ジ電圧が印加されるが、ゲートGの電位がエミッタEの電位よりも高いサー  
ジ電圧が印加された場合には、キャパシタ29の容量を寄生容量C<sub>ge</sub>  
10 よりも充分大きく設定することにより、前記サージ電圧はダイオード3  
0、キャパシタ29を介して逃す。また、ゲートGの電位がエミッタE  
の電位よりも低いマイナスサージ電圧が印加された場合には、前記マイ  
ナスサージ電圧はダイオード31を介して逃す。この結果として、前記  
サージ電圧の印加によるゲートG・エミッタE間の異常な電圧上昇若し  
くはマイナス方向への異常な電圧降下を抑制し、特に、前記マイナスサ  
15 ージ電圧が印加された場合におけるゲートG・エミッタE間の逆電圧が  
ダイオード31の順方向電圧降下分程度に低く押えられるので、I G B  
T 2 Uや駆動回路15の破壊を確実に防止でき、かつ、その回路構成に  
高価なツェナーダイオードを不要とするので安価な保護回路が得られる。

なお、図8に示した実施の形態7として、スイッチング半導体素子で  
20 あるI G B Tのサージ電圧保護回路を例示したが、このサージ電圧保護  
回路による保護対象はI G B Tに限定されるものではなく、パワーM O  
S F E T等であってもよく、同様な効果が得られる。

図9は本発明の実施の形態8としてのスイッチング半導体素子である  
電流センス端子付I G B Tのサージ電圧に対する保護回路のブロック回  
25 路図であり、図1乃至図8に示した実施の形態1乃至実施の形態7とし  
てのインバータ回路に組込まれるものである。

図9において、2UはエミッタEと並列に電流センス端子SE（以下、電流センスSEと記す）を有する電流センス端子付IGBT、32は電流センスSEとエミッタE間に挿入されたシャント抵抗、33は比較器33aと直流比較電圧源33bとにより構成され、シャント抵抗32に並列に、電流センスSEとエミッタE間に挿入されたIGBT2Uの過電流検出回路であり、比較器33aの一对の入力端子の一方がシャント抵抗32と電流センスSEとの接続点に接続され、他方の入力端子にエミッタEを基準電位とする直流比較電圧源33bが接続されている。34、35は直列接続されたダイオードであり、ダイオード34のカソードがゲートGと、ダイオード35のアノードがエミッタEと接続され、ダイオード34とダイオード35との接続点が電流センスSEとシャント抵抗32との接続点と接続されている。この電流センス端子付IGBTのサージ電圧に対する保護回路は、主回路5を構成する全ての電流センス端子付IGBTにそれぞれ備えている。その他の符号は図8と同一、または相当部につき説明を省略する。

次に、図9に示したサージ電圧保護回路の動作について説明する。IGBT2Uの電流センスSEにはコレクタC・エミッタEを流れる負荷電流に比例した微小電流が分流するのでシャント抵抗32の両端には、前記負荷電流に比例した電位差が生じる。比較器33aは前記電位差に基づく電流センスSEとシャント抵抗32との接続点の電圧と直流比較電圧源33bの電圧とを比較して、通常は前者の電圧よりも後者の電圧を高く設定されているが、これらの電圧の大きさが反転し、前者の電圧、即ち、電流センスSEとシャント抵抗32との接続点の電圧の方が高くなった場合に、その出力端子Outから前記負荷電流が過電流であることを示す検出信号を出力する。

一方、IGBT2UのコレクタC・エミッタE間に印加されるサージ

電圧が、コレクタC・ゲートG間の寄生容量 $C_{cg}$ と、ゲートG・エミッタE間の寄生容量 $C_{ge}$ およびゲートG・電流センスSE間の寄生容量 $C_{gs}$ を加算した容量 $C_{ge} + C_{gs}$ とによって分圧され、ゲートG・エミッタE間およびゲートG・電流センスSE間に比較的高電圧のサージが印加されるが、ゲートGの電位がエミッタEや電流センスSEの電位よりも高いサージ電圧が印加された場合には、キャパシタ29の容量を寄生容量 $C_{cg}$ よりも充分大きく設定することにより、前記サージ電圧はダイオード30、キャパシタ29を介して逃し、また、ゲートGの電位がエミッタEの電位よりも低いマイナスサージ電圧が印加された場合にも、前記マイナスサージ電圧はダイオード35およびダイオード34を介して逃す。

この結果として、前記サージ電圧の印加によるゲートG・エミッタE間およびゲートG・電流センスSE間の異常な電圧上昇若しくはマイナス方向への異常な電圧降下を抑制し、特に、前記マイナスサージ電圧が印加された場合におけるゲートG・エミッタE間の逆電圧がダイオード34、35の順方向電圧降下分の加算値程度に低く押えられると共に、ゲートG・電流センスSE間の逆電圧がダイオード34の順方向電圧降下分程度に低く押えられ、かつ、比較器33aの入力端子が接続されたシャント抵抗32の端子間の逆電圧もダイオード35の順方向電圧降下分程度に低く押えられるので、IGBT2U、駆動回路15や過電流検出回路33等の破壊を確実に防止でき、かつ、その回路構成に高価なツェナーダイオードを不要とするので、安価な保護回路が得られる。

なお、図8に示した実施の形態7および図9に示した実施の形態8の回路において、キャパシタ35は、図3乃至図6に示したキャパシタ23と兼用できる。

図10は本発明の実施の形態9としてのインバータ装置における出力

電流を検出する出力電流検出装置のブロック回路図であり、図1乃至図9に示した本発明の実施の形態1乃至実施の形態8としてのインバータ回路に組込まれるものである。

図10において、36U、36V、36Wはそれぞれ主回路5のU相、  
5 V相、W相の出力線に挿入され、出力電流を電圧に変換するシャント抵抗、37U、37V、37Wはそれぞれシャント抵抗36U、36V、  
36Wが出力する電圧信号を入力することにより、相対的にフローティングしている出力側へ、各相の負荷電流の検出信号を出力する電流検出  
10 装置である。38はシャント抵抗36Uが出力する電圧信号を入力して  
増幅する増幅器、39は比較器39aおよび三角波発振回路39bにて  
構成され、増幅器38から出力されるアナログ信号をPWM変調したパ  
ルス信号に変換するパルス化回路、40は、出力側の基準電位に対して  
入力側の基準電位がフローティングしている前記入力側から前記出力側  
15 に前記パルス信号を伝達すべく、入力されたパルス信号の基準電位のレ  
ベルをシフトして出力するレベルシフト回路であり、図1に示したレ  
ベルシフト回路19とほぼ同様の回路構成（図示せず）を為すが、出力回  
路側を接地し、入力回路側をフローティングさせて用いる点において、  
レベルシフト回路19と相違する。41はレベルシフト回路40から入  
力されたPWM信号をアナログ信号に復調するローパスフィルタ（LP  
20 F）からなる復調回路である。その他の符号は図1乃至図7と同一、ま  
たは相当部につき説明を省略する。

次に、図10に示した出力電流検出装置の動作について説明する。負  
荷である三相誘導電動機8の各相ごとの負荷電流をシャント抵抗36U、  
36V、36Wにより前記負荷電流に応じたアナログ電圧信号に変換し、  
25 増幅器38で増幅してパルス化回路39に入力し、パルス化回路39よ  
りPWM変調したパルス信号に変換し、レベルシフト回路40にて、出

力側の基準電位に対して入力側の基準電位がフローティングしている前記入力側から前記出力側に前記パルス信号を伝達し、ローパスフィルタ（LPF）からなる復調回路41を通過させることにより、高調波成分を除去して負荷電流の電流値を示すアナログ信号として出力する。

- 5 上記構成において、レベルシフト回路40を用いて検出信号を相対的にフローティングして出力側へ伝達するが、レベルシフト回路40ではアナログ信号を伝達できないので、その前段にパルス化回路39を設けることにより、アナログ信号である検出値を、単位時間のパルス数が最小になるように最適化したデジタル信号、即ち、PWM変調したパルス
- 10 信号に変換することにより信号を効率良く伝達可能とし、負荷電流の検出に非接触型の電流検出素子（図示せず）の使用を必要とせず、また、寿命の実用上の長さの問題があるフォトカプラ（図示せず）の使用を不要とし、長寿命、高精度、高信頼性であると共に、小型で低消費電力型の検出装置が得られ、パッケージに内蔵可能とする。なお、従来の非接
- 15 触型電流検出素子としてのホール素子、カレントトランスを用いた電流検出回路との比較のために、最終段にてアナログ信号に復調する復調回路41を示したが、PWM制御装置としてのマイクロコンピュータ（図示せず）へデジタル信号として取込む場合には、復調回路41は不要である。
- 20 なお、図1から図10に示した本発明の実施の形態1乃至実施の形態9において、電力変換装置として誘導電動機等を駆動制御するインバータ装置を例示したが、本発明の電力変換装置は、前記インバータ装置に限定されるものではなく、DCブラシレスモータやSRモータの駆動制御装置に適用しても同様な効果が得られる。例えば、SRモータ（図示
- 25 せず）は、固定子各相のコイルに順番に一方向の電流を流すもので、前記固定子各相のコイルへの通電をオンオフすべくIGBTが用いられ、

例えば、4相モータの場合には4個の相切換用 I G B T（図示せず）と、該 I G B Tのそれぞれに対応する駆動制御回路（図示せず）が存在するので、これらの駆動制御回路に本願発明を適用することにより、その性能を長期間、安定に保持できる安価な S R モータ用の電力変換装置が得られる。

#### 産業上の利用の可能性

以上のように、本発明にかかる電力変換装置は、例えば、産業用機器、エアコン、冷蔵庫等の家電製品、自動車等の駆動制御装置に用いる誘導電動機、D C ブラシレスモータや S R モータ等の可変速制御用のパワーモジュールとして適している。

15

20

25

## 請求の範囲

1. 互いに直列接続され、少なくとも一方がスイッチング半導体素子である半導体素子列を複数列有し、該複数列の半導体素子列を並列にその
- 5 両端を互いに接続し、その接続点間に直流主電源を接続すると共に、前記半導体素子列における半導体素子の直列接続点の各々に負荷を接続した主回路と、前記スイッチング半導体素子対応に設けられ、制御信号を入力する入力側の基準電位に対して出力側の基準電位を前記スイッチング半導体素子の基準電位の変動に追従可能にレベルシフトするレベルシフト回路、および前記レベルシフト回路からの信号入力により前記スイッチング半導体素子へ駆動信号を出力する駆動回路と、前記レベルシフト回路の入力側に給電する直流制御電源とを備え、前記制御信号の入力により前記直流主電源から供給された電力を交流若しくはオンオフ流に変換して前記負荷に供給する電力変換装置において、前記レベルシフト
- 10 回路は、前記直流制御電源の負極に接続されて前記入力側の基準電位となる負側電極と、前記制御信号が入力されるゲートと、該ゲートに入力された前記制御信号をその基準電位のレベルをシフトして前記駆動回路へ出力する正側電極とを有するトランジスタを備え、かつ、前記主回路における前記直流主電源の負極側との接続点と、前記直流制御電源の負
- 15 極との間にインダクタおよび抵抗の少なくとも一方を挿入したことを特徴とする電力変換装置。
2. 互いに直列接続され、少なくとも一方がスイッチング半導体素子である半導体素子列を複数列有し、該複数列の半導体素子列を並列にその
- 20 両端を互いに接続し、その接続点間に直流主電源を接続すると共に、前記半導体素子列における半導体素子の直列接続点の各々に負荷を接続した主回路と、前記スイッチング半導体素子対応に設けられ、制御信号を

入力する入力側の基準電位に対して出力側の基準電位を前記スイッチング半導体素子の基準電位の変動に追従可能にレベルシフトするレベルシフト回路、および前記レベルシフト回路からの信号入力により前記スイッチング半導体素子へ駆動信号を出力する駆動回路と、前記レベルシフト回路の入力側に給電する直流制御電源とを備え、前記制御信号の入力により前記直流主電源から供給された電力を交流若しくはオンオフ流に変換して前記負荷に供給する電力変換装置において、前記レベルシフト回路は、前記直流制御電源の負極に接続されて前記入力側の基準電位となる負側電極と、前記制御信号が入力されるゲートと、該ゲートに入力された前記制御信号をその基準電位のレベルをシフトして前記駆動回路へ出力する正側電極とを有するトランジスタを備え、かつ、前記直流制御電源の負極と前記レベルシフト回路の出力側の基準電位点との間にキャパシタを挿入したことを特徴とする電力変換装置。

3. 互いに直列接続され、少なくとも一方がスイッチング半導体素子である半導体素子列を複数列有し、該複数列の半導体素子列を並列にその両端を互いに接続し、その接続点間に直流主電源を接続すると共に、前記半導体素子列における半導体素子の直列接続点の各々に負荷を接続した主回路と、前記スイッチング半導体素子対応に設けられ、制御信号を入力する入力側の基準電位に対して出力側の基準電位を前記スイッチング半導体素子の基準電位の変動に追従可能にレベルシフトするレベルシフト回路、および前記レベルシフト回路からの信号入力により前記スイッチング半導体素子へ駆動信号を出力する駆動回路と、前記レベルシフト回路の入力側に給電する直流制御電源とを備え、前記制御信号の入力により前記直流主電源から供給された電力を交流若しくはオンオフ流に変換して前記負荷に供給する電力変換装置において、前記レベルシフト回路は、前記直流制御電源の負極に接続されて前記入力側の基準電位と

- なる負側電極と、前記制御信号が入力されるゲートと、該ゲートに入力された前記制御信号をその基準電位のレベルをシフトして前記駆動回路へ出力する正側電極とを有するトランジスタを備え、かつ、前記レベルシフト回路の出力側の基準電位点と前記レベルシフト回路に対応するスイッチング半導体素子の負側主電極との間に抵抗およびインダクタの少なくとも一方を挿入したことを特徴とする電力変換装置。
- 5
4. 直流制御電源の負極とレベルシフト回路の出力側の基準電位点との間にキャパシタを挿入したことを特徴とする請求項1に記載の電力変換装置。
- 10
5. レベルシフト回路の出力側の基準電位点と前記レベルシフト回路に対応するスイッチング半導体素子の負側主電極との間に抵抗およびインダクタの少なくとも一方を挿入したことを特徴とする請求項2に記載の電力変換装置。
- 15
6. レベルシフト回路の出力側の基準電位点と前記レベルシフト回路に対応するスイッチング半導体素子の負側主電極との間に抵抗およびインダクタの少なくとも一方を挿入したことを特徴とする請求項1に記載の電力変換装置。
- 20
7. 互いに直列接続され、少なくとも一方がスイッチング半導体素子である半導体素子列を複数列有し、該複数列の半導体素子列を並列にその両端を互いに接続し、その接続点間に直流主電源を接続すると共に、前記半導体素子列における半導体素子の直列接続点の各々に負荷を接続した主回路と、前記スイッチング半導体素子対応に設けられ、制御信号を入力する入力側の基準電位に対して出力側の基準電位を前記スイッチング半導体素子の基準電位の変動に追従可能にレベルシフトするレベルシフト回路、および前記レベルシフト回路からの信号入力により前記スイッチング半導体素子へ駆動信号を出力する駆動回路と、前記レベルシフ
- 25

- ト回路の入力側に給電する直流制御電源とを備え、前記制御信号の入力により前記直流主電源から供給された電力を交流若しくはオンオフ流に変換して前記負荷に供給する電力変換装置において、前記半導体素子列におけるローサイドのスイッチング半導体素子に対応する前記レベルシフト回路の出力側および前記駆動回路に共通する正極側給電点と負極側給電点との間に挿入されたキャパシタと、前記直流制御電源の正極と前記正極側給電点との間に、カソードが前記キャパシタと接続される向きに挿入されたダイオードとを備え、かつ、前記主回路における前記直流主電源の負極側との接続点と前記直流制御電源の負極との間にインダクタおよび抵抗の少なくとも一方を挿入したことを特徴とする電力変換装置。
- 5
8. レベルシフト回路の出力側および駆動回路に共通する正極側給電点と負極側給電点との間に挿入されたキャパシタと、直流制御電源の正極と前記正極側給電点との間に、カソードが前記キャパシタと接続される向きに挿入されたダイオードとを備えたことを特徴とする請求項1に記載の電力変換装置。
- 15
9. レベルシフト回路の出力側および駆動回路に共通する正極側給電点と負極側給電点との間に挿入されたキャパシタと、直流制御電源の正極と前記正極側給電点との間に、カソードが前記キャパシタと接続される向きに挿入されたダイオードとを備え、かつ、主回路における直流主電源の負極側との接続点と前記直流制御電源の負極との間にインダクタおよび抵抗の少なくとも一方を挿入したことを特徴とする請求項2に記載の電力変換装置。
- 20
10. 直流制御電源の正極と正極側給電点との間に挿入されたダイオードのアノードと前記直流制御電源の正極との間に、インダクタおよび抵抗の少なくとも一方を、前記ダイオードと直列回路を形成するように挿
- 25

入すると共に、主回路における直流主電源の負極側との接続点と前記ダイオードのアノードとの間にキャパシタを挿入したとを特徴とする請求項7に記載の電力変換装置。

- 1 1. スイッチング半導体素子が絶縁ゲートタイプのトランジスタであり、前記トランジスタにおける正常時のゲート電圧よりも低く、異常時のゲート電圧よりも高い比較電圧を出力する比較電圧源と、絶縁ゲートの電圧と前記比較電圧とを比較して、前記絶縁ゲートの電圧が前記比較電圧よりも低い場合に、異常信号を出力する比較器とを有するゲート電圧検出回路を備えたことを特徴とする請求項1に記載の電力変換装置。
- 10 1 2. 御制信号が駆動回路に入力されてからゲート電圧検出回路が正常信号を出力するのに要する時間遅れ以上の所定時間が経過する間、前記ゲート電圧検出回路が出力する異常信号を無効化し、代わりに正常信号を出力する異常信号無効化回路を備えたことを特徴とする請求項11に記載の電力変換装置。
- 15 1 3. スイッチング半導体素子が絶縁ゲートタイプのトランジスタであり、該トランジスタの駆動回路に並列に挿入されると共に負極側が前記トランジスタの負側主電極と接続されたされたキャパシタと、前記駆動回路の正極側給電点と前記キャパシタとの接続点と絶縁ゲートとの間に、アノードが前記絶縁ゲートと接続される向きに挿入された第1のダイオードと、前記絶縁ゲートと前記負側主電極との間に、カソードが前記絶縁ゲートと接続される向きに挿入された第2のダイオードとを備えたことを特徴とする請求項1に記載の電力変換装置。
- 20 1 4. スイッチング半導体素子がエミッタと並列に電流センス端子を有する電流センス端子付絶縁ゲート・バイポーラトランジスタであり、前記電流センス端子と前記エミッタ間に挿入されたシャント抵抗と、一対の入力端子の一方が前記シャント抵抗と前記電流センス端子との接続点

に接続され、他方の入力端子に前記エミッタの電位を基準とする直流比較電圧源が接続され、前記シャント抵抗の電位差と前記直流比較電圧源の電圧とを比較して前記電流センス端子付絶縁ゲート・バイポーラトランジスタの過電流検出信号を出力する比較器とを備え、かつ、前記電流

5 センス端子付絶縁ゲート・バイポーラトランジスタの駆動回路に並列にその正極側給電点と前記エミッタに接続された負極側給電点との間に挿入されたキャパシタと、前記正極側給電点と絶縁ゲートとの間にアノードが前記絶縁ゲートと接続される向きに挿入された第1のダイオードと、前記絶縁ゲートと前記電流センス端子との間にカソードが前記絶縁ゲート

10 と接続される向きに挿入された第2のダイオードと、前記電流センス端子と前記エミッタとの間に、カソードが前記第2のダイオードのアノードと接続される向きに挿入された第3のダイオードとを備えたことを特徴とする請求項1に記載の電力変換装置。

15 15. 主回路と負荷とを接続する出力線に挿入されたシャント抵抗と、該シャント抵抗の電圧降下を増幅する増幅器と、該増幅器の出力信号を入力し、PWM変調したパルス信号として出力するパルス化回路と、前記パルス信号を入力し、出力側の基準電位に対して入力側の基準電位が相対的にフローティングする前記入力側から前記出力側に前記パルス信号を伝達すべく前記パルス信号の基準電位のレベルをシフトするレベル

20 シフト回路とを有し、該レベルシフト回路の出力信号に基づき負荷電流を検出することを特徴とする請求項1に記載の電力変換装置。

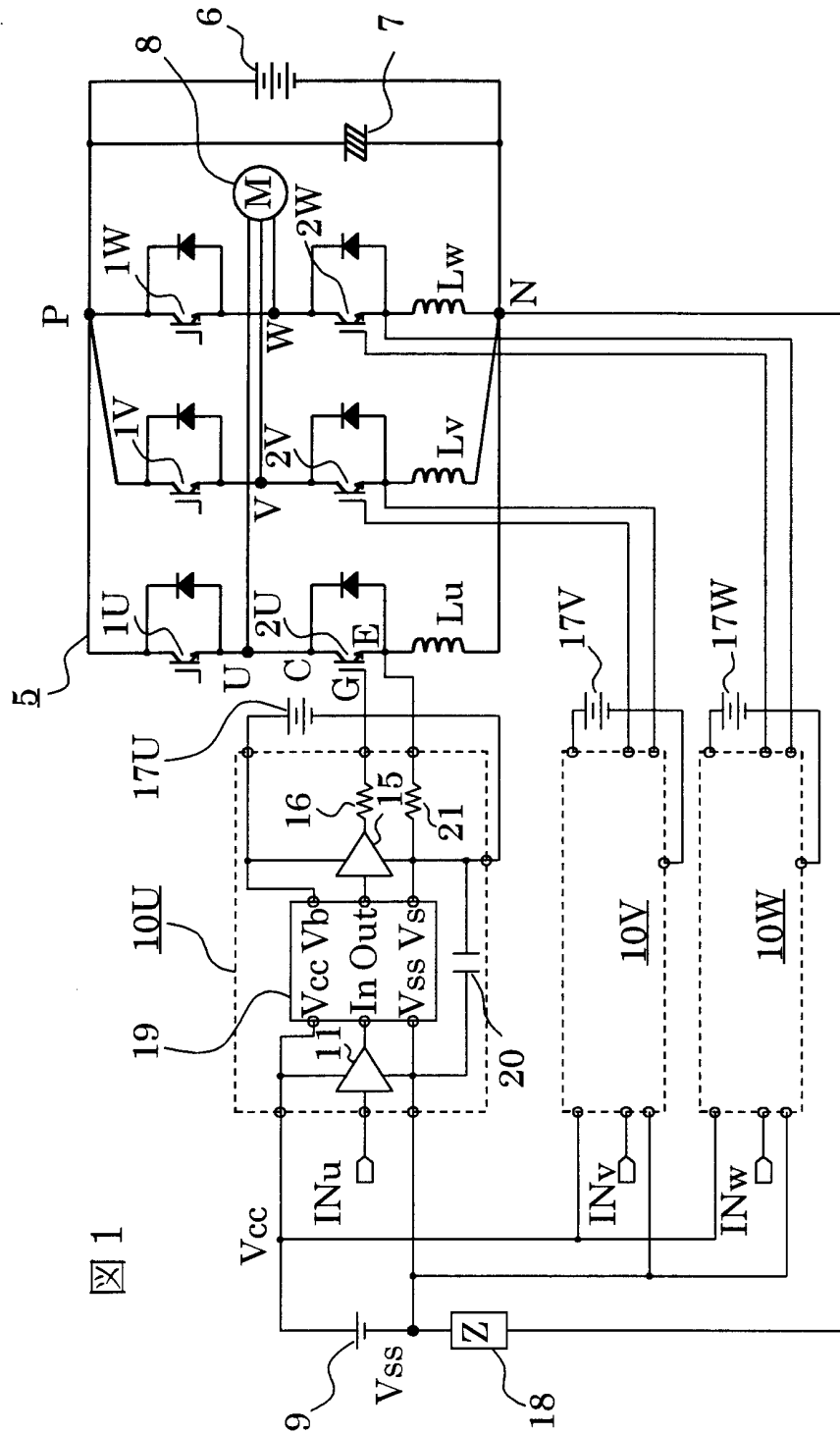
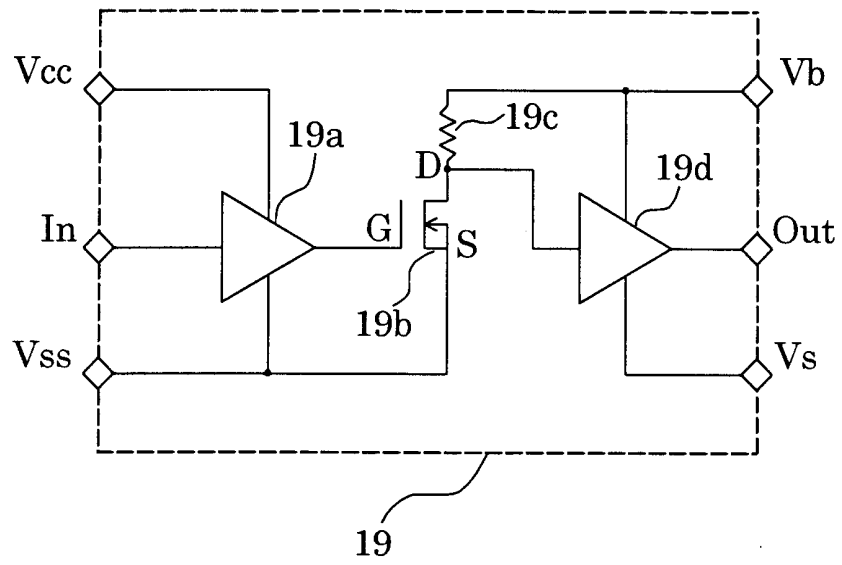


图 1

図 2



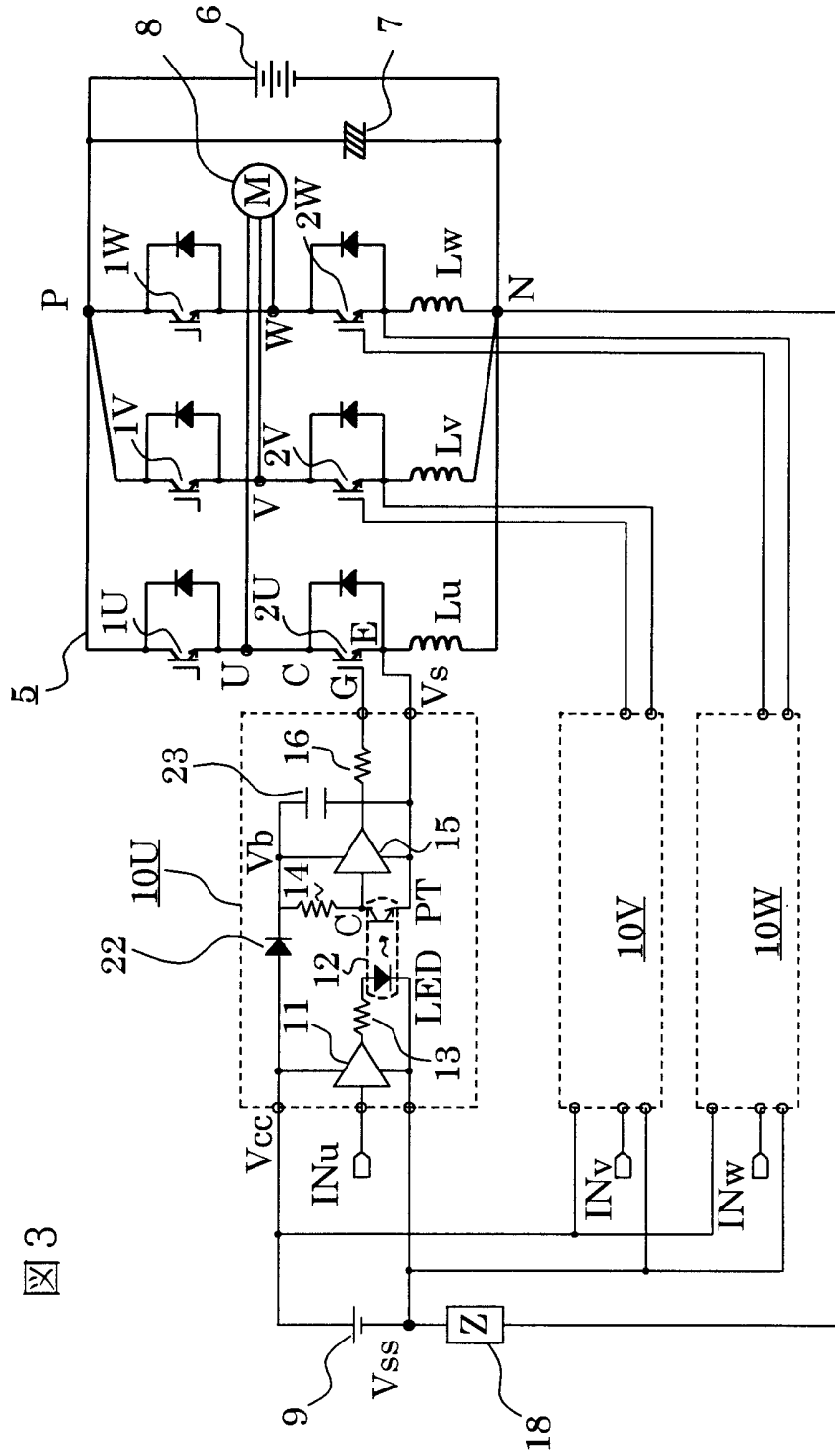


図 3

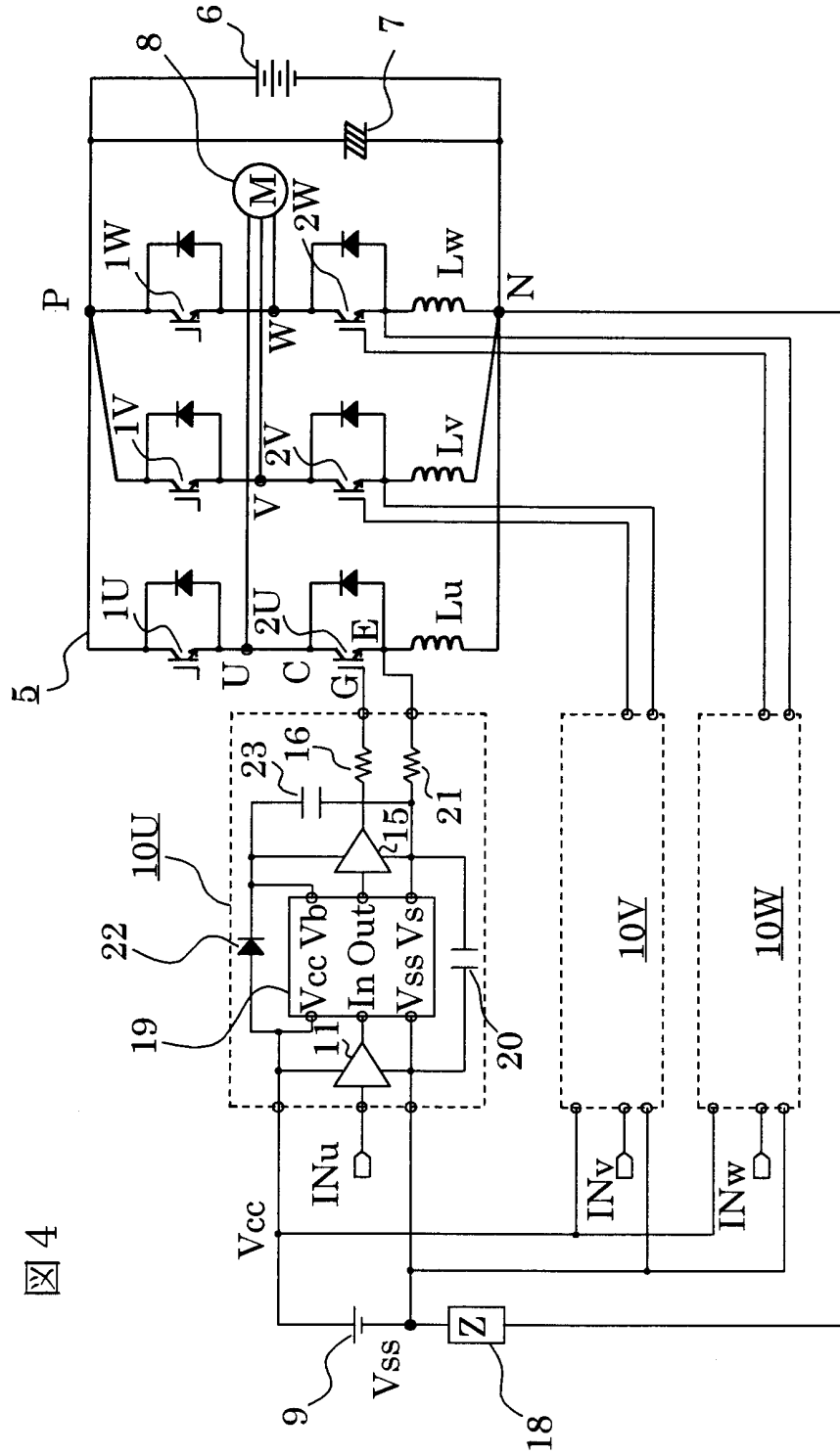
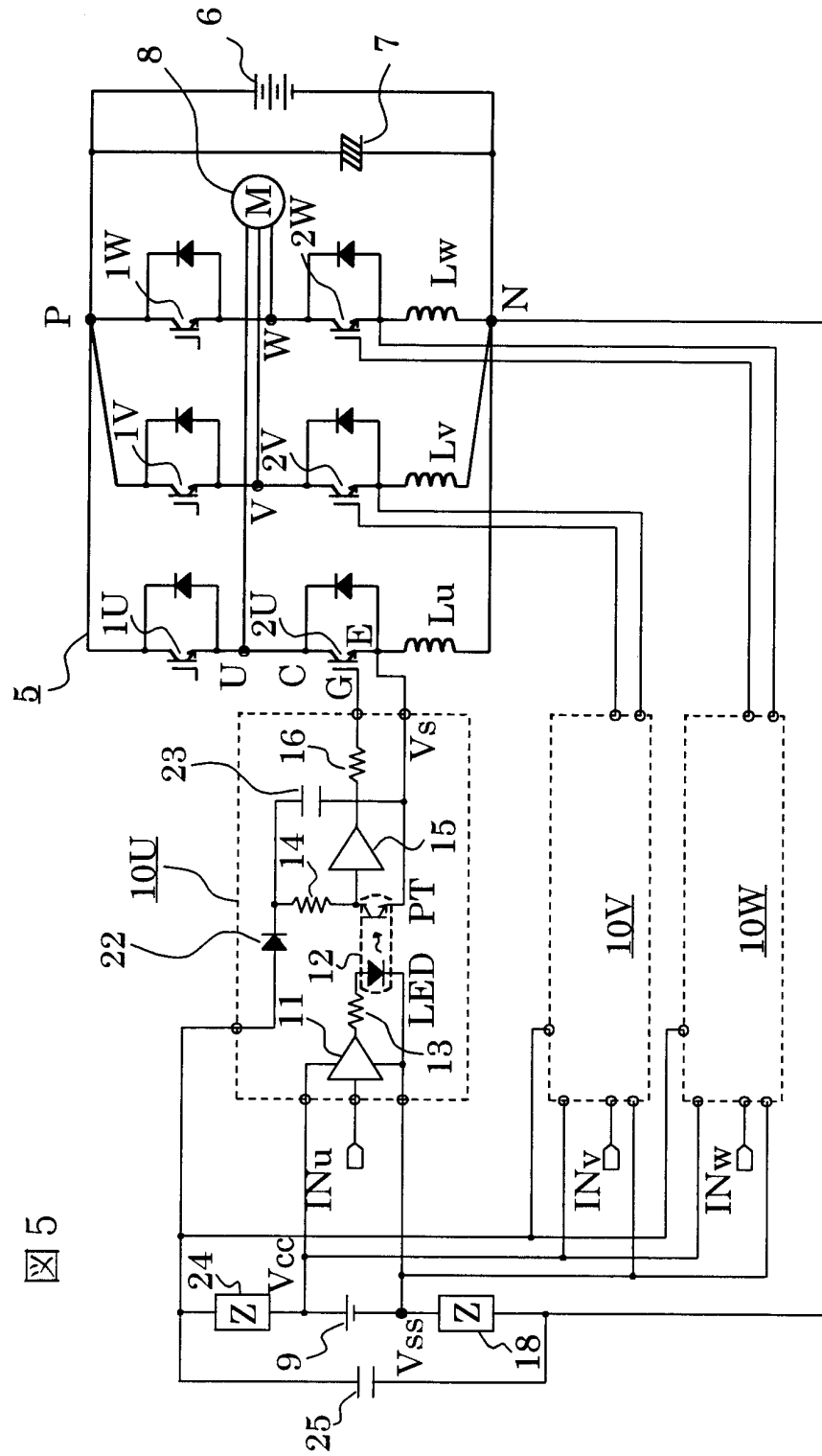


図 4



5

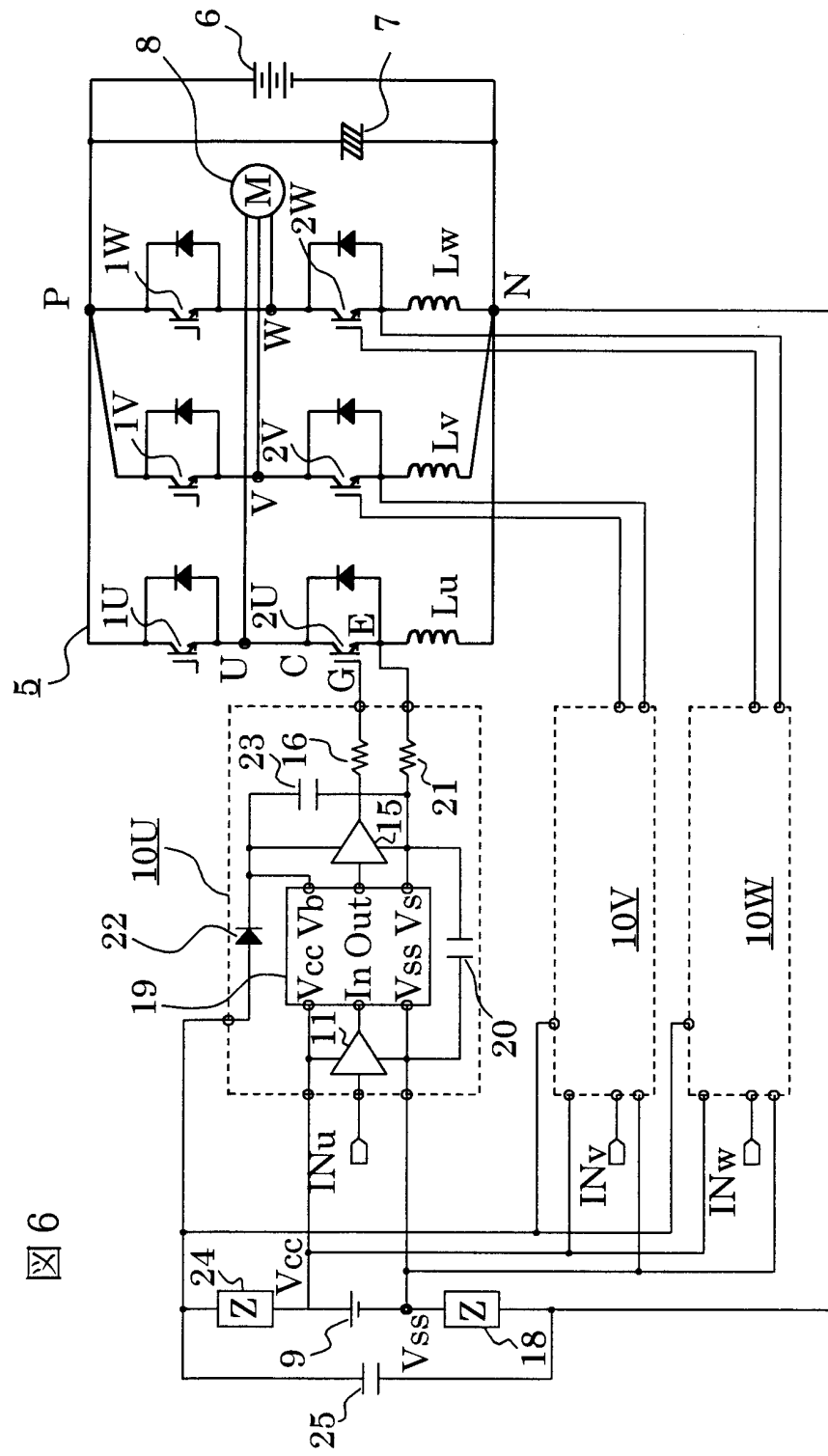
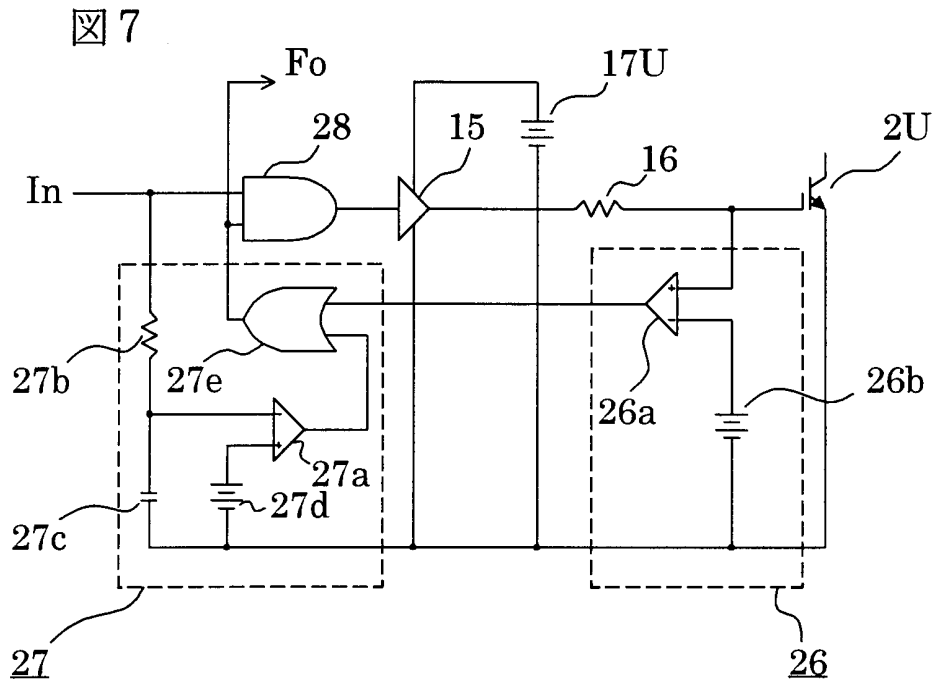


図 6





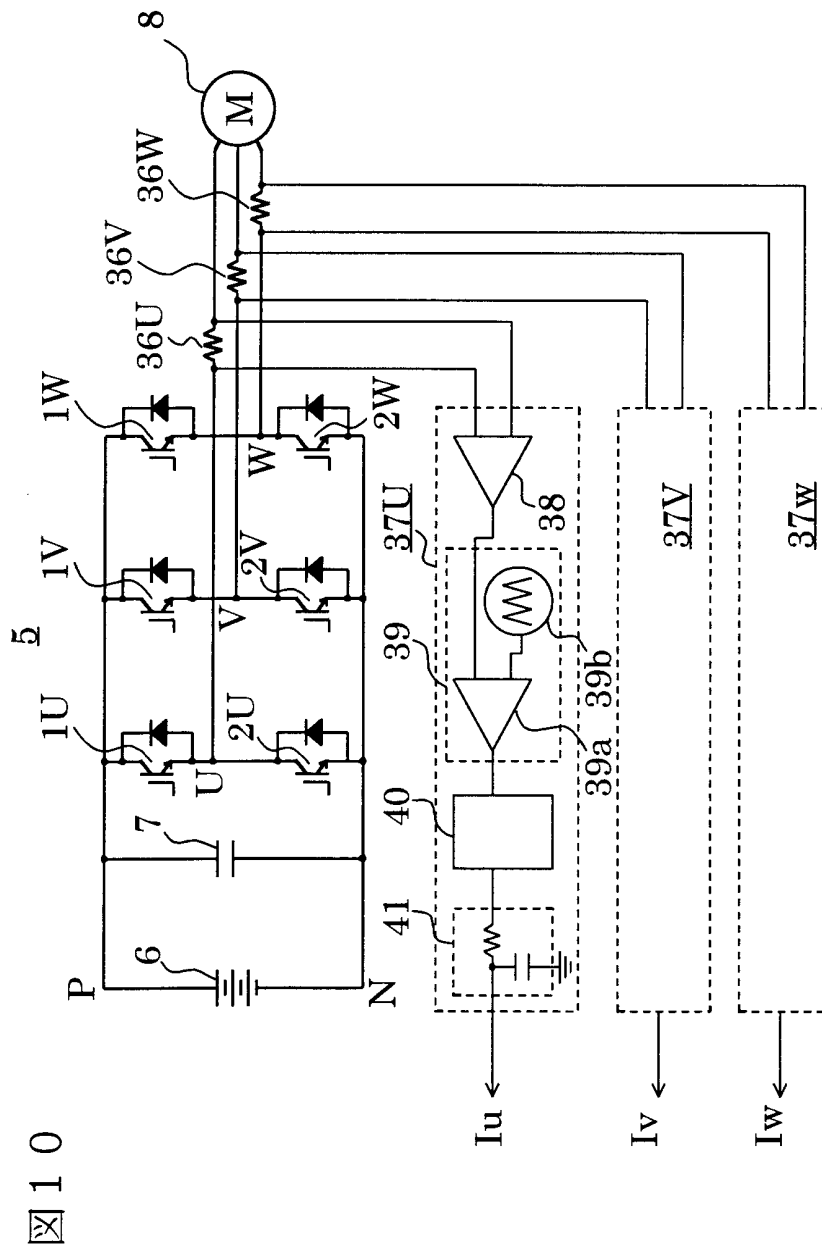


図 10

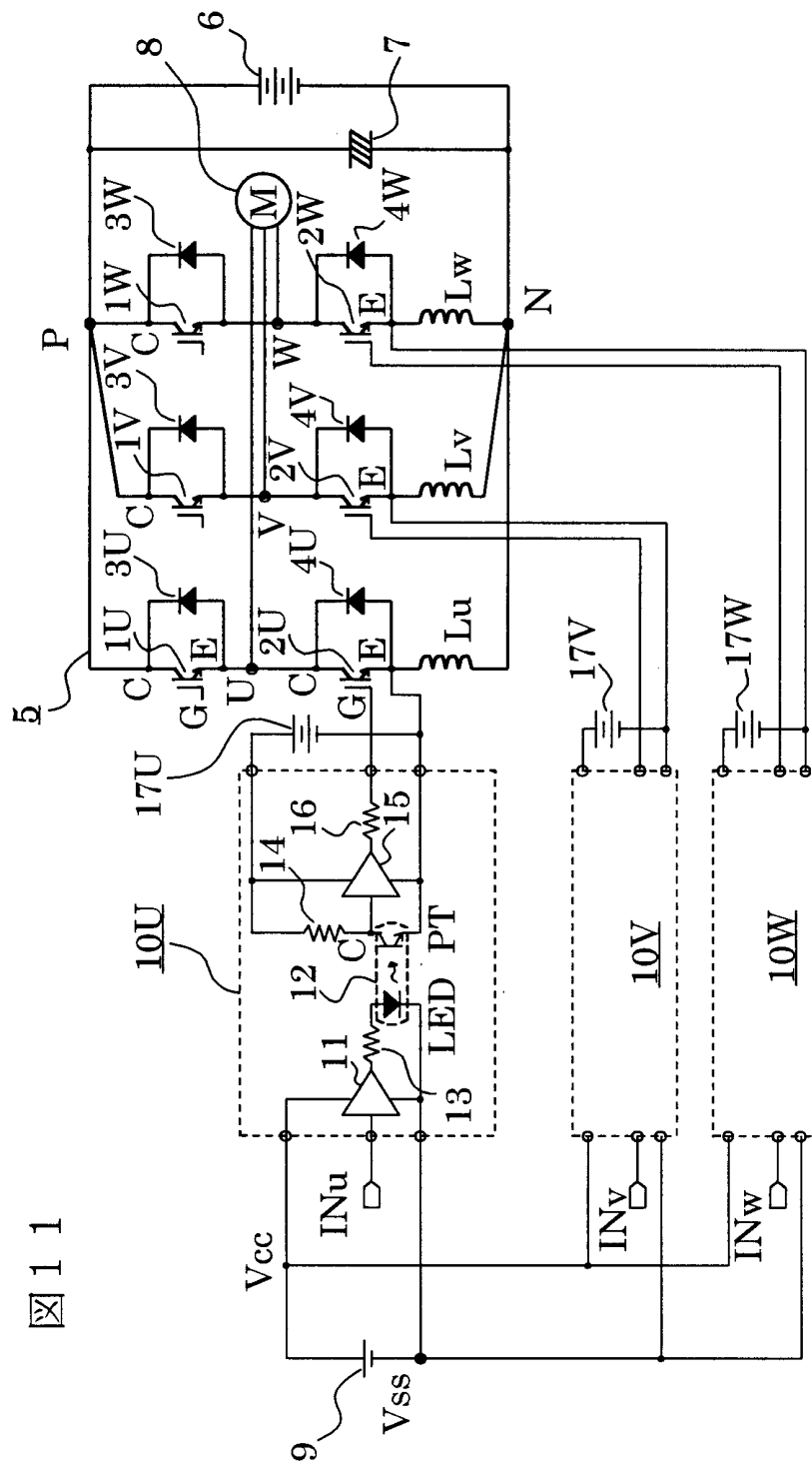


図 11

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03456

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>5</sup> H02M7/5387

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>5</sup> H02M7/42-7/98

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 11-27931, A (International Rectifier Corp.), 29 January, 1999 (29. 01. 99) & GB, 2324664, A & FR, 2762724, A1 & DE, 19817767, A1	1, 3, 6 2, 4, 5, 7-15
A	JP, 8-308253, A (Mitsubishi Electric Corp.), 22 November, 1996 (22. 11. 96) & EP, 740406, A2	1-15
A	JP, 9-219976, A (Mitsubishi Electric Corp.), 19 August, 1997 (19. 08. 97) & EP, 790698, A2 & US, 5706189, A	14

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
20 September, 1999 (20. 09. 99)

Date of mailing of the international search report  
28 September, 1999 (28. 09. 99)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>6</sup> H02M 7/5387

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>6</sup> H02M 7/42-7/98

最小限資料以外の資料で調査を行った分野に含まれるもの

- 日本国実用新案公報 1926-1996年
- 日本国公開実用新案公報 1971-1999年
- 日本国実用新案登録公報 1996-1999年
- 日本国登録実用新案公報 1994-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP, 11-27931, A (インターナショナル・レクチファイヤ・コーポレーション) 29.01月. 1999 (29.01.99) & GB, 2324664, A & FR, 2762724, A1 & DE, 19817767, A1	1, 3, 6 2, 4, 5, 7-15
A	JP, 8-308253, A (三菱電機株式会社) 22.11月. 1996 (22.11.96) & EP, 740406, A2	1-15
A	JP, 9-219976, A (三菱電機株式会社) 19.08月. 1997 (19.08.97) & EP, 790698, A2 & US, 5706189, A	14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日  
20.09.99

国際調査報告の発送日  
28.09.99

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
松浦 功 印  
3V 9181  
電話番号 03-3581-1101 内線 3358