



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0031642
(43) 공개일자 2019년03월27일

(51) 국제특허분류(Int. Cl.)
H01L 23/525 (2006.01) H01L 23/62 (2006.01)
(52) CPC특허분류
H01L 23/5252 (2013.01)
H01L 23/62 (2013.01)
(21) 출원번호 10-2017-0119314
(22) 출원일자 2017년09월18일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
김덕기
서울특별시 노원구 노원로 62, 309동 703호(공릉동, 효성 화운트빌)
김홍균
서울특별시 동대문구 무학로26길 30, 104동 1704호(용두동, 신동아아파트)
(뒷면에 계속)
(74) 대리인
이철희

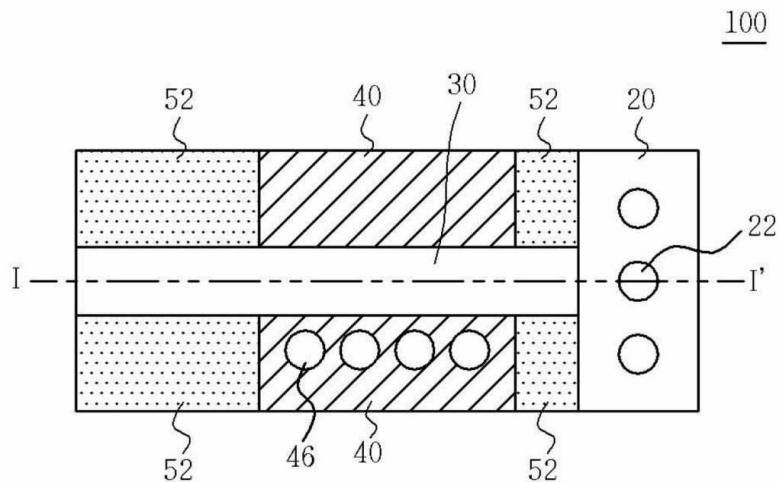
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 반도체 장치의 안티-퓨즈

(57) 요약

본 발명은 반도체 장치의 안티-퓨즈를 개시한다. 상기 안티-퓨즈는, 전극으로부터 연장되어 형성되는 게이트 메탈; 상기 게이트 메탈의 중앙부의 하부에 형성되는 반도체층; 상기 게이트 메탈과 상기 반도체층 사이에 형성되는 게이트 산화물층; 및 상기 게이트 메탈과 상기 게이트 산화물층의 하부 및 상기 반도체층의 양측에 형성되는 산화물층;을 포함한다.

대표도 - 도1



(72) 발명자

김재홍

경기도 성남시 중원구 여수울로29번길 14-13, 401
호 (여수동)

남서우

경기도 성남시 분당구 정자일로 100, C동 3002호(
정자동, 미켈란체르빌)

명세서

청구범위

청구항 1

전극으로부터 연장되어 형성되는 게이트 메탈;

상기 게이트 메탈의 중앙부의 하부에 형성되는 반도체층;

상기 게이트 메탈과 상기 반도체층 사이에 형성되는 게이트 산화물층; 및

상기 게이트 메탈과 상기 게이트 산화물층의 하부 및 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함하는 반도체 장치의 안티-퓨즈.

청구항 2

제 1 항에 있어서,

상기 게이트 산화물층은, 상기 게이트 메탈의 하단에 형성되고, 상기 게이트 메탈의 하단에 대응하는 위치의 상기 반도체층과 상기 제1 산화물층의 상단에 접하는 반도체 장치의 안티-퓨즈.

청구항 3

제 1 항에 있어서,

상기 게이트 메탈의 상부에 형성되는 실리콘 질화물층;을 더 포함하는 반도체 장치의 안티-퓨즈.

청구항 4

제 3 항에 있어서,

상기 실리콘 질화물층, 상기 반도체층 및 상기 제1 산화물층 상부에 형성되는 제2 산화물층;을 더 포함하는 반도체 장치의 안티-퓨즈.

청구항 5

제 1 항에 있어서,

안티-퓨즈의 프로그램 시, 상기 전극에 프로그램 전압이 인가되고, 상기 반도체층에 접지전압이 인가되는 반도체 장치의 안티-퓨즈.

청구항 6

제 1 항에 있어서,

상기 게이트 메탈과 상기 반도체층은 엔-타입 또는 피-타입의 안티-퓨즈를 형성하는 반도체 장치의 안티-퓨즈.

청구항 7

전극으로부터 연장되어 형성되는 게이트 메탈;

상기 게이트 메탈의 중앙부 하부에 형성되는 반도체층;

상기 게이트 메탈과 상기 반도체층 사이에 형성되는 게이트 산화물층; 및

상기 게이트 메탈과 상기 게이트 산화물층의 하부 및 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함하고,

상기 게이트 메탈은, 상기 전극에서 연장되는 제1 게이트 메탈, 및 상기 제1 게이트 메탈의 일단과 접촉되어 연장되며 상기 제1 게이트 메탈과 서로 다른 메탈로 형성되는 제2 게이트 메탈을 포함하는 반도체 장치의 안티-퓨즈.

청구항 8

제 7 항에 있어서,

상기 게이트 산화물층은, 상기 게이트 메탈의 하단에 형성되고, 상기 게이트 메탈의 하단에 대응하는 위치의 상기 반도체층과 상기 제1 산화물층의 상단에 접하는 반도체 장치의 안티-퓨즈.

청구항 9

제 7 항에 있어서,

상기 게이트 메탈의 상부에 형성되는 실리콘 질화물층;을 더 포함하는 반도체 장치의 안티-퓨즈.

청구항 10

제 9 항에 있어서,

상기 실리콘 질화물층, 상기 반도체층 및 상기 제1 산화물층 상부에 형성되는 제2 산화물층;을 더 포함하는 반도체 장치의 안티-퓨즈.

청구항 11

제 7 항에 있어서,

상기 제1 게이트 메탈과 상기 반도체층 절반은 엔-타입의 안티-퓨즈를 형성하고,

상기 제2 게이트 메탈과 상기 반도체층의 나머지 절반은 피-타입의 안티-퓨즈를 형성하는 반도체 장치의 안티-퓨즈.

청구항 12

제 11 항에 있어서,

상기 반도체층에는 상기 엔-타입의 안티-퓨즈와 상기 피-타입의 안티-퓨즈에 대응하는 엔-타입 채널과 피-타입 채널이 각각 형성되는 반도체 장치의 안티-퓨즈.

청구항 13

제 7 항에 있어서,

안티-퓨즈의 프로그램 시, 상기 전극에 프로그램 전압이 인가되고, 상기 반도체층에 접지전압이 인가되는 반도체 장치의 안티-퓨즈.

청구항 14

제 7 항에 있어서,

상기 게이트 메탈과 상기 반도체층은 엔-타입 또는 피-타입의 안티-퓨즈를 형성하는 반도체 장치의 안티-퓨즈.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 더 상세하게는 반도체 장치의 안티-퓨즈에 관한 것이다.

배경 기술

[0002] 일반적으로, 반도체 장치의 퓨즈는 반도체 기술 분야에서 다양한 목적을 구현하기 위해 사용된다. 예를 들면, 퓨즈는 불량 메모리 셀을 리던던시 메모리 셀로 대체하는 리페어 공정에서 사용될 수 있으며, 전압을 튜닝하는 정전압 발생회로에서 사용되거나 다양한 모드 선택과 테스트를 위한 제어 회로 등에서 사용될 수 있다.

[0003] 이러한 퓨즈는 저항 변화를 기준으로 이-퓨즈와 안티-퓨즈로 구분될 수 있다. 이 중 안티-퓨즈는 게이트 산화물

양단의 전위차를 이용하여 게이트 산화물을 브레이크다운(breakdown) 시켜 게이트 산화물이 초기의 절연체 상태의 높은 저항으로 산화물 양단에 전류가 흐르지 않다가 프로그램 후 산화물 양단에 전류가 잘 흐르게 된다. 한편, 퓨즈 기술에 대한 요구사항 중 하나가 면적을 줄이는 것인데, 퓨즈가 차지하는 면적 중 선택 소자가 대부분의 면적을 차지하기 때문에 퓨즈의 면적을 줄이기 위해 프로그램 전류를 낮추고자 하는 기술이 요구되고 있다.

선행기술문헌

특허문헌

- [0004] (특허문헌 0001) 특허문헌 1: 대한민국 공개번호 KR 2016-0068212(2016.06.15)
(특허문헌 0002) 특허문헌 2: 대한민국 등록번호 KR 10-1605749(2016.03.17)
(특허문헌 0003) 특허문헌 3: 대한민국 공개번호 KR 2014-0117907(2014.10.08)

발명의 내용

해결하려는 과제

- [0005] 본 발명이 해결하고자 하는 기술적 과제는 낮은 프로그램 전압으로 breakdown이 가능하여 성능이 향상되고 면적을 줄일 수 있는 반도체 장치의 안티-퓨즈를 제공하는데 있다.

과제의 해결 수단

- [0006] 본 발명의 실시예에 따른 반도체 장치의 안티-퓨즈는, 전극으로부터 연장되어 형성되는 게이트 메탈; 상기 게이트 메탈의 중앙부의 하부에 형성되는 반도체층; 상기 게이트 메탈과 상기 반도체층 사이에 형성되는 게이트 산화물층; 및 상기 게이트 메탈과 상기 게이트 산화물층의 하부 및 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함한다.
- [0007] 본 발명의 실시예에 따른 반도체 장치의 안티-퓨즈는, 전극으로부터 연장되어 형성되는 게이트 메탈; 상기 게이트 메탈의 중앙부 하부에 형성되는 반도체층; 상기 게이트 메탈과 상기 반도체층 사이에 형성되는 게이트 산화물층; 및 상기 게이트 메탈과 상기 게이트 산화물층의 하부 및 상기 반도체층의 양측에 형성되는 제1 산화물층;을 포함하고, 상기 게이트 메탈은, 상기 전극에서 연장되는 제1 게이트 메탈, 및 상기 제1 게이트 메탈의 일단과 접촉되어 연장되며 상기 제1 게이트 메탈과 서로 다른 메탈로 형성되는 제2 게이트 메탈을 포함한다.

발명의 효과

- [0008] 본 발명의 실시예에 따르면, 상대적으로 낮은 프로그램 전압을 가하여 게이트 산화물을 브레이크다운(breakdown) 시킬 수 있다.
- [0009] 또한, 낮은 프로그램 전압으로 브레이크다운(breakdown) 시킬 수 있으므로 안티-퓨즈 비트당 면적을 감소시킬 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 안티-퓨즈를 설명하기 위한 평면도이다.
도 2는 도 1의 I-I'를 따라 절단한 단면도이다.
도 3 및 도 4는 안티-퓨즈의 프로그램 시 커패시턴스의 변화를 설명하기 위한 도면이다.
도 5 및 도 6은 안티-퓨즈의 프로그램에 따른 누설 전류를 설명하기 위한 도면이다.
도 7은 본 발명의 제2 실시예에 따른 반도체 장치의 안티-퓨즈를 설명하기 위한 평면도이다.
도 8은 도 7의 I-I'를 따라 절단한 단면도이다.
도 9는 본 발명의 제3 실시예에 따른 반도체 장치의 안티-퓨즈를 설명하기 위한 평면도이다.
도 10은 도 9의 I-I'를 따라 절단한 단면도이다.

도 11은 본 발명의 제4 실시예에 따른 반도체 장치의 안티-퓨즈를 설명하기 위한 평면도이다.

도 12는 도 11의 I-I'를 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.
- [0012] 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0013] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0014] 본 실시예에서, 엔-타입 메탈은 NMOS(n-type metal oxide semiconductor) 트랜지스터에 사용되는 메탈로 정의될 수 있으며, 피-타입 메탈은 PMOS(p-type metal oxide semiconductor) 트랜지스터에 사용되는 메탈로 정의될 수 있다.
- [0015] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치의 안티-퓨즈를 설명하기 위한 평면도이다.
- [0016] 도 1을 참고하면, 반도체 장치의 안티-퓨즈(100)는 전극(20), 게이트 메탈(30), 반도체층(40) 및 제1 산화물층(52)을 포함한다.
- [0017] 전극(20)에는 프로그램 시 프로그램 전압이 인가된다. 여기서, 프로그램은 전극(20)에 프로그램 전압을 인가하고 반도체층(40)에 접지전압을 인가하는 과정을 포함한다. 전극(20)의 상부에는 프로그램 전압을 전극(20)에 인가하기 위한 콘택(22)이 형성될 수 있다.
- [0018] 게이트 메탈(30)은 프로그램 전압이 인가되는 전극(20)으로부터 연장되어 형성된다. 게이트 메탈(30)은 전기적으로 프로그램이 가능한 물질로 형성된다. 일례로, 게이트 메탈(30)은 NMOS 트랜지스터에 사용되는 엔-타입의 메탈 또는 PMOS 트랜지스터에 사용되는 피-타입의 메탈로 형성될 수 있으며, Al과 같은 금속성 물질로 형성되거나 TiN, Ti, Al, AlTiO의 층들로 형성될 수 있다. 여기서, 게이트 메탈(30)은 전극(20)과 일체형으로 형성될 수 있다.
- [0019] 반도체층(40)은 게이트 메탈(30)의 중앙 하부에 형성된다. 여기서, 반도체층(40)과 게이트 메탈(30)은 엔-타입 또는 피-타입으로 형성될 수 있다. 프로그램 시, 전극(20)에는 프로그램 전압이 인가되고 반도체층(40)에 접지전압이 인가될 수 있다. 반도체층(40)의 상부에는 반도체층(40)에 접지전압을 인가하기 위한 적어도 하나 이상의 콘택(46)이 형성될 수 있다.
- [0020] 그리고, 제1 산화물층(52)은 전극(20) 및 게이트 메탈(30)의 하부 및 반도체층(40)의 양측에 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다. 여기서, 제1 산화물층(52)과 게이트 메탈(30) 사이에는 게이트 산화물층(60, 도 2)이 형성된다. 게이트 산화물층(60)은 게이트 메탈(30)의 하단에 대응하는 위치의 반도체층(40)과 제1 산화물층(52)의 상단에 접하도록 형성된다. 게이트 산화물층(60)은 전극(20)에 프로그램 전압이 인가되면 높은 온도로 인해 게이트 메탈(30)과 반응하거나 유전을 특성이 변화될 수 있다.
- [0021] 상기와 같이 구성된 반도체 장치의 안티-퓨즈(100)는, 프로그램 전압이 전극(20)에 인가되고 접지전압이 반도체층(40)에 인가되면 게이트 산화물층(60)에 브레이크다운(breakdown)이 유도될 수 있다.
- [0022] 또한, 반도체 장치의 안티-퓨즈(100)는, 프로그램 전압에 의해 게이트 메탈(30)과 반도체층(40)에 전압을 걸어주면 게이트 메탈(30)과 반도체층(40)사이의 게이트 산화물층(60)에 높은 전위가 걸려 브레이크다운(breakdown) 현상이 유도될 수 있다. 도 1에 도시된 게이트 메탈(30)은 전극(20)에서 동일한 단면적을 가지고 일 방향으로 연장되는 것을 도시하고 있으나, 설명의 편의성을 위한 것일 뿐, 이에 제한되는 것은 아니다. 게이트 메탈(30)은 굽은 부분을 포함할 수 있으며 단면적을 다르게 형성할 수 있다.
- [0023] 게이트 산화물층(60)이 브레이크다운(breakdown)되면 게이트 메탈(30)과 반도체층(40) 사이의 커패시턴스의 값은 프로그램 전후 대비 크게 변화한다.
- [0024] 본 실시예는 많은 변화로 인해 높은 온/오프 비가 가능하여 안티-퓨즈 성능을 향상시킬 수 있고, 낮은 전류에서

프로그램이 가능하여 안티-퓨즈 비트당 면적을 감소시킬 수 있다.

- [0025] 한편, 도 1의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 2에 도시된 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 2에 도시한 바와 같이 게이트 메탈(30) 및 전극(20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.
- [0026] 도 2는 도 1의 I-I'를 따라 절단한 단면도이다.
- [0027] 도 2를 참고하면, 반도체 장치의 안티-퓨즈(100)는 게이트 메탈(30)의 중앙 하부에 형성되는 반도체층(40), 게이트 메탈(30)과 전극(20)의 하부 및 반도체층(40)의 양측에 형성되는 제1 산화물층(52), 및 반도체층(40)과 제1 산화물층(52)의 상부에 형성되고 전극(20)에서 연장되어 형성되는 게이트 메탈(30)을 포함한다.
- [0028] 여기서, 게이트 메탈(30)의 하단에는 게이트 산화물층(60)이 형성되고, 게이트 산화물층(60)은 게이트 메탈(30)의 하단에 대응하는 반도체층(40) 및 제1 산화물층(52)의 상단에 접하도록 형성된다. 게이트 산화물층(60)은 프로그램 시 양단의 높은 전압으로 인해 게이트 산화물층(60)이 브레이크다운(breakdown) 될 수 있다. 일례로, 게이트 산화물층(60)은 HfO_2 로 형성될 수 있다.
- [0029] 그리고, 게이트 메탈(30)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70)의 상부에 제2 산화물층(54)이 형성된다. 일례로, 실리콘 질화물층은 SiN 또는 SiCN 으로 형성될 수 있다. 전극(20)의 상부에 대응하는 질화물층(70) 및 제2 산화물층(54) 내에는 프로그램 전압을 전극(20)에 인가하기 위한 콘택(22)이 형성될 수 있다.
- [0030] 도 3 및 도 4는 안티-퓨즈의 프로그램 시 커패시턴스의 변화를 설명하기 위한 도면이다. 일례로, 도 3 및 도 4는 게이트 메탈(30) 및 반도체층(40)이 엔-모스 타입으로 형성된 것을 예시한 것으로, 제2 전극(20)에 프로그램 전압이 인가되고 반도체층(40)에 접지전압이 인가된다.
- [0031] 도 3 및 도 4를 참고하면, 반도체 장치의 안티-퓨즈(100)는 프로그램 전압이 제2 전극(20)에 인가되고 반도체층(40)에 접지전압이 인가되면 양단의 높은 전압으로 인해 게이트 산화물층(60)에 브레이크다운(breakdown) 현상이 유도된다.
- [0032] 이때, 게이트 메탈(30)과 반도체층(40) 사이의 커패시턴스의 값은 프로그램 전후 큰 차이를 보이게 된다.
- [0033] 또한, 안티-퓨즈의 프로그램 시 과도한 전압에 의해서 게이트 산화물층(60)이 브레이크 다운되면 절연의 역할을 못해서 캐패시턴스의 값이 작아진다.
- [0034] 이와 같이 안티-퓨즈(100)는 프로그램 여부에 따라서 커패시턴스의 값이 변화게 된다.
- [0035] 도 5 및 도 6은 안티-퓨즈의 프로그램에 따른 누설 전류를 설명하기 위한 도면이다.
- [0036] 도 5 및 도 6을 참고하면, 반도체 장치의 안티-퓨즈(100)는 프로그램 전압이 제2 전극(20)에 인가되고 접지전압이 반도체층(40)에 인가되면 양단의 높은 전압으로 인해 게이트 산화물층(60)에 브레이크다운(breakdown)이 유도된다.
- [0037] 게이트 산화물층(60)이 브레이크 다운되면 누설 전류가 증가된다. 이와 같이 안티-퓨즈(100)는 프로그램 여부에 따라서 게이트 메탈(30)과 게이트 산화물층(60)의 특성 변화 및 게이트 산화물층(60)의 브레이크 다운으로 누설 전류가 증가하게 된다.
- [0038] 도 7은 본 발명의 제2 실시예에 따른 반도체 장치의 안티-퓨즈를 설명하기 위한 평면도이다. 도 8는 도 7의 I-I'를 따라 절단한 단면도이다. 여기서, 도 7의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 8에 도시된 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 8에 도시한 바와 같이 게이트 메탈(30) 및 전극(20)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.
- [0039] 도 7 및 도 8을 참고하면, 반도체 장치의 안티-퓨즈(100)는 전극(20), 게이트 메탈(30), 반도체층(40) 및 제1 산화물층(52)을 포함한다.
- [0040] 게이트 메탈(30)은 서로 다른 메탈로 형성되거나 서로 다른 적어도 하나 이상의 금속성 물질들로 형성되는 제1 및 제2 게이트 메탈(32, 34)을 포함한다. 일례로, 제1 게이트 메탈(32)은 Al와 같은 금속성 물질로 형성될 수 있으며, 제2 게이트 메탈(34)은 TiN, Ti, Al, AlTiO 의 층들로 형성될 수 있다. 또는 제1 및 제2 게이트 메탈

(32, 34)은 각각 서로 다른 비중의 TiN, Ti, Al, AlTiO의 층들로 형성될 수 있다.

- [0041] 여기서, 제2 게이트 메탈(34)은 전극(20)과 일체형으로 형성될 수 있으며, 제1 게이트 메탈(32)은 전극(20)으로부터 연장되는 제2 게이트 메탈(34)의 일단과 접촉되고 제2 게이트 메탈(34)의 연장 방향으로 연장되어 형성될 수 있다. 제1 및 제2 게이트 메탈(32, 34)은 서로 오버랩이 될 수 있다.
- [0042] 반도체층(40)은 게이트 메탈(30)의 중앙 하부에 형성된다. 여기서, 반도체층(40)의 하프는 엔-타입(40a)으로 형성되고 나머지 하프는 피-타입(40b)으로 형성될 수 있다. 즉, 반도체층(40)의 하프와 제1 게이트 메탈(32)은 엔-타입으로 안티-퓨즈를 형성하고, 반도체층(40)의 나머지 하프와 제2 게이트 메탈(34)은 피-타입으로 안티-퓨즈를 형성한다. 반도체층(40)의 상부에는 프로그램 시 접지전압을 인가하기 위한 적어도 하나 이상의 콘택(46)이 형성될 수 있다.
- [0043] 그리고, 제1 산화물층(52)은 반도체층(40)의 양측으로부터 제1 게이트 메탈(32) 및 전극(20)의 하부까지 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다.
- [0044] 게이트 산화물층(60)은 게이트 메탈(30)의 하단과 게이트 메탈(30)의 하단에 대응하는 반도체층(40)과 제1 산화물층(52)의 상단 사이에 형성될 수 있다. 게이트 산화물층(60)은 프로그램 시 높은 전압으로 브레이크다운 될 수 있다. 일례로, 게이트 산화물층(60)은 HfO_2 로 형성될 수 있다.
- [0045] 그리고, 게이트 메탈(30)의 상부에 실리콘 질화물층(70)이 형성되고, 실리콘 질화물층(70)의 상부에 제2 산화물층(54)이 형성된다. 일례로, 실리콘 질화물층은 SiN 또는 SiCN으로 형성될 수 있다.
- [0046] 이와 같이 반도체 장치의 안티-퓨즈(100)는 프로그램 전압을 인가하기 위한 전극(20), 서로 다른 메탈로 형성되는 제1 및 제2 게이트 메탈(32, 34), 제1 및 제2 게이트 메탈(32, 34)의 중앙 하부에 형성되는 반도체층(40), 및 반도체층(40)의 양 측으로부터 제1 게이트 메탈(32) 및 전극(20)의 하부까지 형성되는 제1 산화물층(52)을 포함한다.
- [0047] 상기와 같이 구성된 반도체 장치의 안티-퓨즈(100)는, 프로그램 전압이 전극(20)에 인가되고 접지전압이 반도체층(40)에 인가되면 프로그램 전압에 의해 브레이크다운 현상이 게이트 산화물 (60)에 유도된다. 이로 인해 브레이크 다운이 발생하여 캐패시턴스의 및 누설 전류가 변화한다.
- [0048] 도 9은 본 발명의 제3 실시예에 따른 반도체 장치의 안티-퓨즈를 설명하기 위한 평면도이다. 도 10는 도 8의 I-I'를 따라 절단한 단면도이다. 여기서, 도 9의 평면도에는 본 실시예의 구조에 대한 이해를 돕고자 도 10에 도시된 질화물층(70) 및 제2 산화물층(54)을 도시하지 않았으나, 도 10에 도시한 바와 같이 게이트 메탈(30) 및 전극(10)의 상부에 실리콘 질화물층(70)이 형성될 수 있으며, 실리콘 질화물층(70), 반도체층(40) 및 제1 산화물층(52) 상부에 제2 산화물층(54)이 형성될 수 있다.
- [0049] 도 9 및 도 10를 참고하면, 게이트 메탈(30)은 서로 다른 메탈로 형성되거나 서로 다른 적어도 하나 이상의 금속성 물질들로 형성되는 제1 및 제2 게이트 메탈(32, 34)을 포함한다. 여기서, 제1 게이트 메탈(32)은 전극(10)과 일체형으로 형성될 수 있다. 제2 게이트 메탈(34)은 전극(10)으로부터 연장되는 제1 게이트 메탈(32)의 일단과 접촉되고 제1 게이트 메탈(32)의 연장 방향으로 연장된다. 제1 및 제2 게이트 메탈(32, 34)은 서로 오버랩이 될 수 있다.
- [0050] 반도체층(40)은 게이트 메탈(30)의 중앙 하부에 형성되고, 반도체층(40)의 상부에는 프로그램 시 접지전압을 인가하기 위한 적어도 하나 이상의 콘택(46)이 형성될 수 있다. 여기서, 반도체층(40)은 엔-타입으로 형성되어, 반도체층(40)과 게이트 메탈(30)이 엔-타입의 안티-퓨즈를 형성할 수 있다.
- [0051] 산화물층(52)은 반도체층(40)의 양측으로부터 전극(10) 및 제2 게이트 메탈(34)의 하부까지 형성된다. 제1 산화물층(52)은 반도체층(40)과 동일 레벨에 형성될 수 있다.
- [0052] 게이트 산화물층(60)은 게이트 메탈(30)의 하단과 게이트 메탈(30)의 하단에 대응하는 반도체층(40)과 제1 산화물층(52)의 상단 사이에 형성될 수 있다. 여기서, 게이트 산화물층(60)은 프로그램 시 양단의 높은 전압으로 인해 브레이크다운 될 수 있다. 일례로, 게이트 산화물층(60)은 HfO_2 로 형성될 수 있다.
- [0053] 그리고, 게이트 메탈(30)의 상부에 실리콘 질화물층(70)이 형성되고, 실리콘 질화물층(70)의 상부에 제2 산화물층(54)이 형성된다. 일례로, 실리콘 질화물층은 SiN 또는 SiCN으로 형성될 수 있다.
- [0054] 이와 같이 반도체 장치의 안티-퓨즈(100)는 프로그램 전압을 인가하기 위한 전극(10), 서로 다른 메탈로 형성되

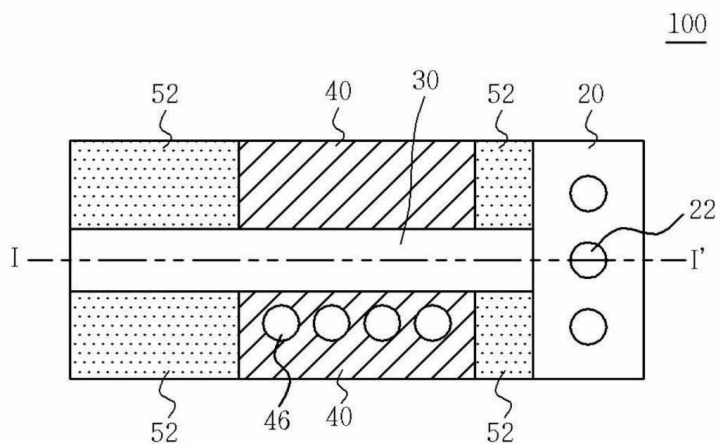
는 제1 및 제2 게이트 메탈(32, 34), 제1 및 제2 게이트 메탈(32, 34)의 중앙 하부에 형성되는 반도체층(40), 및 반도체층(40)의 양 측으로부터 전극(10) 및 제2 게이트 메탈(34)의 하부까지 형성되는 제1 산화물층(52)을 포함한다.

[0055] 상기와 같이 구성된 반도체 장치의 안티-퓨즈(100)는, 프로그램 전압이 전극(10)에 인가되고 접지전압이 반도체층(40)에 인가되면 양단의 높은 전압으로 인해 게이트 산화물층(60)이 브레이크다운 되고, 이로 인해 캐패시턴스 및 누설 전류가 변화한다.

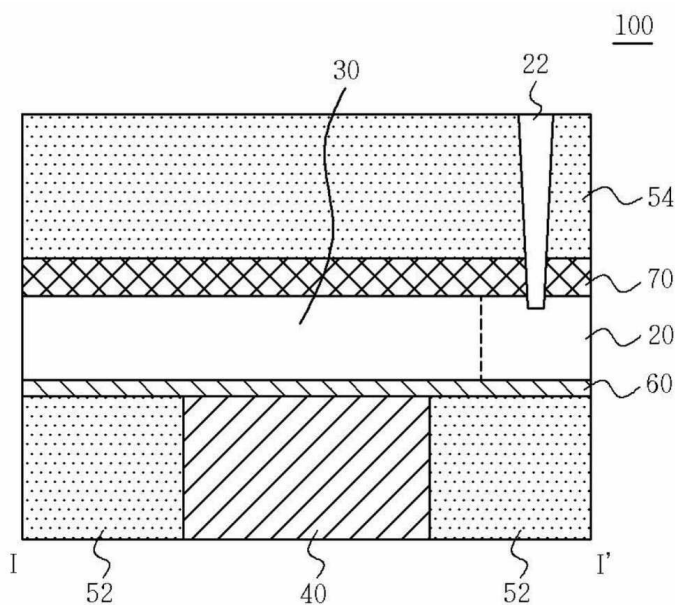
[0056] 본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이들로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

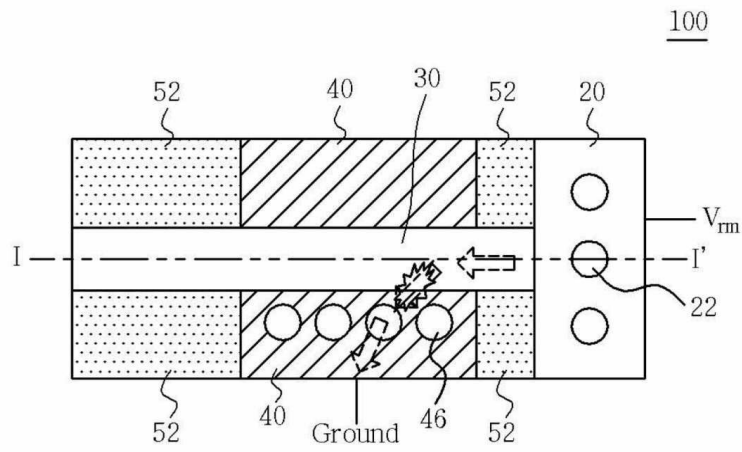
도면1



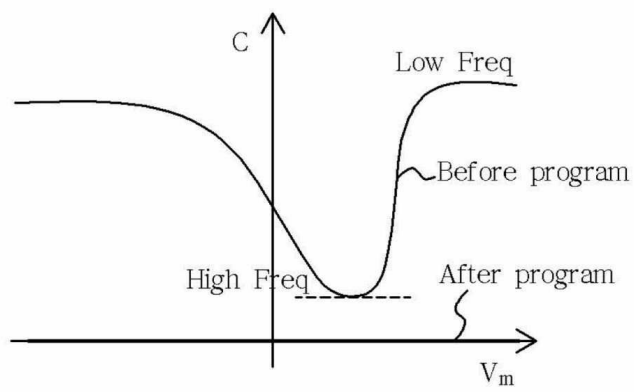
도면2



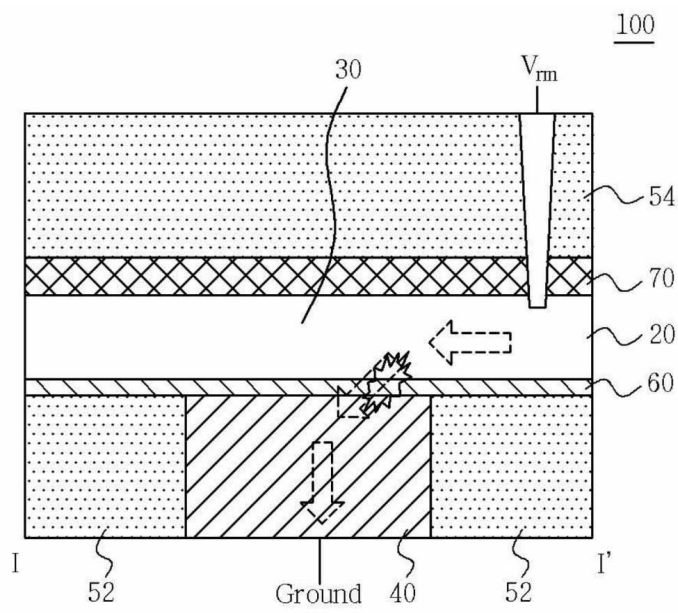
도면3



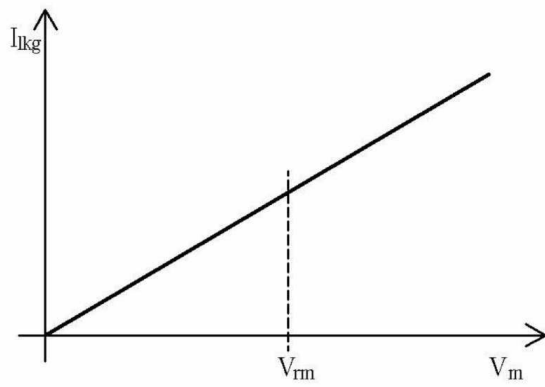
도면4



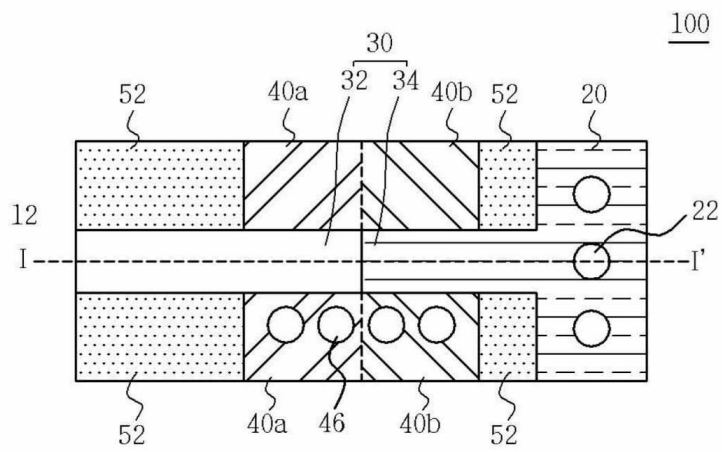
도면5



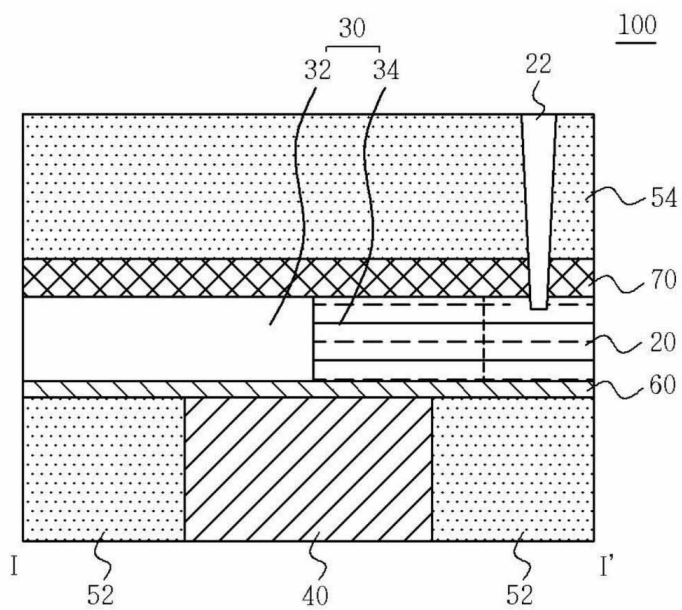
도면6



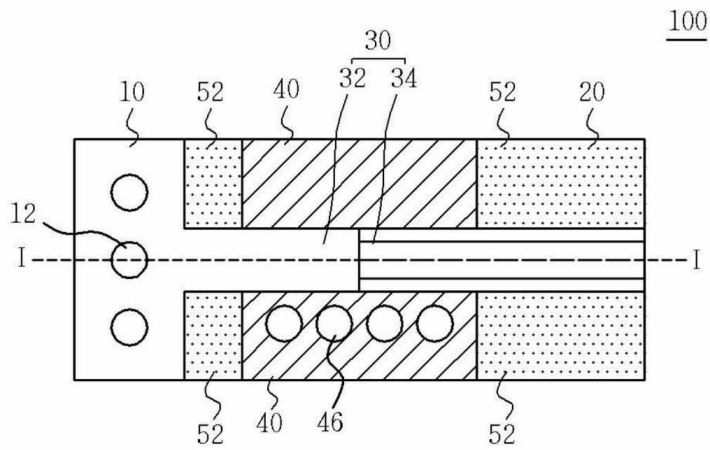
도면7



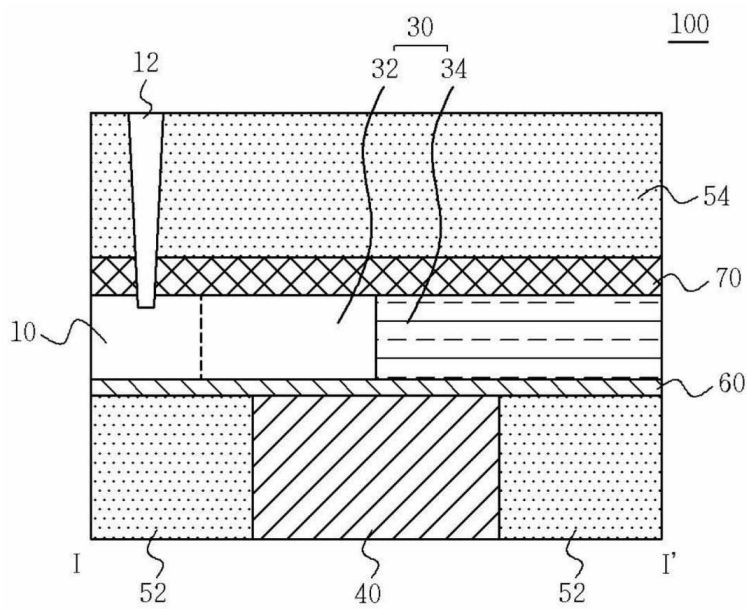
도면8



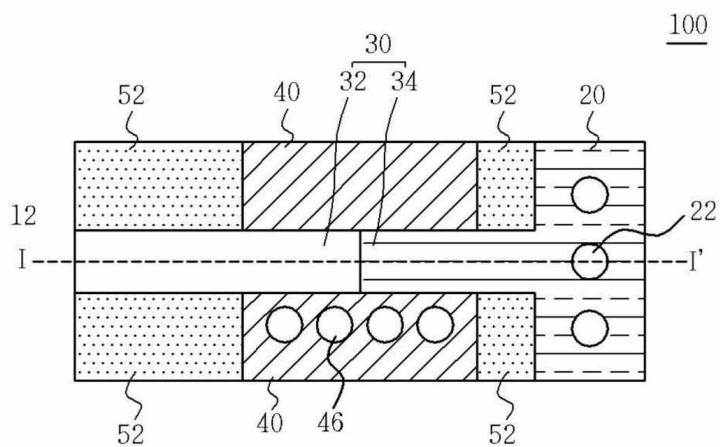
도면9



도면10



도면11



도면12

