

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-537996

(P2024-537996A)

(43)公表日 令和6年10月18日(2024.10.18)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 23/12 (2006.01)	H 0 1 L 23/12	Q 4 E 3 5 1
H 0 5 K 1/02 (2006.01)	H 0 5 K 1/02	J 5 E 3 1 6
H 0 5 K 3/46 (2006.01)	H 0 5 K 3/46	Q 5 E 3 3 8
H 0 5 K 1/09 (2006.01)	H 0 5 K 3/46	N
	H 0 5 K 3/46	B

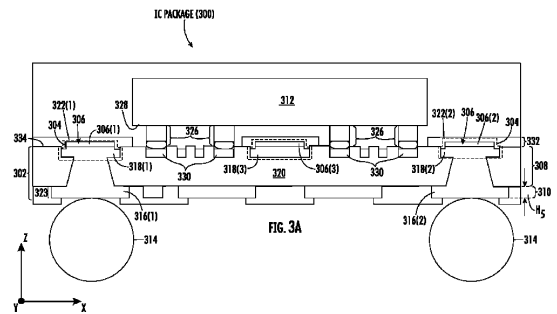
審査請求 未請求 予備審査請求 未請求 (全43頁) 最終頁に続く

(21)出願番号	特願2024-519876(P2024-519876)	(71)出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED
(86)(22)出願日	令和4年9月23日(2022.9.23)	(74)代理人	110003708 弁理士法人鈴榮特許総合事務所
(85)翻訳文提出日	令和6年4月1日(2024.4.1)	(72)発明者	キム、ミシェル・イェジン アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス ・ドライブ 5 7 7 5
(86)国際出願番号	PCT/US2022/076910	(72)発明者	カン、クイウォン アメリカ合衆国、カリフォルニア州 9
(87)国際公開番号	WO2023/069820		
(87)国際公開日	令和5年4月27日(2023.4.27)		
(31)優先権主張番号	17/451,302		
(32)優先日	令和3年10月18日(2021.10.18)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA, ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA( AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		最終頁に続く

(54)【発明の名称】 ダイ側埋め込みトレース基板(ETS)層内の埋め込み金属トレースに結合された補助金属層を採用する集積回路(IC)パッケージ、及び関連する製造方法

(57)【要約】

金属密度の不一致を低減するために、補助金属層を、ダイ側埋め込みトレース基板(ETS)層内の埋め込み金属トレースに結合されて採用する集積回路(IC)パッケージ、及び関連する製造方法。ICパッケージは、パッケージ基板に電氣的に結合された半導体ダイ(「ダイ」)を含む。パッケージ基板は、ダイに隣接して結合されたダイ側ETS金属化層を含む。ダイ側ETS金属化層とパッケージ基板内の別の金属化層(単数又は複数)との間の金属密度の不一致を低減又は回避するために、追加の金属相互接続部を有する補助金属層が、ダイサイズETS金属化層に隣接して配置される。追加の金属相互接続部は、ダイ側ETS金属化層内の埋め込み金属トレースに垂直方向に結合されて、ダイ側ETS金属化層内の埋め込み金属トレースに結合された追加の金属相互接続によって形成されたダイ側金属相互接続の金属密度を増加させる。



## 【特許請求の範囲】

## 【請求項 1】

集積回路（IC）パッケージであって、  
パッケージ基板であって、  
第 1 の金属化層であって、  
第 1 の絶縁層と、

前記第 1 の絶縁層に埋め込まれた 1 つ又は複数の第 1 の金属トレースを含む第 1 の金属層と、を含む、第 1 の金属化層と、

前記第 1 の金属化層に隣接して配置された第 2 の金属層であって、前記第 1 の金属化層の前記第 1 の金属層内の前記 1 つ又は複数の第 1 の金属トレースのうちの第 1 の金属トレースに各々結合された 1 つ又は複数の第 2 の金属相互接続部を含む、第 2 の金属層と、を備える、集積回路（IC）パッケージ。

10

## 【請求項 2】

前記第 2 の金属層が、垂直方向において前記第 1 の金属化層の第 1 の側に隣接して配置され、

前記パッケージ基板が、

前記垂直方向において前記第 1 の金属化層の第 2 の側にある前記 1 つ又は複数の第 1 の金属トレースのうちの第 1 の金属トレースに各々結合された、1 つ又は複数の垂直相互接続アクセス（ビア）を更に含む、

請求項 1 に記載の IC パッケージ。

20

## 【請求項 3】

前記パッケージ基板が、1 つ又は複数の第 3 の金属相互接続部を含む第 3 の金属層を含む第 3 の金属化層を更に含み、

前記 1 つ又は複数のビアのうちの各ビアが、前記 1 つ又は複数の第 3 の金属相互接続部のうちの第 3 の金属相互接続部に結合されている、請求項 2 に記載の IC パッケージ。

## 【請求項 4】

前記第 3 の金属化層内の前記 1 つ又は複数の第 3 の金属相互接続部のうちの第 3 の金属相互接続部に各々結合された 1 つ又は複数の外部相互接続部を更に備える、請求項 3 に記載の IC パッケージ。

## 【請求項 5】

前記 1 つ又は複数の第 1 の金属トレースが、垂直方向において 12 ~ 14 マイクロメートル（ $\mu\text{m}$ ）の第 1 の垂直方向における高さを各々有し、

前記 1 つ又は複数の第 3 の金属相互接続部が、10  $\mu\text{m}$  ~ 20  $\mu\text{m}$  の前記垂直方向における第 2 の高さを各々有する、

請求項 3 に記載の IC パッケージ。

30

## 【請求項 6】

前記 1 つ又は複数の第 1 の金属トレースが、垂直方向における第 1 の高さを有し、

前記 1 つ又は複数の第 3 の金属相互接続部が、前記垂直方向における第 2 の高さを有し、

前記第 2 の高さに対する前記第 1 の高さの比が、少なくとも 8 / 20 である、

請求項 3 に記載の IC パッケージ。

40

## 【請求項 7】

前記 1 つ又は複数の第 2 の金属相互接続部が各々、前記 1 つ又は複数の第 1 の金属トレースのうちの第 1 の金属トレースと直接接触している、請求項 1 に記載の IC パッケージ。

## 【請求項 8】

前記第 1 の金属化層に隣接するはんだレジスト層を更に含み、

前記第 2 の金属層が、前記はんだレジスト層内に配置されている、

請求項 1 に記載の IC パッケージ。

## 【請求項 9】

50

前記第 1 の絶縁層が第 1 の表面を含み、  
前記第 2 の金属層が前記第 1 の表面に隣接して配置されている、  
請求項 1 に記載の IC パッケージ。

【請求項 10】

前記第 1 の絶縁層の前記第 1 の表面が、水平方向において水平面に配置され、  
前記 1 つ又は複数の第 1 の金属トレースの少なくとも一部が、垂直方向において前記水  
平面に延びる第 2 の表面を各々含む、  
請求項 9 に記載の IC パッケージ。

【請求項 11】

前記 1 つ又は複数の第 2 の金属相互接続部が、前記第 1 の絶縁層に埋め込まれない、請  
求項 1 に記載の IC パッケージ。 10

【請求項 12】

前記 1 つ又は複数の第 1 の金属トレースが、  
垂直方向における第 1 の高さを有する外側金属部分と、  
前記外側金属部分の内側に配置された内側金属部分であって、前記第 1 の高さよりも小  
さい前記垂直方向における第 2 の高さを有する、内側金属部分と、  
を各々含む、請求項 1 に記載の IC パッケージ。

【請求項 13】

前記第 1 の絶縁層が、前記第 2 の金属層に隣接する第 1 の表面を含み、前記第 1 の表面  
が、水平方向において第 1 の水平面に配置され、 20

前記 1 つ又は複数の第 1 の金属トレースの各々に対して、  
前記外側金属部分が、  
前記水平方向において第 2 の水平面に配置された第 2 の表面と、  
前記垂直方向において前記第 2 の表面の反対側にあり、前記第 2 の金属層に隣接する第  
3 の表面であって、前記垂直方向における前記第 1 の水平面と前記第 2 の水平面との間に  
前記水平方向において第 3 の水平面に配置された、第 3 の表面と、  
を含み、  
前記内側金属部分が、  
前記第 2 の水平面に配置された第 4 の表面と、  
前記垂直方向において前記第 4 の表面の反対側にあり、前記第 2 の金属層に隣接する第  
5 の表面であって、前記第 1 の水平面に配置された、第 5 の表面と、 30  
を含む、  
請求項 12 に記載の IC パッケージ。

【請求項 14】

1 つ又は複数の第 1 の金属トレースが、8 ~ 14 マイクロメートル ( $\mu\text{m}$ ) の垂直方向  
における第 1 の高さを有し、  
1 つ又は複数の第 2 の金属相互接続部が、1  $\mu\text{m}$  ~ 5  $\mu\text{m}$  の前記垂直方向における第 2  
の高さを有する、  
請求項 1 に記載の IC パッケージ。

【請求項 15】

前記 1 つ又は複数の第 1 の金属トレースが、垂直方向における第 1 の高さを各々有し、  
前記 1 つ又は複数の第 2 の金属相互接続部が、前記垂直方向における第 2 の高さを各々  
有し、 40  
前記第 2 の高さに対する前記第 1 の高さの比が、少なくとも 8 / 5 である、  
請求項 1 に記載の IC パッケージ。

【請求項 16】

前記 1 つ又は複数の第 1 の金属トレースが、7 マイクロメートル ( $\mu\text{m}$ ) 以下の水平方  
向における第 1 の幅を各々有し、  
9  $\mu\text{m}$  以下の水平方向における第 2 の幅を有する前記 1 つ又は複数の第 1 の金属トレ  
ースのうちの隣接する第 1 の金属トレース間に 1 つ又は複数の空間を更に備える、 50

請求項 1 に記載の I C パッケージ。

【請求項 17】

前記パッケージ基板に結合されたダイを更に備える、請求項 1 に記載の I C パッケージ。

【請求項 18】

前記ダイが、前記 1 つ又は複数の第 1 の金属トレースのうちの第 1 の金属トレースに各々結合された 1 つ又は複数のダイ相互接続部を含む、請求項 17 に記載の I C パッケージ。

【請求項 19】

前記 1 つ又は複数のダイ相互接続部が、前記第 2 の金属層内の前記 1 つ又は複数の第 2 の金属相互接続のうちの第 2 の金属相互接続部に各々結合されている、請求項 18 に記載の I C パッケージ。

10

【請求項 20】

前記第 2 の金属層の少なくとも一部が、垂直方向において前記ダイと前記第 1 の金属化層との間に配置されている、請求項 17 に記載の I C パッケージ。

【請求項 21】

前記第 2 の金属層が、垂直方向において前記ダイの外側に配置されている、請求項 17 に記載の I C パッケージ。

【請求項 22】

セットトップボックスと、エンターテインメントユニットと、ナビゲーションデバイスと、通信デバイスと、固定ロケーションデータユニットと、モバイルロケーションデータユニットと、全地球測位システム (GPS) デバイスと、モバイルフォンと、携帯電話と、スマートフォンと、セッション開始プロトコル (SIP) フォンと、タブレットと、ファブレットと、サーバと、コンピュータと、ポータブルコンピュータと、モバイルコンピューティングデバイスと、ウェアラブルコンピューティングデバイスと、デスクトップコンピュータと、携帯情報端末 (PDA) と、モニターと、コンピュータモニターと、テレビと、チューナーと、ラジオと、衛星ラジオと、音楽プレーヤと、デジタル音楽プレーヤと、ポータブル音楽プレーヤと、デジタルビデオプレーヤと、ビデオプレーヤと、デジタルビデオディスク (DVD) プレーヤと、ポータブルデジタルビデオプレーヤと、自動車と、車両部品と、アビオニクスシステムと、ドローンと、マルチコプターと、

20

30

からなる群から選択されるデバイスに一体化された、請求項 1 に記載の I C パッケージ。

【請求項 23】

集積回路 (IC) パッケージの製造方法であって、

パッケージ基板を形成することであって、

第 1 の金属化層を形成することであって、

第 1 の絶縁層を形成することと、

前記第 1 の絶縁層に 1 つ又は複数の第 1 の金属トレースを埋め込み、前記第 1 の絶縁層内に第 1 の金属層を形成することと、

を含む、第 1 の金属化層を形成すること、

を含む、パッケージ基板を形成することと、

40

前記第 1 の金属化層に隣接する第 2 の金属層内に 1 つ又は複数の第 2 の金属相互接続部を形成することと、

前記第 2 の金属層内の前記 1 つ又は複数の第 2 の金属相互接続部の各々を、前記第 1 の金属化層の前記第 1 の金属層内の前記 1 つ又は複数の第 1 の金属トレースのうちの第 1 の金属トレースに結合することと、

を含む、方法。

【請求項 24】

前記第 2 の金属層内に前記 1 つ又は複数の第 2 の金属相互接続部を形成することが、垂直方向において前記第 1 の金属化層の第 1 の側に隣接して前記第 2 の金属層内に 1 つ又は

50

複数の第 2 の金属相互接続部を形成することを含み、

前記パッケージ基板を形成することが、

前記垂直方向において前記第 1 の金属化層の第 2 の側にある前記 1 つ又は複数の第 1 の金属トレースのうちの第 1 の金属トレースに各々結合された 1 つ又は複数の垂直相互接続アクセス（ビア）を形成することを更に含む、

請求項 2 3 に記載の方法。

【請求項 2 5】

前記パッケージ基板を形成することが、1 つ又は複数の第 3 の金属相互接続部を含む第 3 の金属層を含む第 3 の金属化層を形成することを更に含む、

部第 3 の金属層内の前記 1 つ又は複数の第 3 の金属相互接続部の各々を、前記 1 つ又は複数のビアのうちのビアに結合することを更に含む、請求項 2 4 に記載の方法。

10

【請求項 2 6】

前記 1 つ又は複数の第 2 の金属相互接続の各々を結合することが、前記第 1 の金属化層の前記第 1 の金属層内の前記 1 つ又は複数の第 1 の金属トレースのうちの第 1 の金属トレースと接触して、前記第 2 の金属層内の前記 1 つ又は複数の第 2 の金属相互接続の各々を配置することを含む、請求項 2 3 に記載の方法。

【請求項 2 7】

はんだレジスト層を形成することであって、前記第 2 の金属層が前記はんだレジスト層内に配置されるように、前記第 2 の金属層の上にかつ前記第 1 の金属化層に隣接して前記はんだレジスト層を形成することを更に含む、請求項 2 3 に記載の方法。

20

【請求項 2 8】

前記第 1 の絶縁層を形成することが、水平方向において水平面に配置された第 1 の表面を形成することを更に含む、

前記 1 つ又は複数の第 1 の金属トレースを前記第 1 の絶縁層に埋め込むことが、垂直方向において前記水平面に延びる前記 1 つ又は複数の第 1 の金属トレースの少なくとも一部に第 2 の表面を形成することを更に含む、請求項 2 3 に記載の方法。

【請求項 2 9】

前記 1 つ又は複数の第 2 の金属相互接続部を、前記第 1 の絶縁層に埋め込まないことを更に含む、請求項 2 3 に記載の方法。

【請求項 3 0】

前記パッケージ基板に結合されたダイを結合することを更に含む、請求項 2 3 に記載の方法。

30

【請求項 3 1】

前記ダイを結合することが、前記ダイの少なくとも 1 つのダイ相互接続部を、前記第 2 の金属層内の前記 1 つ又は複数の第 2 の金属相互接続部のうちの第 2 の金属相互接続に結合することを含む、請求項 3 0 に記載の方法。

【請求項 3 2】

キャリアを設けることと、

前記キャリア上に第 2 の金属層を形成することと、

前記第 2 の金属層上に配置された前記第 1 の金属層内に前記 1 つ又は複数の第 1 の金属トレースを形成することと、

を更に含む、請求項 2 3 に記載の方法。

40

【請求項 3 3】

前記第 1 の絶縁層に 1 つ又は複数の第 1 の金属トレースを埋め込むことが、

前記第 1 の金属層内に前記 1 つ又は複数の第 1 の金属トレースを形成することと、

前記第 1 の金属層内の前記 1 つ又は複数の第 1 の金属トレースを、前記第 1 の絶縁層を形成する誘電体材料で積層することと、を含む、請求項 3 2 に記載の方法。

【請求項 3 4】

前記第 2 の金属層上にマスキング層を配置することと、

前記第 2 の金属層の上の前記マスキング層に 1 つ又は複数の開口部を形成するために、

50

前記マスク層を露光することと、

エッチングされていない前記第2の金属層内に前記1つ又は複数の第2の金属相互接続部を形成するために、前記1つ又は複数の開口部から露出された前記第2の金属層内に前記1つ又は複数の開口部の内側をエッチングすることと、

を更に含む、請求項33に記載の方法。

【請求項35】

前記第2の金属層上にはんだレジスト層を形成することを更に含む、請求項34に記載の方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

優先権出願

【0001】本出願は、2021年10月18日に出願された、「INTEGRATED CIRCUIT (IC) PACKAGES EMPLOYING SUPPLEMENTAL METAL LAYER COUPLED TO EMBEDDED METAL TRACES IN A DIE-SIDE EMBEDDED TRACE SUBSTRATE (ETS) LAYER, AND RELATED FABRICATION METHODS」と題する米国特許出願第17/451,302号の優先権を主張するものであり、この文書はその全体が参照により本明細書に組み込まれる。

【背景技術】

20

【0002】

I. 開示の分野

【0002】本開示の分野は、集積回路(IC)パッケージに関し、より具体的には、ICパッケージ内の半導体ダイ(単数又は複数)への信号ルーティングを支持するパッケージ基板の設計及び製造に関する。

【0003】

II. 背景

【0003】集積回路(IC)は、電子デバイスの基礎である。ICは、「半導体パッケージ」又は「チップパッケージ」とも呼ばれるICパッケージにパッケージングされる。ICパッケージは、物理的支持及びダイへの電氣的インターフェースを提供するためのパッケージ基板に実装され、電氣的に結合される1つ又は複数の半導体ダイ(「ダイ」又は「ダイス」)をICとして含む。パッケージ基板は、金属相互接続部(例えば、金属トレース、金属線)を含む1つ又は複数の金属化層を含み、垂直相互接続アクセス(ビア)が、隣接する金属化層間で金属相互接続部と一緒に結合して、ダイ(単数又は複数)間の電氣的インターフェースを提供する。ダイ(単数又は複数)をパッケージ基板の金属相互接続部に電氣的に結合するために、ダイ(単数又は複数)は、パッケージ基板の上部のダイ側金属化層に露出された金属相互接続部に電氣的にインターフェースで接続される。パッケージ基板はまた、ICパッケージ内のダイ(単数又は複数)間の外部インターフェースを提供するために、外部金属相互接続部(例えば、ボールグリッドアレイ(BGA)相互接続部)に結合された金属相互接続部を含む、底部の外側金属化層を含む。外部金属相互接続部はまた、プリント回路基板(PCB)内のトレースに結合(例えば、はんだ付け)されて、パッケージをPCBに取り付け、そのダイ(単数又は複数)をPCBの回路とインターフェース接続することができる。

30

40

【0004】

【0004】一例として、ICパッケージのパッケージ基板は、埋め込みトレース基板(ETS)ベースのパッケージ基板であり得る。ETSベースのパッケージ基板は、金属相互接続部として埋め込み金属トレースを有するETS金属化層である、1つ又は複数の金属化層を含む。埋め込み金属トレースは、ETS金属化層の一部である絶縁層(すなわち、誘電体層)に埋め込まれる。ETS金属化層は、信号ルーティングのためにダイをパッケージ基板に電氣的に結合するためのラインアンドスペース比(L/S)が低減された、

50

より高密度の bumps / はんだ接合を提供することを容易にする。信号ルーティングのための信号ルーティング経路を提供するために、パッケージ基板の他の金属化層内のダイ及び金属相互接続部に電氣的に結合される金属埋め込みトレースが E T S 金属化層内に形成される。例えば、パッケージ基板が 2 層 ( 2 L ) E T S ベースのパッケージ基板である場合、パッケージ基板は、ダイのダイ相互接続部に結合された埋め込み金属トレースを有する上部のダイ側 E T S 金属化層と、 I C パッケージへの外部インターフェースを提供するための、外部相互接続部に結合された埋め込み金属トレースを有する底部の外部相互接続側 E T S 金属化層とを含み得る。

#### 【 0 0 0 5 】

[0005] I C パッケージのルーティング及び相互接続設計は、パッケージ基板のダイ側 E T S 金属化層に提供される埋め込み金属トレースの数を規定する。これは、水平方向 ( すなわち、 X 軸及び Y 軸方向 ) においてダイ側 E T S 金属化層内に提供される金属トレースの面積に影響を及ぼす。これにより、ダイ側 E T S 金属化層内の埋め込み金属トレースとパッケージ基板内の他の金属化層内の金属トレースとの間で、金属 ( 例えば、銅 ) 面積の不一致、したがって金属密度の不一致を引き起こす可能性がある。例えば、ダイ側 E T S 金属化層内の埋め込み金属トレースの金属密度は、パッケージ基板内の別の金属化層 ( 1 つ又は複数 ) 内の金属トレースの金属密度よりも 1 0 パーセント ( 1 0 % ) 低い場合がある。金属密度の不一致が生じ得る 1 つの理由は、ダイ側 E T S 金属化層内の金属が、例えばパッド及び / 又は接地面とは対照的に、金属トレースによって占められていることに起因する。パッケージ基板のダイサイズ E T S 金属化層と他の金属化層との間のこの非対称な金属密度は、パッケージ基板内の熱膨張係数 ( C T E ) の不一致を引き起こす。この C T E の不一致は、ダイ側 E T S 金属化層とパッケージ基板内の別の金属化層 ( 単数又は複数 ) との間の水平方向 ( X 軸及び Y 軸方向 ) における異なる膨張及び収縮に応じて、反りを引き起こす可能性がある。

#### 【 発明の概要 】

#### 【 0 0 0 6 】

[0006] 本明細書で開示される態様は、金属密度の不一致を低減するために、ダイ側埋め込みトレース基板 ( E T S ) 層内の埋め込み金属トレースに結合された補助金属層を採用する集積回路 ( I C ) パッケージを含む。関連する製造方法も開示される。パッケージ基板に電氣的に結合される半導体ダイ ( 「ダイ」 ) を含む I C パッケージが提供される。パッケージ基板は、ダイとパッケージ基板との間の電氣的結合を提供するために、ダイのダイ相互接続部 ( 例えば、隆起相互接続 bumps ) に隣接して結合されるダイ側 E T S 金属化層を含む。ダイ側 E T S 金属化層は、より高密度の信号ルーティングのためにダイにより高密度の電氣的インターフェースを提供するための、ラインアンドスペース比 ( L / S ) が低減された、より高密度の bumps / はんだ接合を提供することを容易にする。ダイ側 E T S 金属化層内の埋め込み金属トレースは、ダイ側 E T S 金属化層内の金属が、例えば金属パッド又は接地面とは対照的に、金属トレースによって占められていることに起因して、パッケージ基板内の他の金属化層内の金属相互接続部の面積よりも小さい面積であり得る。金属面積のこの差により、ダイ側 E T S 金属化層と他の金属化層との間の金属密度の不一致を引き起こし、これが、それらの熱膨張係数 ( C T E ) の不一致を引き起こす。ダイ側 E T S 金属化層とパッケージ基板内の他の金属化層との間の C T E のこの不一致は、パッケージ基板の反りの増加に寄与し得る。したがって、例示的な態様では、この金属密度の不一致を低減又は回避するために、その中に追加の金属相互接続部が形成された補助 ( すなわち、追加の ) 金属層が、ダイ側 E T S 金属化層に隣接して配置される。追加の金属相互接続部は、パッケージ基板内に増加した厚さ / 密度のダイ側金属相互接続部を形成するために、ダイ側 E T S 金属化層内の埋め込み金属トレースに対して垂直方向に結合される。これにより、ダイ側 E T S 金属化層とパッケージ基板内の他の金属化層 ( 単数又は複数 ) との間の金属密度の不一致を低減するために、パッケージ基板内の別の金属化層 ( 単数又は複数 ) 内の金属層の厚さを低減する必要性を低減又は回避することができる。例えば、外部相互接続部を支持するパッケージ基板の外部金属化層における金属層の厚

10

20

30

40

50

さを低減することにより、その中の金属相互接続部におけるディンプル深さの増加につながる可能性があり、これが次いで、金属相互接続部を外部相互接続部に結合するはんだ接合におけるボイドのリスクを増加させる。

【0007】

【0007】 一例として、追加の金属相互接続部は、ICパッケージの製造においてダイサイズETS金属化層の外面に隣接して形成される補助金属層（例えば、追加の銅層）内に提供され得る。追加の金属相互接続部は、追加の金属相互接続部がダイサイズETS金属化層とダイとの間に配置されるように、垂直方向においてパッケージ基板のダイ側ETS金属化層内の埋め込み金属トレースのそれぞれの露出された外面に結合され得る。1つの非限定的な例として、追加の金属相互接続部は、ダイサイズETS金属化層内の埋め込み金属トレースに、追加の銅めっきなどの追加の金属めっきとして形成され得る。別の非限定的な例として、追加の金属相互接続部はまた、ダイサイズETS金属化層内の埋め込み金属トレースに結合された追加の金属トレース又は金属線として形成され得る。パッケージ基板のダイ側金属相互接続部を形成するダイ側ETS金属化層の埋め込み金属トレースに結合された追加の金属相互接続部は、補助金属層上に配置されたはんだレジスト層にパターンニングされた開口部を通して接続のために露出され得る。ICパッケージ内に補助金属層を設けることにより、垂直方向においてICパッケージに高さを追加することができる。しかしながら、この追加された高さは、ダイ側ETS金属化層とパッケージ基板内の別の金属化層（単数又は複数）との間の金属密度の不均衡を回避又は低減するために、パッケージ基板内の1つ又は複数の金属化層の厚さを増加させる必要がないという利点をもたらす。

【0008】

【0008】 この点について、例示的な一態様では、ICパッケージが提供される。ICパッケージは、パッケージ基板を含む。パッケージ基板は、第1の絶縁層を含む第1の金属化層と、第1の絶縁層に埋め込まれた1つ又は複数の第1の金属トレースを含む第1の金属層と、を含む。ICパッケージはまた、第1の金属化層に隣接して配置された第2の金属層を含む。第2の金属層は、第1の金属化層の第1の金属層内の1つ又は複数の第1の金属トレースのうちの第1の金属トレースに各々結合された1つ又は複数の第2の金属相互接続部を含む。

【0009】

【0009】 別の例示的な態様では、ICパッケージの製造方法が提供される。方法は、パッケージ基板を形成することを含む。パッケージ基板を形成することは、第1の絶縁層を形成することを含む、第1の金属化層を形成することと、第1の絶縁層内に1つ又は複数の第1の金属トレースを埋め込み、第1の絶縁層内に第1の金属層を形成することと、を含む。方法はまた、第1の金属化層に隣接する第2の金属層内に、1つ又は複数の第2の金属相互接続部を形成することを含む。方法はまた、第2の金属層内の1つ又は複数の第2の金属相互接続部の各々を、第1の金属化層の第1の金属層内の1つ又は複数の第1の金属トレースのうちの第1の金属トレースに結合することを含む。

【図面の簡単な説明】

【0010】

【図1】【0010】 パッケージ基板とダイとの間で電氣的インターフェースを提供するための埋め込みトレース基板（ETS）金属化層を含むパッケージ基板上に実装された半導体ダイ（「ダイ」）を含む、集積回路（IC）パッケージの側面図である。

【図2A】【0011】 ダイ側ETS金属化層と、外部金属相互接続パッドに形成されたディンプルを有する外部金属化層とを含む、パッケージ基板の一部の側面図である。

【図2B】【0012】 図2Aのダイ側ETS金属化層内の金属層の厚さにわたって、ダイ側ETS金属化層において厚さが低減された金属層と、図2Aの外部金属相互接続パッドよりも深い外部金属相互接続パッドに形成されたディンプルを有する、外部金属化層における厚さが低減された金属層とを有する、パッケージ基板の一部の側面図である。

【図3A】【0013】 ダイ側ETS金属化層と外部相互接続部を支持する外部金属化層と

の間の金属密度の不一致を回避又は低減するために、パッケージ基板のダイ側 E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を採用する、例示的な I C パッケージの側面図である。

【図 3 B】[0014] 図 3 A の I C パッケージの拡大左側面図である。

【図 3 C】図 3 A の I C パッケージの拡大左側面図である。

【図 4】[0015] パッケージ基板のダイ側 E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を示し、追加の金属相互接続部が、垂直方向において埋め込み金属トレースから内向きにオフセットされている、パッケージ基板におけるダイ側 E T S 金属化層に配置された例示的な補助金属層の上面図である。

【図 5】[0016] ダイ側 E T S 金属化層と、外部相互接続部を支持する外部金属化層との間の金属密度の不一致を回避又は低減するために、I C パッケージが、パッケージ基板のダイ側 E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を採用する、第 1 のダイパッケージに積層された第 2 のダイパッケージを有し、かつ第 1 のダイパッケージ内のインターポーザ基板を通して第 1 のダイパッケージに電氣的に接続された積層ダイ I C パッケージである、別の例示的な I C パッケージの側面図である。

10

【図 6 A】[0017] 図 5 の積層ダイ I C パッケージの第 1 のダイパッケージの側面図である。

【図 6 B】[0018] 図 6 A の積層ダイ I C パッケージの第 1 のダイパッケージの拡大左側面図である。

20

【図 7】[0019] 図 3 A ~ 図 6 B の E T S 金属化層パッケージ及び補助金属層パッケージを含むがこれらに限定されない、埋め込み金属トレースを有する E T S 金属化層、及び埋め込み金属トレースの金属密度を増加させるために E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を製造する、例示的な製造プロセスを示すフローチャートである。

【図 8 A】[0020] 図 3 A ~ 図 6 B の E T S 金属化層パッケージ及び補助金属層パッケージを含むがこれらに限定されない、埋め込み金属トレースを有する E T S 金属化層、及び埋め込み金属トレースの金属密度を増加させるために E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を製造する、別の例示的な製造プロセスを示すフローチャートである。

30

【図 8 B】図 3 A ~ 図 6 B の E T S 金属化層パッケージ及び補助金属層パッケージを含むがこれらに限定されない、埋め込み金属トレースを有する E T S 金属化層、及び埋め込み金属トレースの金属密度を増加させるために E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を製造する、別の例示的な製造プロセスを示すフローチャートである。

【図 8 C】図 3 A ~ 図 6 B の E T S 金属化層パッケージ及び補助金属層パッケージを含むがこれらに限定されない、埋め込み金属トレースを有する E T S 金属化層、及び埋め込み金属トレースの金属密度を増加させるために E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を製造する、別の例示的な製造プロセスを示すフローチャートである。

40

【図 8 D】図 3 A ~ 図 6 B の E T S 金属化層パッケージ及び補助金属層パッケージを含むがこれらに限定されない、埋め込み金属トレースを有する E T S 金属化層、及び埋め込み金属トレースの金属密度を増加させるために E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を製造する、別の例示的な製造プロセスを示すフローチャートである。

【図 8 E】図 3 A ~ 図 6 B の E T S 金属化層パッケージ及び補助金属層パッケージを含むがこれらに限定されない、埋め込み金属トレースを有する E T S 金属化層、及び埋め込み金属トレースの金属密度を増加させるために E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を製造する、別の例示的な製造プロセスを示すフローチャートである。

50

【図 9 A】[0021] 図 8 A ~ 図 8 E の製造プロセスによる、補助の追加の金属層を有する E T S 金属化層の製造中における、例示的な製造段階を示す図である。

【図 9 B】図 8 A ~ 図 8 E の製造プロセスによる、補助の追加の金属層を有する E T S 金属化層の製造中における、例示的な製造段階を示す図である。

【図 9 C】図 8 A ~ 図 8 E の製造プロセスによる、補助の追加の金属層を有する E T S 金属化層の製造中における、例示的な製造段階を示す図である。

【図 9 D】図 8 A ~ 図 8 E の製造プロセスによる、補助の追加の金属層を有する E T S 金属化層の製造中における、例示的な製造段階を示す図である。

【図 9 E】図 8 A ~ 図 8 E の製造プロセスによる、補助の追加の金属層を有する E T S 金属化層の製造中における、例示的な製造段階を示す図である。

【図 9 F】図 8 A ~ 図 8 E の製造プロセスによる、補助の追加の金属層を有する E T S 金属化層の製造中における、例示的な製造段階を示す図である。

【図 9 G】図 8 A ~ 図 8 E の製造プロセスによる、補助の追加の金属層を有する E T S 金属化層の製造中における、例示的な製造段階を示す図である。

【図 9 H】図 8 A ~ 図 8 E の製造プロセスによる、補助の追加の金属層を有する E T S 金属化層の製造中における、例示的な製造段階を示す図である。

【図 9 I】図 8 A ~ 図 8 E の製造プロセスによる、補助の追加の金属層を有する E T S 金属化層の製造中における、例示的な製造段階を示す図である。

【図 1 0】[0022] 図 3 A ~ 図 6 B 及び図 9 A ~ 図 9 I のパッケージ基板、かつ図 7 ~ 図 8 E の例示的な製造プロセスによるパッケージ基板を含むがこれらに限定されない、ダイ側 E T S 金属化層と別の金属化層（単数又は複数）との間の金属密度の不一致を回避又は低減するためにパッケージ基板のダイ側 E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を採用する I C パッケージを含み得る構成要素を含むことができる、例示的なプロセッサベースのシステムのブロック図である。

【図 1 1】[0023] 図 3 A ~ 図 6 B 及び図 9 A ~ 図 9 I のパッケージ基板、かつ図 7 ~ 図 8 E の例示的な製造プロセスによるパッケージ基板を含むがこれらに限定されない、ダイ側 E T S 金属化層と別の金属化層（単数又は複数）との間の金属密度の不一致を回避又は低減するためにパッケージ基板のダイ側 E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を採用する I C パッケージを含み得る無線周波数（R F）構成要素を含む、例示的な無線通信デバイスのブロック図である。

【発明を実施するための形態】

【0 0 1 1】

[0024] 次に、図面を参照して、本開示のいくつかの例示的な態様について説明する。「例示的（exemplary）」という語は、「例、事例、又は例示としての役割を果たすこと」を意味するために本明細書で使用される。「例示的」として本明細書で説明したいずれの態様も、必ずしも他の態様よりも好ましい又は有利であると解釈されるべきではない。

【0 0 1 2】

[0025] 本明細書で開示される態様は、金属密度の不一致を低減するために、ダイ側埋め込みトレース基板（E T S）層内の埋め込み金属トレースに結合された補助金属層を採用する集積回路（I C）パッケージを含む。関連する製造方法も開示される。パッケージ基板に電氣的に結合された半導体ダイ（「ダイ」）を含む I C パッケージが提供される。パッケージ基板は、ダイとパッケージ基板との間の電氣的結合を提供するために、ダイのダイ相互接続部（例えば、隆起相互接続パンプ）に隣接して結合されたダイ側 E T S 金属化層を含む。ダイ側 E T S 金属化層は、より高密度の信号ルーティングのためにダイにより高密度の電氣的インターフェースを提供するための、ラインアンドスペース比（L / S）が低減された、より高密度のパンプ/はんだ接合を提供することを容易にする。ダイ側 E T S 金属化層内の埋め込み金属トレースは、ダイ側 E T S 金属化層内の金属が、例えば金属パッド又は接地面とは対照的に、金属トレースによって占められていることに起因

10

20

30

40

50

して、パッケージ基板内の他の金属化層内の金属相互接続部の面積よりも小さい面積であり得る。金属面積のこの差が、ダイ側 E T S 金属化層と他の金属化層との間の金属密度の不一致を引き起こし、これが、それらの熱膨張係数 ( C T E ) の不一致を引き起こす。ダイ側 E T S 金属化層とパッケージ基板内の他の金属化層との間の C T E のこの不一致は、パッケージ基板の反りの増加に寄与し得る。したがって、例示的な態様では、この金属密度の不一致を低減又は回避するために、その中に追加の金属相互接続部が形成された補助 (すなわち、追加の) 金属層が、ダイ側 E T S 金属化層に隣接して配置される。追加の金属相互接続は、パッケージ基板内に増加した厚さ / 密度のダイ側金属相互接続を形成するために、ダイ側 E T S 金属化層内の埋め込み金属トレースに対して垂直方向に結合される。これにより、ダイ側 E T S 金属化層とパッケージ基板内の他の金属化層 (単数又は複数) との間の金属密度の不一致を低減するために、パッケージ基板内の別の金属化層 (単数又は複数) 内の金属層の厚さを低減する必要性を低減又は回避することができる。例えば、外部相互接続部を支持するパッケージ基板の外部金属化層における金属層の厚さを低減することにより、その中の金属相互接続部におけるディンプル深さの増加につながる可能性があり、これが次いで、金属相互接続部を外部相互接続部に結合するはんだ接合におけるボイドのリスクを増加させる。

10

#### 【 0 0 1 3 】

【 0 0 2 6 】 ダイ側 E T S 金属化層とパッケージ基板内の別の金属化層 (単数又は複数) との間の金属密度の不一致を回避又は低減するために、パッケージ基板のダイ側 E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を採用する I C パッケージの例は、図 3 A において始まる。これらの I C パッケージを説明する前に、埋め込み金属トレースを含むダイ側 E T S 金属化層を有するパッケージ基板を採用する I C パッケージであって、埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を含まない I C パッケージについて、図 1 ~ 図 2 B に関して以下で最初に説明する。

20

#### 【 0 0 1 4 】

【 0 0 2 7 】 これに関して、図 1 は、はんだボールなどの外部相互接続部 1 0 6 を使用してプリント回路基板 ( P C B ) 1 0 4 に実装されている I C パッケージ 1 0 2 を含む I C アセンブリ 1 0 0 の断面の概略側面図を示す。I C パッケージ 1 0 2 は、半導体ダイ 1 0 8 (「 I C ダイ 1 0 8 」又は「ダイ 1 0 8 」とも呼ばれる) を含み、これは、ダイ・トゥ・ダイボンディング及び / 又はアンダーフィル接着剤を介してパッケージ基板 1 1 0 に実装される。外部相互接続部 1 0 6 は、パッケージ基板 1 1 0 内の金属相互接続部に結合されて、I C パッケージ 1 0 2 が P C B 1 0 4 に実装されたときにダイ 1 0 8 に電気的インターフェースを提供する。パッケージ基板 1 1 0 は、金属相互接続部 1 1 4 ( 1 ) ~ 1 1 4 ( 3 ) (例えば、金属トレース、金属線) を含む複数の金属化層 1 1 2 ( 1 ) ~ 1 1 2 ( 3 ) を含む。金属相互接続部 1 1 4 ( 1 ) ~ 1 1 4 ( 3 ) は、ダイ 1 0 8 への、及び外部相互接続部 1 0 6 とダイ 1 0 8 との間で信号ルーティングを提供するために、互いに相互接続される。金属化層 1 1 2 ( 1 ) ~ 1 1 2 ( 3 ) の各々は、金属相互接続部 1 1 4 ( 1 ) ~ 1 1 4 ( 3 ) を絶縁するための絶縁層 1 1 6 ( 1 ) ~ 1 1 6 ( 3 ) を含む。パッケージ基板 1 1 0 は、第 1 のはんだレジスト層 1 1 8 と第 2 のはんだレジスト層 1 2 0 とを含む。外部相互接続部 1 0 6 は、底部の金属化層 1 1 2 ( 3 ) 内の金属相互接続部 1 1 4 ( 3 ) に結合された第 1 のはんだレジスト層 1 1 8 内の開口部内に形成される。

30

40

#### 【 0 0 1 5 】

【 0 0 2 8 】 この例では、上部の金属化層 1 1 2 ( 1 ) は E T S 金属化層であり、金属相互接続部 1 1 4 ( 1 ) は、絶縁層 1 1 6 ( 1 ) 内の埋め込み金属トレースとして形成される。したがって、金属相互接続部 1 1 4 ( 1 ) はまた、埋め込み金属トレース 1 1 4 ( 1 ) と呼ばれる。E T S 金属化層 1 1 2 ( 1 ) は、信号ルーティングのためにダイ 1 0 8 をパッケージ基板 1 1 0 に電気的に結合するためのラインアンドスペース比 ( L / S ) が低減された、より高密度の bumps / はんだ接合を提供することを容易にする。隆起金属相互接続 1 2 2 (例えば、相互接続はんだ / 金属 bumps) は、E T S 金属化層 1 1 2 ( 1 ) に

50

埋め込まれた埋め込み金属トレース 114 (1) と接触して形成される。ダイ 108 のアクティブ表面 126 上に配置されたダイ相互接続部 124 (例えば、隆起相互接続バンプ) は、ダイ 108 とパッケージ基板 110 との間の電氣的結合を提供するために、埋め込み金属トレース 114 (1) として金属相互接続部 114 (1) に結合される。

#### 【0016】

[0029] 下にある金属相互接続部に結合された、図 1 の ETS 金属化層 112 (1) 内の埋め込み金属トレース 114 (1) などの、ETS 金属化層内の埋め込み金属トレースを更に示すために、図 2 A 及び図 2 B が提供されている。図 2 A は、ダイ (図示せず) に結合されるように構成された ETS 金属化層 202 を含む、パッケージ基板 200 の一部の側面図である。したがって、ETS 金属化層 202 は、「ダイ側」ETS 金属化層と 10  
考えられ得る。ETS 金属化層 202 は、誘電体材料で作成された層である絶縁層 206 に埋め込まれた埋め込み金属トレース 204 (1) ~ 204 (4) を含む。絶縁層 206 における埋め込み金属トレース 204 (1) ~ 204 (4) の埋め込みにより、ETS 金属化層 202 内に第 1 の金属層 208 を形成する。埋め込み金属トレース 204 (1) ~ 204 (4) は、製造プロセス中のエッチングの結果として、絶縁層 206 の上面 210 から凹んでいる。接続されていない埋め込み金属トレース 204 (1) ~ 204 (4) の部分を絶縁及び保護するために、はんだレジスト層 212 が、絶縁層 206 の上面 210 上に配置される。IC パッケージの一部として接続されるべき埋め込み金属トレース 204 (3)、204 (4) を露出させるために、開口部 214 がはんだレジスト層 212 に 20  
形成される。

#### 【0017】

[0030] 引き続き図 2 A を参照すると、パッケージ基板 200 はまた、垂直方向 (Z 軸方向) において ETS 金属化層 202 の下方に配置された第 2 の金属化層 216 を含む。第 2 の金属化層 216 は、ETS 金属化層 202 の絶縁層 206 の底面 222 上に形成された第 2 の金属相互接続部 220 を含む、第 2 の金属層 218 を含む。第 2 の金属相互 30  
接続部 220 は、第 2 の金属相互接続部 220 と埋め込み金属トレース 204 (1) との間で垂直方向 (Z 軸方向) に延びる垂直相互接続アクセス (ビア) 224 (例えば、金属ピラー、金属トレース、又は他の金属相互接続部) を通して埋め込み金属トレース 204 (1) に結合される。信号が、埋め込み金属トレース 204 (1) と第 2 の金属相互接続部 220 との間で、パッケージ基板 200 内でルーティングされ得る。この例では、第 2  
の金属化層 216 は、パッケージ基板 200 及びその IC パッケージへの外部インターフェースを提供するために、外部相互接続部 (例えば、はんだバンプ、ボールグリッドアレイ (BGA) 相互接続部) の形成を容易にするように構成された。パッケージ基板 200 の外部金属化層である。これに関して、開口部 226 が、外部相互接続部が開口部 226 内に形成され、はんだ接合が外部相互接続部と第 2 の金属相互接続部 220 との間に形成され得るように、第 2 の金属相互接続部 220 の底面 228 を露出させるように形成される。図 2 A に示すように、パッケージ基板 200 の製造におけるエッチングの結果として、ディンプル 230 が第 2 の金属相互接続部 220 の底面 228 に形成される。

#### 【0018】

[0031] 図 2 A の例示的なパッケージ基板 200 では、ディンプル 230 は、第 2 の 40  
金属相互接続部 220 と外部相互接続部との間の接続の完全性のリスクがあり得る、第 2 の金属相互接続部 220 を外部相互接続部に結合するはんだ接合内のボイドのリスクに対して底面 228 からの十分な深さ  $D_1$  ではない。これは、垂直方向 (Z 軸方向) における第 2 の金属相互接続部 220 の高さ  $H_1$  (すなわち、厚さ) が十分に低くなく、その結果、製造中のエッチングがはんだ接合ボイドのリスクがあるより大きい深さ  $D_1$  のディンプル 230 を形成することになるからである。第 2 の金属相互接続部 220 の高さ  $H_1$  は、垂直方向 (Z 軸方向) における ETS 金属化層 202 の第 1 の金属層 208 の高さ  $H_2$  (すなわち、厚さ) に基づく。これは、ETS 金属化層 202 内の第 1 の金属層 208 と第 2 の金属化層 216 内の第 2 の金属相互接続部 220 との間の金属密度の不一致を低減又は緩和するためである。この例では、ETS 金属化層 202 がダイに結合されたダイ側金 50

属化層であるため、埋め込み金属トレース 204(1) ~ 204(4)の面積は、ETS金属化層 202内の金属が、例えば金属パッド又は接地面とは対照的に、金属トレースによって占められていることに起因して、第2の金属化層 216内の第2の金属相互接続部 220の面積よりも小さくなり得る。この金属密度の不一致は、ETS金属化層 202と第2の金属化層 216との間の熱膨張係数(CTE)の不一致を引き起こす可能性があり、これが、パッケージ基板 200の反りの増加に寄与する可能性がある。ETS金属化層 202と第2の金属化層 216との間のこの金属密度の不一致を低減又は回避するために、第2の金属化層 216の第2の金属層 218の高さ $H_1$ は、ETS金属化層 202の第1の金属層 208の高さ $H_2$ から減少される。第2の金属化層 216の第2の金属層 218の高さ $H_1$ の減少は、第2の金属化層 216とETS金属化層 202との間の金属密度を均衡させようと試みるために、第2の金属化層 216の金属密度(体積)を減少させる。例えば、第1金属層 208の高さ $H_2$ は、18マイクロメートル( $\mu\text{m}$ )であり得、第2の金属層 218の高さ $H_1$ は、15  $\mu\text{m}$ であり得る。

10

#### 【0019】

【0032】 ダイとのより高密度の相互接続を支持するために、ETS金属化層 202内の埋め込み金属トレース 204(1) ~ 204(4)のL/S比を更に低減することが望まれるようになるにつれて、ETS金属化層 202内の第1の金属層 208の高さ $H_2$ (すなわち、厚さ)を低減することが必要になる場合がある。これは、ETS金属化層 202の製造中のパターンングプロセスの制限によるものである。このことは、図2Aのパッケージ基板 200と同様の図2Bの例示的なパッケージ基板 240の側面図に示されている。図2Bに示すように、パッケージ基板 240は、ETS金属化層 242を含む、誘電体材料で作成された層である絶縁層 246に埋め込まれた埋め込み金属トレース 244(1) ~ 244(4)を含む。絶縁層 246内への埋め込み金属トレース 244(1) ~ 244(4)の埋め込みが、ETS金属化層 242(1)内に第1の金属層 248を形成する。接続されていない埋め込み金属トレース 204(1) ~ 204(4)の部分を絶縁及び保護するために、はんだレジスト層 252が絶縁層 246上に配置される。パッケージ基板 240はまた、垂直方向(Z軸方向)においてETS金属化層 242の下方に配置された第2の金属化層 256を含む。第2の金属化層 256は、ETS金属化層 202の絶縁層 206の底面 262上に形成された第2の金属相互接続部 260を含む、第2の金属層 258を含む。第2の金属相互接続部 220は、第2の金属相互接続部 220と埋め込み金属トレース 244(1)との間で垂直方向(Z軸方向)に伸びる垂直相互接続アクセス(ビア) 264(例えば、金属ピラー、金属トレース、又は他の金属相互接続)を通して埋め込み金属トレース 204(1)に結合される。

20

30

#### 【0020】

【0033】 図2Bに示すように、第2の金属相互接続部 260は、垂直方向(Z軸方向)におけるETS金属化層 242の第1の金属層 248の高さ $H_4$ (すなわち、厚さ)に基づく高さ $H_3$ (すなわち、厚さ)を有する。ETS金属化層 242と第2の金属化層 256との間のこの金属密度の不一致を低減又は回避するために、第2の金属化層 256の第2の金属層 258の高さ $H_3$ は、ETS金属化層 242の第1の金属層 248の高さ $H_4$ から減少される。第2の金属化層 256の第2の金属層 258の高さ $H_3$ の減少は、第2の金属化層 256とETS金属化層 242との間の金属密度を均衡させようと試みるために、第2の金属化層 256の金属密度(体積)を減少させる。例えば、第1の金属層 248の高さ $H_4$ は、12マイクロメートル( $\mu\text{m}$ )であり得、第2の金属層 218の高さ $H_3$ は、10  $\mu\text{m}$ であり得る。

40

#### 【0021】

【0034】 図2Bに示すように、パッケージ基板 240の製造におけるエッチングの結果として、ディンプル 270は第2の金属相互接続部 260の底面 268に形成される。しかしながら、この場合、ディンプル 270は、第2の金属相互接続部 260と外部相互接続部との間の接続の完全性のリスクがあり得る、第2の金属相互接続部 260を外部相互接続部に結合するはんだ接合内のポイドのリスクに対して、第2の金属化層 256の底

50

面 268 からの十分な深さ  $D_2$  である。これは、垂直方向（Z 軸方向）における第 2 の金属相互接続部 260 の高さ  $H_3$ （すなわち厚さ）が低減され、第 2 の金属相互接続部 260 の厚さがより薄くなるためである。パッケージ基板 200 の製造において生じ、第 2 の金属相互接続部 260 の底面 268 をエッチングさせる金属エッチングは、第 2 の金属相互接続部 260 の底面 268 からより大きな深さ  $D_2$  のディンプル 270 を提供する。これは、第 2 の金属相互接続部 260 と接触して形成されたはんだ接合におけるボイドのリスクを増加させる。ディンプル 270 の深さ  $D_2$  を低減するために第 2 の金属相互接続部 260 の高さ  $H_3$ （すなわち、厚さ）が増加される場合、これは、ETS 金属化層 242 内の第 1 の金属層 248 の高さ  $H_4$ （すなわち、厚さ）が増加されない限り、第 2 の金属化層 256 と ETS 金属化層 242 との間の何らかの金属密度の不一致を増加させる。これは可能ではない場合があるが、依然として ETS 金属化層 242 内の埋め込み金属トレース 244（1）～244（4）の所望の L/S を達成し得る。

10

#### 【0022】

[0035] これに関して、パッケージ基板のダイ側 ETS 金属化層などの ETS 金属化層内の金属層の厚さを低減することができる一方で、また、金属密度の不一致を低減又は回避するために、外部金属化層内を含む他の金属化層内の金属層の厚さを過度に低減する必要性を回避することが望ましい。図 2B の例示的なパッケージ基板 240 において上述したように、外部金属化層の厚さを低減することは、外部相互接続部（例えば、BGA 相互接続）に結合された外部金属化層内の金属相互接続部と接触して形成されたはんだ接合内のボイドのリスクを有し得る。

20

#### 【0023】

[0036] これに関して、図 3A 及び図 3B は、ETS 金属化層 308 と第 3 の外部金属化層 310 との間の金属密度の不一致を低減又は回避するために、追加の第 2 の金属相互接続部 306 を有する、本明細書では「補助金属層 304」と呼ばれる第 2 の金属層 304（例えば、銅層）を採用するパッケージ基板 302 を含む、例示的な IC パッケージ 300 の側面図である。補助金属層 304 は、この例では、パッケージ基板 302 の外側にあり、ETS 金属化層 308 に隣接かつ接触して形成される。この例では、図 3A に示すように、ETS 金属化層 308 は、IC パッケージ 300 内の結合されたダイ 312 に隣接して配置されたダイ側金属化層である。この例ではまた、第 3 の金属化層 310 は、第 3 の外部金属化層 310 内の第 2 の金属相互接続部 316（1）、316（2）に結合された外部相互接続部 314（例えば、はんだパンプ、金属ピラー、BGA 相互接続部）の形成を容易にする、外部相互接続部側金属化層である。以下でより詳細に説明し、図 3A に示すように、補助金属層 304 内の追加の金属相互接続部 306（1）～306（3）は、パッケージ基板 302 内に増加した厚さ / 密度のダイ側金属相互接続部 322（1）～322（3）を形成するために、ダイ側 ETS 金属化層 308 の絶縁層 320 に埋め込まれたそれぞれの埋め込み金属トレース 318（1）～318（3）に垂直方向（Z 軸方向）に結合される。これにより、パッケージ基板 302 内のダイ側 ETS 金属化層 308 と第 3 の外部金属化層 310 との間の金属密度の不一致を回避又は低減するために、第 3 の外部金属化層 310 の第 3 の金属層 323 の高さ  $H_5$ （すなわち、厚さ）を低減する必要性を低減又は回避することができる。例えば、第 3 の外部金属化層 310 内の第 3 の金属層 323 の高さ  $H_5$  を低減することは、第 3 の金属層 323 内の第 2 の金属相互接続部 316（1）、316（2）内のディンプル深さの増加につながる可能性があり、これが次いで、第 2 の金属相互接続部 316（1）、316（2）を外部相互接続部 314 に結合するはんだ接合内のボイドのリスクを増加させる。

30

40

#### 【0024】

[0037] 図 3A 及び図 3B を参照すると、ETS 金属化層 308 の絶縁層 320 に埋め込まれた埋め込み金属トレース 318（1）～318（3）は、絶縁層 320 内に金属層 324 を形成する。金属層 324 の高さ  $H_6$ （すなわち、厚さ）は、埋め込み金属トレース 318（1）～318（3）の最大高さを制御する。したがって、ETS 金属化層 308 の金属層 324 の高さ  $H_6$  は、埋め込み金属トレース 318（1）～318（3）の

50

金属密度に影響を及ぼす。この例では、E T S金属化層308の金属層324の高さH<sub>6</sub>は、第3の外部金属化層310の第3の金属層323の高さH<sub>5</sub>よりも低い。これにより、パッケージ基板302に対してより高い接続密度を支持するために、E T S金属化層308内の絶縁層320に埋め込まれた、形成された埋め込み金属トレース318(1)~318(3)のよりタイトな(より低いL/Sを可能にし得る。しかしながら、これはまた、E T S金属化層308の金属密度を、第3の外部金属化層310の金属密度よりも低くさせる。したがって、この金属密度の不均衡を補償するために第3の外部金属化層310の第3の金属層323の高さH<sub>5</sub>を増加させる代わりに、補助金属層304が提供され、垂直方向(Z軸方向)においてE T S金属化層308上に配置され、補助金属層304の追加の金属相互接続部306が、それぞれの埋め込み金属トレース318(1)~318(3)に結合される。例えば、補助金属層304の追加の金属相互接続部306は、垂直方向(Z軸方向)においてE T S金属化層308のそれぞれの埋め込み金属トレース318(1)~318(3)に直接結合され得る。それぞれの埋め込み金属トレース318(1)~318(3)に結合された補助金属層304の追加の金属相互接続部306の組合せは、パッケージ基板302の反りを低減又は回避するために、E T S金属化層308と第3の外部金属化層310との間の金属密度の不均衡、したがってC T Eの不均衡を回避又は低減するために、金属密度が増加したダイ側金属相互接続部322(1)~322(3)を形成する。

10

#### 【0025】

[0038] 図3Aを参照すると、I Cパッケージ300は、ダイ312を含む。図3Bに示すように、ダイ312は、ダイ相互接続部326(例えば、隆起相互接続パンプ)を通してパッケージ基板302に結合されている。より具体的には、ダイ312のアクティブ側328から延びるダイ相互接続部326は、E T S金属化層308の絶縁層320に埋め込まれた他の埋め込み金属トレース330に結合される。I Cパッケージ300に外部信号インターフェースを提供するように指定された選択ダイ相互接続部326は、ダイ312と外部相互接続部314との間に信号ルーティング経路を提供するために、E T S金属化層308を通して第3の外部金属化層310内の第2の金属相互接続部316(1)、316(2)に結合され得る。この例では、図3Aに示すように、補助金属層304は、ダイ312とパッケージ基板302との間の垂直方向(Z軸方向)における垂直領域の内側及び外側の両方に配置される。補助金属層304の追加の金属相互接続部306(1)、306(2)は、ダイ312とパッケージ基板302との間の垂直方向(Z軸方向)における垂直領域の外側に配置される。これは、追加の金属相互接続部306(1)、306(2)に結合された埋め込み金属トレース318(1)、318(2)が、接地面のためなどの、ダイ312に直接結合されない接続を提供するためのものであるからであり得る。補助金属層304の追加の金属相互接続部306(3)は、ダイ312とパッケージ基板302との間の垂直方向(Z軸方向)における垂直領域の内側に配置される。これは、追加の金属相互接続部306(3)に結合された埋め込み金属トレース318(3)が、ダイ相互接続部326を通してダイ312への接続を提供するためのものであるからであり得る。

20

30

#### 【0026】

[0039] 図3A及び図3Bを参照すると、この例では、はんだレジスト層332は、E T S金属化層308の絶縁層320の第1の外面334に隣接して配置されている。補助金属層304はまた、E T S金属化層308の絶縁層320の第1の外面334に隣接して配置される。はんだレジスト層332は、補助金属層304内の追加の金属相互接続部306(1)~306(3)の上方に配置される。したがって、補助金属層304は、はんだレジスト層332内に配置されていると考えられ得る。追加の金属相互接続部306(1)~306(3)は、この例では、E T S金属化層308の絶縁層320に含まれないか、又は埋め込まれない。

40

#### 【0027】

[0040] 上記で説明したように、E T S金属化層308の金属層324(又はその埋

50

め込み金属トレース 318(1) ~ 318(3) の高さ  $H_6$  は、第3の外部金属化層 310 の第3の金属層 323 (又はその第2の金属相互接続部 316(1) ~ 316(3)) の高さ  $H_5$  よりも低い。それぞれの埋め込み金属トレース 318(1) ~ 318(3) への追加の金属相互接続部 306(1) ~ 306(3) の結合は、ETS金属化層 308 と第3の外部金属化層 310 との間の金属密度の不均衡を回避又は低減する。例えば、垂直方向 (Z軸方向) における ETS金属化層 308 の金属層 324 の高さ  $H_6$  は、8 ~ 14 マイクロメートル ( $\mu\text{m}$ ) であり得る。別の例として、第3の外部金属化層 310 における第3の金属層 323 の高さ  $H_5$  は、10 ~ 20  $\mu\text{m}$  であり得る。別の例として、図 3 B に示すように、垂直方向 (Z軸方向) における補助金属層 304 (又はその追加の金属相互接続部 306(1) ~ 306(3)) の高さ  $H_7$  は、1 ~ 5  $\mu\text{m}$  であり得る。したがって、一例として、補助金属層 304 の高さ  $H_7$  に対する ETS金属化層 308 の金属層 324 の高さ  $H_6$  の比は、少なくとも 8 / 5 であり得る。また別の例として、第3の外部金属化層 310 内の第3の金属層 323 の高さ  $H_5$  に対する ETS金属化層 308 の金属層 324 の高さ  $H_6$  の比は、少なくとも 8 / 20 であり得る。

【0028】

[0041] したがって、これらの例では、埋め込み金属トレース 318(1) ~ 318(3) に結合されている追加の金属相互接続部 306(1) ~ 306(3) は、埋め込み金属トレース 318(1) ~ 318(3) の有効高さを高さ  $H_6$  と高さ  $H_7$  との組合せ (例えば、20  $\mu\text{m}$ ) にまで高めて、金属密度が増加した有効ダイ側金属相互接続部 322(1) ~ 322(3) を提供する。ETS金属化層 308 の金属層 323 内の埋め込み金属トレース 318(1) ~ 318(3) の 7 / 9 L / S の例では、ETS金属化層 308 の金属層 324 の高さ  $H_6$  は 14  $\mu\text{m}$  であり得、第3の外部金属化層 310 内の第3の金属層 324 の高さ  $H_5$  は 15  $\mu\text{m}$  であり得、補助金属層 304 の高さ  $H_7$  は 4  $\mu\text{m}$  であり得る。ETS金属化層 308 の金属層 324 内の埋め込み金属トレース 318(1) ~ 318(3) の 6 / 8 L / S の例では、ETS金属化層 308 の金属層 324 の高さ  $H_6$  は 12  $\mu\text{m}$  であり得、第3の外部金属化層 310 内の第3の金属層 323 の高さ  $H_5$  は 15  $\mu\text{m}$  であり得、補助金属層 304 の高さ  $H_7$  は 4  $\mu\text{m}$  であり得る。

【0029】

[0042] 図 3 A 及び図 3 B のパッケージ基板 302 内の ETS金属化層 308 の製造において追加の金属相互接続部 306(1) ~ 306(3) を形成するための補助金属層 304 の金属エッチングの結果として、埋め込み金属トレース 318(1) ~ 318(2) の端部は、絶縁層 320 の外側の上面 334 の下方に凹み得ることに留意されたい。以下でより詳細に製造プロセスにおいて説明するように、埋め込み金属トレース 318(1) ~ 318(3) 内に形成されるこれらの凹部は、追加の金属相互接続部 306(1) ~ 306(3) を形成するために存在する部分を残すように補助金属層 504 をエッチングするための位置合わせ機構として埋め込み金属トレース 318(1) ~ 318(3) を使用した結果である。ETS金属化層内の他の埋め込み金属トレース 518(2)、518(3) はまた、埋め込み金属トレース 518(1) のような凹部を形成する内側及び外側金属部分を有する。

【0030】

[0043] 図 3 C に示すように、絶縁層 320 の第1の外表面 334 は、水平方向 (X軸及びY軸方向) の第1の水平面  $P_1$  に配置される。埋め込み金属トレース 318(1) は、第1の水平面  $P_1$  まで垂直方向 (Z軸方向) に延びる上部の外表面 338 を有する内側金属部分 336(1) を有し、内側金属部分 336(1) は、絶縁層 320 の上部の外表面 334 と同一平面上にあり得る。埋め込み金属トレース 318(1) の内側金属部分 336(1) は、埋め込み金属トレース 318(1) の底面 338 からの高さ  $H_6$  を有する。埋め込み金属トレース 318(1) の底面 338 は、水平方向 (X軸及びY軸方向) において第2の水平面  $P_2$  内に配置される。埋め込み金属トレース 318(1) はまた、内側金属部分 336(1) を取り囲む外側金属部分 336(2) を有する。埋め込み金属トレース 318(1) の外側金属部分 336(2) は、垂直方向 (Z軸方向) において第1の水

10

20

30

40

50

平面  $P_1$  にまでは延びないが、垂直方向（ $Z$  軸方向）において第 1 の水平面  $P_1$  の下方の第 3 の水平面  $P_3$  に延びる、上部の外面 340 を有する。埋め込み金属トレース 318 (1) の外側金属部分 336 (2) はまた、第 2 の水平面  $P_2$  内に配置された内側金属部分 336 (1) と同じ底面 338 を共有する。埋め込み金属トレース 318 (1) の外側金属部分 336 (2) は、底面 338 からその上部の外面 340 までの高さ  $H_8$  を有し、これは、埋め込み金属トレース 318 (1) の内側金属部分 336 (1) の高さ  $H_6$  よりも低い。このようにして、埋め込み金属トレース 318 (1) の内側金属部分 336 (1) と外側金属部分 336 (2) との交点間に凹部 342 が形成される。凹部 342 は、一例として  $10 \mu\text{m}$  であり得る、水平方向（ $X$  軸及び / 又は  $Y$  軸方向）における幅  $W_1$  を有する。

10

#### 【0031】

[0044] 図 4 は、ダイ側 ETS 金属化層 308 上に配置された、図 3A ~ 図 3C のパッケージ基板 302 内の補助金属層 304 の上面図である。図 4 は、ダイ側 ETS 金属化層 308 内の埋め込み金属トレース 318 上及びその上方に配置された、追加の金属相互接続部 306 を示す。図 4 において、ダイ側 ETS 金属化層 308 は、垂直方向（ $Z$  軸方向）において補助金属層 304 の下に配置されている。図 4 はまた、追加の金属相互接続部 306 と埋め込み金属トレース 318 の外側金属部分 336 (2) との間のオフセット及び凹部 342 を示す。

#### 【0032】

[0045] 金属密度の不一致を回避又は低減するために、ダイ側 ETS 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を採用するパッケージ基板を含む IC パッケージを、他のタイプの IC パッケージ内に提供することもできる。例えば、図 5 は、ダイ側 ETS 金属化層 508 と外部相互接続部 514 を支持する第 3 の外部金属化層 510 との間の金属密度の不一致を回避又は低減するために、ダイ側 ETS 金属化層 508 内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を含み得る、積層ダイ IC パッケージ 500 の側面図である。

20

#### 【0033】

[0046] 図 5 を参照すると、積層ダイ IC パッケージ 500 は、それぞれのダイパッケージ 550 (1)、550 (2) に含まれ、かつ垂直方向（ $Z$  軸方向）において互いの上に積層された、複数のダイ 512 (1)、512 (2) を含む。積層ダイ IC パッケージ 500 の第 1 のダイパッケージ 550 (1) は、パッケージ基板 502 に結合されたダイ 512 (1) を含む。この例では、パッケージ基板 502 は、コア基板 509 上に配置された第 1 の上部 ETS 金属化層 508 (1) を含む。コア基板 509 は、底部の第 3 の外部金属化層 510 上に配置される。ETS 金属化層 508 は、第 1 のダイ 512 (1) への信号ルーティングのための電氣的インターフェースを提供する。第 1 のダイ 512 (1) は、ETS 金属化層 508 内の埋め込み金属トレース 518 (1) に電氣的に結合されたダイ相互接続部 526 (例えば、隆起金属バンプ) に結合される。ETS 金属化層 508 内の埋め込み金属トレース 518 は、コア基板 509 内の金属相互接続部 519 に結合され、金属相互接続部 519 は、第 3 の外部金属化層 510 内の金属相互接続部 516 に結合される。このようにして、パッケージ基板 502 は、第 1 のダイ 512 (1) への信号ルーティングを提供するために、その金属化層 508、510 とコア基板 509 との間の相互接続を提供する。外部相互接続部 514 (例えば、ボールグリッドアレイ (BGA) 相互接続部) は、第 3 の外部金属化層 510 内の金属相互接続部 516 に結合されて、パッケージ基板 502 を通る相互接続を、ダイ相互接続部 526 を通して第 1 のダイ 512 (1) に提供する。この例では、第 1 のダイ 512 (1) の第 1 のアクティブ側 552 (1) は、パッケージ基板 502、より具体的にはパッケージ基板 502 の ETS 金属化層 508 に隣接し、かつ結合される。

30

40

#### 【0034】

[0047] 図 5 の例示的な積層ダイ IC パッケージ 500 では、複数のダイを支持するために、第 2 のダイパッケージ 550 (2) が提供されて、第 1 のダイパッケージ 550

50

(1)に結合される。例えば、第1のダイパッケージ550(1)内の第1のダイ512(1)はアプリケーションプロセッサを含み得、第2のダイ512(2)は、アプリケーションプロセッサのためのメモリ支持を提供するダイナミックランダムアクセスメモリ(DRAM)ダイなどのメモリダイであり得る。これに関して、この例では、第1のダイパッケージ550(1)はまた、第1のダイ512(1)の第2の非アクティブ側552(2)に隣接して、第1のダイ512(1)を包み込むパッケージモールド556上に配置されたインターポーザ基板554を含む。インターポーザ基板554はまた、第2のダイパッケージ550(2)内の第2のダイ512(2)への相互接続を提供するために、各々が外部金属相互接続部560を含む、1つ又は複数の金属化層558を含む。第2のダイパッケージ550(2)は、外部金属相互接続部560(例えば、はんだバンプ、BGA相互接続部)を通してインターポーザ基板554に結合されていることによって、第1のダイパッケージ550(1)に物理的及び電氣的に結合される。外部相互接続部562は、インターポーザ基板554内の外部金属相互接続部560に結合される。

#### 【0035】

[0048] 第2のダイ512(2)から外部相互接続562及びインターポーザ基板554を通して第1のダイ512(1)まで信号をルーティングするための相互接続を提供するために、垂直相互接続部564(例えば、金属ピラー、金属ポスト、スルーモールドビア(TMV)などの金属垂直相互接続アクセス(ビア))が、第1のダイパッケージ550(1)のパッケージモールド556内に配置される。垂直相互接続部564は、この例では、垂直方向(Z軸方向)において、インターポーザ基板554の第1の底面566からパッケージ基板502の第1の上面568に延びる。垂直相互接続部564は、インターポーザ基板554の底面566に隣接するインターポーザ基板554内の外部金属相互接続部560に結合される。垂直相互接続部564はまた、パッケージ基板502の第1の上面568に隣接する、パッケージ基板502のETS金属化層508内の埋め込み金属トレース518に結合される。このようにして、垂直相互接続564は、インターポーザ基板554とパッケージ基板502との間の入出力(I/O)接続などの、相互接続のためのブリッジを提供する。これにより、第2のダイパッケージ550(2)内の第2のダイ512(2)と第1のダイパッケージ550(1)内の第1のダイ512(1)との間に、パッケージ基板502を通して外部相互接続514までの信号ルーティング経路を提供する。

#### 【0036】

[0049] 第2の補助金属層はまた、図5の積層ダイICパッケージ500内に設けられ、ETS金属化層508と第1のダイ512(1)との間でパッケージ基板502のETS金属化層508に隣接して配置され得る。補助金属層は、ETS金属化層508の金属密度を増加させながら接続性を提供するために、ETS金属化層508内の埋め込み金属トレース518に各々結合された追加の金属相互接続部を含み得る。例えば、ダイ相互接続部526は、第1のダイ512(1)をパッケージ基板502のETS金属化層508に結合するために、補助金属層への追加の金属相互接続部に結合され得る。別の例として、垂直相互接続部564は、第2のダイパッケージ550(2)内の第2のダイ512(2)を、インターポーザ基板554を通してパッケージ基板502のETS金属化層508に結合するために、追加の金属相互接続部及び補助金属層に結合され得る。

#### 【0037】

[0050] これに関して、図6A及び図6Bは、ETS金属化層508と第3の外部金属化層510との間の金属密度の不一致を低減又は回避するために、追加の金属相互接続部506を有する補助金属層504(例えば、銅層)を採用するパッケージ基板502を示す、図5の積層ダイICパッケージ500の側面図である。第2の補助金属層504は、この例では、パッケージ基板502の外側にあり、ETS金属化層508に隣接かつ接触して形成される。この例では、図6Aに示すように、ETS金属化層508は、ICパッケージ500内の結合された第1のダイ512(1)に隣接して配置されたダイ側金属化層である。この例ではまた、第3の外部金属化層510は、第3の外部金属化層510

内の第2の金属相互接続部516(1)、516(2)に結合された外部相互接続部514(例えば、はんだパンプ、金属ピラー、BGA相互接続部)の形成を容易にする、外部相互接続部側金属化層である。以下でより詳細に説明し、図6Aに示すように、補助金属層504内の追加の金属相互接続部506(1)~506(3)は、パッケージ基板502内に増加した厚さ/密度のダイ側金属相互接続部522(1)~522(3)を形成するために、ダイ側ETS金属化層508の絶縁層520に埋め込まれた埋め込み金属トレース518(1)~518(3)に、垂直方向(Z軸方向)に結合される。これにより、パッケージ基板502内のダイ側ETS金属化層508と第3の外部金属化層510との間の金属密度の不一致を回避又は低減するために、第3の外部金属化層510の第3の金属層523の高さ $H_9$ (すなわち、厚さ)を低減する必要性を低減又は回避することができる。例えば、第3の外部金属化層510内の第3の金属層の高さ $H_9$ を低減することは、第3の金属層523内の第2の金属相互接続部516(1)、516(2)内のディンプル深さの増加につながる可能性があり、これが次いで、第2の金属相互接続部516(1)、516(2)を外部相互接続部514に結合するはんだ接合内のボイドのリスクを増加させる。

10

#### 【0038】

[0051] 図6A及び図6Bを参照すると、ETS金属化層508の絶縁層520に埋め込まれた埋め込み金属トレース518(1)~518(3)は、絶縁層520内に金属層524を形成する。金属層524の高さ $H_{10}$ (すなわち、厚さ)は、埋め込み金属トレース518(1)~518(3)の最大高さを制御する。したがって、ETS金属化層508の金属層524の高さ $H_{10}$ は、埋め込み金属トレース518(1)~518(3)の金属密度に影響を及ぼす。この例では、ETS金属化層508の金属層524の高さ $H_{10}$ は、第3の外部金属化層510の第3の金属層523の高さ $H_9$ よりも低い。これにより、パッケージ基板502に対してより高い接続密度を支持するために、ETS金属化層508内の絶縁層520に埋め込まれた、形成された埋め込み金属トレース518(1)~518(3)のよりタイトな(より低い)L/Sを可能にし得る。しかしながら、これはまた、ETS金属化層508の金属密度を、第3の外側金属化層510の金属密度よりも低くさせる。したがって、この金属密度の不均衡を補償するために第3の外部金属化層510の第3の金属層523の高さ $H_9$ を増加させる代わりに、補助金属層504が設けられ、垂直方向(Z軸方向)においてETS金属化層308上に配置され、補助金属層504の追加の金属相互接続部506がそれぞれの埋め込み金属トレース518(1)~518(3)に結合される。例えば、補助金属層504の追加の金属相互接続部506は、垂直方向(Z軸方向)においてETS金属化層508のそれぞれの埋め込み金属トレース518(1)~518(3)に直接結合され得る。それぞれの埋め込み金属トレース518(1)~518(3)に結合された補助金属層504の追加の金属相互接続部506の組合せは、パッケージ基板502の反りを低減又は回避するために、ETS金属化層508と第3の外部金属化層510との間の金属密度の不均衡、したがってCTEの不均衡を回避又は低減するために、金属密度が増加したダイ側金属相互接続部522(1)~522(3)を形成する。

20

30

#### 【0039】

[0052] 図6Aを参照すると、積層ダイICパッケージ500は、第1のダイ512(1)を含む。図6Bに示すように、第1のダイ512(1)は、ダイ相互接続部526(例えば、隆起相互接続パンプ)を通してパッケージ基板502に結合されている。より具体的には、第1のダイ512(1)のアクティブ側528から延びるダイ相互接続部526は、ETS金属化層508の絶縁層520に埋め込まれた他の埋め込み金属トレース530に結合される。積層ダイICパッケージ500に外部信号インターフェースを提供するように指定される選択ダイ相互接続部526は、第1のダイ512(1)と外部相互接続部514との間に信号ルーティング経路を提供するために、ETS金属化層508を通して第3の外部金属化層510内の第2の金属相互接続部516(1)、516(2)に結合され得る。この例では、図6Aに示すように、補助金属層504は、第1のダイ5

40

50

12(1)とパッケージ基板502との間の垂直方向(Z軸方向)における垂直領域の内側及び外側の両方に配置される。補助金属層504の追加の金属相互接続部506(1)、506(2)は、第1のダイ512(1)とパッケージ基板502との間の垂直方向(Z軸方向)における垂直領域の外側に配置される。これは、追加の金属相互接続部506(1)、506(2)に結合された埋め込み金属トレース518(1)、318(2)が、接地面のためなど、第1のダイ512(1)に直接ではない接続を提供するためのものであるからであり得る。補助金属層504の追加の金属相互接続部506(3)は、第1のダイ512(1)とパッケージ基板502との間の垂直方向(Z軸方向)において垂直領域の内側に配置される。これは、追加の金属相互接続部506(3)に結合された埋め込み金属トレース518(3)が、ダイ相互接続部526を通して第1のダイ512(1)への接続を提供するためのものであるからであり得る。

10

【0040】

[0053] 図6A及び図6Bを参照すると、この例では、はんだレジスト層532が、ETS金属化層508の絶縁層520の第1の外面534に隣接して配置される。補助金属層504はまた、ETS金属化層508の絶縁層520の第1の外面534に隣接して配置される。はんだレジスト層532は、補助金属層504内の追加の金属相互接続部506(1)~506(3)の上に配置される。したがって、補助金属層504は、はんだレジスト層532内に配置されていると考えられ得る。追加の金属相互接続部506(1)~506(3)は、この例では、ETS金属化層508の絶縁層520に含まれないか、又は埋め込まれない。

20

【0041】

[0054] 上記で説明したように、ETS金属化層508の金属層524(又はその埋め込み金属トレース518(1)~518(3))の高さ $H_{10}$ は、第3の外部金属化層510の第3の金属層523(又はその第2の金属相互接続部516(1)~516(3))の高さ $H_9$ よりも低い。それぞれの埋め込み金属トレース518(1)~518(3)への追加の金属相互接続部506(1)~506(3)の結合は、ETS金属化層508と第3の外部金属化層510との間の金属密度の不均衡を回避又は低減する。例えば、垂直方向(Z軸方向)におけるETS金属化層508の金属層524の高さ $H_{10}$ は、 $8 \sim 14 \mu\text{m}$ であり得る。別の例として、第3の外部金属化層510における第3の金属層523の高さ $H_9$ は、 $10 \sim 20 \mu\text{m}$ であり得る。別の例として、図5Bに示すように、垂直方向(Z軸方向)における補助金属層504(又はその追加の金属相互接続部506(1)~506(3))の高さ $H_{11}$ は、 $1 \sim 5 \mu\text{m}$ であり得る。したがって、一例として、補助金属層504の高さ $H_{11}$ に対するETS金属化層508の金属層524の高さ $H_{10}$ の比は、少なくとも $8/5$ であり得る。また別の例として、第3の金属化層510内の第3の金属層523の高さ $H_9$ に対するETS金属化層508の金属層524の高さ $H_{10}$ の比は、少なくとも $8/20$ であり得る。

30

【0042】

[0055] したがって、これらの例では、埋め込み金属トレース518(1)~518(3)に結合されている追加の金属相互接続部506(1)~506(3)は、埋め込み金属トレース518(1)~518(3)の有効高さを、高さ $H_{10}$ と高さ $H_{11}$ との組み合わせ(例えば、 $20 \mu\text{m}$ )にまで高めて、金属密度が増加した有効ダイ側金属相互接続部522(1)~522(3)を提供する。ETS金属化層508の金属層524内の埋め込み金属トレース518(1)~518(3)の $7/9L/S$ の例では、ETS金属化層508の金属層524の高さ $H_{10}$ は $14 \mu\text{m}$ であり得、第3の外部金属化層510内の第3の金属層523の高さ $H_9$ は $15 \mu\text{m}$ であり得、補助金属層504の高さ $H_7$ は $4 \mu\text{m}$ であり得る。ETS金属化層508の金属層524内の埋め込み金属トレース518(1)~518(3)の $6/8L/S$ の例では、ETS金属化層508の金属層524の高さ $H_{10}$ は $12 \mu\text{m}$ であり得、第3の外部金属化層510内の第3の金属層523の高さ $H_9$ は $15 \mu\text{m}$ であり得、補助金属層504の高さ $H_{11}$ は $4 \mu\text{m}$ であり得る。

40

【0043】

50

【0056】 一例として図6Bの埋め込み金属トレース518(1)を使用することにより、パッケージ基板502内のETS金属化層508の製造において追加の金属相互接続部506(1)を形成するための補助金属層504の金属エッチングの結果として、埋め込み金属トレース518(1)の外側金属部分536(1)は、絶縁層520の第1の外側面534の下方に凹み得ることに留意されたい。埋め込み金属トレース518(1)の内側金属部分536(2)は、絶縁層520の第1の外側面534と同じ平面に延びる。これにより、図3B及び図3CのETS金属化層508内の埋め込み金属トレース318(1)~318(3)に関して上述したように、埋め込み金属トレース518(1)内に凹部542が設けられる。埋め込み金属トレース518(1)内に形成された凹部542は、追加の金属相互接続部506(1)を形成するために存在する部分を残すように、補助金属層504をエッチングするための位置合わせ機構として埋め込み金属トレース518(1)を使用した結果である。ETS金属化層508内の他の埋め込み金属トレース518(2)、518(3)はまた、埋め込み金属トレース518(1)のような凹部を形成する内側金属部分及び外側金属部分を有し、追加の金属相互接続部506(2)、506(3)は、埋め込み金属トレース518(2)、518(3)の上に形成された開口部内の補助金属層504をエッチングすることによって形成される。

10

## 【0044】

【0057】 図3A~図3CのETS金属化層308内の埋め込み金属トレース318(1)~318(3)に関して上述した他の詳細は、図6A及び図6BのETS金属化層508内の埋め込み金属トレース518(1)~518(3)にも適用可能であることに留意されたい。

20

## 【0045】

【0058】 図3~図6Bのパッケージ基板302及び502をそれぞれ含むがこれらに限定されない、信号経路のインピーダンスを低減するために金属相互接続部に結合された埋め込み金属トレースを有するパッケージ基板及びそれらのETS金属化層を製造するために、製造プロセスが採用され得る。これに関して、図7は、ICパッケージのパッケージ基板内にダイ側ETS金属化構造として含まれ得る補助金属層を有するETS金属化層を製造する例示的な製造プロセス700を示すフローチャートであり、追加の金属相互接続部が補助金属層内に形成され、かつETS金属化層内の埋め込み金属トレースに結合されて、図3A~図6Bのパッケージ基板302、502を含むがこれらに限定されない埋め込み金属トレースの金属密度を増加させる。図7の製造プロセス700を、図3A~図3C及び図6A~図6BのICパッケージ300、500に関して説明する。

30

## 【0046】

【0059】 これに関して、図7を参照すると、製造プロセス700におけるあるステップは、パッケージ基板302、502を形成することを含む(図7のブロック702)。パッケージ基板302、502を形成することは、第1のETS金属化層308、508を形成することを含み得る(図7のブロック704)。第1の金属化層308、508は、ETS金属化層である。第1の金属化層308、508を形成することは、誘電体材料の第1の絶縁層320、520を形成すること(図7のブロック706)と、次いで、第1の絶縁層320、520内に第1の金属トレース318(1)~318(3)、518(1)~518(3)を埋め込み、それによって第1の絶縁層320、520内に第1の金属層324、524を形成すること(図7のブロック708)と、を含む。製造プロセス700における次のステップは、第1の金属化層308、508に隣接する補助金属層304、504として、第2の補助金属層304、504内に1つ又は複数の第2の追加の金属相互接続部306(1)~306(3)、506(1)~506(3)を形成することを含む(図7のブロック710)。製造プロセス700における次のステップは、第2の補助金属層304、504内の1つ又は複数の第2の追加の金属相互接続部306(1)~306(3)、506(1)~506(3)の各々を、第1の金属化層308、508の第1の金属層324、524内の1つ又は複数の第1の金属トレース318(1)~318(3)、518(1)~518(3)のうちの第1の金属トレース318(1)

40

50

~ 318(3)、518(1)~518(3)に結合することを含む(図7のブロック712)。

【0047】

[0060] 他の製造プロセスもまた、ICパッケージのパッケージ基板のダイ側ETS金属化構造として含まれ得る補助金属層を有するETS金属化層を製造するために採用することができ、追加の金属相互接続部が補助金属層内に形成され、かつETS金属化層内の埋め込み金属トレースに結合されて、図3A~図6Bのパッケージ基板302、502を含むがこれらに限定されない埋め込み金属トレースの金属密度を増加させる。これに関して、図8A~図8Eは、ICパッケージのパッケージ基板内にダイ側ETS金属化構造として含まれ得る補助金属層を有するETS金属化層を製造する別の例示的な製造プロセス800を示すフローチャートであり、追加の金属相互接続部が補助金属層内に形成され、かつETS金属化層内の埋め込み金属トレースに結合されて、図3A~図6Bのパッケージ基板302、502を含むがこれらに限定されない埋め込み金属トレースの金属密度を増加させる。図9A~図9Iは、図8A~図8Eの製造プロセス800による、パッケージ基板の一部として、補助金属層を有するETS金属化層の製造中の例示的な製造段階900A~900Iである。図9A~図9Iの製造段階900A~900Iに示す製造プロセス800は、図3A~図3Cのパッケージ基板302内に補助金属層304を有するETS金属化層308を参照する。しかしながら、図8A~図8Eの製造プロセス800はまた、図9A~図9Iの製造段階900A~900Iに示すように、図6A~図6Bのパッケージ基板502内に補助金属層504を有するETS金属化層508を製造するためにも適用可能である。

10

20

【0048】

[0061] これに関して、図9Aの製造段階900Aに示すように、製造プロセス800における第1の例示的なステップは、ETS金属化層308を製造する用意をすることである。ETS金属化層308を形成することにおける第1のステップは、ETS金属化層308及び補助金属層を形成するために処理されることになるキャリア910上に未加工の金属層902、904、906、908を形成することを伴う(図8Aのブロック802)。金属層902、904、906、908は、例えば銅層であり得る。金属層904、906は、キャリア912の相反する側912(1)、910(2)上に配置される。金属層904、906は、その上に金属層902、908(例えば、銅箔などの金属箔)が形成されるシード層を形成することができる。以下で説明するように、金属層902、908は、絶縁層320内の埋め込み金属トレース318(1)~318(3)の金属密度を増加させるために、補助金属層304の一部として追加の金属相互接続部306(1)~306(3)を形成するためのプロセスを通して再利用されることになる。この例では、金属層902は、ダイ側ETS金属化層308のための補助金属層304を形成するために使用されることになる。

30

【0049】

[0062] 図9Bの製造段階900Bに示すように、製造プロセス800における次の例示的なステップは、後の処理ステップ(図8Aのブロック804)において、形成されたダイ側ETS金属化層308の絶縁層320に埋め込まれることになる金属トレース318(1)、318(3)、330を形成することである。金属トレース318(1)、318(3)、330は、金属層908上に別の金属層324(例えば、銅層)を配置し、(例えば、マスクを通して露光されるフォトリソ層を使用して)金属層324をパターンニングして、金属層324内に開口部914を形成し、金属層324の残りの金属部分が金属トレース318(1)、318(3)、330を形成することによって形成される。図9Cの製造段階900Cに示すように、製造プロセス800における次の例示的なステップは、絶縁層320を形成するために、金属層324において形成された金属トレース318(1)、318(3)、330を誘電体材料916で積層することである(図9Bのブロック806)。これにより、金属トレース318(1)、318(3)、330を絶縁層320に埋め込み、ETS金属化層308を形成する。

40

50

## 【 0 0 5 0 】

【0063】 図 9 D の製造段階 9 0 0 D に示すように、製造プロセス 8 0 0 における次の例示的なステップは、相互接続を行うことができるように E T S 金属化層 3 0 8 の埋め込み金属トレース 3 1 8 ( 1 )、3 1 8 ( 3 )、3 3 0 を露出させるようにエッチングされるべき金属層 9 0 8 を準備するために、キャリア 9 1 0 及び金属層 9 0 6 を除去することである ( 図 8 B のブロック 8 0 8 )。金属層 9 0 6 は、通常、E T S 金属化層 3 0 8 を製造するための製造プロセスの一部として完全にエッチング除去される。しかしながら、この製造プロセス 8 0 0 では、金属層 9 0 6 は、E T S 金属化層 3 0 8 の金属密度を増加させるための追加の金属相互接続部 3 0 6 ( 1 ) ~ 3 0 6 ( 3 ) を形成するために選択的にエッチングされることのみによって再利用されることになる。したがって、金属層 9 0 6 は、補助金属層 3 0 4 を形成することになる。埋め込み金属トレース 3 1 8 ( 1 ) ~ 3 1 8 ( 3 ) は金属層 9 0 6 と接触して既に形成されているため、金属層 9 0 6 が選択的にエッチングされるときに、エッチングされずに追加の金属相互接続部 3 0 6 ( 1 ) ~ 3 0 6 ( 3 ) を形成する金属層 9 0 6 の残りの金属材料は、埋め込み金属トレース 3 1 8 ( 1 ) ~ 3 1 8 ( 3 ) に既に結合されていることになる。

10

## 【 0 0 5 1 】

【0064】 図 9 E の製造段階 9 0 0 E に示すように、製造プロセス 8 0 0 における次の例示的なステップは、金属層 9 0 8 にマスクング材料のマスクング層 9 1 8 を配置 ( すなわち、積層 ) して、金属層 9 0 8 を選択的にエッチングして補助金属層 3 0 4 内に追加の金属相互接続部 3 0 6 ( 1 ) ~ 3 0 6 ( 3 ) を形成するための用意をすることである ( 図 8 C のブロック 8 1 0 )。例えば、マスクング層 9 1 8 は、化学的又は機械的エッチングプロセスなどの金属エッチングプロセスに対して耐性のある材料から作成され得る。次いで、図 9 F の製造段階 9 0 0 F に示すように、製造プロセス 8 0 0 における次の例示的なステップは、マスクを通してマスクング層 9 1 8 を露光して、マスクング層 9 1 8 内に開口部 9 2 0 を形成することである ( 図 8 D のブロック 8 1 2 )。開口部 9 2 0 は、後続のエッチングプロセスにおいてエッチング除去されることになる金属層 9 0 8 内の領域の上方に形成され、金属層 9 0 8 の残りの金属部分はマスクング層 9 1 8 によって保護され、金属層 9 0 8 内に補助金属層 3 0 4 として追加の金属相互接続部 3 0 6 ( 1 ) ~ 3 0 6 ( 3 ) を形成する。

20

## 【 0 0 5 2 】

【0065】 図 9 G の製造段階 9 0 0 G に示すように、製造プロセス 8 0 0 における次の例示的なステップは、マスクング層 9 1 8 内に形成された開口部 9 2 0 の内側をエッチングして、開口部 9 2 0 によって露出された金属層 9 0 8 内の金属材料をエッチング除去することである ( 図 8 D のブロック 8 1 4 )。金属層 9 0 8 の領域の上方で除去されないマスクング層 9 1 8 は、金属層 9 0 8 が再利用されるように、それらの領域がエッチング除去されることから保護する。マスクング層 9 1 8 によって保護された金属層 9 0 8 の領域はエッチング除去されない、補助金属層 3 0 4 の追加の金属相互接続部 3 0 6 ( 1 ) ~ 3 0 6 ( 3 ) を形成する。開口部 9 2 0 は、図 9 F の製造段階 9 0 0 F に示すような処理ステップにおいて形成されることで、前述のように、埋め込み金属トレース 3 1 8 ( 1 ) ~ 3 1 8 ( 3 ) の上方に完全に延びるより幅  $W_1$  だけ短い追加の金属相互接続部 3 0 6 ( 1 ) ~ 3 0 6 ( 3 ) を短く残すことに留意されたい。これにより、図 9 G の製造段階 9 0 0 G に示すように、凹部 3 4 2 を、埋め込み金属トレース 3 1 8 ( 1 ) ~ 3 1 8 ( 3 ) 内に形成する。図 9 H の段階 9 0 0 H における製造に示すように、製造プロセス 8 0 0 における次の例示的なステップは、補助金属層 3 0 4 内の追加の金属相互接続部 3 0 6 ( 1 ) ~ 3 0 6 ( 3 ) の上方、及び凹部 3 4 2 の内側に、はんだレジスト層 3 3 2 を形成することである ( 図 8 D のブロック 8 1 6 )。図 9 I の段階 9 0 0 I における製造に示すように、製造プロセス 8 0 0 における次の例示的なステップは、はんだレジスト層 3 3 2 の上面 9 2 2 を仕上げる ( 例えば、研磨する ) ことである ( 図 8 E のブロック 8 1 8 )。

30

40

## 【 0 0 5 3 】

【0066】 図 3 A ~ 図 6 B 及び図 9 A ~ 図 9 I のパッケージ基板、かつ図 7 ~ 図 8 E の

50

例示的な製造プロセスによる、及び図 8 ~ 図 9 C の例示的な製造プロセスによるパッケージ基板を含むがこれらに限定されない、ダイ側 E T S 金属化層とパッケージ基板内の別の金属化層（単数又は複数）との間の金属密度の不一致を回避又は低減するためにパッケージ基板のダイ側 E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を採用する I C パッケージが、任意のプロセッサベースのデバイスに設けられ得る、又は統合され得る。例として、限定はしないが、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、全地球測位システム（GPS）デバイス、モバイルフォン、携帯電話、スマートフォン、セッション開始プロトコル（SIP）フォン、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス（例えば、スマートウォッチ、ヘルス又はフィットネストラッカ、アイウェアなど）、デスクトップコンピュータ、携帯情報端末（PDA）、モニタ、コンピュータモニタ、テレビ、チューナー、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク（DVD）プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両部品、アビオニクスシステム、ドローン、及びマルチコプターが挙げられる。

10

## 【0054】

[0067] これに関して、図 10 は、ダイ（単数又は複数）を含む I C パッケージ 1002 内に設けられ得る回路を含むプロセッサベースのシステム 1000 の一例を示す。I C パッケージ 1002 は、図 3 A ~ 図 6 B 及び図 9 A ~ 図 9 I のパッケージ基板、かつ図 7 ~ 図 8 E の例示的な製造プロセスによる、及び本明細書で開示される任意の態様によるパッケージ基板を含むがこれらに限定されない、ダイ側 E T S 金属化層とパッケージ基板内の別の金属化層（単数又は複数）との間の金属密度の不一致を回避又は低減するためにパッケージ基板のダイ側 E T S 金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を採用する。この例では、プロセッサベースのシステム 1000 は、I C パッケージ 1002 内の I C 1004 として、及びシステムオンチップ（system-on-a-chip、SoC）1006 として形成され得る。プロセッサベースのシステム 1000 は、C P U コア又はプロセッサコアとも呼ばれ得る、1 つ又は複数のプロセッサ 1010 を含む中央処理ユニット（C P U）1008 を含む。C P U 1008 は、一時的に記憶されたデータに迅速にアクセスするために C P U 1008 に結合されたキャッシュメモリ 1012 を有してもよい。C P U 1008 は、システムバス 1014 に結合され、プロセッサベースのシステム 1000 内に含まれるマスタデバイスとスレーブデバイスとを相互結合することができる。よく知られているように、C P U 1008 は、システムバス 1014 を介してアドレス情報、制御情報、及びデータ情報を交換することによって、これらの他のデバイスと通信する。例えば、C P U 1008 は、スレーブデバイスの一例として、メモリコントローラ 1016 にバストランザクション要求を通信することができる。図 10 には示されていないが、複数のシステムバス 1014 を設けることができ、各システムバス 1014 は、異なるファブリックを構成する。

20

30

## 【0055】

[0068] 他のマスタデバイス及びスレーブデバイスをシステムバス 1014 に接続することができる。図 10 に示すように、これらのデバイスは、例として、メモリコントローラ 1016 及びメモリアレイ（単数又は複数）1018 を含むメモリシステム 1020 と、1 つ又は複数の入力デバイス 1022 と、1 つ又は複数の出力デバイス 1024 と、1 つ又は複数のネットワークインターフェースデバイス 1026 と、1 つ又は複数のディスプレイコントローラ 1028 と、を含み得る。メモリシステム（単数又は複数）1020、1 つ又は複数の入力デバイス 1022、1 つ又は複数の出力デバイス 1024、1 つ又は複数のネットワークインターフェースデバイス 1026、及び 1 つ又は複数のディスプレイコントローラ 1028 の各々は、同じ又は異なる I C パッケージ 1002 に設けられ得る。入力デバイス（単数又は複数）1022 は、入力キー、スイッチ、ボイスプロセ

40

50

ッサなどを含むが、それらに限定されない、任意のタイプの入力デバイスを含み得る。出力デバイス（単数又は複数）1024は、オーディオ、ビデオ、他の視覚インジケータなどを含むがそれらに限定されない、任意のタイプの出力デバイスを含み得る。ネットワークインターフェースデバイス（単数又は複数）1026は、ネットワーク1030への及びネットワーク1030からのデータの交換を可能にするように構成された任意のデバイスであり得る。ネットワーク1030は、有線ネットワーク又は無線ネットワーク、プライベートネットワーク又はパブリックネットワーク、ローカルエリアネットワーク（local area network、LAN）、無線ローカルエリアネットワーク（wireless local area network、WLAN）、ワイドエリアネットワーク（wide area network、WAN）、BLUETOOTH（商標）ネットワーク、及びインターネットを含むがそれらに限定されない、任意のタイプのネットワークであってもよい。ネットワークインターフェースデバイス（単数又は複数）1026は、所望の任意のタイプの通信プロトコルを支持するように構成され得る。

10

#### 【0056】

[0069] CPU1008はまた、システムバス1014を介してディスプレイコントローラ（単数又は複数）1028にアクセスして、1つ以上のディスプレイ1032に送られる情報を制御するように構成され得る。ディスプレイコントローラ（単数又は複数）1028は、1つ又は複数のビデオプロセッサ1034を介して表示されるようにディスプレイ（単数又は複数）1032に情報を送信し、ビデオプロセッサ1034は、表示されるべき情報を処理してディスプレイ（単数又は複数）1032に好適なフォーマットにする。ディスプレイコントローラ（単数又は複数）1028及びビデオプロセッサ（単数又は複数）1034は、同じ又は異なるICパッケージ1002に、一例として、CPU1008を含む同じ又は異なるICパッケージ1002に、ICとして含まれ得る。ディスプレイ（単数又は複数）1032は、陰極線管（CRT）、液晶ディスプレイ（LCD）、プラズマディスプレイ、発光ダイオード（LED）ディスプレイなどを含むがそれらに限定されない、任意のタイプのディスプレイを含み得る。

20

#### 【0057】

[0070] 図11は、1つ又は複数のIC1102から形成された無線周波数（RF）構成要素を含む例示的な無線通信デバイス1100を示し、IC1102のいずれかが、ダイ（単数又は複数）を含むICパッケージ1103内に含まれ得る。ICパッケージ1103は、ダイ側ETS金属化層と、パッケージ基板内の別の金属化層（単数又は複数）との間の金属密度の不一致を回避又は低減するために、図7～図8Eの例示的な製造プロセスによる、及び本明細書で開示される任意の態様による、図3A～図6B及び図9A～図9Iのパッケージ基板を含むがこれらに限定されない、パッケージ基板のダイ側ETS金属化層内の埋め込み金属トレースに結合された追加の金属相互接続部を有する補助金属層を採用する。無線通信デバイス1100は、例として、上記のデバイスのうちのいずれかを含んでもよく、又は上記のデバイスのうちのいずれかの中に設けられてもよい。図11に示すように、無線通信デバイス1100は、送受信機1104とデータプロセッサ1106とを含む。データプロセッサ1106は、データ及びプログラムコードを記憶するためのメモリを含み得る。送受信機1104は、双方向通信を支持する送信機1108及び受信機1110を含む。一般に、無線通信デバイス1100は、任意の数の通信システム及び周波数帯域に対して、任意の数の送信機1108及び/又は受信機1110を含み得る。送受信機1104の全部又は一部が、1つ又は複数のアナログIC、RF IC（RFIC）、混合信号ICなどに実装され得る。

30

40

#### 【0058】

[0071] 送信機1108又は受信機1110は、スーパーヘテロダイナーキテクチャ又はダイレクトコンバージョンアーキテクチャで実装され得る。スーパーヘテロダイナーキテクチャでは、信号は、受信機1110に対して、複数の段階においてRFとベースバンドとの間で、例えば、1つの段階においてRFから中間周波数（IF）に、次いで別の段階においてIFからベースバンドに周波数変換される。ダイレクトコンバージョン

50

アーキテクチャでは、信号は、1つの段階において、RFとベースバンドとの間で周波数変換される。スーパーヘテロダイナーキテクチャ及びダイレクトコンバージョンアーキテクチャは、異なる回路ブロックを使用すること、及び/又は異なる要件を有することがある。図11の無線通信デバイス1100では、送信機1108及び受信機1110は、ダイレクトコンバージョンアーキテクチャで実装されている。

【0059】

[0072] 送信経路では、データプロセッサ1106は、送信されるべきデータを処理し、送信機1108にI及びQアナログ出力信号を提供する。例示的な無線通信デバイス1100では、データプロセッサ1106は、データプロセッサ1106により生成されたデジタル信号を、更なる処理のために、I及びQアナログ出力信号、例えばI及びQ出力電流に変換するための、デジタルからアナログへのコンバータ(DAC)1112(1)及び1112(2)を含む。

10

【0060】

[0073] 送信機1108内では、ローパスフィルタ1114(1)及び1114(2)が、それぞれ、I及びQアナログ出力信号をフィルタリングして、前のデジタルからアナログへの変換によって引き起こされた不要な信号を除去する。増幅器(AMP)1116(1)、1116(2)は、それぞれ、ローパスフィルタ1114(1)、1114(2)からの信号を増幅し、I及びQベースバンド信号を提供する。アップコンバータ1118は、送信(TX)局部発振器(LO)信号発生器1122からミキサ1120(1)、1120(2)を通るI及びQ TX LO信号を用いて、I及びQベースバンド信号をアップコンバートして、アップコンバートされた信号1124を提供する。フィルタ1126は、アップコンバートされた信号1124をフィルタリングして、周波数アップコンバージョンによって引き起こされた不要な信号並びに受信周波数帯域中の雑音を除去する。電力増幅器(PA)1128は、所望の出力電力レベルを取得するためにフィルタ1126からのアップコンバートされた信号1124を増幅して、送信RF信号を提供する。送信RF信号は、デュプレクサ又はスイッチ1130を通してルーティングされ、アンテナ1132を介して送信される。

20

【0061】

[0074] 受信経路では、アンテナ1132は、基地局によって送信された信号を受信し、受信したRF信号を提供し、RF信号は、デュプレクサ又はスイッチ1130を通してルーティングされ、低雑音増幅器(LNA)1134に提供される。デュプレクサ又はスイッチ1130は、受信(RX)信号がTX信号から分離されるように、特定のRXからTXへのデュプレクサ周波数分離で動作するように設計されている。受信されたRF信号は、LNA1134によって増幅され、所望のRF入力信号を取得するためにフィルタ1136によってフィルタ処理される。ダウンコンバージョンミキサ1138(1)、1138(2)は、フィルタ1136の出力を、RX LO信号発生器1140からのI及びQ RX LO信号(すなわち、LO\_I及びLO\_Q)と混合して、Iベースバンド信号及びQベースバンド信号を生成する。Iベースバンド信号及びQベースバンド信号は、データプロセッサ1106に提供されるIアナログ入力信号及びQアナログ入力信号を取得するために、AMP1142(1)、1142(2)によって増幅され、ローパスフィルタ1144(1)、1144(2)によって更にフィルタ処理される。この例では、データプロセッサ1106は、データプロセッサ1106によって更に処理されるようにアナログ入力信号をデジタル信号に変換するためのアナログからデジタルへのコンバータ(ADC)1146(1)、1146(2)を含む。

30

40

【0062】

[0075] 図11の無線通信デバイス1100では、TX LO信号発生器1122は、周波数アップコンバージョンに使用されるI及びQ TX LO信号を生成する一方で、RX LO信号発生器1140は、周波数ダウンコンバージョンに使用されるI及びQ RX LO信号を生成する。各LO信号は、特定の基本周波数を有する周期信号である。TX位相ロックループ(PLL)回路1148は、データプロセッサ1106からタイミ

50

ング情報を受信し、TX LO信号発生器1122からのTX LO信号の周波数及び/又は位相を調整するために使用される制御信号を生成する。同様に、RX PLL回路1150は、データプロセッサ1106からタイミング情報を受信し、RX LO信号発生器1140からのRX LO信号の周波数及び/又は位相を調整するために使用される制御信号を生成する。

【0063】

【0076】 本明細書において開示される態様に関連して説明された種々の例示的な論理ブロック、モジュール、回路、及びアルゴリズムが、電子ハードウェアとして、メモリ内に若しくは別のコンピュータ可読媒体内に記憶され、プロセッサ若しくは他の処理デバイスによって実行される命令として、又は両方の組み合わせとして実装される場合があることは、当業者には更に理解されよう。本明細書で開示するメモリは、任意のタイプ及びサイズのメモリであってもよく、所望の任意のタイプの情報を記憶するように構成されてもよい。この互換性について明確に説明するために、様々な例示的な構成要素、ブロック、モジュール、回路、及びステップについて、上記では概してそれらの機能に関して説明してきた。そのような機能がどのように実装されるかは、特定の適用例、設計上の選択、及び/又はシステム全体に課される設計制約によって決まる。当業者は、説明する機能を特定の用途ごとに様々な方法で実装し得るが、そのような実装決定は、本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。

10

【0064】

【0077】 本明細書で開示する態様に関連して説明した様々な例示的な論理ブロック、モジュール、及び回路は、プロセッサ、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)若しくは他のプログラマブル論理デバイス、ディスクリートゲート若しくはトランジスタ論理、ディスクリートハードウェア構成要素、又は本明細書で説明する機能を実行するように設計されたそれらの任意の組み合わせを用いて実装又は実行され得る。プロセッサは、マイクロプロセッサであってもよいが、代替としてプロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、又はステートマシンであってもよい。プロセッサはまた、コンピューティングデバイスの組み合わせ(例えば、DSP及びマイクロプロセッサの組み合わせ、複数のマイクロプロセッサ、DSPコアと連携する1つ以上のマイクロプロセッサ、又は任意の他のそのような構成)として実装されてもよい。

20

30

【0065】

【0078】 本明細書で開示する態様は、ハードウェアにおいて具現化されてもよい、及びハードウェア内に記憶され、例えば、ランダムアクセスメモリ(RAM)、フラッシュメモリ、リードオンリーメモリ(ROM)、電氣的プログラマブルROM(EPROM)、電氣的消去可能プログラマブルROM(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、又は当技術分野において知られている任意の他の形態のコンピュータ可読媒体の中に存在し得る命令において具現化されてもよい。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取ること及び記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体はプロセッサと一体化され得る。プロセッサ及び記憶媒体は、ASICの中に存在してもよい。ASICは、リモート局の中に存在してもよい。代替として、プロセッサ及び記憶媒体は、ディスクリート構成要素として、リモート局、基地局、又はサーバの中に存在してもよい。

40

【0066】

【0079】 本明細書の例示的な態様のいずれかで説明した動作ステップが、例及び説明を提供するために記載されていることにも留意されたい。説明する動作は、図示の順序以外の多数の異なる順序において実施され得る。更に、単一の動作ステップにおいて記載した動作は、実際にはいくつかの異なるステップにおいて実施され得る。加えて、例示的な態様において説明された1つ以上の動作ステップは組み合わせられる場合がある。当業者には容易に明らかになるように、フローチャート図に示される動作ステップには多数の異なる変更がなされる場合があることを理解されたい。当業者であれば、様々な異なる技術

50

及び技法のいずれかを使用して情報及び信号が表され得ることも理解するであろう。例えば、上記の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁場若しくは磁性粒子、光場若しくは光学粒子、又はそれらの任意の組み合わせによって表されてもよい。

【0067】

[0080] 本開示の上記の説明は、あらゆる当業者が本開示を作成又は使用することが可能となるように提供される。本開示に対する様々な変更は当業者には容易に明らかであり、本明細書で定義される一般原理は他の例に適用され得る。したがって、本開示は、本明細書で説明する例及び設計に限定することを意図するものでなく、本明細書で開示する原理及び新規の特徴と一致する最も広い範囲を与えられるべきである。

10

【0068】

[0081] 以下の番号付きの態様 / 条項において、実装例について説明する。

1. 集積回路 (IC) パッケージであって、

パッケージ基板であって、

第1の金属化層であって、

第1の絶縁層と、

第1の絶縁層に埋め込まれた1つ又は複数の第1の金属トレースを含む第1の金属層と、を含む、第1の金属化層と、

第1の金属化層に隣接して配置された第2の金属層であって、第1の金属化層の第1の金属層内の1つ又は複数の第1の金属トレースのうちの第1の金属トレースに各々結合された1つ又は複数の第2の金属相互接続部を含む、第2の金属層と、を備える、集積回路 (IC) パッケージ。

20

2.

第2の金属層が、垂直方向において第1の金属化層の第1の側に隣接して配置され、

パッケージ基板が、

垂直方向において第1の金属化層の第2の側にある1つ又は複数の第1の金属トレースのうちの第1の金属トレースに各々結合された、1つ又は複数の垂直相互接続アクセス (ビア) を更に含む、

条項1に記載のICパッケージ。

3. パッケージ基板が、1つ又は複数の第3の金属相互接続部を含む第3の金属層を含む第3の金属化層を更に含み、

30

1つ又は複数のビアのうちの各ビアが、1つ又は複数の第3の金属相互接続部のうちの第3の金属相互接続部に結合されている、条項2に記載のICパッケージ。

4. 第3の金属化層内の1つ又は複数の第3の金属相互接続部のうちの第3の金属相互接続部に各々結合された1つ又は複数の外部相互接続部を更に備える、条項3に記載のICパッケージ。

5.

1つ又は複数の第1の金属トレースが、垂直方向において12 ~ 14マイクロメートル ( $\mu\text{m}$ ) の第1の垂直方向における高さを各々有し、

1つ又は複数の第3の金属相互接続部が、10  $\mu\text{m}$  ~ 20  $\mu\text{m}$  の垂直方向における第2の高さを各々有する、

40

条項3又は4に記載のICパッケージ。

6.

1つ又は複数の第1の金属トレースが、垂直方向における第1の高さを有し、

1つ又は複数の第3の金属相互接続部が、垂直方向における第2の高さを有し、

第2の高さに対する第1の高さの比が、少なくとも8 / 20である、

条項3 ~ 5のいずれかに記載のICパッケージ。

7. 1つ又は複数の第2の金属相互接続部が各々、1つ又は複数の第1の金属トレースのうちの第1の金属トレースと直接接触している、条項1に記載のICパッケージ。

8. 第1の金属化層に隣接するはんだレジスト層を更に含み、

50

第 2 の金属層が、はんだレジスト層内に配置されている、条項 1 ~ 7 のいずれかに記載の IC パッケージ。

9 .

第 1 の絶縁層が第 1 の表面を含み、  
第 2 の金属層が第 1 の表面に隣接して配置されている、  
条項 1 ~ 8 のいずれかに記載の IC パッケージ。

10 .

第 1 の絶縁層の第 1 の表面が、水平方向において水平面に配置され、  
1 つ又は複数の第 1 の金属トレースの少なくとも一部が、垂直方向において水平面に延びる第 2 の表面を各々含む、  
条項 9 に記載の IC パッケージ。

10

11 . 1 つ又は複数の第 2 の金属相互接続部が、第 1 の絶縁層に埋め込まれていない、  
条項 1 ~ 10 のいずれかに記載の IC パッケージ。

12 . 1 つ又は複数の第 1 の金属トレースが、  
垂直方向における第 1 の高さを有する外側金属部分と、  
外側金属部分の内側に配置された内側金属部分であって、第 1 の高さよりも小さい垂直方向における第 2 の高さを有する、内側金属部分と、  
を各々含む、条項 1 ~ 11 のいずれかに記載の IC パッケージ。

13 .

第 1 の絶縁層が、第 2 の金属層に隣接する第 1 の表面を含み、第 1 の表面が、水平方向において第 1 の水平面に配置され、

20

1 つ又は複数の第 1 の金属トレースの各々に対して、  
外側金属部分が、  
水平方向において第 2 の水平面に配置された第 2 の表面と、  
垂直方向において第 2 の表面の反対側にあり、第 2 の金属層に隣接する第 3 の表面であって、垂直方向における第 1 の水平面と第 2 の水平面との間の水平方向において第 3 の水平面に配置された、第 3 の表面と、

を含み、

内側金属部分が、

第 2 の水平面に配置された第 4 の表面と、  
垂直方向において第 4 の表面の反対側にあり、第 2 の金属層に隣接する第 5 の表面であって、第 1 の水平面に配置された、第 5 の表面と、  
を含む、条項 12 に記載の IC パッケージ。

30

14 .

1 つ又は複数の第 1 の金属トレースが、8 ~ 14 マイクロメートル ( $\mu\text{m}$ ) の垂直方向における第 1 の高さを有し、

1 つ又は複数の第 2 の金属相互接続部が、1  $\mu\text{m}$  ~ 5  $\mu\text{m}$  の垂直方向における第 2 の高さを有する、

条項 1 ~ 13 のいずれかに記載の IC パッケージ。

15 .

1 つ又は複数の第 1 の金属トレースが、垂直方向における第 1 の高さを各々有し、  
1 つ又は複数の第 2 の金属相互接続部が、垂直方向における第 2 の高さを各々有し、  
第 2 の高さに対する第 1 の高さの比が、少なくとも 8 / 5 である、  
条項 1 ~ 14 のいずれかに記載の IC パッケージ。

40

16 . 1 つ又は複数の第 1 の金属トレースが、7 マイクロメートル ( $\mu\text{m}$ ) 以下の水平方向における第 1 の幅を各々有し、

9  $\mu\text{m}$  以下の水平方向における第 2 の幅を有する 1 つ又は複数の第 1 の金属トレースのうち隣接する第 1 の金属トレース間に 1 つ又は複数の空間を更に備える、

条項 1 ~ 15 のいずれかに記載の IC パッケージ。

17 . パッケージ基板に結合されたダイを更に備える、条項 1 ~ 16 のいずれかに記載

50

の IC パッケージ。

18. ダイが、1つ又は複数の第1の金属トレースのうち第1の金属トレースに各々結合された1つ又は複数のダイ相互接続部を含む、条項17に記載の IC パッケージ。

19. 1つ又は複数のダイ相互接続部が、第2の金属層内の1つ又は複数の第2の金属相互接続部のうちの第2の金属相互接続部に各々結合されている、条項17又は18に記載の IC パッケージ。

20. 第2の金属層の少なくとも一部が、垂直方向においてダイと第1の金属化層との間に配置されている、条項17～19のいずれかに記載の IC パッケージ。

21. 第2の金属層が、垂直方向においてダイの外側に配置されている、条項17～20のいずれかに記載の IC パッケージ。

22. セットトップボックスと、エンターテインメントユニットと、ナビゲーションデバイスと、通信デバイスと、固定ロケーションデータユニットと、モバイルロケーションデータユニットと、全地球測位システム(GPS)デバイスと、モバイルフォンと、携帯電話と、スマートフォンと、セッション開始プロトコル(SIP)フォンと、タブレットと、ファブレットと、サーバと、コンピュータと、ポータブルコンピュータと、モバイルコンピューティングデバイスと、ウェアラブルコンピューティングデバイスと、デスクトップコンピュータと、携帯情報端末(PDA)と、モニターと、コンピュータモニターと、テレビと、チューナーと、ラジオと、衛星ラジオと、音楽プレーヤと、デジタル音楽プレーヤと、ポータブル音楽プレーヤと、デジタルビデオプレーヤと、ビデオプレーヤと、デジタルビデオディスク(DVD)プレーヤと、ポータブルデジタルビデオプレーヤと、自動車と、車両部品と、アビオニクスシステムと、ドローンと、マルチコプターと、からなる群から選択されるデバイスに一体化された、条項1～21のいずれかに記載の IC パッケージ。

23. 集積回路(IC)パッケージの製造方法であって、

パッケージ基板を形成することであって、

第1の金属化層を形成することであって、

第1の絶縁層を形成することと、

第1の絶縁層に1つ又は複数の第1の金属トレースを埋め込み、第1の絶縁層内に第1の金属層を形成することと、を含む、第1の金属化層を形成すること、

を含む、パッケージ基板を形成することと、

第1の金属化層に隣接する第2の金属層内に1つ又は複数の第2の金属相互接続部を形成することと、

第2の金属層内の1つ又は複数の第2の金属相互接続部の各々を、第1の金属化層の第1の金属層内の1つ又は複数の第1の金属トレースのうち第1の金属トレースに結合することと、

を含む、方法。

24.

第2の金属層内に1つ又は複数の第2の金属相互接続部を形成することが、垂直方向において第1の金属化層の第1の側に隣接して第2の金属層内に1つ又は複数の第2の金属相互接続部を形成することを含み、

パッケージ基板を形成することが、

垂直方向において第1の金属化層の第2の側にある1つ又は複数の第1の金属トレースのうち第1の金属トレースに各々結合された1つ又は複数の垂直相互接続アクセス(ビア)を形成することを更に含む、

条項23に記載の方法。

25. パッケージ基板を形成することが、1つ又は複数の第3の金属相互接続部を含む第3の金属層を含む第3の金属化層を形成することを更に含む、

第3の金属層内の1つ又は複数の第3の金属相互接続部の各々を、1つ又は複数のビアのうちビアに結合することを更に含む、条項24に記載の方法。

26. 1つ又は複数の第2の金属相互接続部の各々を結合することが、第1の金属化層

10

20

30

40

50

の第 1 の金属層内の 1 つ又は複数の第 1 の金属トレースのうちの第 1 の金属トレースと接触して、第 2 の金属層内の 1 つ又は複数の第 2 の金属相互接続部の各々を配置することを含み、条項 2 3 に記載の方法。

27 . 第 2 の金属層がはんだレジスト層内に配置されるように、第 2 の金属層の上にかつ第 1 の金属化層に隣接して、はんだレジスト層を形成することを更に含み、条項 2 3 ~ 2 6 のいずれかに記載の方法。

28 .

第 1 の絶縁層を形成することが、水平方向において水平面に配置された第 1 の表面を形成することを更に含み、

1 つ又は複数の第 1 の金属トレースを第 1 の絶縁層に埋め込むことが、垂直方向において水平面に延びる 1 つ又は複数の第 1 の金属トレースの少なくとも一部に第 2 の表面を形成することを更に含み、条項 2 3 ~ 2 7 のいずれかに記載の方法。

29 . 1 つ又は複数の第 2 の金属相互接続部を、第 1 の絶縁層に埋め込まないことを更に含み、条項 2 3 ~ 2 8 のいずれかに記載の方法。

30 . パッケージ基板に結合されたダイを結合することを更に含み、条項 2 3 ~ 2 9 のいずれかに記載の方法。

31 . ダイを結合することが、ダイの少なくとも 1 つのダイ相互接続部を、第 2 の金属層内の 1 つ又は複数の第 2 の金属相互接続部のうちの第 2 の金属相互接続部に結合することを含み、条項 3 0 に記載の方法。

32 .

キャリアを設けることと、

キャリア上に第 2 の金属層を形成することと、

第 2 の金属層上に配置された第 1 の金属層内に 1 つ又は複数の第 1 の金属トレースを形成することと、

を更に含み、条項 2 3 ~ 3 1 のいずれかに記載の方法。

33 . 第 1 の絶縁層に 1 つ又は複数の第 1 の金属トレースを埋め込むことが、

第 1 の金属層内に 1 つ又は複数の第 1 の金属トレースを形成することと、

第 1 の金属層内の 1 つ又は複数の第 1 の金属トレースを、第 1 の絶縁層を形成する誘電体材料で積層することと、を含み、条項 3 2 に記載の方法。

34 .

第 2 の金属層上にマスキング層を配置することと、

第 2 の金属層の上のマスキング層に 1 つ又は複数の開口部を形成するために、

マスキング層を露光することと、

エッチングされていない第 2 の金属層内に 1 つ又は複数の第 2 の金属相互接続部を形成するために、1 つ又は複数の開口部から露出された第 2 の金属層内に 1 つ又は複数の開口部の内側をエッチングすることと、

を更に含み、条項 3 3 に記載の方法。

35 . 第 2 の金属層上にはんだレジスト層を形成することを更に含み、条項 3 4 に記載の方法。

10

20

30

40

50

【 図 面 】

【 図 1 】

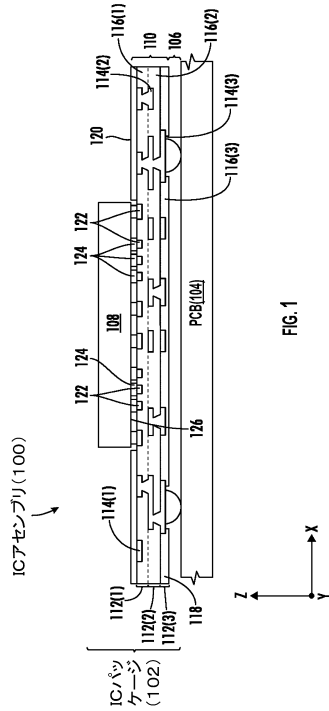


FIG. 1

【 図 2 A 】

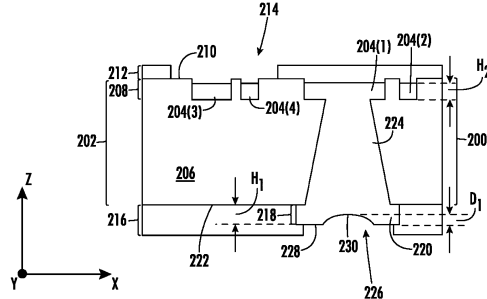


FIG. 2A

10

20

【 図 2 B 】

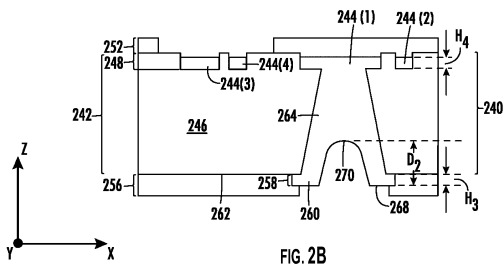


FIG. 2B

【 図 3 A 】

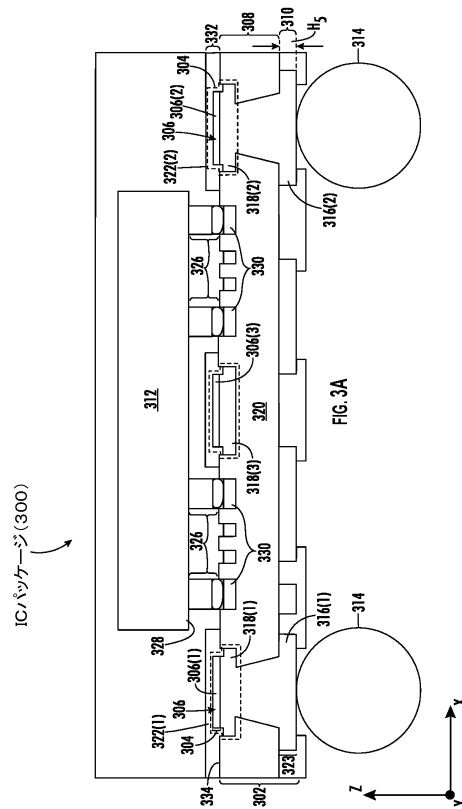


FIG. 3A

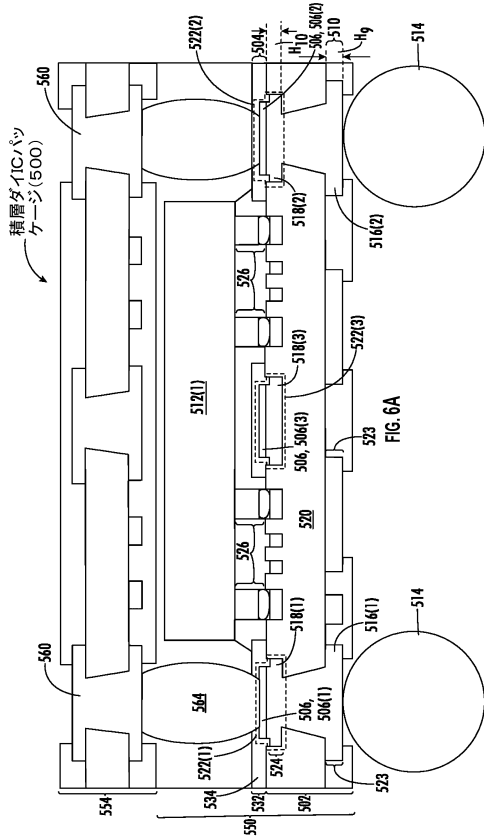
30

40

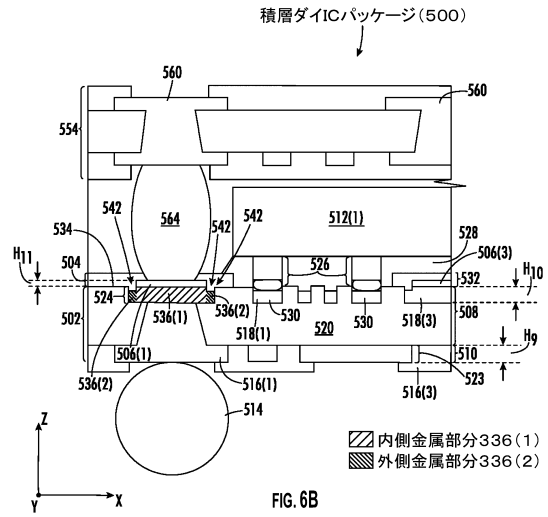
50



【 図 6 A 】



【 図 6 B 】



10

20

【 図 7 】

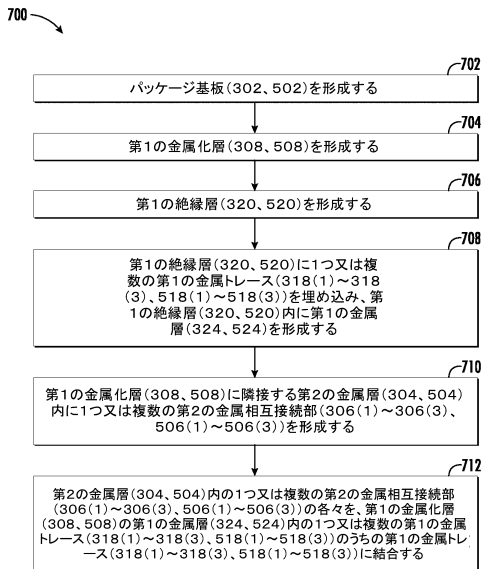


FIG. 7

【 図 8 A 】

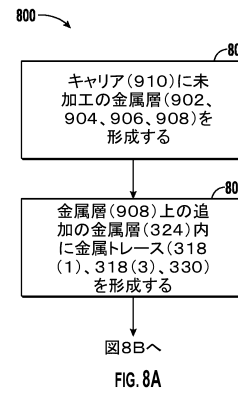


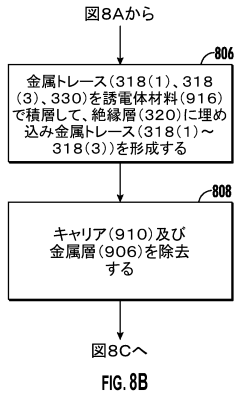
FIG. 8A

30

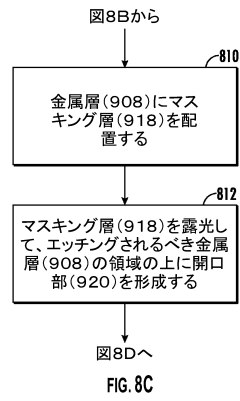
40

50

【 図 8 B 】



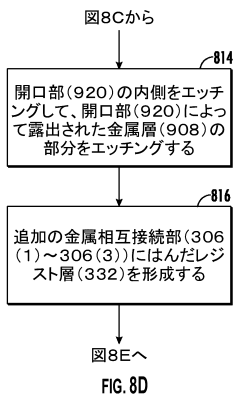
【 図 8 C 】



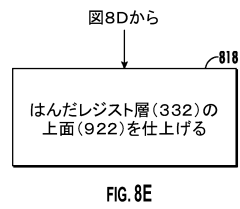
10

20

【 図 8 D 】



【 図 8 E 】

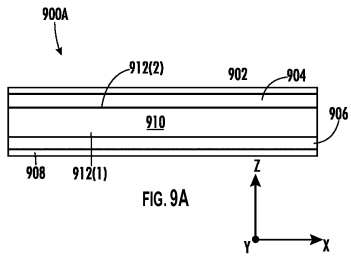


30

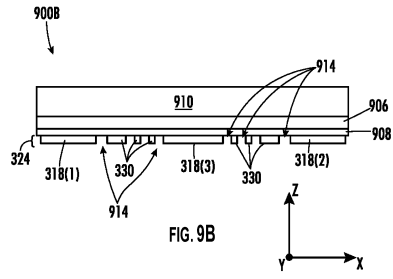
40

50

【 図 9 A 】



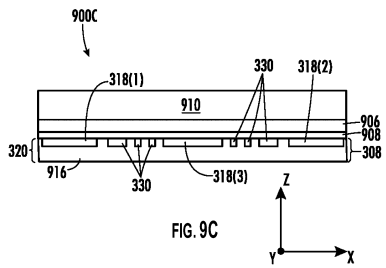
【 図 9 B 】



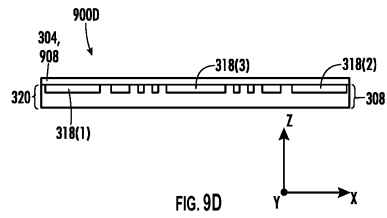
10

20

【 図 9 C 】



【 図 9 D 】



30

40

50

【 図 9 E 】

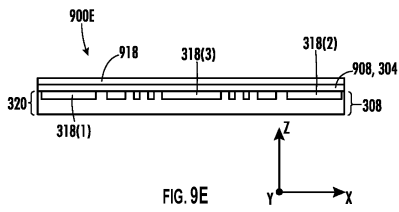


FIG. 9E

【 図 9 F 】

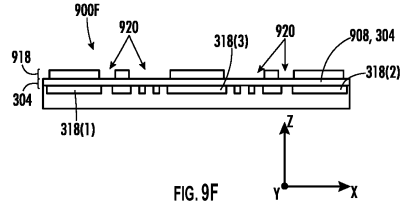


FIG. 9F

10

20

【 図 9 G 】

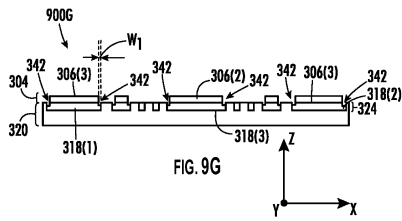


FIG. 9G

【 図 9 H 】

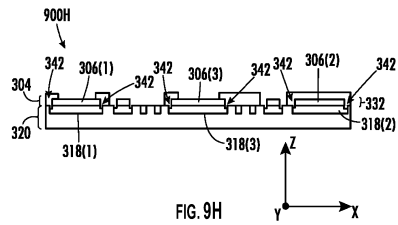


FIG. 9H

30

40

50



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2022/076910

A. CLASSIFICATION OF SUBJECT MATTER  
INV. H01L23/538  
ADD.  
According to International Patent Classification (IPC) or to both national classification and IPC

10

B. FIELDS SEARCHED  
Minimum documentation searched (classification system followed by classification symbols)  
H01L  
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2021/057352 A1 (AGARWAL RAHUL [US] ET AL) 25 February 2021 (2021-02-25)  paragraph [0037] - paragraph [0042]; figure 1 paragraph [0046] - paragraph [0048]; figures 5-7 paragraph [0049] - paragraph [0052]; figures 8,11  -----	1-4, 7, 9-11, 17, 22-26, 28-30, 32-35

20

30

Further documents are listed in the continuation of Box C.  See patent family annex.

\* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

40

Date of the actual completion of the international search <b>6 December 2022</b>	Date of mailing of the international search report <b>06/02/2023</b>
---	---

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HY Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer <b>Keller, Jan</b>
--	--

1

Form PCT/ISA/210 (second sheet) (April 2005)

50

**INTERNATIONAL SEARCH REPORT**

International application No.  
**PCT/US2022/076910**

**Box No. I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

10

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:

2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

20

**Box No. II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

**see additional sheet**

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2.  As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

30

3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**1-4, 7, 9-11, 17, 22-26, 28-30, 32-35**

40

**Remark on Protest**

The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

No protest accompanied the payment of additional search fees.

International Application No. PCT/US2022 /076910

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

- 1. claims: 1-4, 7, 9-11, 17, 22-26, 28-30, 32-35

An integrated circuit (IC) package, comprising a package substrate having metallisation layers, method of manufacture therefor.

---

- 2. claims: 5, 6, 14, 15

An integrated circuit (IC) package, comprising a package substrate having metallisation layers having reduced warpage.

---

- 3. claims: 8, 27

An integrated circuit (IC) package, comprising a package substrate having a solder resist layer as dielectric, method of manufacture therefor.

---

- 4. claims: 12, 13

An integrated circuit (IC) package, comprising a package substrate having metallisation layers having a specific cross section.

---

- 5. claim: 16

An integrated circuit (IC) package, comprising a package substrate having metallisation layers having a specific metal pattern.

---

- 6. claims: 18, 19, 31

An integrated circuit (IC) package, comprising a package substrate having metallisation layers having die interconnects, method of manufacture therefor.

---

- 7. claims: 20, 21

An integrated circuit (IC) package, comprising a package substrate having metallisation layers having separate electrical circuits in the package substrate.

---

10

20

30

40

50

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

**PCT/US2022/076910**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
<b>US 2021057352 A1</b>	<b>25-02-2021</b>	<b>NONE</b>	

10

20

30

40

50

## フロントページの続き

(51)国際特許分類

F I

H 0 5 K

1/09

C

テーマコード (参考)

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU, CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT, JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY ,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY, TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者

ブオト、ジョアン・レイ・ピラーバ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者

ファン、チン - リウ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

F ターム (参考)

4E351 DD04 GG01 GG20

5E316 AA32 AA43 CC32 CC52 CC55 CC58 DD32 DD48 FF07 GG22

HH11 HH40 JJ02

5E338 AA03 BB13 BB25 BB75 CD02 EE26 EE28 EE60