[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/00 (2006.01)
H01L 21/3065 (2006.01)
H01L 21/67 (2006.01)
C23F 4/00 (2006.01)

[12] 发明专利说明书

专利号 ZL 200510129527.5

[45] 授权公告日 2009 年 3 月 11 日

[11] 授权公告号 CN 100468615C

[22] 申请日 2005.12.5
[21] 申请号 200510129527.5
[30] 优先权
[32] 2004.12.3 [33] US [31] 11/003,062
[73] 专利权人 诺信公司
地址 美国俄亥俄州
[72] 发明人 罗伯特·康德拉少弗
詹姆士·D·格蒂
詹姆士·S·泰勒
[56] 参考文献
US6417028B2 2002.7.19
US4599970A 1986.7.15
US2002/0032940A1 2002.3.21
审查员 段小晋

[74] 专利代理机构 中原信达知识产权代理有限责任公司
代理人 杨林森 谷惠敏

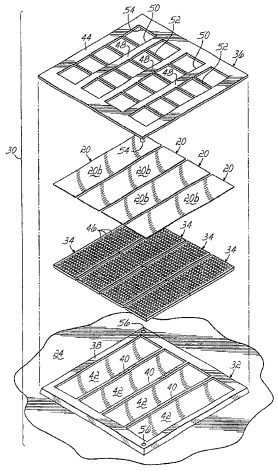
权利要求书 4 页 说明书 9 页 附图 3 页

[54] 发明名称

从基片的选择区域去除外来杂质的等离子处理设备和方法

[57] 摘要

用于屏蔽从基片上的第一区域凸出的器件免受等离子体影响、同时用等离子体从基片上的不同区域去除外来杂质的设备和方法。所述设备包括至少一个凹陷，其被定位并定好尺寸以接收器件，以便器件被屏蔽而免受等离子体的影响。所述设备进一步包括窗口，通过所述窗口，等离子体去除外来杂质。所述方法通常包括去除外来杂质，同时屏蔽器件免受暴露于等离子体的影响。



1. 一种屏蔽组件，用于在用等离子体处理期间保持至少一个基片，所述至少一个基片具有第一面、从所述第一面凸起的多个器件、与第一面相对的第二面以及在第二面上的外来杂质，所述屏蔽组件包括：

多个第一部件，所述第一部件的每一个包括多个凹陷，所述多个凹陷被安置并定好尺寸，以接收从至少一个基片的第一面凸起的所述器件，并且所述凹陷构造为减少所述器件向等离子体的暴露；以及

第二部件，其包括多个窗口，所述窗口的每一个与至少一个所述第一部件中的所述多个凹陷对齐使得等离子体接触所述外来杂质并从所述至少一个基片的第二面去除所述外来杂质。

2. 根据权利要求 1 所述的屏蔽组件，进一步包括：

第三部件，其相对于所述第一部件对齐所述第二部件。

3. 根据权利要求 2 所述的屏蔽组件，其中，所述第三部件具有凹进，并且在所述凹进里面安置所述第二部件。

4. 根据权利要求 1 所述的屏蔽组件，其中，所述第一部件和所述第二部件由导电材料形成，并且所述第一部件和所述第二部件具有适合导电的接触关系。

5. 根据权利要求 1 所述的屏蔽组件，其中，所述凹陷的每一个具有关于所述器件中的相应的一个器件接触所述至少一个基片的所述第一面的周边，所述凹陷和所述第一面之间的所述接触对于屏蔽所述器件中的所述相应的一个器件免受所述等离子体的影响是有效的。

6. 根据权利要求 1 所述的屏蔽组件，其中，所述窗口包括第一和第二侧边以及在所述第一和第二侧边之间延伸的多个横梁，所述横梁

被安置以便至少部分地暴露所述第二面。

7. 根据权利要求 1 所述的屏蔽组件，其中，相对于所述第一部件安置所述第二部件，以便在所述第一部件和所述第二部件之间定位所述至少一个基片。

8. 一种处理系统，用于使用等离子体处理至少一个基片，所述至少一个基片具有第一面、从所述第一面凸出的多个器件、与第一面相对的第二面以及在第二面上的外来杂质，所述处理系统包括：

真空室，其围起能够被抽排成部分真空的处理空间；

电极，其安置在所述处理空间中；

气口，其被限定在所述真空室中，用于使处理气体进入到所述处理空间中；

电源，其和所述电极电连接，所述电源用于将所述处理气体转换成所述等离子体；以及

屏蔽组件，其在所述处理空间中的处理位置处保持所述至少一个基片，所述屏蔽组件包括：多个第一部件，所述第一部件的每一个具有多个凹陷，所述凹陷被安置并定好尺寸，以接收从至少一个基片的第一面凸起的所述器件，并且所述凹陷构造为减少所述器件向等离子体的暴露；以及第二部件，其具有多个窗口，所述窗口的每一个与在至少一个所述第一部件中的所述多个凹陷对齐使得等离子体接触所述外来杂质并从至少一个基片的所述第二面去除所述外来杂质。

9. 根据权利要求 8 所述的处理系统，其中，在所述电极上安置所述屏蔽组件。

10. 根据权利要求 9 所述的处理系统，其中，取向所述第一部件，以便所述凹陷面向离开所述电极的方向。

11. 根据权利要求 8 所述的处理系统，其中，所述屏蔽组件和所

述电极电连接。

12. 根据权利要求 8 所述的处理系统，其中，所述屏蔽组件进一步包括：

第三部件，其相对于所述第一部件对齐所述第二部件。

13. 根据权利要求 12 所述的处理系统，其中，所述第三部件具有凹进，并且在所述凹进里面安置所述第二部件。

14. 根据权利要求 8 所述的处理系统，其中，所述第一部件和所述第二部件由导电材料形成，并且所述第一部件和所述第二部件具有适合导电的接触关系。

15. 根据权利要求 8 所述的处理系统，其中，所述凹陷的每一个具有关于所述器件中的相应的一个器件接触所述至少一个基片的表面的周边，所述凹陷的每一个和所述表面之间的所述接触对于屏蔽所述器件中的所述相应的一个器件免受所述等离子体的影响是有效的。

16. 根据权利要求 8 所述的处理系统，其中，所述窗口包括第一和第二侧边以及在所述第一和第二侧边之间延伸的多个横梁，所述横梁被相对于所述至少一个基片安置以便暴露外来杂质。

17. 根据权利要求 8 所述的处理系统，其中，相对于所述第一部件安置所述第二部件，以便在所述第一部件和所述第二部件之间定位所述至少一个基片。

18. 一种用于在真空室内限定的处理空间中等离子处理基片的方法，所述基片具有第一面、从所述第一面凸起的多个器件、与第一面相对的第二面以及在第二面上的外来杂质，所述方法包括：

在所述真空室的所述处理空间中放置所述基片；

在所述处理空间中生成等离子体；

用具有多个凹陷的屏蔽组件覆盖所述基片的所述第一面，所述多个凹陷被配置用于接收并屏蔽从第一面凸起的所述多个器件免受所述等离子体的影响；以及

将所述第二面暴露于来自所述等离子体的活性组分，所述等离子体对于从所述第二面去除所述外来杂质是有效的。

19. 根据权利要求 18 所述的方法，其中，将所述第二面暴露于来自所述等离子体的活性组分的步骤包括：

用具有多个窗口的屏蔽组件覆盖基片的第二面；和

将每个窗口与所述多个凹陷的一部分对齐，使得来自所述等离子体的活性组分接触所述外来杂质并从所述基片的所述第二面去除所述外来杂质。

20. 根据权利要求 19 所述的方法，其中，在所述处理空间中放置所述基片进一步包括：

在用于在所述处理空间中生成所述等离子体的加电的电极上放置所述屏蔽组件和所述基片；以及

取向所述基片，以便所述第二面面向离开所述加电的电极的方向。

从基片的选择区域去除外来杂质的等离子处理设备和方法

技术领域

本发明通常涉及等离子处理，更加具体地，涉及用于选择性地从基片去除外来杂质的等离子处理设备。

背景技术

等离子处理系统日常用于修改涉及集成电路、电子封装和印刷电路板的应用中使用的基片的表面性质。具体地，等离子处理系统用于处理例如电子封装的表面，以增加表面活性和/或表面清洁度，用于消除分层和连接故障、改善导线连接强度、确保电路板上芯片的无空隙底层填料、去除氧化物、增强芯片连接以及改善芯片封装的粘附。典型地，在等离子处理系统中放置基片，并且每个基片的至少一个表面暴露于等离子体。通过物理溅射、化学辅助溅射、由活性等离子组分促发的化学反应以及这些机制的联合，可以从表面去除基片的最外原子层。物理或化学作用还可以用于修整表面，以改善诸如粘附之类的性质或从基片表面清除不希望有的污染物。

在半导体制造期间，半导体芯片通常由导线连接器电连接到诸如引线框(lead frame)之类的金属载体上的引线。引线框通常包括若干焊盘，每个所述焊盘具有暴露的引线，其用于将单个半导体芯片电连接到电路板。一个半导体芯片连接到每个焊盘，并且将芯片的外部电触点和引线的附近部分导线连接。每个半导体芯片及其导线连接器被封装在由模制聚合体组成的包装里面，所述模制聚合体被设计用来保护半导体芯片和导线连接器免于处理、存储和制造过程期间遇到的不利环境，以及散发在运行期间从半导体芯片生成的热量。模制的包装从其他方面通常是平面的引线框一侧作为三维器件凸出。

在模制过程期间，在两个半铸模之间安置引线框和多个连接的半导体芯片。一个半铸模包括大量的凹陷，每个所述凹陷接收半导体芯片中的一个，并且模仿封装的形状和布置。半铸模被压在一起，以力图密封凹陷的入口。被注入到铸模中的模制材料充满凹陷里面的空隙，用于封装半导体芯片和导线连接器。然而，模制材料能够渗出到凹陷的外面，并且在半铸模之间流动，以在引线的暴露部分上形成薄层或溢料(flash)。该薄溢料具有典型地小于大约 10 微米的厚度。溢料影响了和引线的暴露部分并因此和封装的半导体芯片建立高质量电连接的能力。

对于减轻溢料的影响，已开发了多种传统方法。通过在模制过程期间用带子覆盖引线框的背面，可以防止溢料。然而，粘合剂可以从带子被转移到引线框背面，并且在去除带子之后作为残留物保持。另外，适合于这种应用的带子相对昂贵，这不必要地增加了制造成本。在模制之后，通过机械和化学技术，或者使用激光，可以去除溢料。这些去除方法同样遭受它们使用方面的限制。例如，引线框容易受到来自诸如化学机械研磨之类的机械溢料去除技术的破坏。化学过程可能效率低，除非使用高腐蚀性化学品，这潜在地引发了工人安全性和用过的腐蚀性化学品的废物处理的问题。激光去除由于设备成本所以很贵，并且在引线框背面留下了残留的炭渣。

这样一来，就存在对等离子处理系统的需要，所述等离子处理系统能够经济高效地从基片上的区域去除诸如多余的模制材料之类的外来杂质，同时屏蔽基片上的其他区域免受等离子体的影响。

发明内容

本发明针对这些以及和以下相关的其他问题：用等离子体从基片上的区域去除外来杂质，而不将基片上其他区域上的器件暴露于等离子体。为此，本发明提供了屏蔽组件，用于在用等离子处理期间保持基片。基片具有：第一区域；从第一区域凸出的器件；以及由外来杂

质覆盖的第二区域。屏蔽组件包括：第一部件，其包括凹陷，所述凹陷被安置并定好尺寸，以接收器件并屏蔽器件免受等离子体的影响；以及第二部件，其包括用于使等离子体进入以接触外来杂质的窗口，以便用等离子体从第二区域去除外来杂质。

本发明的屏蔽组件尤其有益的一种情形在于，从引线框去除溢料，而不使从其他方面通常是平面的引线框凸出的模制封装暴露于等离子体。半导体封装里面的半导体芯片对等离子照射敏感，并因此希望在等离子去除溢料过程期间屏蔽封装免受等离子体的影响。

屏蔽组件可以是处理系统的组成部分，所述处理系统进一步包括：真空室，其围起能够被抽排成部分真空的处理空间；电极，其安置在处理空间中；以及气口，其在真空室中规定，用于使处理气体进入到处理空间中。该系统进一步包括电连接到电极的电源，所述电源用于将处理气体转换成等离子体。在适合于等离子处理的位置处的处理空间中安置定位器。

在本发明的另一个方面，提供了对具有第一区域、从第一区域凸出的器件以及由外来杂质覆盖的第二区域的基片进行等离子处理的方法。该方法包括将基片放置在真空室的处理空间中，并且在处理空间中生成等离子体。用具有凹陷的屏蔽组件覆盖基片的第一区域，所述凹陷被配置用于接收并屏蔽器件免受等离子体的影响。第二区域暴露于来自等离子体的活性组分，所述等离子体对于去除外来杂质是有效的。

从附图及其说明中，本发明的这些及其他目的和优点将变得更加明显。

附图说明

被并入并且组成本说明书一部分的附图显示了本发明的实施例，

并且和上面给出的本发明的一般描述，以及下面给出的详细描述一起，用于解释本发明的原理。

图 1 是根据本发明的原理的用于等离子处理基片的等离子处理系统的简图；

图 2 是与图 1 的等离子处理系统一起使用的屏蔽组件的分解图；

图 3 是图 2 的装配好的屏蔽组件的透视图；

图 4 是显示将基片装载到掩模中的图 2 的掩模的透视图；以及

图 5 是图 4 的部分的局部横截面的详细示图。

具体实施方式

参考图 1，等离子处理系统 10 包括处理室 12，其由围起处理空间 14 的壁组成。在等离子处理期间，处理室 12 被密封得流体不能从周围环境透过，被抽排成适当的部分真空，并且被提供适合于预期等离子处理的处理气体。真空泵 16 用于通过有阀真空口 17 抽排处理室 12 的处理空间 14。真空泵 16 可以包括一个或多个具有可控制泵速的真空泵送装置，如真空技术领域中的普通技术人员所认识的那样。

处理气体通过处理室 12 中规定的进气口 21 从处理气体源 18 以规定的流速进入到处理空间 14。处理气体从处理气体源 18 到处理空间 14 的流量典型地由流量控制器（未显示）测量。必要时调整从处理气体源 18 的气体流速和真空泵 16 的泵速，以产生适合于等离子体生成和适合于预期的处理过程的处理压力与环境。在从处理气体源 18 引入处理气体的同时，连续地抽排处理空间 14，以便在等离子体存在时，在处理空间 14 之内连续地交换新鲜气体，并且从处理空间 14 消除任何用过的处理气体和从基片 20 去除的挥发性组分。

电源 22 电连接并输送电能给处理室 12 里面的电极 24。从电源 22 输送的电能，对于从处理空间 14 之内限制的处理气体形成等离子体 26 是有效的，并且还控制了直流（DC）自偏压。尽管未如此限制本发明，

但是电源 22 可以是射频（RF）电源，其在大约 40kHz 和大约 13.56MHz 之间、优选地为大约 13.56MHz 的频率下，尽管可以使用其他的频率，以及例如 40kHz 的大约 4000 瓦和大约 8000 瓦之间、或者 13.56MHz 的大约 300 瓦到 2500 瓦的功率水平下运行。本领域技术人员将意识到，不同的处理室设计可以允许不同的偏压功率。控制器（未显示）连接到等离子处理系统 10 的不同部件，以利于蚀刻过程的控制。

等离子处理系统 10 可以采取本领域技术人员理解的不同构造，并且因此不限于在此描述的示范性构造。例如，等离子体 26 可以远离处理室 12 生成，并且被递送到处理空间 14。等离子处理系统 10 被进一步理解为包括运行系统 10 所必须的图 1 中未显示的部件，诸如在处理空间 14 和真空泵 16 之间布置的闸阀之类。

屏蔽或屏蔽组件 30 在适合于进行等离子处理的处理室 12 的处理空间 14 中的位置处的示范性处理系统 10 中保持一个或多个基片 20（图 2）。从基片 20 的一个面 20a 和基片 20 的相对面 20b 凸出的三维器件 28 可以是近似平面的。三维器件 28 在等离子处理期间将会被保护，并因此在基片 20 的等离子处理期间被屏蔽免受等离子体 26 的影响。本发明关注屏蔽组件 30 可以保持单个基片 20 用于等离子处理。

参考图 2 到 4，屏蔽组件 30 包括：多个第一部件或掩模 34；第二部件或顶框 36；以及第三部件或下底板 32，其可以被搁在加电的电极 24 上。使掩模 34 中的每一个适合于掩盖基片 20 中对应一个的面 20b，以便屏蔽三维器件 28 免受处理空间 14 中的等离子体的影响。顶框 36 和下底板 32 固定了基片 20 与掩模 34。

下底板 32 包括凸出的环形缘 38 以及平行、相等间隔的肋条 40，每个所述肋条 40 在缘 38 的相对边之间延伸。缘 38 和肋条 40 合作，以规定在缘 38 规定的平面下面的凹进 42。每个凹进 42 都被定好了尺寸，具有适合于接收单个掩模 34 的长度、宽度和深度。在凹进 42 中

安置掩模 34 并且在屏蔽组件 30 中安置基片 20 之后，顶框 36 的环形外围部分 44 可以物理地接触下底板 32 的缘 38，用于建立良好的电与热接触。肋条 40 通常安置在相邻的掩模 34 之间。下底板 32 可以连接到电极 24，或者，可选择地，可以另外安置在适合于等离子处理的位置处的处理空间 14 中。

每个掩模 34 都由多个凹陷 46 构成，每个所述凹陷 46 都和一个或多个基片 20 的面 20b 上携带的三维器件 28 相关。通常，凹陷 46 作为从面 20b 凸出的三维器件 28 的倒像或补充被布置、定尺寸和定位。优选地调整凹陷 46 的深度，以便下底板 32 的缘 38 接触顶框 36 的外围部分 44。

以凹陷 46 面向离开加电的电极 24 的方向的方式空间取向每个掩模 34。一个或多个基片 20 以凹陷 46 和三维器件 28 一致且已配准的方式安置在每个掩模 34 里面。结果，每个基片 20 的暴露的上表面 20b 面向离开加电的电极 24 的方向，并且这样取向基片 20，以便三维器件 28 面朝着加电的电极 24 的方向。

每个凹陷 46 都具有下述尺寸（长度、宽度和深度），所述尺寸具有足够的间隙以接收三维器件 28 中的一个。凹陷 46 可以被相等地定尺寸，或者制作单独的尺寸，以容纳跨越基片 20 的不同尺寸的三维器件 28。结果，每个凹陷 46 都规定了关于每个三维器件 28 的周长的基片 20 的密封，足以防止等离子体 26 的进入。本发明关注单个掩模 34 可以足以屏蔽基片 20 和/或单个凹陷 46 对于屏蔽三维器件 28 免受等离子体 26 的影响是有效的。例如，具有关于掩模 34 的外围延伸的单个凹陷 46 的单个掩模 34 可以对于屏蔽基片 20 的下表面 20a 免受等离子体 26 中的活性组分的影响是有效的。

继续参考图 2 到 4，在掩模 34 保持的基片 20 上安置顶框 36。顶框 36 的质量施加向下的力，其和下底板 32 固定基片 20 和掩模 34。

顶框 36 包括等距平行的肋条 48，其在环形外围部分 44 里面规定的通常是矩形的开口的两个相对边之间延伸，将外围部分 44 里面的该空间分成了多个窗口 50。当装配屏蔽组件 30 时，肋条 48 通常安置在相邻的基片 20 之间。横梁 52 执行加强顶框 36 的功能，并且仅仅覆盖不需要或不希望等离子处理的基片 20 的部分。横梁 52 的具体位置将取决于基片 20 上的三维器件 28 的布置，并且将促使把窗口 50 分成更小的窗口。本发明关注可以构造顶框 36 以有意屏蔽基片 20 的上表面 20b 的区域免受等离子体的影响。使顶框 36 的对角处的键销 54 和下底板 32 中的相应键孔 56 配准，其中只有一个所述键孔 56 在图 2 中是可见的，以在屏蔽组件 30 的装配期间确保这些部件之间的配准。

可以从任何以可接受的热和电传导性为特征的合适的材料比如铝来形成下底板 32、掩模 34 和顶框 36。示范性的掩模 34 从 5mm 厚的铝片中形成，并且凹陷 46 被布置和定位在相应于基片 20 的三维器件 28 的布置和定位的位置处。

在本发明的可选择的实施例中，可以将下底板 32 中的凹陷 42 直接形成到电极 24 中。用来防止掩模 34 的横向运动并且在相对于顶框 36 中的窗口 50 的固定位置处定位掩模 34 的凹陷 42，可以由能够防止横向运动的任何结构代替。可选择地，如果单独的掩模 34 相对于顶框 36 的横向运动不是所关心的，比如如果掩模 34 都连接在一起，则下底板 32 可以全部忽略。

在等离子处理系统 10 的示范性预期使用中，每个基片 20 都可以是具有半导体芯片封装作为三维器件 28 的引线框，并且以凹陷 46 被定好尺寸并且布置以掩盖引线框的封装的方式配置每个掩模 34。等离子处理引线框，以去除以前制造阶段期间模制过程产生的模制材料（亦即溢料）的薄层。

本发明克服了传统去除技术的各种不足，因为从基片 20 去除外

来杂质而不诉诸于湿化学蚀刻技术、机械技术或激光的使用，并且不破坏基片 20。本发明的方法尤其适用于去除覆盖引线框的电触点的模制材料或溢料的不必要薄层。溢料产生于将引线框携带的芯片封装到模制材料组成的各个包装里面的模制过程。

使用并参考图 1 到 5，在下底板 32 中规定的凹进 42 中安置掩模 34，所述下底板 32 被搁在加电的电极 24 上，并且以凹陷 46 面向离开电极 24 和下底板 32 的方向的方式取向掩模 34。然后基片 20 和掩模 34 相联系，以便在相应组的凹陷 46 中接收每个基片 20 携带的三维器件 28。最后，在掩模 34 保持的基片 20 上安置顶框 36。顶框 36 的键销 54 和下底板 32 中规定的相应键孔 56 之间的接合，在屏蔽组件 30 的装配期间配准下底板 32 和顶框 36。

邻近三维器件 28 中的一些或全部的是结构 58，其中在图 5 的详细示图中显示了一个结构 58。结构 58 可以是例如引线框的暴露的导电引线。结构 58 上的区域 60 可以由等离子处理打算去除的诸如来自产生封装半导体芯片的包装的模制操作的溢料之类的外来杂质薄层覆盖。

在装配屏蔽组件 30 之后，用真空泵 16 抽排处理空间 14。从处理气体源 18 引入处理气体流，以将处理室 12 中的部分真空提高到合适的工作压力，典型地在大约 150mTorr 到大约 1200mTorr 的范围之间，同时用真空泵 16 主动抽排处理空间 14。电源 22 被通电，以向电极 24 供应电能，所述电极 24 在接近基片 20 的处理空间 14 中生成等离子体 26，并且直流自偏压电极 24。在适合于从基片 20 的覆盖区域 60（图 5）去除外来杂质的薄层的处理过程中，基片 20 暴露于来自等离子体 26 的活性组分。

等离子体 26 包含和被修整的基片 20 的表面上的杂质相互作用的活性组分，包括原子团和离子。使用原子团和离子的表面反应将基片

20 的覆盖区域 60（图 5）中的外来杂质转变成挥发性气态反应产物，其作为气体离开表面，并由真空泵 16 从处理室 12 中排出。使用不同的等离子体成分可以去除由诸如用于封装半导体芯片的不同类型的模制材料之类的多种不同材料组成的溢料。通过提供不同的等离子体成分，可以去除任何表面反应残留物。

尽管已通过不同实施例的说明显示了本发明，并且尽管已相当详细地说明了这些实施例，但是，将附加的权利要求的范围限制或以任何方式限制到这样的细节不是本申请人的意图。另外的优点和修改将容易地显现给本领域技术人员。较宽方面的本发明因此并不限于具体的细节、代表性的设备和方法以及显示和说明的示范性例子。因此，可以从这样的细节离开而不背离申请人的一般发明概念的精神或范围。本发明的范围本身应当仅由附加的权利要求书规定。

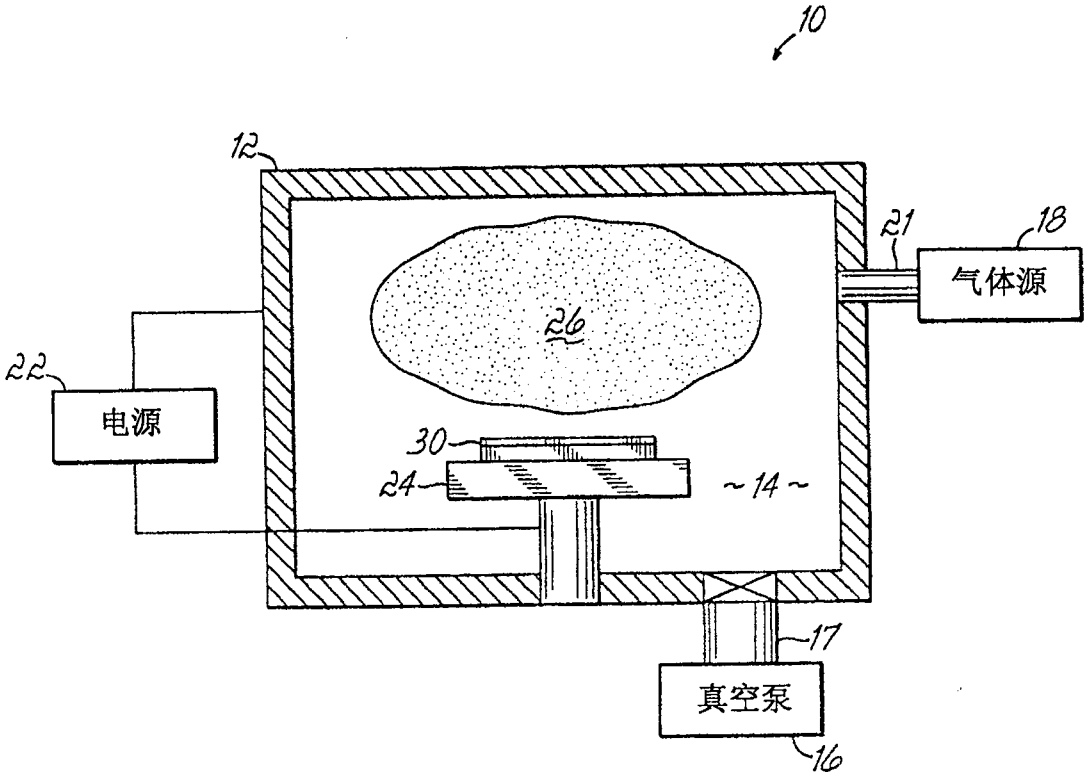


图1

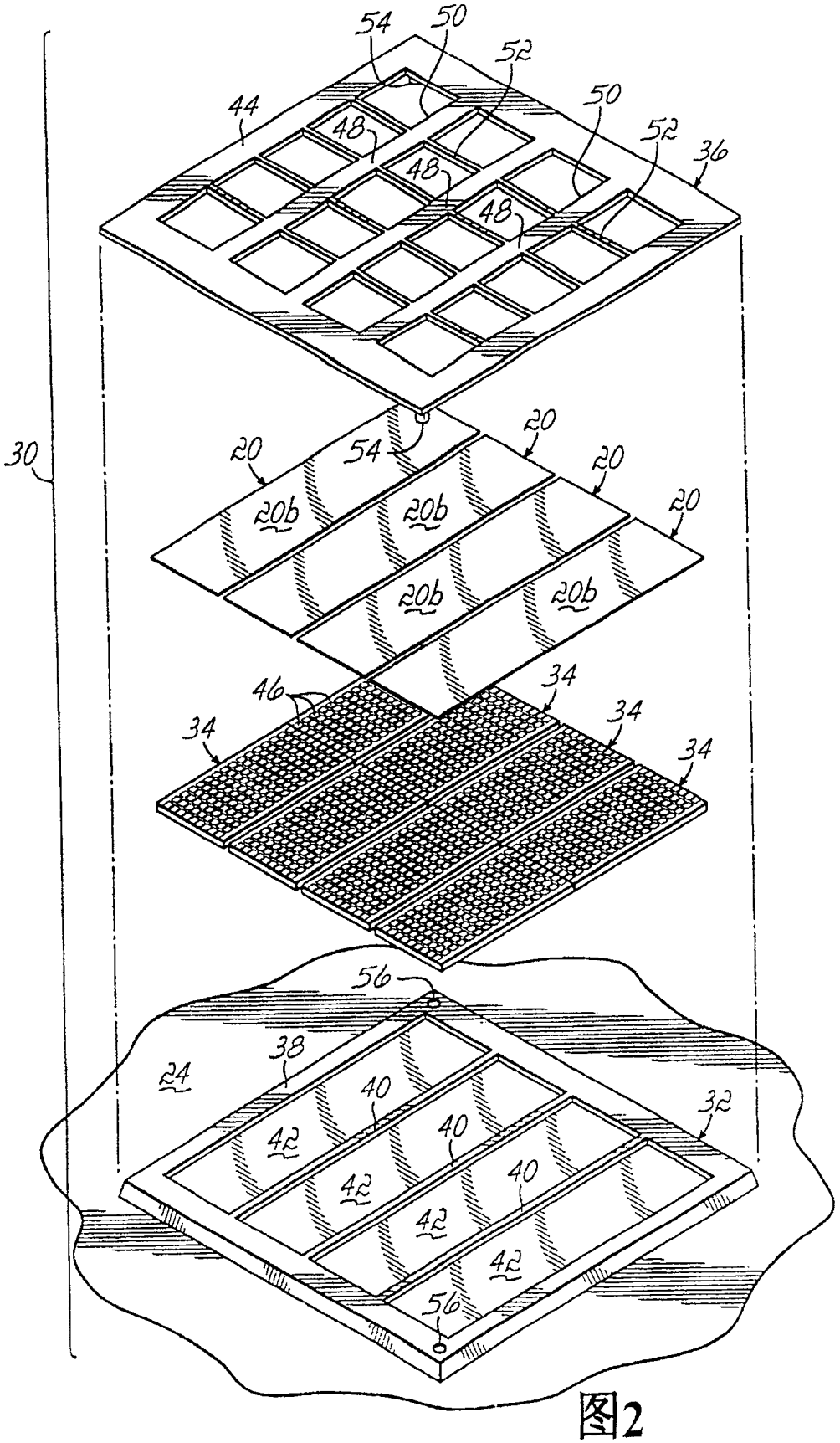

54
50
52
44
48
50
52
36
30
20
54
20
20
20
20b
20b
20b
20b
46
34
34
34
34
56
38
24
40
32
42
40
42
40
42
42
56

图2

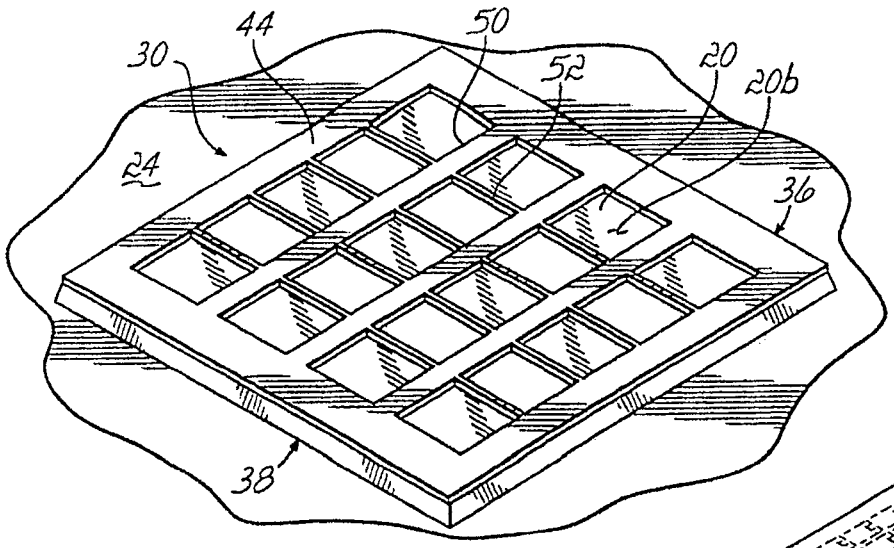


图3

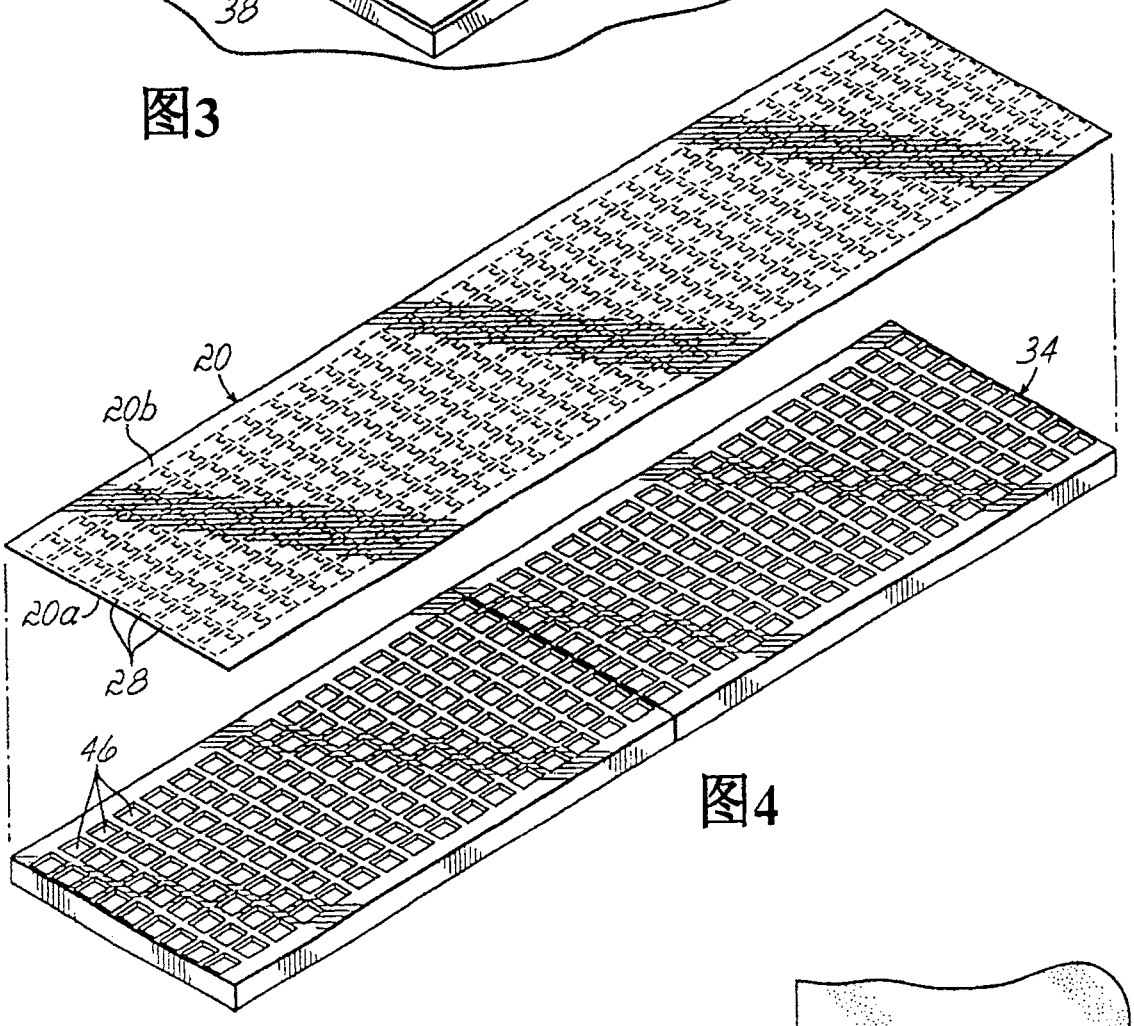


图4

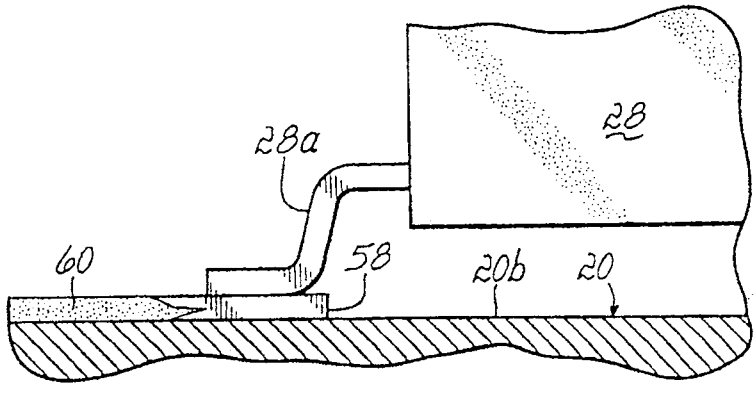


图5