



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월25일
(11) 등록번호 10-1137737
(24) 등록일자 2012년04월12일

(51) 국제특허분류(Int. Cl.)
G02F 1/1335 (2006.01)
(21) 출원번호 10-2004-0077041
(22) 출원일자 2004년09월24일
심사청구일자 2009년09월01일
(65) 공개번호 10-2006-0028051
(43) 공개일자 2006년03월29일
(56) 선행기술조사문헌

KR1020000077285 A*

KR1020040069682 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
양용호
서울시 관악구 신림2동 현대아파트 108-1510
(74) 대리인
박영우

전체 청구항 수 : 총 7 항

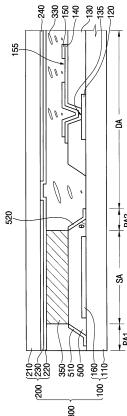
심사관 : 한만열

(54) 발명의 명칭 표시장치 및 이의 제조방법

(57) 요 약

상판과 하판간의 결합력을 향상시키기 위한 표시장치 및 이의 제조방법이 개시된다. 게이트 구동부는 표시패널 상에 형성되고, 결합부재는 표시영역을 감싸는 실라인 영역에 형성되며, 반사부재는 게이트 구동부에 인접하는 실라인 영역 외측의 제1 주변영역 또는 실라인 영역의 일부와 표시영역 사이의 제2 주변영역에 형성되어 결합부재를 경화시키기 위하여 제공되는 광을 결합부재에 제공한다. 따라서, 반사부재에 의해 결합부재를 경화시키기 위한 광을 반사시켜 보다 많은 양의 광을 게이트 구동부 상에 형성된 결합부재에 제공함에 따라 결합부재의 경화가 제대로 이루어지고, 그로 인해 상판과 하판의 결합력이 향상된다.

대 표 도 - 도2



특허청구의 범위

청구항 1

영상을 표시하는 표시영역, 상기 표시영역을 감싸는 실라인 영역, 상기 실라인 영역의 외측에 형성된 제1 주변 영역 및 상기 표시영역과 상기 실라인 영역의 일부 사이에 형성된 제2 주변영역을 구비하는 표시패널;

상기 실라인 영역 중 상기 제2 주변영역에 인접한 실라인 영역에 형성되고, 구동신호를 상기 표시패널로 출력하는 게이트 구동부;

상기 실라인 영역에 형성된 결합부재;

상기 제1 주변영역 중 상기 게이트 구동부에 인접한 상기 제1 주변영역 및 상기 제2 주변영역에 형성되어, 상기 결합부재를 경화시키기 위해 외부로부터 제공되는 광을 상기 결합부재에 가이드하는 반사부재; 및

상기 실라인 영역 및 상기 실라인 영역에 인접하는 제1 및 제2 주변영역에 형성된 유기막을 포함하고,

상기 제1 및 제2 주변영역에 형성된 유기막은 패턴 테이퍼 각도를 갖고,

상기 제1 및 제2 주변영역에서 상기 유기막 상에 배치된 상기 반사부재는 상기 표시패널에 대해서 기울기를 갖는 반사막인 표시장치.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 표시패널은 자연광을 반사시키는 반사전극 및 인공광을 투과시키는 투명전극을 포함하고, 상기 반사부재는 상기 반사전극을 이루는 물질을 포함하는 것을 특징으로 하는 표시장치.

청구항 4

제1항에 있어서, 상기 반사부재는 아일랜드 형태를 갖는 복수의 반사 패턴들인 것을 특징으로 하는 표시장치.

청구항 5

제4항에 있어서, 상기 표시패널은 게이트 전극, 소스 전극 및 드레인 전극을 갖는 스위칭 소자를 포함하고,

상기 복수의 반사 패턴들은 상기 게이트, 소스 및 드레인 전극들 중 하나를 이루는 물질을 포함하는 것을 특징으로 하는 표시장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

절연기판 상의 표시영역을 감싸는 실라인 영역의 일부에 형성된 게이트 구동부와, 상기 실라인 영역의 외측인 제1 주변영역 및 상기 표시영역과 상기 실라인 영역 사이에 형성된 제2 주변영역에 형성된 반사부재를 갖는 제1 기판을 형성하는 단계;

상기 실라인 영역에 결합부재를 형성하는 단계;

상기 제1 기판에 대향하도록 제2 기판을 위치시키는 단계;

상기 제1 기판과 제2 기판을 결합하기 위해 상기 제1 기판의 배면에서 상기 결합부재를 경화시키기 위한 광을 제공하는 단계를 포함하고,

상기 광은 상기 반사부재에 의해 반사되어 상기 게이트 구동부 상에 위치하는 상기 결합부재에 제공되고,

상기 제1 기판을 형성하는 단계는,

상기 게이트 구동부가 형성된 상기 절연기판 전면에 유기물질을 증착하는 단계;

슬릿 패턴을 갖는 마스크를 이용하여 상기 유기물질을 패터닝하여 상기 게이트 구동부 상부에 패턴 테이퍼 각도를 갖는 유기막을 형성하는 단계; 및

상기 게이트 구동부에 인접한 상기 실라인 영역의 상기 유기막 상에 상기 패턴 테이퍼 각도에 대응하는 기울기를 가지는 반사부재를 형성하는 단계를 포함하는 것을 특징으로 하는 표시장치의 제조방법.

청구항 14

제13항에 있어서, 상기 제1 기판을 형성하는 단계는

상기 절연기판 상의 상기 표시영역에 박막 트랜지스터를 형성하는 단계; 및

상기 표시영역의 상기 유기막 상에 반사전극을 형성하는 단계를 포함하고,

상기 반사부재는 상기 반사 전극을 이루는 물질을 포함하는 표시장치의 제조방법.

청구항 15

제13항에 있어서, 상기 제1 기판을 형성하는 단계는

절연기판 상의 상기 표시영역에 게이트 전극, 소스 전극 및 드레인 전극을 갖는 박막 트랜지스터를 형성하고,

상기 실라인 영역의 일부에 상기 게이트 구동부를 형성하며,

상기 게이트 구동부에 인접한 상기 실라인 영역에 상기 게이트, 소스 및 드레인 전극들 중 어느 하나의 전극을 이루는 물질을 포함하는 반사부재를 형성하는 것을 특징으로 하는 표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0019] 본 발명은 표시장치 및 이의 제조방법에 관한 것으로, 더욱 상세하게는 상판과 하판간의 결합력을 향상시키기 위한 표시장치 및 이의 제조방법에 관한 것이다.

[0020] 일반적으로, 표시장치는 복수의 게이트 라인과 복수의 데이터 라인이 구비된 표시패널, 복수의 게이트 라인에

게이트 신호를 출력하는 게이트 구동부 및 복수의 데이터 라인에 데이터 신호를 출력하는 데이터 구동부로 이루어진다.

[0021] 상기 게이트 구동부 및 데이터 구동부는 칩 형태로 이루어져 표시패널에 실장된다. 그러나, 최근에는 표시장치의 전체적인 사이즈를 감소시키면서 생산성을 증대시키기 위하여 상기 게이트 구동부를 표시패널에 내장하는 구조가 개발되고 있다.

[0022] 또한, 상기 표시패널은 복수의 게이트 라인과 복수의 데이터 라인이 구비된 어레이 기판, 어레이 기판과 마주하는 컬러필터기판, 어레이 기판과 컬러필터기판과의 사이에 개재된 액정층 및 어레이 기판과 컬러필터기판을 결합시키는 실런트로 이루어진다.

[0023] 상기 게이트 구동부가 표시패널의 어레이 기판에 내장되는 구조에서, 게이트 구동부와 컬러필터 기판에 형성된 공통전극과의 사이에서 기생 커패시턴스가 발생한다. 이러한 기생 커패시턴스는 게이트 구동부의 오동작을 유발한다.

[0024] 최근에는, 기생 커패시턴스를 감소시키기 위한 방안으로 실런트를 게이트 구동부와 공통전극과의 사이에 배치시키는 구조가 제시되고 있다. 이때, 실런트는 광 경화성 물질로 이루어지므로, 실런트는 광에 의해서 경화되어 컬러필터 기판과 어레이 기판을 결합시킨다. 이때, 컬러필터 기판에는 게이트 구동부가 형성된 영역에 대응하여 차광층이 형성되므로, 일반적으로 광은 어레이 기판의 후면에서 입사된다.

[0025] 그러나, 실런트가 게이트 구동부와 공통전극과의 사이에 구비된 구조에서 상기 실런트에 광을 제공하여 경화시키면, 상기 게이트 구동부에 의해서 실런트로 입사된 광량이 감소한다.

[0026] 따라서, 실런트에 입사된 광량이 감소함에 따라 상기 실런트의 경화가 제대로 이루어지지 않고, 그 결과 어레이 기판과 컬러필터 기판과의 결합력이 감소되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0027] 따라서, 상기한 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 실런트에 제공되는 광량을 증가시켜 어레이 기판과 컬러필터 기판과의 결합력을 증가시키기 위한 표시장치를 제공함에 있다.

[0028] 본 발명의 다른 목적은 상기 표시장치를 제조하기 위한 제조방법을 제공함에 있다.

발명의 구성 및 작용

[0029] 상술한 목적을 달성하기 위한 본 발명은 표시패널, 게이트 구동부, 결합부재 및 반사부재를 포함한다. 상기 표시패널은 표시영역, 상기 표시영역을 감싸는 실라인 영역, 상기 실라인 영역의 외측에 형성된 제1 주변영역 및 상기 표시영역과 상기 실라인 영역의 일부 사이에 형성된 제2 주변영역을 구비한다. 상기 게이트 구동부는 상기 실라인 영역 중 상기 제2 주변영역에 인접한 실라인 영역에 형성되며, 상기 영상을 표시하는 구동신호를 상기 표시패널로 출력한다. 상기 결합부재는 상기 실라인 영역에 형성되고, 상기 반사부재는 상기 제1 주변영역 중 상기 게이트 구동부에 인접한 제1 주변영역 또는 상기 제2 주변영역에 형성되어, 상기 결합부재를 경화시키기 위해 외부로부터 제공되는 광을 상기 결합부재에 가이드한다.

[0030] 본 발명의 다른 목적을 달성하기 위하여 표시영역을 감싸는 실라인 영역의 일부에 형성된 게이트 구동부와, 상기 게이트 구동부에 인접하는 실라인 영역에 형성된 반사부재를 갖는 제1 기판을 형성한다. 이어, 상기 실라인 영역에 결합부재를 형성하고, 상기 제1 기판에 대향하도록 제2 기판을 위치시킨 후 상기 제1 기판과 제2 기판을 결합하기 위해 상기 제1 기판의 배면에서 상기 결합부재를 경화시키기 위한 광을 제공한다. 여기서, 상기 광은 상기 반사부재에 의해 반사되어 상기 게이트 구동부 상에 위치하는 상기 결합부재에 제공된다.

[0031] 이러한 표시장치 및 이의 제조방법에 따르면, 반사부재에 의해 결합부재를 경화시키기 위한 광을 반사시켜 보다 많은 양의 광을 게이트 구동부 상에 형성된 결합부재에 제공함에 따라 결합부재의 경화가 제대로 이루어진다.

[0032] 이하, 본 발명에 따른 바람직한 실시예를 첨부도면을 참조하여 상세히 설명한다.

[0033] <실시예-1>

[0034] 도 1은 본 발명의 제1 실시예에 따른 표시장치의 평면도이고, 도 2는 도 1에 도시된 I-I' 선에 따른 단면도이다.

[0035] 도 1 및 도 2를 참조하면, 본 발명의 제1 실시예에 따른 표시장치(400)는 제1 및 제2 구동신호에 응답하여 영상

을 표시하는 표시패널(300), 표시패널(300)에 구비되어 표시패널(300)에 상기 제1 및 제2 구동신호를 각각 출력하는 데이터 구동부 및 게이트 구동부(150, 160)를 포함한다.

[0036] 상기 표시패널(300)은 어레이 기판(100), 어레이 기판(100)과 마주하는 컬러필터 기판(200), 어레이 기판(100)과 컬러필터 기판(200)과의 사이에 개재된 액정층(330) 및 어레이 기판(100)과 컬러필터 기판(200)을 결합시키는 실런트(350)로 이루어진다.

[0037] 또한, 표시패널(300)은 상기 영상을 표시하는 표시영역(DA), 표시영역(DA)을 감싸는 실라인 영역(SA), 실라인 영역(SA)의 외측에 구비된 제1 주변영역(PA1) 및 표시영역(DA)과 실라인 영역(SA)의 일부와의 사이에 구비된 제2 주변영역(PA2)으로 이루어진다.

[0038] 상기 표시영역(DA)에 대응하여 어레이 기판(100)의 제1 기판(110) 상에는 제1 내지 제n 게이트 라인(GL1 ~ GLn)과 제1 내지 제m 데이터 라인(DL1 ~ DLm)이 형성된다. 제1 내지 제n 게이트 라인(GL1 ~ GLn)과 제1 내지 제m 데이터 라인(DL1 ~ DLm)은 서로 절연되어 교차한다.

[0039] 또한, 표시영역(DA)에 대응하여 제1 기판(110) 상에는 복수의 박막 트랜지스터 및 복수의 액정 커패시터가 더 형성된다. 예를 들어, 상기 복수의 박막 트랜지스터 중 제1 박막 트랜지스터(Tr1)의 게이트 전극은 제1 게이트 라인(GL1)과 전기적으로 연결되고, 제1 박막 트랜지스터(Tr1)의 소스 전극은 제1 데이터 라인(DL1)과 전기적으로 연결되며, 제1 박막 트랜지스터(Tr1)의 드레인 전극은 상기 복수의 액정 커패시터 중 제1 액정 커패시터(C1c1)에 연결된다.

[0040] 상기 표시영역(DA)에 대응하여 제1 기판(110) 상에 형성되는 제1 박막 트랜지스터(Tr1) 상부에는 제1 유기막(130)이 형성된다. 이때, 제1 유기막(130)은 제1 박막 트랜지스터(Tr1)의 일부를 노출시키기 위한 콘택홀(135)을 갖는다.

[0041] 상기 제1 유기막(130) 상에는 투명전극인 화소전극(140)이 형성되고, 화소전극(140)은 콘택홀(135)을 통해 제1 박막 트랜지스터(Tr1)와 전기적으로 연결된다. 또한, 화소전극(140) 상에는 컬러필터 기판(200)의 제2 기판(210)을 통과하여 입사되는 광을 반사시키기 위한 반사전극(150)이 형성된다. 상기 반사전극(150)은 하부에 형성된 화소전극(140)을 통해 제1 기판(110)을 통과하여 입사된 광을 투과시키기 위한 투과창(155)을 갖는다.

[0042] 상기 제1 주변영역(PA1)에서 어레이 기판(100)의 제1 기판(110)은 컬러필터 기판(200)의 제2 기판(210)보다 길게 연장되어, 제1 주변영역(PA1)에 대응하여 제1 기판(110) 상에는 칩 형태로 이루어진 데이터 구동부(150)가 실장된다. 상기 데이터 구동부(150)는 표시영역(DA)에 형성된 제1 내지 제n 데이터 라인(DL1 ~ DLm)과 전기적으로 연결된다. 따라서, 데이터 구동부(150)로부터 출력된 상기 제1 구동신호는 제1 내지 제m 데이터 라인(DL1 ~ DLm)으로 인가된다.

[0043] 한편, 제2 주변영역(PA2)에 인접하는 실라인 영역(SA)에는 게이트 구동부(160)가 상기 복수의 박막 트랜지스터와 동일한 공정을 통해 동일한 시간상에서 형성된다. 상기 게이트 구동부(160)는 표시영역(DA)에 형성된 제1 내지 제n 게이트 라인(GL1 ~ GLn)과 전기적으로 연결된다. 따라서, 게이트 구동부(160)로부터 출력된 상기 제2 구동신호는 제1 내지 제n 게이트 라인(GL1 ~ GLn)으로 인가된다.

[0044] 또한, 실라인 영역(SA)에는 어레이 기판(100)과 컬러필터 기판(200)을 결합시키는 실런트(350)가 형성된다. 상기 실런트(350)는 광 경화성 물질을 포함하고, 어레이 기판(100)과 컬러필터 기판(200)과의 사이에 개재된 상태에서 외부로부터 제공된 광을 입력받아 견고하게 경화되어 어레이 기판(100)과 컬러필터 기판(200)을 결합시킨다.

[0045] 상기 실런트(350)는 실라인 영역(SA)에 형성된 게이트 구동부(160)의 전체를 커버한다. 이와 같이, 실런트(350)를 게이트 구동부(160)의 전체를 커버하도록 배치시키면, 컬러필터 기판(200)에 형성된 공통전극(220)과 게이트 구동부(160)와의 사이에서 생성되는 기생 커패시턴스를 감소시킬 수 있다.

[0046] 상기 표시영역(DA) 및 제2 주변영역(PA2)에 대응하여 컬러필터 기판(200)과 어레이 기판(100)과의 사이에는 액정층(330)이 개재된다. 상기 액정층(330)은 컬러필터 기판(200)과 어레이 기판(100)이 실런트(350)에 의해서 결합되기 이전에 컬러필터 기판(200) 또는 어레이 기판(100) 상에 액정 적하 공정을 통해서 형성된다. 따라서, 실런트(350)를 상기 광에 경화시키는 단계에서도 어레이 기판(100)과 컬러필터 기판(200)과의 사이에는 액정층(330)이 형성되어 있다.

[0047] 한편, 컬러필터 기판(200)은 제2 기판(210) 상에 전면적으로 형성된 공통전극(220) 및 실라인 영역(SA)과 게이트 구동부(160)가 형성된 실라인 영역(SA)에 인접한 제1 및 제2 주변영역(PA1, PA2)에 대응하도록 형성된 차광층

(230)을 구비한다. 또한, 컬러필터 기판(200)은 제2 기판(210)과 공통전극(220)과의 사이에 컬러필터층(240)을 더 구비하고, 컬러필터층(240)은 레드, 그린 및 블루 색화소로 이루어진다.

[0048] 또한, 게이트 구동부(160) 상부에는 소정의 패턴 테이퍼 각도(θ)를 갖는 제2 유기막(500)이 형성된다. 상기 제2 유기막(500)은 게이트 구동부(160)가 형성된 실라인 영역(SA) 및 실라인 영역(SA)에 인접하는 제1 및 제2 주변영역(PA1,PA2) 일부에 형성된다. 이때, 제2 유기막(500)은 제1 유기막(130)과 동일한 공정을 통해 동일 시간 상에 형성된다.

[0049] 상기 소정의 패턴 테이퍼 각도(θ)는 약 0 내지 50도이다. 이때, 제2 유기막(500)을 형성하기 위하여 증착된 유기물질층의 패터닝시 사용되는 마스크의 개구부와 폐쇄부 간의 경계에서 제2 유기막(500)은 약 50도의 패턴 테이퍼 각도를 갖는다. 한편, 제2 유기막(500)의 패턴 테이퍼 각도를 50도 이하로 형성하기 위해서는 노광량을 조절하기 위한 슬릿 패턴을 갖는 마스크가 이용된다.

[0050] 상기 제1 주변영역(PA1)에 대응하는 제2 유기막(500) 상부에는 제1 반사막(510)이 형성되고, 제2 주변영역(PA2)에 대응하는 제2 유기막(500) 상부에는 제2 반사막(520)이 형성된다. 상기 제1 및 제2 반사막(510,520)은 반사전극(150)과 동일한 공정을 통해 동일 시간상에 형성된다. 이때, 제1 및 제2 반사막(510,520)은 제2 유기막(500)의 패턴 테이퍼 각도(θ)와 동일한 기울기를 갖는다. 즉, 제1 및 제2 반사막(510,520)은 약 0 내지 50도의 기울기를 갖는다.

[0051] 상기한 구성에서, 제1 및 제2 반사막(510,520)은 실런트(350)를 경화시키기 위하여 제1 기판(110)의 배면으로부터 제공되는 광을 반사시켜 게이트 구동부(160) 상부에 형성된 실런트(350)에 상기 광을 제공한다. 상기 광은 자외선이다.

[0052] 도 3은 도 2에 도시된 제1 및 제2 반사막에 의한 자외선 반사원리를 나타낸 단면도이다.

[0053] 도 3에 도시된 바와 같이, 게이트 구동부(160) 상부에 소정 패턴 테이퍼 각도(θ)를 갖는 제2 유기막(500)이 형성되고, 제1 주변영역(PA1)에 대응하는 제2 유기막(500) 상에 제1 반사막(510)이 형성되며, 제2 주변영역(PA2)에 대응하는 제2 유기막(500) 상에 제2 반사막(520)이 형성된다. 이때, 제1 및 제2 반사막(510,520)은 상기 소정 패턴 테이퍼 각도(θ)에 따른 기울기를 갖는다.

[0054] 또한, 게이트 구동부(160) 상부에는 게이트 구동부(160)를 완전 커버하도록 실런트(350)가 형성된다.

[0055] 이어, 실런트(350)를 경화시키기 위하여 제1 기판(110)의 배면으로부터 자외선(UV)이 공급된다. 상기 자외선(UV) 중 게이트 구동부(160)의 하부로 입사되는 제1 광(L1)은 게이트 구동부(160)에 의해 차단되어 실런트(350)에 도달되지 못한다. 한편, 상기 자외선(UV) 중 게이트 구동부(160)에 인접하는 제1 및 제2 주변영역(PA1,PA2)으로 입사되는 제2 광(L2)은 제1 및 제2 반사막(510,520)에 의해 반사되어 실런트(350)에 도달한다. 즉, 제2 광(L2)은 제1 및 제2 반사막(510,520)에 반사되어 경로가 변경됨에 따라 게이트 구동부(160) 상부에 형성된 실런트(350)에 도달한다.

[0056] 따라서, 게이트 구동부(160)에 의해 상기 자외선(UV)의 일부가 차단되더라도, 나머지 일부가 실런트(350)에 도달하고, 이에 따라 실런트(350)의 경화가 제대로 이루어져 어레이 기판(100)과 컬러필터 기판(200)이 서로 견고하게 결합된다.

[0057] 도 4는 도 1에 도시된 게이트 구동부를 구체적으로 나타낸 블록도이다.

[0058] 도 4에 도시된 바와 같이, 게이트 구동부(160)는 서로 종속적으로 연결된 복수의 스테이지(SRC1 ~ SRCn+1)로 이루어져 게이트 신호를 순차적으로 출력하는 회로부(CS) 및 회로부(CS)에 각종 제어신호를 제공하는 배선부(LS)를 포함한다. 여기서, n은 짹수이다.

[0059] 상기 복수의 스테이지(SRC1 ~ SRCn+1) 각각은 입력단자(IN), 클럭단자(CK), 제어단자(CT) 및 출력단자(GOUT)를 포함한다.

[0060] 상기 클럭단자(CK)에는 제1 클럭(CK) 또는 제2 클럭(CKB)이 제공된다. 즉, 제1 클럭(CK_0)은 복수의 스테이지(SRC1 ~ SRCn+1) 중 홀수번째 스테이지(SRC1, SRC3, ..., SRCn+1)로 제공되고, 제2 클럭(CKB)은 짹수번째 스테이지(SRC2, SRC4, ..., SRCn)로 제공된다.

[0061] 상기 홀수번째 스테이지(SRC1, SRC3, ..., SRCn+1)의 출력단자(GOUT)는 제1 클럭(CK)을 제1 게이트 구동신호로써 출력하고, 짹수번째 스테이지(SRC2, SRC4, ..., SRCn)의 출력단자(GOUT)는 제2 클럭(CKB)을 제1 게이트 구동신호로써 출력한다.

[0062] 상기 복수의 스테이지(SRC1 ~ SRCn+1)의 출력단자(GOUT)는 표시영역(DA)에 구비된 n 개의 게이트 라인(GL1, GL2, ..., GLn)에 일대일 대응하도록 연결된다. 따라서, 상기 복수의 스테이지(SRC1 ~ SRCn+1)의 출력단자(GOUT)로부터 출력된 제1 게이트 구동신호는 제1 내지 제n 게이트 라인(GL1, GL2, ..., GLn)에 순차적으로 인가된다. 여기서, 상기 더미 스테이지(SRCn+1)의 출력단자(GOUT)는 대응하는 게이트 라인이 존재하지 않기 때문에 플로팅 상태로 유지된다.

[0063] 상기 입력단자(IN)는 이전 스테이지의 출력단자(GOUT)로부터 출력된 스테이지 구동신호를 수신하고, 상기 제어단자(CT)는 다음 스테이지의 출력단자(GOUT)로부터 출력된 스테이지 구동신호를 수신한다.

[0064] 여기서, 첫 번째 스테이지(SRC1)의 이전 스테이지가 존재하지 않기 때문에, 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 개시신호(STV)가 제공된다. 또한, 더미 스테이지(SRCn+1)의 다음 스테이지가 존재하지 않기 때문에, 더미 스테이지(SRCn+1)의 제어단자(CT)에도 개시신호(STV)가 제공된다.

[0065] 한편, 복수의 스테이지(SRC1 ~ SRCn+1)는 접지전압이 제공되는 접지전압단자(VSS) 및 구동전압이 제공되는 구동전압단자(VDD)를 더 포함한다.

[0066] 따라서, 회로부(CS)는 제1 내지 제n 게이트 라인(GL1 ~ GLn)에 순차적으로 게이트 신호를 출력한다.

[0067] 상기 배선부(LS)는 회로부(CS)에 인접하여 구비되고, 배선부(LS)는 서로 평행하도록 연장된 개시신호배선(SL1), 전원전압배선(SL2), 접지전압배선(SL3), 제1 클럭배선(SL4) 및 제2 클럭배선(SL5)을 포함한다.

[0068] 상기 개시신호배선(SL1)은 외부로부터 제공된 개시신호(STV)를 첫 번째 스테이지(SRC1)의 입력단자(IN1) 및 마지막 스테이지(SRCn+1)의 제어단자(CT)로 제공한다. 상기 제1 클럭배선(SL4)은 제1 클럭(CK)을 입력받아 홀수번째 스테이지(SRC1, SRC3, ..., SRCn+1)의 클럭단자(CK)로 제공한다. 상기 제2 클럭배선(SL5)은 제2 클럭(CKB)을 입력받아 짝수번째 스테이지(SRC2, SRC4, ..., SRCn)의 클럭단자(CK)로 제공한다. 또한, 접지전압배선(SL3)은 접지전압(VSS)을 입력받아 복수의 스테이지(SRC1 ~ SRCn+1)의 접지전압단자(VSS)로 제공한다. 상기 전원전압배선(SL2)은 복수의 스테이지(SRC1 ~ SRCn+1)의 전원전압단자(VDD)로 제공한다.

[0069] 도 5는 도 4에 도시된 회로부의 등가회로이다.

[0070] 도 5를 참조하면, 회로부(CS)는 제1 내지 제n 게이트 라인(GL1 ~ GLn)에 직접적으로 연결되어 제1 내지 제n 게이트 라인(GL1 ~ GLn)에 상기 제2 구동신호를 출력하는 제1 회로부(CS1) 및 제1 회로부(CS1)를 구동시키는 제2 회로부(CS2)로 이루어진다.

[0071] 상기 제1 회로부(CS1)는 풀업부(410) 및 풀다운부(420)를 포함한다. 또한, 제2 회로부(CS2)는 풀업 구동부(430) 및 풀다운 구동부(440)를 포함한다.

[0072] 상기 풀업부(410)는 게이트 전극이 제1 노드(N1)에 연결되고, 소스 전극이 상기 클럭단자(CK)에 연결되며, 드레인 전극이 출력단자(OUT)에 연결된 제1 트랜지스터(TFT1)로 이루어진다. 상기 풀다운부(420)는 게이트 전극이 제2 노드(N2)에 연결되고, 드레인 전극이 출력단자(OUT)에 연결되며, 소스 전극이 접지전압단자(VSS)에 연결된 제2 트랜지스터(TFT2)로 이루어진다.

[0073] 상기 풀업 구동부(430)는 제3 내지 제5 트랜지스터(TFT3, TFT4, TFT5)로 이루어져 풀업부(410)를 턠-온시킨다.

[0074] 상기 제3 트랜지스터(TFT3)는 게이트 전극이 입력단자(IN)에 연결되고, 드레인 전극이 구동전압단자(VDD)에 연결되며, 소스 전극이 제1 노드(N1)에 연결된다. 상기 제4 트랜지스터(TFT4)는 게이트 전극과 드레인 전극이 구동전압단자(VDD)에 연결되고, 소스 전극이 제3 노드(N3)에 연결된다. 상기 제5 트랜지스터(TFT5)는 게이트 전극이 제1 노드(N1)에 연결되고, 드레인 전극이 제3 노드(N3)에 연결되며, 소스 전극이 접지전압단자(VSS)에 연결된다.

[0075] 상기 풀다운 구동부(440)는 제6 및 제10 트랜지스터(TFT6, TFT7, TFT8, TFT9, TFT10)로 이루어져 풀업부(410)를 턠-오프시키면서 풀다운부(420)를 턠-온시킨다.

[0076] 상기 제6 트랜지스터(TFT6)는 게이트 전극이 제3 노드(N3)에 연결되고, 드레인 전극이 구동전압단자(VDD)에 연결되며, 소스 전극이 제2 노드(N2)에 연결된다. 상기 제7 트랜지스터(TFT7)는 게이트 전극이 제1 노드(N1)에 연결되고, 드레인 전극이 제2 노드(N2)에 연결되며, 소스 전극이 접지전압단자(VSS)에 연결된다. 상기 제8 트랜지스터(TFT8)는 게이트 전극이 입력단자(IN)에 연결되고, 드레인 전극이 제2 노드(N2)에 연결되며, 소스 전극이 접지전압단자(VSS)에 연결된다.

[0077] 상기 제9 트랜지스터(TFT9)는 게이트 전극이 제2 노드(N2)에 연결되고, 드레인 전극이 제1 노드(N1)에 연결되며, 소스 전극이 접지전압단자(VSS)에 연결된다. 상기 제10 트랜지스터(TFT10)는 게이트 전극이 제어단자(CT)에 연결되고, 드레인 전극이 제1 노드(N1)에 연결되며, 소스 전극이 접지전압단자(VSS)에 연결된다.

[0078] 여기서, 제1 회로부(CS1)의 제1 및 제2 트랜지스터(TFT1, TFT2)는 제2 회로부(CS2)의 제3 내지 제10 트랜지스터(TFT3, ..., TFT10)들 보다 상대적으로 큰 사이즈를 갖는다. 따라서, 제1 및 제2 트랜지스터(TFT1, TFT2)는 제3 내지 제10 트랜지스터(TFT3, ..., TFT10)들에 비하여 상대적으로 큰 형성면적을 갖는다.

[0079] 또한, 제1 및 제2 트랜지스터(TFT1, TFT2)는 서로 인접하지 않고, 서로 이격되어 배치된다.

[0080] 도 6은 도 5에 도시된 제1 회로부를 개략적으로 나타낸 도면이다.

[0081] 도 6에 도시된 바와 같이, 제1 회로부(CS1)는 제1 트랜지스터(TFT1)는 제1 회로부(CS1)가 형성되는 영역의 좌측 하부에 형성되고, 제2 트랜지스터(TFT2)는 제1 회로부(CS1)가 형성되는 영역의 우측 상부에 형성된다. 이때, 제1 회로부(CS1)가 형성되는 영역 중 제1 및 제2 트랜지스터(410, 420)가 형성되고 남은 주의의 영역에 상대적으로 작은 형성면적을 갖는 제2 회로부(CS2)의 트랜지스터들이 형성될 수 있다.

[0082] 이처럼, 제1 및 제2 트랜지스터(410, 420)는 서로 인접하도록 배치되지 않고, 서로 이격되어 배치됨에 따라 기준에 비하여 실린트(350)를 경화시키기 위하여 제1 기판(110)의 배면으로부터 제공되는 광을 보다 많이 통과시킬 수 있다. 따라서, 게이트 구동부(160) 상부에 형성된 실린트(350)로 보다 많은 양의 광에 의해 실린트(350)가 제대로 경화되어 어레이 기판(100)과 컬러필터 기판(200)이 겹고하게 결합된다.

[0083] 도 7a 내지 도 7c는 도 6에 도시된 제1 및 제2 트랜지스터의 다른 구성예들을 나타낸 도면들이다.

[0084] 도 7a에 도시된 바와 같이, 제1 회로부(CS1)를 구성하는 제1 트랜지스터(TFT1)는 제1 회로부(CS1)가 형성되는 영역의 좌측 상부에 형성되고, 제2 트랜지스터(TFT2)는 제1 회로부(CS1)가 형성되는 영역의 우측 하부에 형성된다.

[0085] 도 7b를 참조하면, 제1 트랜지스터(TFT1)는 제1 회로부(CS1)가 형성되는 영역의 우측 상부에 형성되고, 제2 트랜지스터(TFT2)는 제1 회로부(CS1)가 형성되는 영역의 좌측 하부에 형성된다.

[0086] 또한, 도 7c에 도시된 바와 같이, 제1 회로부(CS1)를 구성하는 제1 트랜지스터(TFT1)는 제1 회로부(CS1)가 형성되는 영역의 우측 하부에 형성되고, 제2 트랜지스터(TFT2)는 제1 회로부(CS1)가 형성되는 영역의 좌측 상부에 형성된다.

[0087] 이처럼, 제1 회로부(CS1)의 제1 및 제2 트랜지스터(TFT1, TFT2)는 서로 이격되는 다양한 형태로 형성될 수 있다.

[0088] 도 8a 내지 도 8c는 도 2에 도시된 어레이 기판을 제조하기 위한 제조공정을 나타낸 단면도들이다.

[0089] 도 8a에 도시된 바와 같이, 제1 기판(110) 상의 표시영역(DA)에 게이트 전극(122), 드레인 전극(124) 및 소스 전극(126)을 갖는 박막 트랜지스터(120)를 형성한다. 또한, 제1 기판(110) 상의 실라인 영역(SA) 일부에 게이트 구동부(160)를 형성한다. 이때, 게이트 구동부(160)는 복수의 트랜지스터 및 배선들로 이루어진다. 상기 미설명된 부호 122는 게이트 절연막이고, 123은 액티브 층이다.

[0090] 이어, 박막 트랜지스터(120) 및 게이트 구동부(160)가 형성된 제1 기판(110) 전면에 아크릴 수지와 같은 감광성 절연막(530)을 도포한다.

[0091] 도 8b를 참조하면, 감광성 절연막(530) 상에 소정의 패턴이 형성되어 있는 마스크(540)를 형성한다. 이때, 마스크(540)는 박막 트랜지스터(120)의 드레인 전극(125) 일부를 노출시키기 위한 개구부(542)를 갖는다. 또한, 마스크(540)는 게이트 구동부(160)가 형성된 실라인 영역(SA)과 실라인 영역(SA)에 인접한 제1 및 제2 주변영역(PA1, PA2) 일부에 감광성 절연막(530)을 남기기 위한 폐쇄부(544)를 갖는다.

[0092] 이어, 슬릿 패턴을 갖는 마스크(540)에 의해 감광성 절연막(530)을 노광한 후 테트라메틸-수산화암모늄(TMAH) 현상액을 이용하여 현상한다. 그러면, 표시영역(DA)에는 개구부(542)에 의해 노광된 영역에 콘택홀(135)을 갖는 제1 유기막(130)이 형성된다. 또한, 게이트 구동부(160)가 형성된 실라인 영역(SA) 및 실라인 영역(SA)에 인접하는 제1 및 제2 주변영역(PA1, PA2) 일부에는 소정 패턴 테이퍼 각도(θ)를 갖는 제2 유기막(500)이 형성된다. 상기 소정 패턴 테이퍼 각도(θ)는 약 0 내지 50도이다.

[0093] 도 8c를 참조하면, 제1 유기막(130) 상에 ITO 또는 IZO와 같은 투명 도전막을 균일한 두께로 증착하여 화소전극(140)을 형성한다. 상기 화소전극(140)은 콘택홀(135)을 통해 박막 트랜지스터(120)의 드레인 전극(125)과 전기

적으로 접속된다.

[0094] 상기 화소전극(140)이 형성된 제1 기판(110) 전면에 알루미늄과 같이 반사율이 높은 금속층을 균일한 두께로 층 쪽하여 반사 전극층(550)을 형성한다.

[0095] 이어, 도 2에서와 같이, 반사 전극층(550)을 패터닝하여 표시영역(DA)에 투과창(155)을 갖는 반사전극(150)을 형성하고, 제1 및 제2 주변 영역(PA1,PA2)에 제1 및 제2 반사막(510,520)을 각각 형성한다.

[0096] 상술한 바와 같이, 본 발명의 제1 실시예는 게이트 구동부가 형성된 실라인 영역에 인접하는 제1 및 제2 주변영 역에 소정 기울기를 갖는 반사막을 형성하고, 상기 반사막에 의해 어레이 기판의 배면으로부터 제공되는 자외선을 반사시킴에 따라 게이트 구동부의 상부에 형성된 실런트에 상기 자외선이 도달한다. 따라서, 상기 실런트의 경화가 제대로 이루어져 어레이 기판과 컬러필터 기판이 견고하게 결합된다.

[0097] <실시 예-2>

[0098] 도 9는 본 발명의 제2 실시예에 따른 표시장치의 단면도이다.

[0099] 도 9에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 표시장치(900)는 제1 및 제2 구동신호에 응답하여 영상을 표시하는 표시패널(800) 및 표시패널(800)에 구비되어 표시패널(800)에 상기 제1 구동신호를 영상을 출력하는 게이트 구동부(650)를 포함한다. 또한, 표시장치(900)는 표시패널(800)에 구비되어 표시패널(800)에 상기 제2 구동신호를 출력하는 데이터 구동부(도시되지 않음)를 포함한다.

[0100] 상기 표시패널(800)은 어레이 기판(600), 어레이 기판(600)과 마주하는 컬러필터 기판(700), 어레이 기판(600)과 컬러필터 기판(700)과의 사이에 개재된 액정층(830) 및 어레이 기판(600)과 컬러필터 기판(700)을 결합시키는 실런트(850)로 이루어진다.

[0101] 또한, 표시패널(800)은 상기 영상을 표시하는 표시영역(DA), 표시영역(DA)을 감싸는 실라인 영역(SA), 실라인 영역(SA)의 외측에 구비된 제1 주변영역(PA1) 및 표시영역(DA)과 실라인 영역(SA)의 일부와의 사이에 구비된 제2 주변영역(PA2)으로 이루어진다.

[0102] 상기 표시영역(DA)에 대응하여 어레이 기판(600)의 제1 기판(610) 상에는 복수의 게이트 라인(도시되지 않음) 및 복수의 데이터 라인(도시되지 않음)이 형성된다. 상기 게이트 라인과 상기 데이터 라인은 서로 절연되어 교차한다.

[0103] 또한, 표시영역(DA)에 대응하여 제1 기판(610) 상에는 복수의 박막 트랜지스터(620)가 형성된다. 이때, 박막 트랜지스터(620)는 게이트 전극(도시되지 않음), 소스 전극(도시되지 않음) 및 드레인 전극(도시되지 않음)을 포함한다. 상기 게이트 전극은 상기 복수의 게이트 라인과 연결되고, 상기 소스 전극은 상기 복수의 데이터 라인과 연결된다.

[0104] 상기 박막 트랜지스터(620) 상부에는 상기 드레인 전극을 부분적으로 노출시키는 콘택홀(635)을 갖는 유기막(630)이 형성되고, 유기막(630) 상에는 화소전극(640)이 형성된다. 상기 화소전극(640)을 콘택홀(635)을 통해 박막 트랜지스터(620)의 상기 드레인 전극과 전기적으로 연결된다.

[0105] 또한, 제2 주변영역(PA2)에 인접하는 실라인 영역(SA)에는 게이트 구동부(650)가 박막 트랜지스터(620)와 동일한 공정을 통해 동일한 시간상에서 형성된다. 상기 게이트 구동부(650)는 표시영역(DA)에 형성된 상기 복수의 게이트 라인과 전기적으로 연결된다. 따라서, 게이트 구동부(650)로부터 출력된 상기 제2 구동신호는 상기 복수의 게이트 라인으로 제공된다.

[0106] 한편, 실라인 영역(SA)에는 어레이 기판(600)과 컬러필터 기판(700)을 결합시키는 실런트(850)가 형성된다. 상기 실런트(850)는 광 경화성 물질을 포함하고, 어레이 기판(600)과 컬러필터 기판(700)과의 사이에 개재된 상태에서 외부로부터 제공된 광을 입력받아 견고하게 경화되면서 어레이 기판(600)과 컬러필터 기판(700)을 결합시킨다. 상기 실런트(350)는 실라인 영역(SA)에 형성된 게이트 구동부(650)의 전체를 커버한다.

[0107] 한편, 컬러필터 기판(700)은 제2 기판(210) 상에 전면적으로 형성된 공통전극(220) 및 실라인 영역(SA)과 게이트 구동부(160)가 형성된 실라인 영역(SA)에 인접한 제1 및 제2 주변영역(PA1,PA2)에 대응하도록 형성된 차광층(230)을 구비한다. 또한, 컬러필터 기판(200)은 제2 기판(210)과 공통전극(220)과의 사이에 컬러필터층(240)을 더 구비한다.

[0108] 상기 표시영역(DA) 및 제2 주변영역(PA2)에 대응하여 컬러필터 기판(700)과 어레이 기판(600)과의 사이에는 액

정충(830)이 개재된다. 상기 액정충(830)은 액정 적하 공정을 통해 형성된다.

[0109] 상기 게이트 구동부(650)가 형성된 실라인 영역(SA)에 인접한 제1 및 제2 주변영역(PA1,PA2)에는 각각 제1 반사 패턴(660)과 제2 반사패턴(670)이 형성된다.

[0110] 상기 제1 및 제2 반사패턴(660,670)은 박막 트랜지스터(620)의 상기 게이트 전극, 상기 소스 전극 또는 상기 드레인 전극과 동일한 공정을 통해 동일 시간상에 형성된다. 즉, 제1 및 제2 주변영역(PA1,PA2)에 상기 게이트 전극, 상기 소스 전극 또는 상기 드레인 전극을 형성하기 위한 금속층을 증착하고, 상기 금속층을 패터닝함에 따라 소정의 이격거리를 갖는 복수개의 서브 패턴들로 이루어진 제1 및 제2 반사패턴(660,670)이 형성된다. 이때, 제1 및 제2 반사패턴(660,670)의 상기 서브 패턴들은 서로 이격된 아일랜드 패턴(Island pattern) 형상을 갖는다.

[0111] 상기한 구성에서, 제1 및 제2 반사패턴(660,670)은 실런트(850)를 경화시키기 위하여 제1 기판(610)의 배면으로부터 제공되는 광을 반사시켜 게이트 구동부(650) 상부에 형성된 실런트(850)에 상기 광을 제공한다. 이때, 상기 광은 자외선이다.

[0112] 도 10은 도 9에 도시된 제1 및 제2 반사패턴에 의한 자외선 반사원리를 나타낸 단면도이다.

[0113] 도 10을 참조하면, 게이트 구동부(650)가 형성된 실라인 영역(SA)에 인접한 제1 및 제2 주변영역(PA1,PA2)에는 서로 이격된 복수의 서브패턴들로 이루어진 제1 및 제2 반사패턴(660,670)이 각각 형성된다. 또한, 게이트 구동부(650) 상부에는 게이트 구동부(650)를 완전 커버하도록 실런트(850)가 형성된다.

[0114] 상기 실런트(850)를 경화시키기 위하여 제1 기판(610)의 배면으로부터 자외선(UV)이 공급된다. 상기 자외선(UV) 중 게이트 구동부(650)의 하부로 입사되는 제1 광(L1)은 게이트 구동부(650)에 의해 차단되어 실런트(850)에 도달되지 못한다. 한편, 상기 자외선(UV) 중 게이트 구동부(650)에 인접하는 제1 및 제2 주변영역(PA1,PA2)으로 입사되는 제2 광(L2)은 제1 및 제2 반사패턴(660,670)에 의해 산란되어 실런트(850)에 도달한다. 즉, 제2 광(L2)은 제1 및 제2 반사패턴(660,670)의 복수의 패턴들 사이로 통과되고, 상기 복수의 패턴들에 반사되어 광 산란이 발생한다. 이처럼 광 산란이 발생됨에 따라 제2 광(L2)이 게이트 구동부(650) 상부에 형성된 실런트(850)에 도달한다.

[0115] 따라서, 게이트 구동부(650)에 의해 상기 자외선(UV)이 일부가 차단되더라도, 나머지 일부가 실런트(850)에 도달하고, 이에 따라 실런트(850)의 경화가 제대로 이루어져 어레이 기판(600)과 컬러필터 기판(700)이 서로 견고하게 결합된다.

[0116] <실시예-3>

[0117] 도 11은 본 발명의 제3 실시예에 따른 표시장치의 평면도이고, 도 12는 도 11에 도시된 Ⅱ-Ⅱ' 선에 따른 단면도이며, 도 13은 도 12에 도시된 게이트 구동부의 일부분을 상세하게 나타낸 도면이다.

[0118] 도 11 내지 도 13에 도시된 바와 같이, 본 발명의 제3 실시예에 따른 표시장치(1400)는 제1 및 제2 구동신호에 응답하여 영상을 표시하는 표시패널(1300), 표시패널(1300)에 구비되어 표시패널(1300)에 상기 제1 및 제2 구동신호를 각각 출력하는 데이터 구동부 및 게이트 구동부(1150, 1160)를 포함한다.

[0119] 상기 표시패널(1300)은 어레이 기판(1100), 어레이 기판(1100)과 마주하는 컬러필터 기판(1200), 어레이 기판(1100)과 컬러필터 기판(1200)을 결합시키는 실런트(1350)로 이루어진다. 또한, 표시패널(1300)은 상기 영상을 표시하는 표시영역(DA), 표시영역(DA)을 감싸는 실라인 영역(SA), 실라인 영역(SA)의 외측에 구비된 제1 주변영역(PA1) 및 표시영역(DA)과 실라인 영역(SA)의 일부와의 사이에 구비된 제2 주변영역(PA2)으로 이루어진다.

[0120] 여기서, 표시영역(DA)에 대응하여 어레이 기판(1100)의 제1 기판(1110)에는 복수의 게이트 라인(GL1, ..., GLn), 복수의 데이터 라인(DL1, ..., DLm), 복수의 박막 트랜지스터 및 액정 커페시터가 형성된다. 예를 들어, 상기 복수의 박막 트랜지스터 중 제1 박막 트랜지스터(Tr1)의 게이트 전극은 제1 게이트 라인(GL1)과 전기적으로 연결되고, 제1 박막 트랜지스터(Tr1)의 소스 전극은 제1 데이터 라인(DL1)과 전기적으로 연결되며, 제1 박막 트랜지스터(Tr1)의 드레인 전극은 상기 복수의 액정 커페시터 중 제1 액정 커페시터(C1c1)에 연결된다.

[0121] 또한, 제1 주변영역(PA1)에 대응하여 제1 기판(1110) 상에는 칩 형태로 이루어진 데이터 구동부(1150)가 실장된다. 이때, 데이터 구동부(1150)는 데이터 라인(DL1, ..., DLm)과 전기적으로 연결된다. 따라서, 데이터 구동부(1150)로부터 출력된 상기 제1 구동신호는 데이터 라인(DL1, ..., DLm)으로 제공된다.

[0122] 한편, 제2 주변영역(PA2)에 인접하는 실라인 영역(SA)과 제2 주변영역(PA2)에는 게이트 구동부(1160)가 상기 박

막 트랜지스터와 동일한 공정을 통해 동일한 시간상에서 형성된다. 상기 게이트 구동부(1160)는 게이트 라인(GL1, ..., GLn)과 전기적으로 연결된다. 따라서, 게이트 구동부(1160)로부터 출력된 상기 제2 구동신호는 게이트 라인(GL1, ..., GLn)으로 제공된다.

[0123] 한편, 컬러필터 기판(1200)은 제2 기판(1210) 상에 전면적으로 형성된 공통전극(1220) 및 실라인 영역(SA)과 게이트 구동부(160)가 형성된 실라인 영역(SA)에 인접한 제1 및 제2 주변영역(PA1, PA2)에 대응하도록 형성된 차광층(1230)을 구비한다. 또한, 컬러필터 기판(1200)은 제2 기판(1210)과 공통전극(1220)과의 사이에 컬러필터층(도시되지 않음)을 더 구비한다.

[0124] 상기 게이트 구동부(1160)는 배선부(1162), 제1 회로부(1164) 및 제2 회로부(1166)로 이루어진다. 상기 제1 회로부(1164)는 게이트 라인(GL1 ~ GLn)에 직접적으로 연결되어, 게이트 라인(GL1 ~ GLn)에 제2 구동신호를 출력하고, 제2 회로부(1166)는 제1 회로부(1164)를 구동시킨다. 여기서, 게이트 구동부(1160)의 상세 구성은 도 4와 동일하므로, 이에 대한 상세한 설명은 생략하기로 한다.

[0125] 한편, 제1 및 제2 회로부(1164, 1166)는 도 5에서와 같이, 복수개의 트랜지스터들로 구성된다. 즉, 제1 회로부(CS1)는 제1 및 제2 트랜지스터(TFT1, TFT2)로 이루어지고, 제2 회로부(CS2)는 제3 내지 제10 트랜지스터(TFT3, ..., TFT10)로 이루어진다.

[0126] 이때, 제1 회로부(1164)와 제2 회로부(1166)는 제1 이격거리(d1)를 갖는다. 상기 제1 이격거리(d1)는 약 $200\mu\text{m}$ 이다.

[0127] 상기 실라인 영역(SA)에는 어레이 기판(1100)과 컬러필터 기판(1200)을 결합시키는 실런트(1350)가 형성된다. 상기 실런트(1350)는 광 경화성 물질을 포함하며, 어레이 기판(1100)과 컬러필터 기판(1200)과의 사이에 개재된 상태에서 외부로부터 제공된 광을 입력받아 견고하게 경화되면서 어레이 기판(1100)과 컬러필터 기판(1200)을 결합시킨다.

[0128] 상기 실런트(1350)는 실라인 영역(SA)에 형성된 게이트 구동부(1160)의 일부분을 커버한다. 즉, 실런트(1350)는 게이트 구동부(1160)의 배선부(1162) 및 제2 회로부(1166)만을 커버하도록 형성된다. 이와 같이, 실런트(1350)를 게이트 구동부(1160)의 일부분을 커버하도록 배치시키면, 컬러필터 기판(1200)에 형성된 공통전극(1220)과 게이트 구동부(1160)와의 사이에서 생성되는 기생 커판시턴스를 감소시킬 수 있다.

[0129] 또한, 제1 회로부(1164)와 제2 회로부(1166)는 제1 이격거리(d1)를 갖도록 형성됨에 따라 공정 편차상 실런트(1350)가 옆으로 퍼져서 제1 회로부(1164)를 덮는 것이 방지된다. 따라서, 실런트(1350)의 퍼짐에 따른 공정 편차에 의해 제1 회로부(1164)는 실런트(1350)로부터 제1 이격거리(d1) 보다 작은 제2 이격거리(d2)를 갖는다. 이때, 제2 이격거리(d2)는 약 $50\mu\text{m}$ 이다.

[0130] 한편, 게이트 구동부(1160)의 제1 회로부(1164)를 구성하는 트랜지스터들은 제2 회로부(1166)를 구성하는 트랜지스터들에 비하여 상대적으로 큰 사이즈를 갖는다. 즉, 제1 회로부(1164)를 구성하는 트랜지스터들이 상대적으로 큰 형성면적을 가지고, 제2 회로부(1166)를 구성하는 트랜지스터들이 상대적으로 작은 형성면적을 갖는다.

[0131] 따라서, 실런트(1350)를 경화시키기 위하여 제1 기판(1110)의 배면으로부터 광이 제공되는 경우, 제2 회로부(1166)는 제1 회로부(1164)보다 상대적으로 많은 양의 상기 광을 통과시킬 수 있고, 그로 인해, 제2 회로부(1166) 상부에 형성된 실런트(1350)로 상기 광이 제공된다.

[0132] 상술한 바와 같이, 본 발명의 제3 실시예는 게이트 구동부 중 배면으로부터 제공되는 광을 보다 많이 통과시킬 수 있는 부분 즉, 배선부 및 제2 회로부만을 커버하도록 실런트를 형성한다. 따라서, 게이트 구동부 상에 형성된 실런트에 보다 많은 양의 광이 도달하고, 그로 인해 실런트의 경화가 제대로 이루어져 어레이 기판과 컬러필터 기판이 견고하게 결합된다.

발명의 효과

[0133] 상술한 바와 같이, 본 발명은 게이트 구동부에 인접한 제1 주변영역과 제2 주변영역에 형성되어, 배면으로부터 제공되는 자외선을 반사시켜 상기 게이트 구동부 상에 형성되는 실런트에 제공하는 반사부재를 포함한다. 이때, 상기 반사부재는 소정의 기울기를 갖는 반사막이다. 또한, 상기 반사부재는 소정 간격을 가지고 배열된 복수의 반사 패턴이다.

[0134] 그러므로, 본 발명은 반사부재에 의해 자외선을 반사시켜 게이트 구동부 상에 형성된 실런트에 제공하여, 보다 많은 자외선이 상기 실런트에 제공된다.

[0135] 따라서, 본 발명은 보다 많은 양의 자외선을 게이트 상부에 형성된 실런트에 제공함에 따라 상기 실런트의 경화가 제대로 이루어지고, 그로 인해 어레이 기판과 컬러필터 기판간의 결합력이 향상된다.

[0136] 이상 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 제1 실시예에 따른 표시장치의 평면도이다.

[0002] 도 2는 도 1에 도시된 I-I' 선에 따른 단면도이다.

[0003] 도 3은 도 2에 도시된 제1 및 제2 반사막에 의한 자외선 반사원리를 나타낸 단면도이다.

[0004] 도 4는 도 1에 도시된 게이트 구동부를 구체적으로 나타낸 블록도이다.

[0005] 도 5는 도 4에 도시된 회로부의 등가회로이다.

[0006] 도 6은 도 5에 도시된 제1 회로부를 개략적으로 나타낸 도면이다.

[0007] 도 7a 내지 도 7c는 도 6에 도시된 제1 및 제2 트랜지스터의 다른 구성예들을 나타낸 도면들이다.

[0008] 도 8a 내지 도 8c는 도 2에 도시된 어레이 기판을 제조하기 위한 제조공정을 나타낸 단면도들이다.

[0009] 도 9는 본 발명의 제2 실시예에 따른 표시장치의 단면도이다.

[0010] 도 10은 도 9에 도시된 제1 및 제2 반사패턴에 의한 자외선 반사원리를 나타낸 단면도이다.

[0011] 도 11은 본 발명의 제3 실시예에 따른 표시장치의 평면도이다.

[0012] 도 12는 도 11에 도시된 II-II' 선에 따른 단면도이다.

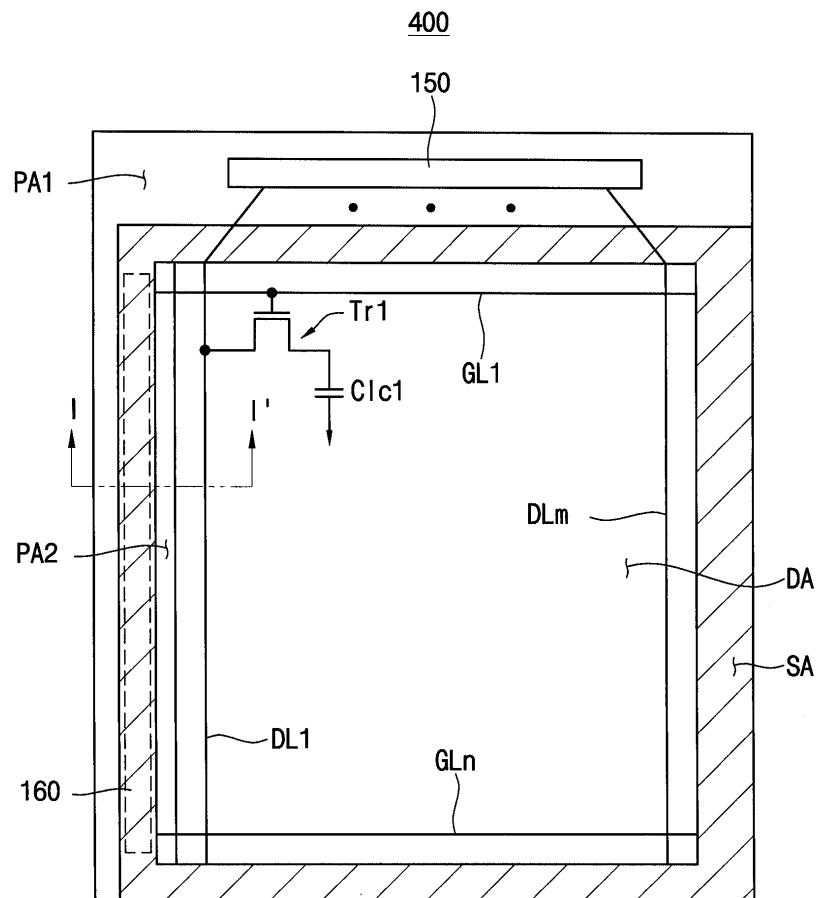
[0013] 도 13은 도 12에 도시된 게이트 구동부의 일부분을 상세하게 나타낸 도면이다.

[0014] *도면의 주요 부분에 대한 부호의 설명*

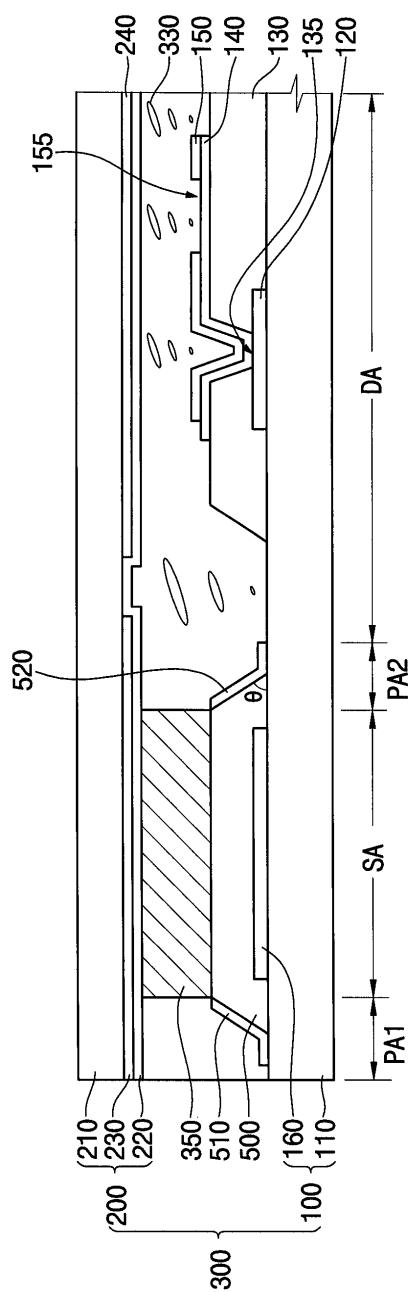
[0015] 100 : 어레이 기판	160 : 게이트 구동부
[0016] 200 : 컬러필터 기판	300 : 액정표시패널
[0017] 330 : 액정층	350 : 실런트
[0018] 500 : 유기막	510 : 반사막

도면

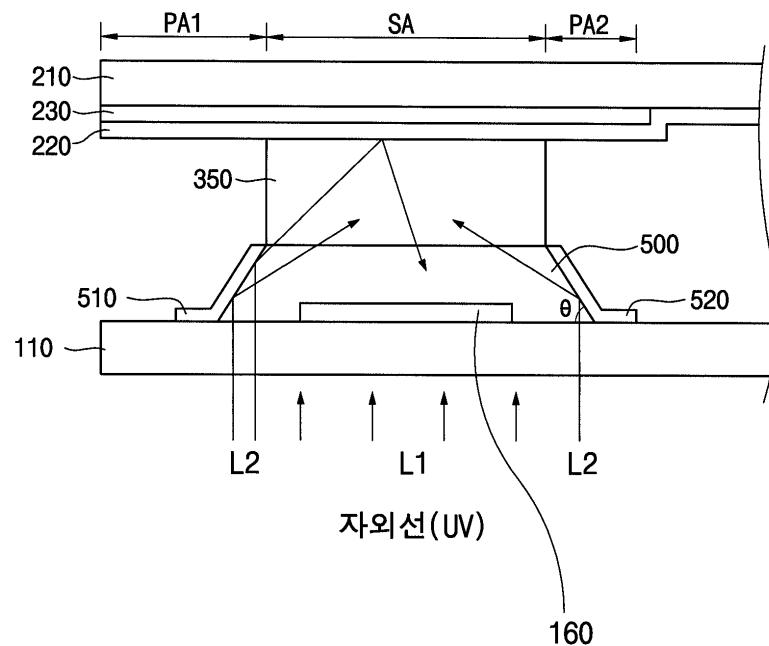
도면1



도면2

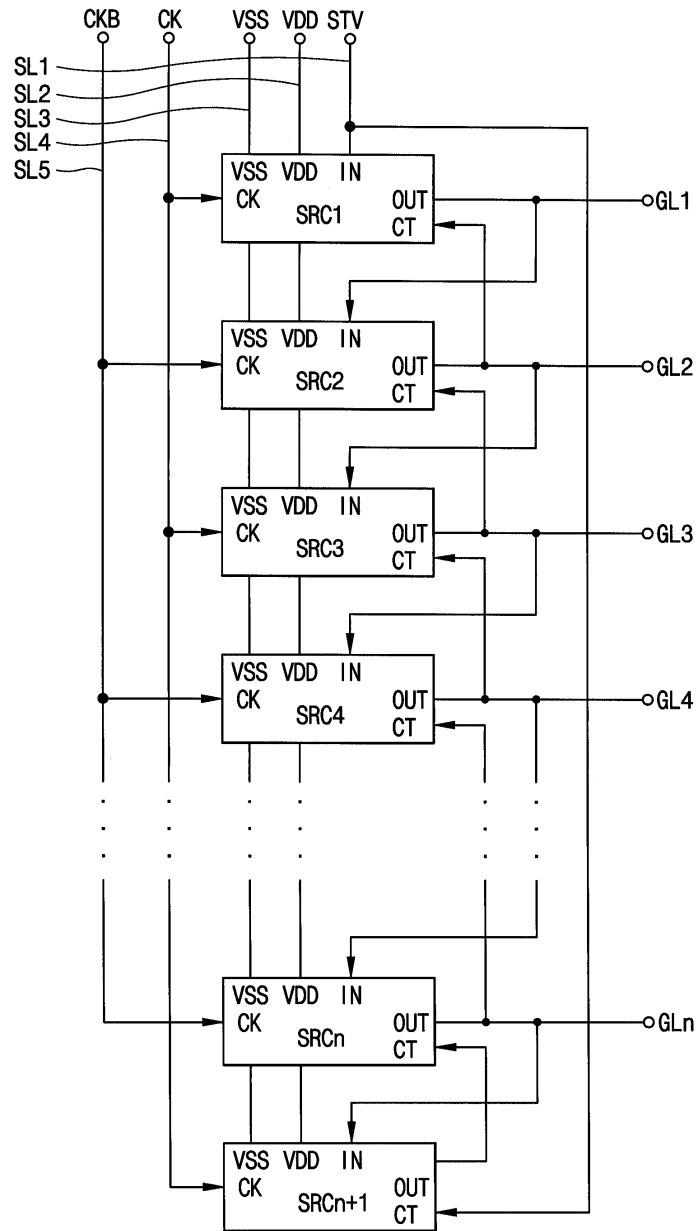


도면3

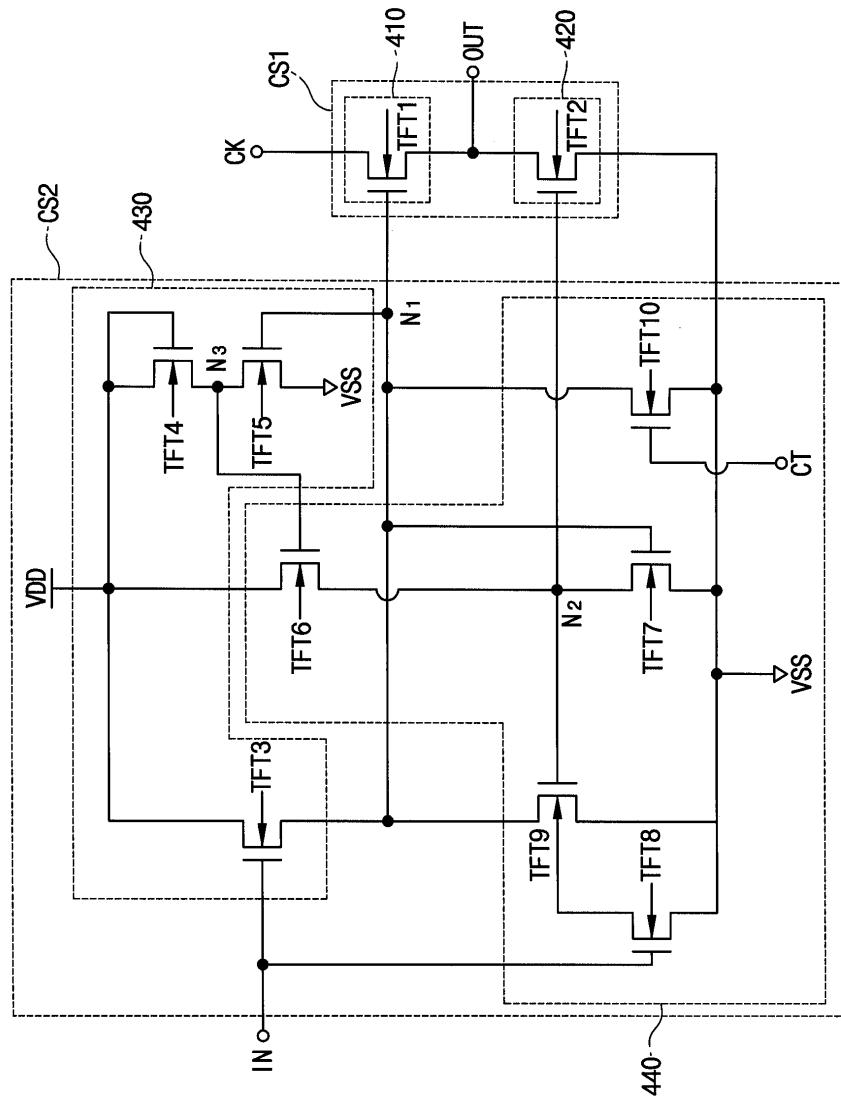


도면4

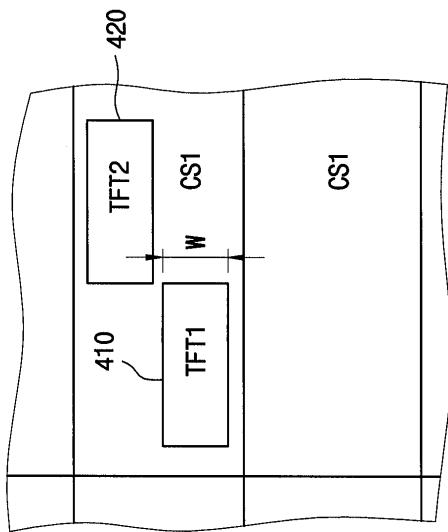
160



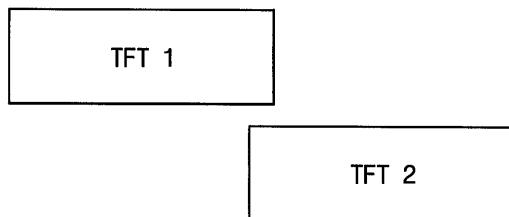
도면5



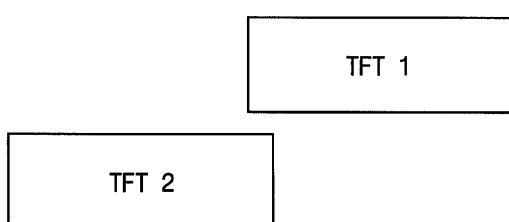
도면6



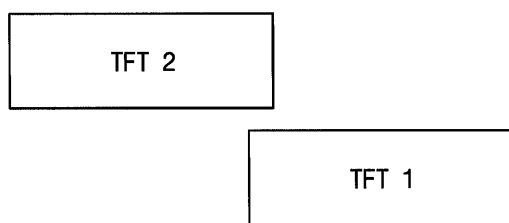
도면7a



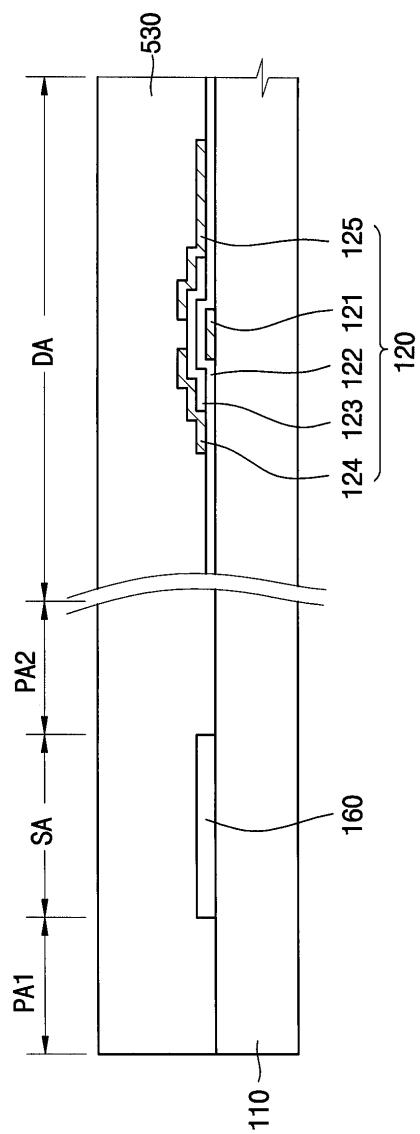
도면7b



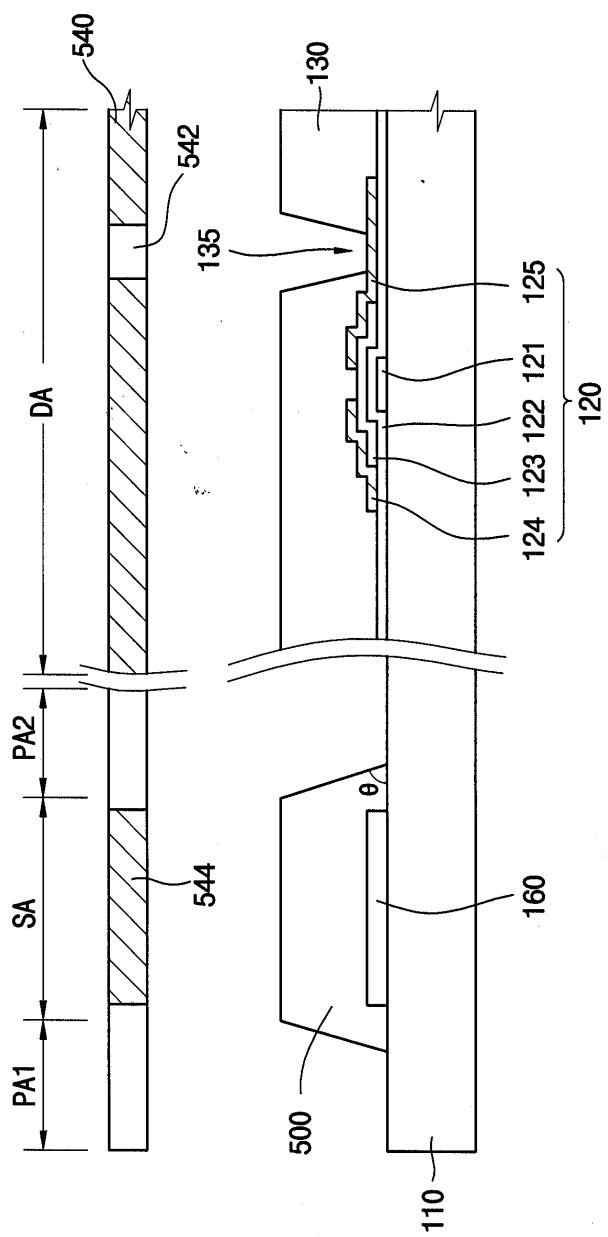
도면7c



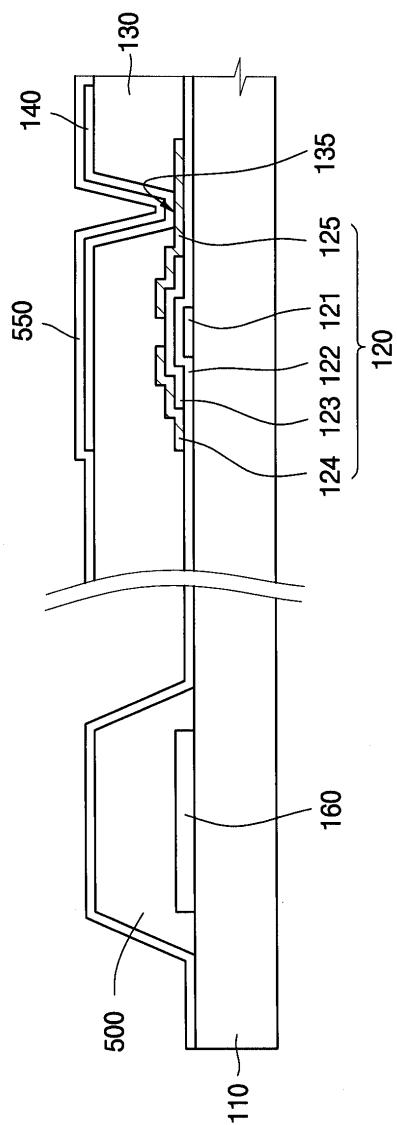
도면8a



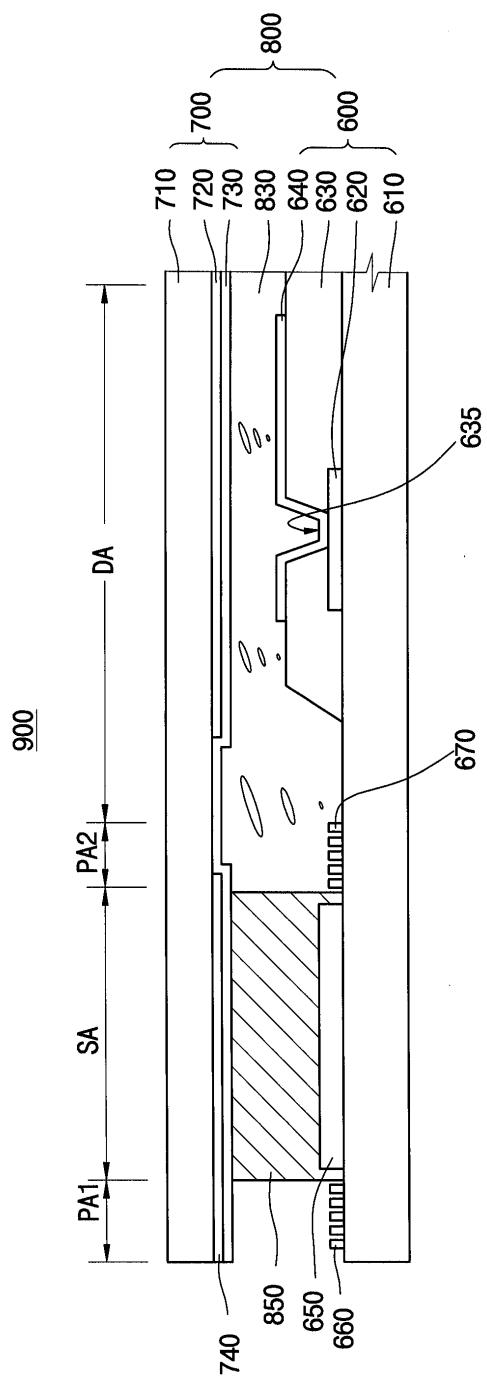
도면8b



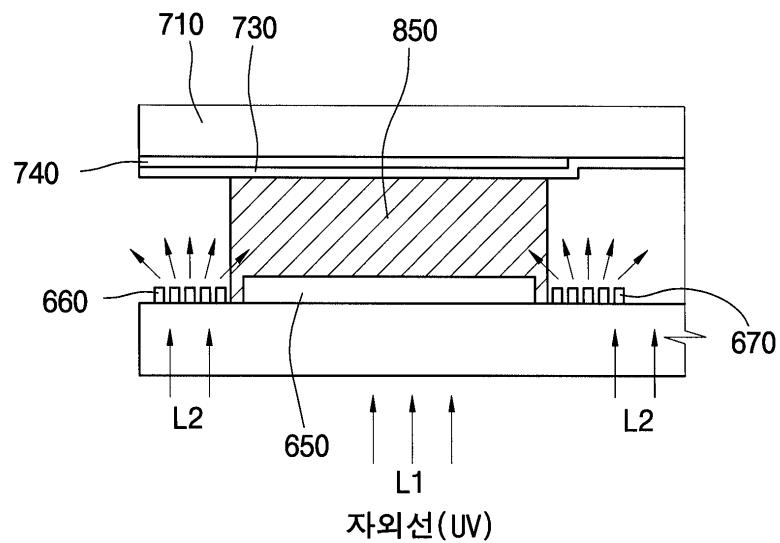
도면8c



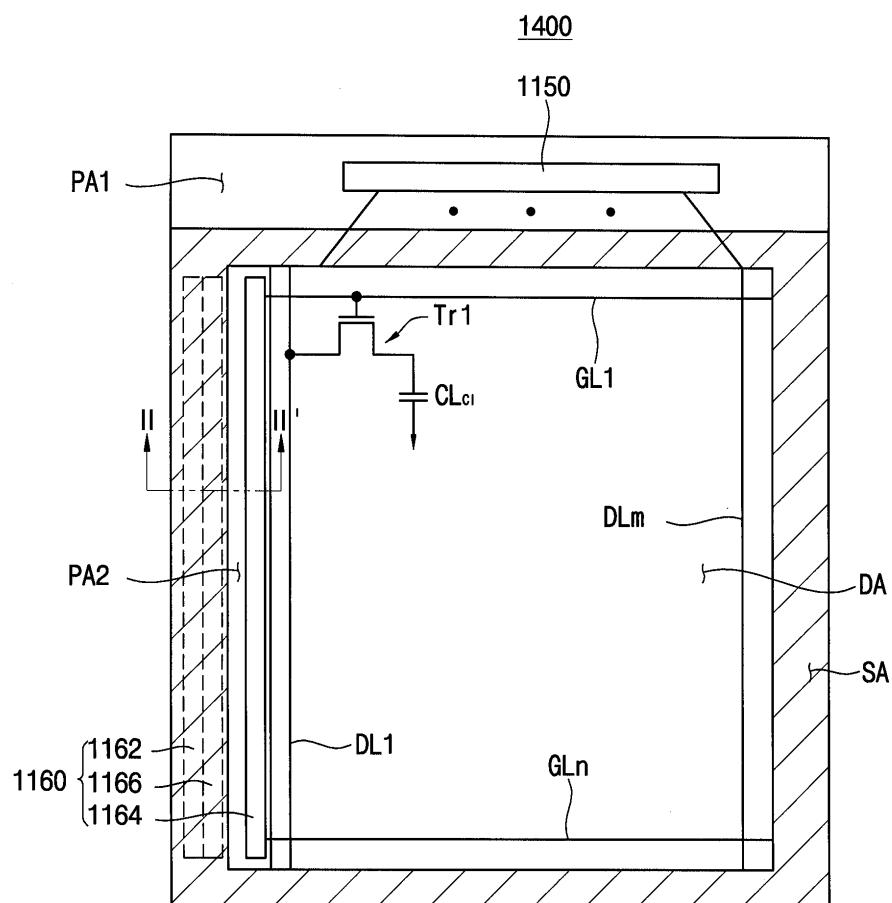
도면9



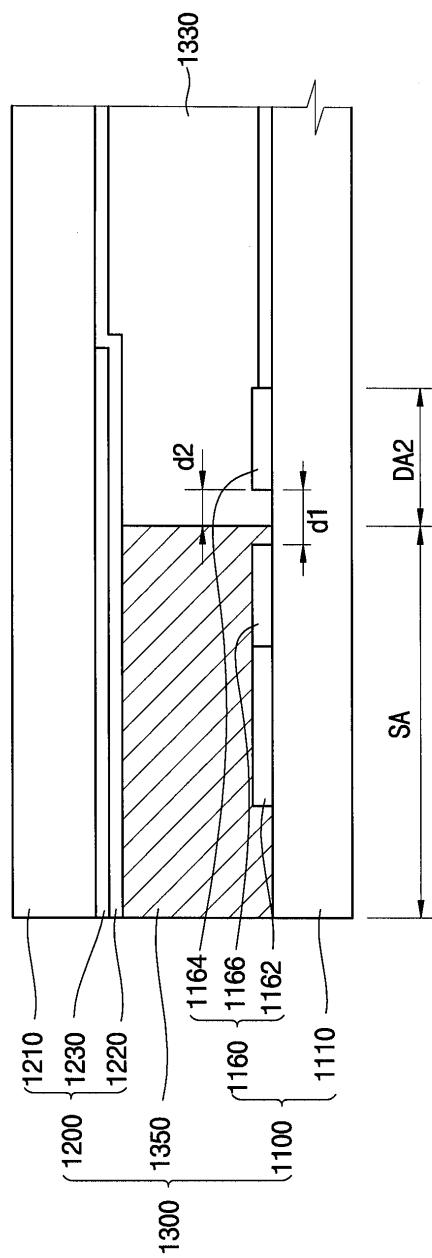
도면10



도면11



도면12



도면13

