



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월01일

(11) 등록번호 10-1590019

(24) 등록일자 2016년01월25일

(51) 국제특허분류(Int. Cl.)

G06F 7/38 (2006.01) G06F 1/32 (2006.01)

(52) CPC특허분류

G06F 7/38 (2013.01)

G06F 1/3203 (2013.01)

(21) 출원번호 10-2015-0075978

(22) 출원일자 2015년05월29일

심사청구일자 2015년05월29일

(56) 선행기술조사문헌

KR100986405 B1

KR1020130093409 A

(73) 특허권자

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

최성립

대전광역시 서구 청사로 65, 108동 1002호 (월평동, 황실타운아파트)

안중훈

대전광역시 서구 둔산남로 30, 110동 1001호 (둔산동, 녹원아파트)

남병규

대전광역시 서구 도안북로 136, 111동 1504호 (도안동, 파렌하이트아파트)

(74) 대리인

특허법인 웰

전체 청구항 수 : 총 5 항

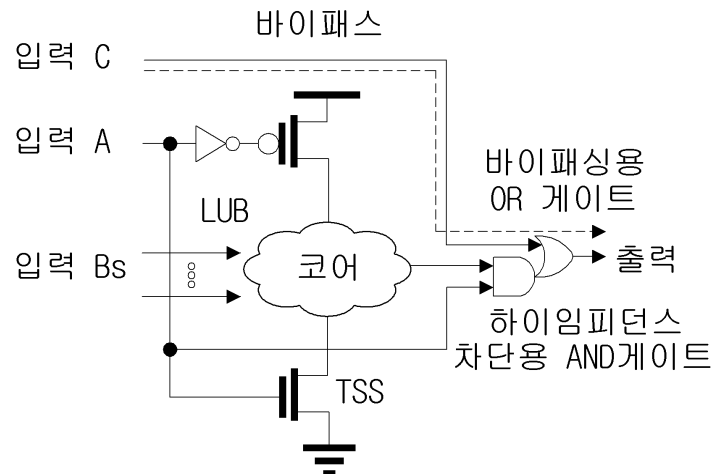
심사관 : 지정훈

(54) 발명의 명칭 전력 효율 향상을 위한 멀티플렉서가 없는 바이패싱 구조를 구비한 연산기

(57) 요약

멀티플렉서를 사용하지 않아 성능 감소를 최소화하여 높은 전력 효율을 달성하는 바이패싱 구조를 구비한 연산기에 관한 것으로, 바이패스 활성화 신호인 제1 입력을 받는 3상 스위치, 상기 3상 스위치에 의해 제어되고 제2 입력을 받는 LUB(logic under bypassing), 상기 바이패스 활성화 신호에 따라 상기 LUB로부터 불필요한 신호를 차단하고 바이패싱 신호인 제3 입력을 그대로 출력시키는 바이패싱부를 포함하는 구성을 마련하여, 연산기의 성능은 유지하면서 전력 효율을 높일 수 있다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 2014018537

부처명 미래창조과학부

연구관리전문기관 충남대학교 산학협력단

연구사업명 일반연구자(신진연구)지원사업

연구과제명 모바일 GPU를 위한 저전력 소면적의 고정밀도의 다기능연산기 개발

기 여 율 1/1

주관기관 충남대학교

연구기간 2013.05.01 ~ 2015.04.30

공지예외적용 : 있음

명세서

청구범위

청구항 1

전력 효율 향상을 위한 멀티플렉서가 없는 바이패싱 구조를 구비한 연산기로서,
바이패스 활성화 신호인 제1 입력을 받는 3상 스위치,
상기 3상 스위치에 의해 제어되고 제2 입력을 받는 LUB(logic under bypassing),
상기 바이패스 활성화 신호에 따라 상기 LUB로부터 불필요한 신호를 차단하고 바이패싱 신호인 제3 입력을 그대로 출력시키는 바이패싱부를 포함하는 것을 특징으로 하는 연산기.

청구항 2

제1항에 있어서,
상기 바이패싱부는 AND 로직 및 OR 로직을 포함하는 것을 특징으로 하는 연산기.

청구항 3

제2항에 있어서,
상기 OR 로직은 상기 제3 입력을 출력으로 전달하고,
상기 AND 로직은 상기 LUB로부터 전달되는 하이 임피던스 신호를 차단하는 것을 특징으로 하는 연산기.

청구항 4

제3항에 있어서,
상기 제1 입력은 바이패싱 활성화 신호이고, 상기 제1 입력의 제어에 의해 상기 제2 입력과 관계없이 상기 제3 입력은 출력으로 전달되는 것을 특징으로 하는 연산기.

청구항 5

제2항에 있어서,
상기 AND 로직 및 OR 로직은 바이패싱 동안 활성화되는 것을 특징으로 하는 연산기.

발명의 설명

기술 분야

[0001] 본 발명은 전력 효율 향상을 위한 멀티플렉서가 없는 바이패싱(bypassing) 구조를 구비한 연산기에 관한 것으로, 특히 멀티플렉서를 사용하지 않아 성능 감소를 최소화하여 높은 전력 효율을 달성하는 바이패싱 구조를 구비한 연산기에 관한 것이다.

배경 기술

[0003] 고성능 모바일(mobile) 시스템에 대한 요구가 점점 증가함에 따라, 상기 시스템 내부에서 논리 연산을 위한 연산기의 중요성이 점점 커지고 있다.

[0004] 그러나 고성능 연산기의 경우 모바일 시스템이 갖는 제한된 배터리 용량에 치명적인 높은 전력 소모가 뒤따른다.

[0006] 이러한 문제를 해결하기 위한 기술의 일 예가 하기 문헌 등에 개시되어 있다.

- [0007] 예를 들어, 하기 특허문헌 1에는 입력되는 X_{2k-1} , X_{2k} , X_{2k+1} 3비트를 이용해 $-y$ 로 코딩해야 하는 경우 이진 보수의 경우 입력 비트를 반전시킨후 '1'의 값을 가산해줘야 하기 때문에, 보수의 경우 가산되는 +1 값을 생성하기 위한 Z0과 Z1의 제어신호를 두 개의 XOR로 생성시키고, 입력되는 신호 y 값을 쉬프트할지 그대로 내려 보낼지 반전시킬지를 판단하기 위한 S0과 S1의 제어신호를 XNOR 게이트로 생성하는 부호화기 및 부분 곱과 ADD의 두 개의 결과 값을 생성하고, 상기 S0과 S1의 제어신호에 따라 현재 비트 또는 시프트되는 비트를 선택한 후, 두 개의 AND 게이트를 이용해 결과 값을 선택하는 복호기로 구성된 고속 연산기를 위한 기수(radix)-4 부스(Booth) 연산기에 대해 개시되어 있다.
- [0008] 또 하기 특허문헌 2에는 제1 입력과 제2 입력을 가산하고 바이패스 신호에 따라 합 신호를 생성하는 회로로서, 바이패스 신호를 수용하는 제3 입력(바이패스), 제1 입력과 제2 입력 중의 적어도 하나와 제3 입력(바이패스)을 결합하여 제3 입력(바이패스)에 따라 제1 입력의 값과 제2 입력 값의 적어도 하나를 유지하도록 구성된 논리회로, 바이패스 신호에 따라 제1 입력과 제2 입력 중의 적어도 하나가 경로인 바이패싱 경로, 가산기 출력의 하나로만 통과되고 제3 신호(바이패스)에 따라 합 출력으로 바이패스 경로로 출력하는 제2 논리회로를 포함하고, 논리회로는 바이패스 신호에 따라 새로운 가산기 출력을 연산하는 일 없이 캐리 출력을 생성하는 바이패스 가능한 가산기에 대해 개시되어 있다.
- [0009] 또한, 하기 비 특허 문헌 1에는 회소 트리 가산기의 스택틱 설계의 연구가 개시되어 있고, 스택틱 회소 트리의 구성을 조사하고 가장 효율적인 에너지로서 기수(radix)-2를 제시하였고, 하기 비 특허 문헌 2에는 입력과 동일하게 출력하도록 직접 입력 값을 전달하는 것에 의해 회로의 불필요한 스위칭을 방지하도록 저전력 멀티플렉서에서 전가산기를 위한 바이패싱 셀 구조에 대해 개시되어 있다.

선행기술문헌

특허문헌

- [0011] (특허문헌 0001) 대한민국 등록특허공보 제10-0477509호(2005.03.09 등록)
(특허문헌 0002) 미국 등록특허공보 US 7,228,325호(2007.06.05 등록)

비특허문헌

- [0012] (비특허문헌 0001) “Energy-Efficient Design Methodologies: High-Performance VLSI Adders,” Bart R. Zeydel et al., IEEE J. Solid-State Circuits, 45(6), pp. 1220-1233, 2010.
(비특허문헌 0002) “A 145 μ W 8 $\times$ 8 Parallel Multiplier based on Optimized Bypassing Architecture,” Sunjoo Hong et al., IEEE Int. Symp. on Circuits and Systems, pp.1175-1178, 2011.

발명의 내용

해결하려는 과제

- [0013] 그러나 상술한 바와 같은 종래의 기술은 연산기에 주로 사용되는 기존 바이패싱 구조에서 회로 내부의 불필요한 스위칭 전류를 차단하여 전력 소모를 상당히 줄였음에도 불구하고 출력단의 멀티플렉서에 의한 성능 감소로 인해 실제 산업 분야에서 사용되기 어려운 문제가 있었다.
- [0014] 또, 상기 비특허 문헌에 개시된 기술은 바이패싱 셀이 바이패싱을 위해 포함된 출력 멀티플렉서(MUX)에 의해 큰 지연 오버 헤드를 초래한다는 문제가 있었다.
- [0015] 한편, 도 1은 종래의 바이패싱 셀 구조를 나타내는 도면으로서, 다수의 3상 스위치(TSS), 출력 멀티플렉서(MUX)와 내부 회로인 코어와 AND-OR 부분으로 그룹화된 LUB(logic under bypassing)를 포함한다. 도 1에 도시된 바와 같은 구조에서, 제1 입력 A가 0일 때, 상기 TSS를 끄는 것에 의해 상기 LUB를 차단하고, 제3 입력 C는 LUB를 바이패싱한 출력 MUX를 통해 최종 출력으로 전달된다.
- [0016] 그러나 도 1에 도시된 바와 같은 구조는 바이패싱을 위해 부가된 출력 MUX에 의해 셀 지연을 상당히 증가시키게

한다는 문제가 있었다.

[0018] 본 발명의 목적은 상술한 바와 같은 문제점을 해결하기 위해 이루어진 것으로서, 저전력이 중요한 시스템에 사용되는 연산기의 성능은 유지하면서 전력 효율을 높이는 멀티플렉서가 없는 바이패싱 구조를 구비한 연산기를 제공하는 것이다.

[0019] 본 발명의 다른 목적은 기존 바이패싱 구조에서 성능 저하의 주원인인 멀티플렉서를 제거함으로써 연산기의 성능 감소를 최소화하면서 불필요한 스위칭 전류를 억제하여 전력 효율을 높이는 멀티플렉서가 없는 바이패싱 구조를 구비한 연산기를 제공하는 것이다.

[0020]

과제의 해결 수단

[0021] 상기 목적을 달성하기 위해 본 발명에 따른 연산기는 전력 효율 향상을 위한 멀티플렉서가 없는 바이패싱 구조를 구비한 연산기로서, 바이패스 활성화 신호인 제1 입력을 받는 3상 스위치, 상기 3상 스위치에 의해 제어되고 제2 입력을 받는 LUB(logic under bypassing), 상기 바이패스 활성화 신호에 따라 상기 LUB로부터 불필요한 신호를 차단하고 바이패싱 신호인 제3 입력을 그대로 출력시키는 바이패싱부를 포함하는 것을 특징으로 한다.

[0022] 또 본 발명에 따른 연산기에 있어서, 상기 바이패싱부는 AND 로직 및 OR 로직을 포함하는 것을 특징으로 한다.

[0023] 또 본 발명에 따른 연산기에 있어서, 상기 OR 로직은 상기 제3 입력을 출력으로 전달하고, 상기 AND 로직은 상기 LUB로부터 전달되는 하이 임피던스 신호를 차단하는 것을 특징으로 한다.

[0024] 또 본 발명에 따른 연산기에 있어서, 상기 제1 입력은 바이패싱 활성화 신호이고, 상기 제1 입력의 제어에 의해 상기 제2 입력과 관계없이 상기 제3 입력을 출력으로 전달하는 것을 특징으로 한다.

[0025] 또 본 발명에 따른 연산기에 있어서, 상기 AND 로직 및 OR 로직은 바이패싱 동안 활성화되는 것을 특징으로 한다.

발명의 효과

[0027] 상술한 바와 같이, 본 발명에 따른 멀티플렉서가 없는 바이패싱 구조를 구비한 연산기에 의하면, 출력단의 멀티플렉서 없이 바이패싱 구조를 구현하여 최소한의 성능 감소로 높은 전력 효율을 높일 수 있다는 효과가 얻어진다.

[0028] 또, 본 발명에 따른 멀티플렉서가 없는 바이패싱 구조를 구비한 연산기에 의하면, 저전력이 중요한 시스템에 사용되는 연산기의 성능은 유지하면서 전력 효율을 높일 수 있다는 효과도 얻어진다.

도면의 간단한 설명

[0030] 도 1은 종래의 바이패싱 셀 구조를 나타내는 도면,

도 2는 본 발명에 적용되는 바이패싱 조건의 기본 개념을 나타내는 도면,

도 3은 본 발명에 따른 멀티플렉서가 없는 바이패싱 구조를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0031] 본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부 도면에 의해 더욱 명확하게 될 것이다.

[0032] 먼저, 본 발명의 개념에 대해 설명한다.

[0033] 본 발명은 성능을 저하시키는 핵심 요소인 멀티플렉서 없이 내부 회로의 불필요한 스위칭 전류를 억제하는 바이패싱 구조 구현에 관한 것이다.

[0034] 본 발명에서는 내부 회로의 AND-OR 로직을 이용해서 기존 멀티플렉서의 입력 값을 출력으로 전달하는 기능과 내부 회로로부터 전달되는 하이 임피던스 신호를 차단하는 기능을 대체 수행한다.

[0035] 즉, 본 발명에서는 저전력이 중요한 시스템을 위한 멀티플렉서가 없는 바이패싱 구조를 사용하는 에너지 효율적인 연산기를 제시한다.

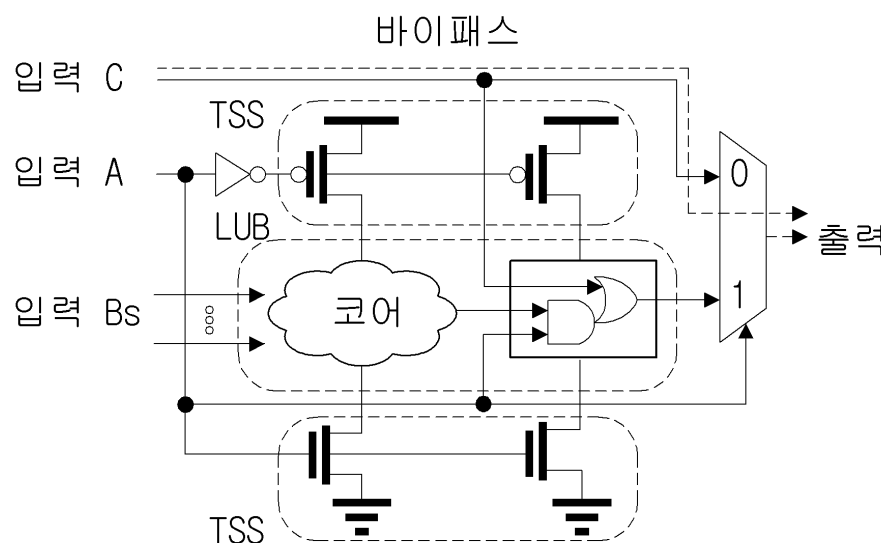
- [0037] 이하, 본 발명의 구성을 도면에 따라서 설명한다.
- [0038] 본 발명에 적용되는 연산기로서는 저전력 오버헤드에서 종래의 바이패싱 구조와 관련된 출력 지연을 감소시키도록, 멀티플렉서가 없는(이하, 'MUX-less'라 한다) 바이패싱 구조를 제시한다.
- [0039] 도 2는 본 발명에 적용되는 바이패싱 조건의 기본 개념을 나타내는 도면이다.
- [0040] 도 2에 도시된 바와 같이, 바이패싱 셀은 셀 내의 AND-OR 로직이다. 이와 같은 AND-OR 로직의 셀은 제1 입력 A가 0일 때, 제2 입력 B와 관계없이 AND 게이트의 출력이 0으로 되고, 제3 입력 C가 제2 입력 B와 관계없이 최종 출력으로 전달되는 것이다. 따라서, 제1 입력 A는 내부회로인 코어의 스위칭을 차단하도록 제3 입력 C의 바이패싱을 출력으로 제어하고 제2 입력 B의 차단을 제어할 수 있다.
- [0041] 도 3은 상술한 도 1에 도시된 바와 같은 문제를 해결하기 위해 이루어진 바이패싱 구조로서, 본 발명에 따른 MUX-less 바이패싱 구조를 나타내는 도면이다.
- [0042] 도 3에 도시된 바와 같이, 본 발명에 따른 연산기는 제1 입력 A를 받는 TSS, 제2 입력 B를 받는 LUB 및 제3 입력 C를 받는 바이패싱부를 포함한다. 상기 바이패싱부는 AND 로직 및 OR 로직을 포함한다.
- [0043] 본 발명에 따른 연산기는 단지 코어 회로가 차단되고, AND-OR 로직은 바이패싱 동안 활성화된다. 따라서 OR 게이트는 종래의 기술과 같이 출력 MUX가 없어도 제3 입력 C를 출력으로 전달한다.
- [0044] 또한, AND 게이트는 OR 게이트로 전달되지 않을 LUB로부터 오는 하이 임피던스 신호를 차단한다.
- [0045] 상술한 바와 같이, 본 발명에 따른 MUX-less 바이패싱 구조는 연산기에서 MUX를 사용하는 바이패싱 구조에 비해 출력단의 MUX에 기인하는 상당한 셀 지연시간을 제거한다.
- [0047] 이상 본 발명자에 의해서 이루어진 발명을 상기 실시 예에 따라 구체적으로 설명하였지만, 본 발명은 상기 실시 예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능한 것은 물론이다.

산업상 이용가능성

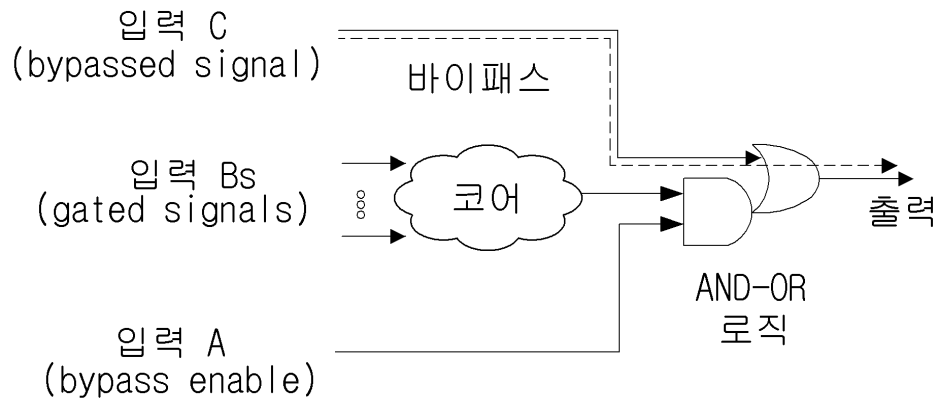
- [0049] 본 발명에 따른 멀티플렉서가 없는 바이패싱 구조를 구비한 연산기를 사용하는 것에 의해 전력 효율을 높일 수 있다.

도면

도면1



도면2



도면3

