

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-524732

(P2004-524732A)

(43) 公表日 平成16年8月12日(2004.8.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03F 3/45	H03F 3/45	5J500
H03F 1/26	H03F 1/26	

審査請求有 予備審査請求有 (全 52 頁)

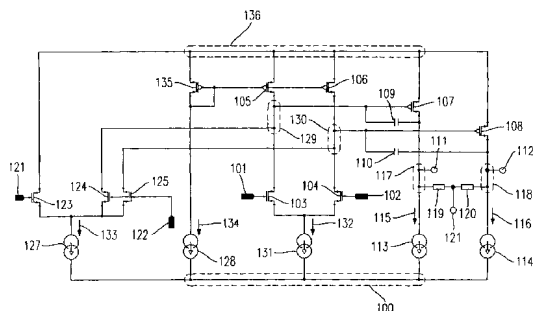
(21) 出願番号	特願2002-553301 (P2002-553301)	(71) 出願人	501085762 インフィネオン テヒノロギーズ アーゲー
(86) (22) 出願日	平成13年12月5日 (2001.12.5)		
(85) 翻訳文提出日	平成15年6月20日 (2003.6.20)		
(86) 国際出願番号	PCT/EP2001/014288		Infineon Technologies AG
(87) 国際公開番号	W02002/052720		ドイツ連邦共和国 D-81669 ミュンヘン ザンクト-マルティン-シュトラ-セ 53
(87) 国際公開日	平成14年7月4日 (2002.7.4)		
(31) 優先権主張番号	100 64 207.1	(74) 代理人	100068755 弁理士 恩田 博宣
(32) 優先日	平成12年12月22日 (2000.12.22)		
(33) 優先権主張国	ドイツ (DE)	(74) 代理人	100105957 弁理士 恩田 誠
(81) 指定国	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR, US	(72) 発明者	シンパー、マルクス ドイツ連邦共和国 85452 ムージング ダーリエンシュトラ-セ 2

最終頁に続く

(54) 【発明の名称】 低ノイズで完全差動増幅のための回路構成

(57) 【要約】

本発明は、低ノイズで完全差動増幅のための回路に関する。帰還信号(121)が、第1のフィードバック抵抗(119)と第2のフィードバック抵抗(120)によって形成された電圧分配器によって、差動増幅回路の差動増幅段階で検出される。第1の出力信号(111)は第1の出力回路ノード(117)で形成され、第2の出力信号(112)は第1の出力回路ノード(118)で形成される。第1と第2の出力信号(111)や(112)のそれぞれは、第1と第2の入力信号(101)や(102)によって形成される入力信号に対応する全出力信号を形成する。負荷電流(134)、入力電流(132)、及び参照電流(132)は、負荷電流源(128)、入力電流源(131)、及び参照電流源(127)によって得られる。負荷電流源(128)、入力電流源(131)、及び参照電流源(127)の間を適合させるために、整合トランジスタ(301)が使用される。差動増幅回路の帰還信号(121)は参照段階で参照電圧(122)と比較され、負荷電流(134)は、差動入力段階で電流ミラーデバイス中にミ



【特許請求の範囲】**【請求項 1】**

第 1 の入力トランジスタ (1 0 3) と第 2 の入力トランジスタ (1 0 4) とからなり、差動入力信号 (1 0 1 , 1 0 2) を入力する役目をする差動入力段階と、
第 1 の出力トランジスタ (1 0 7) と第 2 の出力トランジスタ (1 0 8) とからなり、差動出力信号 (1 1 1 , 1 1 2) を出力する役目をする差動出力段階と、
負荷電流 (1 3 4) 、入力電流 (1 3 2) 、及び、参照電流 (1 3 3) をそれぞれ設定するための負荷電流源 (1 2 8) 、入力電流源 (1 3 1) 、及び、参照電流源 (1 2 7) と、
差動増幅回路構成のコモンモード電圧と参照電圧 (1 2 2) とを比較する参照段階と、
負荷電流 (1 3 4) を差動入力段階の中にミラーするための電流ミラーデバイスと、
を備える入力信号を増幅するための回路構成。

10

【請求項 2】

前記差動入力信号が第 1 の入力信号 (1 0 1) と第 2 の入力信号 (1 0 2) とから形成される請求項 1 に記載の回路構成。

【請求項 3】

第 1 の出力信号 (1 1 1) と第 2 の出力信号 (1 1 2) とが、第 1 の出力回路ノード (1 1 7) と第 2 の出力回路ノード (1 1 8) とでそれぞれ引き出され得る請求項 1 、 2 の何れか或いは両方に記載の回路構成。

【請求項 4】

参照段階は第 1 の参照トランジスタ (1 2 3) 、第 2 の参照トランジスタ (1 2 4) 、及び、第 3 の参照トランジスタ (1 2 5) 、から形成される請求項 1 乃至 3 の少なくとも 1 つに記載の回路構成。

20

【請求項 5】

負荷電流 (1 3 4) を前記差動入力段階にミラーするための電流ミラーデバイスが、第 1 の電流ミラートランジスタ (1 0 5) と第 2 の電流ミラートランジスタ (1 0 6) とから形成される請求項 1 乃至 4 の少なくとも 1 つに記載の回路構成。

【請求項 6】

回路構成全体の起動を可能にするために、第 1 の起動トランジスタ (2 0 1) と第 2 の起動トランジスタ (2 0 2) とからなる起動回路ユニットを備える請求項 1 乃至 4 の少なくとも 1 つに記載の回路構成。

30

【請求項 7】

第 1 の入力トランジスタ (1 0 3) と第 2 の入力トランジスタ (1 0 4) とが差動入力段階を有する入力回路を形成する請求項 1 乃至 6 の少なくとも 1 つに記載の回路構成。

【請求項 8】

第 1 の出力トランジスタ (1 0 7) と第 2 の出力トランジスタ (1 0 8) とが差動出力段階を形成する請求項 1 乃至 7 の少なくとも 1 つに記載の回路構成。

【請求項 9】

負荷電流源 (1 2 8) から供給される負荷電流 (1 3 4) の一部である参照電流 (1 3 3) が制御のために使用されるときに、コモンモード制御が行われる請求項 1 乃至 8 の少なくとも 1 つに記載の回路構成。

40

【請求項 10】

部分電流が、1 以下である分圧器の因子 (k) によって設定されるときに、コモンモード制御が行われる請求項 1 乃至 9 の少なくとも 1 つに記載の回路構成。

【請求項 11】

第 1 と第 2 の入力トランジスタ (1 0 3 、 1 0 4) とそれぞれ並列に接続された第 1 と第 2 の起動トランジスタ (2 0 1 、 2 0 2) が前記差動入力段階に設けられた請求項 1 乃至 10 の少なくとも 1 つに記載の回路構成。

【請求項 12】

第 2 と第 3 の参照トランジスタ (1 2 4 、 1 2 5) が、第 1 と第 2 の入力トランジスタ (

50

103、104)の相互コンダクタンスより小さな相互コンダクタンスを有する請求項1乃至11の少なくとも1つに記載の回路構成。

【請求項13】

負荷電流(134)を駆動する負荷電流源(128)が設けられた請求項1乃至12の少なくとも1つに記載の回路構成。

【請求項14】

整合トランジスタが設けられ、該整合トランジスタのゲート端子に参照電圧(122)が印加され、該整合トランジスタのドレイン・ソース経路が負荷電流(134)を伝送する請求項1乃至13の少なくとも1つに記載の回路構成。

【請求項15】

第1の参照トランジスタ(123)の第1の参照負荷(401)が抵抗体によって形成される請求項1乃至14の少なくとも1つに記載の回路構成。

【請求項16】

第1の参照トランジスタ(123)の第1の参照負荷(401)がダイオード負荷によって形成される請求項1乃至15の少なくとも1つに記載の回路構成。

【請求項17】

整合トランジスタ(301)の負荷が、ダイオード負荷として接続される負荷トランジスタ(135)として形成される請求項1乃至16の少なくとも1つに記載の回路構成。

【請求項18】

差動入力信号(101、102)を、第1の入力トランジスタ(103)と第2の入力トランジスタ(104)とからなる差動入力段階に入力する工程と、

差動出力信号(111、112)を、第1の出力トランジスタ(107)と第2の出力トランジスタ(108)とからなる差動出力段階に出力する工程と、

整合トランジスタ(301)によって、負荷電流源(128)、入力電流源(131)、及び参照電流源(127)との間の整合させる工程と、

参照段階における参照電圧(122)に関して、差動増幅器回路構成のコモンモード電圧を制御する工程と、

負荷電流(134)を電流ミラーデバイスにおける差動入力段階にミラーする工程と、からなる、入力信号を低ノイズで完全差動増幅する方法。

【請求項19】

コモンモード制御において、コモンモード電圧が、第1の出力信号(111)が印加される第1の出力回路ノード(117)と、第2の出力信号(112)が印加される第2の出力回路ノード(118)と、の間に設定された分圧器によって帰還信号(121)として決定される請求項18に記載の方法。

【請求項20】

帰還信号(121)が参照信号(122)と比較される請求項18、19のうちの1つか両方に記載の方法。

【請求項21】

コモンモード電圧が出力段階で引き出される請求項18乃至20の少なくとも1つに記載の方法。

【請求項22】

ダイオード負荷として形成される負荷トランジスタ(135)が負荷電流(134)で作動し、該負荷電流(134)が第1と第2の電流ミラートランジスタ(105、106)を介してそれぞれ、第1の入力トランジスタ(103)と第2の入力トランジスタ(104)とから形成される差動入力段階にミラーされる請求項18乃至21の少なくとも1つに記載の方法。

【請求項23】

コモンモード制御が、第1、第2、第3の参照トランジスタ(123、124、125)によって制御されるそれぞれの部分電流を有する第1、第2の参照回路ノード(129、130)でそれぞれ動作する請求項18乃至22の少なくとも1つに記載の方法。

10

20

30

40

50

【請求項 24】

追加の極がコモンモード制御によって回避される請求項 18 乃至 23 の少なくとも一つに記載の方法。

【請求項 25】

入力電流源 (131) によって供給される入力電流 (132)、負荷電流源 (128) によって供給される負荷電流 (134)、及び参照電流源 (127) によって供給される参照電流 (132)、が相互に整合している請求項 18 乃至 24 の少なくとも一つに記載の方法。

【請求項 26】

入力電流源 (131) が差動入力段階によって保持されるのと同様の動作点で、負荷電流源 (128) が整合トランジスタ (301) によって保持され、参照電流源 (127) が、第 1、第 2 および第 3 の参照トランジスタ (123、124、125) からなる参照段階によって保持される請求項 18 乃至 25 の少なくとも一つに記載の方法。 10

【請求項 27】

コモンモード電圧が、第 1 の出力信号 (111) が印加される第 1 の出力回路ノード (117) と、第 2 の出力信号 (112) が印加される第 2 の出力回路ノード (118) と、の間に設定された分圧器 (119、120) によって帰還信号 (121) として決定される請求項 18 乃至 26 の少なくとも一つに記載の方法。

【請求項 28】

帰還信号 (121) が参照電圧 (122) と比較される請求項 18 乃至 27 の少なくとも一つに記載の方法。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は低ノイズ増幅のための回路構成に関し、特に、低ノイズで完全差動増幅に関する。

【0002】

【従来の技術】

完全差分増幅は、広い動作周波数領域に亘って差動信号を増幅することを必要とする多くの分野で使用されている。特に、限定はされないが、この完全差動増幅は、非常に小さな入力信号を可能な限り無ノイズの出力信号に増幅するために使用される。完全差動増幅器は通常、増幅器による出力の際にコモンモード電圧をセットするためのコモンモード制御を必要とする。このコモンモード制御は下記の要求事項のうち的一方或いは両方を満足させなければならない： 30

【0003】

(a) 全回路構成の十分な利得帯域が保証される、(b) 全回路構成のあらゆるノイズが所定の限度を越えてはならない。

この場合、(b) の下で特定された境界条件は、特に、 $1/f$ ノイズを含む。低 $1/f$ ノイズは信号を増幅するための回路要素に大きな要求を課するので、上記の二つの要件 ((a)、(b)) は互いに競合する。換言すれば、非常に大きなゲート面積を有する電界効果トランジスタ (FET) に対しての一般的な要件があり、それはコモンモードの制御ループ帯域幅を制限する。他方、小さなゲート面積を有するトランジスタを使用すると、増幅器の $1/f$ ノイズは増大する。利得帯域幅が小さすぎると、増幅器の非線形性挙動や入力信号の歪み等の影響が無視できない大きさになる。 40

【0004】

入力信号の差動増幅器のアナログ回路構成は従来技術で具体的に存在する。ダビド・ジョン (David John) とケン・マーチン (Kenn Martin) による「アナログ集積回路設計」の 290 ~ 291 頁には、コモンモード制御を含む回路構成が開示されている。増幅器で出力される際のコモンモード電圧は、シフトするために直流電圧レベルをマイナスして、帰還ノード VA で発生する。 50

【0005】

次に、この電圧は、追加の増幅器を使用して参照電圧 V_{REF} と比較される。この方法は有効であるが、大きな限界がある。この限界は、ソースの次に来るトランジスタを通過する際の電圧降下が、処理すべき差動信号を制限するという事実による。この制限は、印加電圧が低い場合には特に有害な影響をもたらす。更に、コモンモード制御ループにおける更なるノードによって、全体の回路構成で補償することはより困難になる。

【0006】

コモンモード制御回路の設計において考慮すべき重要なことは、回路補償である。さもないと回路は不安定になる。

精密な出力平衡を有する演算増幅器による完全差動増幅器の更なる回路構成は、IEEE Journal of Solid State Circuits (1988)、23巻、6号、1410~1414頁に開示されている。平衡出力を有する演算増幅器は、差動出力を有する周知の増幅器の特殊ケースである。差動出力を有する増幅器は通常、前述のコモンモード制御回路を含む。しかしこの場合は、特定の回路設計の出力は平衡にはなっていない。

【0007】

高インピーダンスの電流モードへの応用のための、コモンモード制御の更なる回路構成は、IEEE Transactions on Circuits and Systems II:「Analog and Digital Processing (2000)」、47巻、4号、363~359頁の、ラー(Lah), L.; チョマ(Choma), J., Jr. およびドレーパ(Draper), J. による論文「高インピーダンスの電流モードへの応用のための連続時間のコモンモード帰還回路(CMFB)」に開示されている。この場合、コモンモード制御はコモンモード信号を安定化させる。

【0008】

従来技術による回路構成の主要な問題点は、コモンモード制御ループへの極(pole)の導入によって安定性の問題が生じることである。従来技術の回路構成では極の発生は理論上不可避である。従来技術による回路形態では、コモンモード制御は、対応する回路手段によって利得帯域を低周波数側にシフトさせて、従来の回路構成で発生する極が主要な極になる場合のみ安定化される。

【0009】

従来技術による回路構成においては、極は、大きな差動増幅トランジスタのために、低周波数にあるのが普通である。従って、差動増幅器回路構成は周波数補償に従わねばならず、これは帯域幅の減少をもたらす。その結果、周波数の増大に伴う低帯域幅によって利得が減少し、それによって、増幅されるべき入力信号の歪みをもたらす。結論として、従来の、差動増幅器を有する回路構成の更なる問題点は、小さな利得帯域しか得られないことである。

【0010】

図5は、従来技術による、差動入力信号に対応する差動出力信号に差動増幅するための回路構成を示す。

図5に示すように、コモンモード電圧は、回路構成の差動出力段階の2つの出力間の分圧器によって決定される。コモンモード参照電圧は、2つの参照トランジスタと2つの参照負荷とで形成される参照段階における参照電圧と比較される。この場合、参照トランジスタは第1の参照差動トランジスタと第2の参照差動トランジスタとして形成される。

【0011】

$1/f$ ノイズによって制限される差動増幅器において、このコモンモード制御は、コモンモード制御が低直流電圧利得を有するか、或いは非常に遅い場合のみ使用され得る。このコモンモード制御のために使用されるトランジスタは大面積、即ち大ゲート面積を有し、その結果、 $1/f$ ノイズは減少する。そのようにして形成された電流ミラーは、コモンモード制御ループに追加の極をもたらす効果を有し、それによって、コモンモード制御において安定性問題が発生するという、回路の不都合が発生する。

10

20

30

40

50

【 0 0 1 2 】

【 発明が解決しようとする課題 】

結論として、本発明の主目的は、大きな利得帯域幅を有する差動増幅器をコモンモード制御することである。

【 0 0 1 3 】

本発明の更なる目的は $1/f$ ノイズを制限することである。

又、本発明の他の目的は、極度に小さな利得帯域幅によってもたらされる、入力信号の歪みを回避することである。

本発明による装置と本発明による方法とは、コモンモード制御が低ノイズで、完全な差動増幅器で、 $1/f$ ノイズを増大させることなしに大きな帯域幅を維持し得るといいう主な利点を有する。

10

【 0 0 1 4 】

本発明の更なる利点は、追加の極を発生しないコモンモード制御が得られることである。

本発明の他の利点は、部分電流のみを制御し得るコモンモード制御が得られることである。

【 0 0 1 5 】

本発明の更に別の利点は、適当な動作点での起動や設定が可能な起動回路ユニットを備えることである。

本発明の核心は、低 $1/f$ ノイズと部分電流のみが制御されるコモンモード制御とを有する完全差動増幅器に回路構成である。

20

【 0 0 1 6 】

本発明の一つの好ましい開発によると、使用される電流源の間の整合が得られることを保証する整合トランジスタが備えられる。

本発明の更に好ましい開発によると、回路構成全体の起動を可能にするために、第1の起動トランジスタと第2の起動トランジスタとからなる起動回路ユニットが備えられる。

【 0 0 1 7 】

本発明の更に別の好ましい開発によると、第1の入力トランジスタと第2の入力トランジスタとは差動入力段階を有する入力回路を形成する。

本発明の更に別の好ましい開発によると、第1の出力トランジスタと第2の出力トランジスタとは差動出力段階を有する増幅器を形成する。

30

【 0 0 1 8 】

本発明の更に別の好ましい開発によると、コモンモード制御において、コモンモード電圧は、第1の出力信号が印加される第1の出力回路ノードと第2の出力信号が印加される第2の出力回路ノードと、の間に設定された分圧器によって帰還信号として決定される。

【 0 0 1 9 】

本発明の更に別の好ましい開発によると、帰還信号は参照信号と比較される。

本発明の更に別の好ましい開発によると、コモンモード電圧は、第1と第2の出力トランジスタのドレイン端子間の出力段階で引き出される。

【 0 0 2 0 】

本発明の更に別の好ましい開発によると、負荷電流源によって供給される負荷電流の一部のみである参照電流がその制御のために使用されるときに、コモンモード制御がなされる

40

【 0 0 2 1 】

本発明の更に別の好ましい開発によると、部分電流が、1より小さい分圧因子 k によって設定されるときに、コモンモード制御が行われる。

本発明の更に別の好ましい開発によると、ダイオード負荷として形成される負荷トランジスタは負荷電流で操作され、各場合に第1と第2の電流ミラートランジスタによって、第1の入力トランジスタと第2の入力トランジスタとから形成される差動入力段階の中にミラーされる。

【 0 0 2 2 】

本発明の更に別の好ましい開発によると、パネル中でそれぞれ第1と第2の入力トランジ

50

スタと並列に接続している第 1 と第 2 の起動トランジスタが差動入力段階中に備えられる。

【 0 0 2 3 】

本発明の更に別の好ましい開発によると、コモンモード制御は、第 1 と第 2 の参照回路ノードでの各場合に、第 1、第 2、および第 3 の参照トランジスタによって制御される各部分電流で作動する。

【 0 0 2 4 】

本発明の更に別の好ましい開発によると、第 2 と第 3 の参照トランジスタが設けられ、それらは第 1 と第 2 の入力トランジスタよりも小さな相互コンダクタンスを有する。

【 0 0 2 5 】

本発明の更に別の好ましい開発によると、更なる極を回避するコモンモード制御が設けられる。

本発明の更に別の好ましい開発によると、負荷電流を駆動する負荷電流源が設けられる。

【 0 0 2 6 】

本発明の更に別の好ましい開発によると、整合トランジスタが設けられ、そのゲート端子に参照電圧が印加され、そのドレインソースの経路が負荷電流を伝送する。

【 0 0 2 7 】

本発明の更に別の好ましい開発によると、第 1 の参照トランジスタの第 1 の参照負荷は抵抗によって形成される。

本発明の更に別の好ましい開発によると、第 1 の参照トランジスタの第 1 の参照負荷はダイオード負荷によって形成される。

【 0 0 2 8 】

本発明の更に別の好ましい開発によると、整合トランジスタの負荷はダイオード負荷として接続される負荷トランジスタとして形成される。

本発明の更に別の好ましい開発によると、入力電流源によって形成される入力電流、負荷電流源によって形成される負荷電流、及び、参照電流源によって形成される参照電流は相互に整合している。

【 0 0 2 9 】

本発明の更に別の好ましい開発によると、負荷源流源は、入力電流源が差動入力段階によって保持されるのと同じ動作点で、整合トランジスタによって保持され、参照電流源は、第 1、第 2、及び第 3 の参照トランジスタからなる参照段階によって保持される。

【 0 0 3 0 】

本発明の実施例を図示し、下記でより詳細に説明する。

図において、同様な参照符号は同様な、或いは機能的に同様な、部品を示す。

図 1 は本発明による、第 1 の出力信号 1 1 1 と第 2 の出力信号 1 1 2 とからなる出力信号を形成すべく、第 1 の入力信号 1 0 1 と第 2 の入力信号 1 0 2 とからなる全入力信号を増幅するための回路構成を示す。

【 0 0 3 1 】

図 1 に示す回路構成において、第 1 の入力信号 1 0 1 は、第 1 の入力トランジスタ 1 0 3 のゲート端子に送入される。一方、第 2 の入力信号 1 0 2 は、第 2 の入力トランジスタ 1 0 4 のゲート端子に送入される。この 2 つのトランジスタ 1 0 3、1 0 4、のソース端子は相互接続され、入力電流源 1 3 1 の第 1 端子に接続される。入力電源の第 2 端子はグラウンド回路ノード 1 0 0 に接続され、入力電流源 1 3 1 は入力電流 1 3 2 を駆動する。

【 0 0 3 2 】

第 1 のトランジスタ 1 0 3 のドレイン端子は第 1 の参照回路ノード 1 2 9 に接続され、第 2 のトランジスタ 1 0 4 のドレイン端子は第 2 の参照回路ノード 1 3 0 に接続される。更に、第 1 の出力トランジスタ 1 0 7 のゲート端子は第 1 の参照回路ノード 1 2 9 に接続され、第 2 の出力トランジスタ 1 0 8 のゲート端子は第 2 の参照回路ノード 1 3 0 に接続される。コモンモード制御は、2 つの参照回路ノードによってなされ、その中で、第 2 の参照トランジスタ 1 2 4 のドレイン端子は第 1 の参照回路ノード 1 2 9 に接続され、第 3 の

10

20

30

40

50

参照トランジスタのドレイン端子は第2の参照回路ノード130に接続される。第1の電流ミラートランジスタ105のドレイン端子は同様に、第1の参照回路ノード129に接続され、第2の参照ミラートランジスタ106のドレイン端子は第2の参照回路ノード130に接続される。

【0033】

第1の電流ミラートランジスタ105のゲート端子は第2の電流ミラートランジスタ106に接続され、負荷トランジスタ135のゲート端子、負荷トランジスタ135のゲートとドレイン端子は、ダイオード負荷を形成するために順番に相互接続される。更に、負荷トランジスタ135のドレイン端子(同様にゲート端子)は、負荷電流源128の第1の端子に接続され、負荷電流源128の第2の端子はグランド回路ノード100に接続される。負荷電流源128からの負荷電流134はこの方法で駆動される。負荷トランジスタ135、第1の電流ミラートランジスタ105、第2の電流ミラートランジスタ106、第1の出力トランジスタ107、及び第2の出力トランジスタ108、のソース端子は、供給電圧が印加される供給回路ノード136に接続される。第2と第3の参照トランジスタ124、125のゲート端子は相互接続され、参照電圧122に接続される。ドレイン端子が供給回路ノード136に接続されている第1の参照トランジスタ123のソース端子と、第2と第3の参照トランジスタ124、125のソース端子とは相互接続され、第2の端子がグランド回路ノード100に接続されている参照電流源127の第1の端子に接続される。

10

【0034】

それによって参照電流133は駆動される。このようにして、第1、第2、第3の参照トランジスタ123、124、125と参照電流源127とから基本的になる参照段階において、帰還信号121が参照電圧122と比較され、その値に制御されることが可能になる。帰還信号121は、分圧器によって得られ、差動増幅回路構成の出力回路内で、第1のフィードバック抵抗器119と第2のフィードバック抵抗器120とから形成される。この場合、第1のフィードバック抵抗器119の第1の端子は第1の出力回路ノード117に接続され、第2のフィードバック抵抗器120の第1の端子は第2の出力回路ノード118に接続される。第1のフィードバック抵抗器119の第2の端子は第2のフィードバック抵抗器120の第2の端子に接続され、それによって、2つのフィードバック抵抗器間の接続点でフィードバック信号121が引き出されるめられる。

20

30

【0035】

第1の出力信号111は第1の出力回路ノード117で形成され、第2の出力信号112は第2の出力回路ノード118で形成される。第1と第2の各出力信号111と112とは、第1と第2の各入力信号101と102とからなる入力信号に対応する、全出力信号を形成する。第1の出力トランジスタ107のドレイン端子は、第1の出力回路ノード117に接続され、第1の出力回路ノード117は第1の出力電流源113の第1の端子に接続され、第1の出力電流源113の第2の端子はグランド回路ノード100に接続される。第2の出力トランジスタ108のドレイン端子は、第1の出力回路ノード118に接続され、第2の出力回路ノード118は第2の出力電流源114の第1の端子に接続され、出力電流源114の第2の端子はグランド回路ノード100に接続される。第1の出力電流源113からの第1の出力電流115と、第2の出力電流源114からの第1の出力電流116とは、この方法で駆動される。

40

【0036】

第1の補償キャパシタンス109は、第1の出力トランジスタ107のゲート端子とドレイン端子との間に接続され、第2の補償キャパシタンス110は、第2の出力トランジスタ107のゲート端子とドレイン端子との間に接続される。図2は、図1に示される回路構成が第1の起動トランジスタ201と第2の起動トランジスタ202とからなる起動回路ユニットによって拡張されている、本発明による回路構成の実施例を示す。

【0037】

第1の起動トランジスタ201と第2の起動トランジスタ202との2つの追加のトラ

50

ンジスタが、図 2 に示される回路構成中に図示されている。即ち、第 1 の起動トランジスタ 201 と第 1 の入力トランジスタ 103 とのドレイン端子は相互接続され、第 1 のトランジスタ 201 と第 1 の入力トランジスタ 103 とのソース端子は相互接続され、一方、第 2 の起動トランジスタ 202 と第 2 の入力トランジスタ 104 とのドレイン端子、及び、第 2 の起動トランジスタ 202 と第 2 の入力トランジスタ 104 とのソース端子は相互接続される。2 つの起動トランジスタ 201, 202、の 2 つのゲート端子は相互接続されて、参照部分電圧 203 に接続される。

【0038】

図 1 に示した回路構成に追加された、2 つの起動トランジスタ 201, 202 からなる起動回路ユニットは、所望の動作点で回路構成全体を起動する役目をする。なぜなら、回路構成全体は、所望の動作点に加えて、より好ましくない安定な動作点を有する。第 1 と第 2 との入力信号 101, 102 が過度に低い電位にある場合は、第 1 の入力トランジスタ 103 と第 2 の入力トランジスタ 104 とはオフ状態にある。その結果、第 1 と第 2 との参照回路ノード 129, 130 は高電位とみなされ、一方、第 1 と第 2 との出力回路ノードは低電位とみなされる。

10

【0039】

そこでコモンモード制御は、第 1 と第 2 との参照回路ノード 129, 130 をより低い電位に引き下げようとする。コモンモード制御は部分電圧で動作するのみなので、第 1 と第 2 との参照回路ノード 129, 130 をより低い電位に引き下げることはできない。

20

【0040】

第 1 の入力トランジスタ 103 と並列する第 1 の起動トランジスタ 201 によって得られること、及び、第 2 の入力トランジスタ 104 と並列する第 2 の起動トランジスタ 202 によって得られることは、第 1 と第 2 との参照回路ノード 129, 130 がより低い電位に引き下げられることである。即ち、参照電圧 122 よりも特定量低い参照部分電圧 203 が、第 1 と第 2 との起動トランジスタ 201, 202 の 2 つの接続されたゲート端子に印加される。

【0041】

図 3 は、本発明による回路構成の実施例を図示する。図 3 に示される回路構成は、負荷トランジスタ 135 のドレイン端子（同様にゲート端子）が整合トランジスタ 301 のドレイン端子に接続されている以外は、図 2 に示される回路構成に基本的に対応する。整合トランジスタ 301 のソース端子は負荷電流源 128 の第 1 の端子に接続されており、一方、整合トランジスタ 301 のゲート端子は参照電圧 122 に接続されている。このようにして、負荷電流源 128 からの負荷電流 134 は、入力電流源 131 の入力電流 132、及び参照電流源 127 の参照電流 133、と整合する。

30

【0042】

図 4 は、本発明による回路構成の実施例を図示する。図 4 に示される回路構成は、抵抗体或いはダイオード負荷から形成される第 1 の参照負荷 401 が、第 1 の参照トランジスタ 123 と供給回路ノード 136 との間で接続されている以外は、図 3 に示される回路構成に基本的に対応する。

40

【0043】

本発明について、好ましい実施例を使用して説明してきたが、これは限定するものではなく、多様に改変され得る。

【図面の簡単な説明】

【図 1】本発明による、第 1 の出力信号 111 と第 2 の出力信号 112 とからなる出力信号を形成するために、第 1 の入力信号 101 と第 2 の入力信号 102 とからなる全入力信号を増幅するための回路構成。

【図 2】図 1 の回路構成に、第 1 の起動トランジスタ 201 と第 2 の起動トランジスタ 202 とからなる起動回路ユニットを加えた、本発明による回路構成の実施例。

【図 3】整合トランジスタ 301 を追加した以外は図 2 の回路構成と一致する、本発明に

50

よる回路構成の実施例。

【図4】図3の参照段階中に第1の参照負荷401を追加した以外は図3の回路構成と一致する、本発明による回路構成の実施例。

【図5】従来技術による、差動入力信号を対応する差動出力信号に差動増幅するための回路構成。

【国際公開パンフレット】

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
4. Juli 2002 (04.07.2002)

PCT

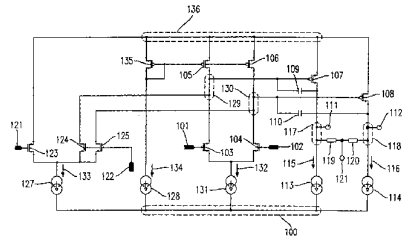
(10) Internationale Veröffentlichungsnummer
WO 02/052720 A2

- (51) Internationale Patentklassifikation: H03F 3/00 (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).
- (21) Internationales Aktenzeichen: PCT/EP01/14288
- (22) Internationales Anmeldedatum: 5. Dezember 2001 (05.12.2001) (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): SCHIMPER, Markus [DE/DE]; Dahlienstrasse 2, 85432 Moosinning (DE); MECHNIG, Stephan [DE/DE]; Theresen-Giesse-Allee 44, 81739 München (DE); SCHLEDZ, Ralph [DE/DE]; Wiesenweg 4B, 85406 Zolling (DE).
- (25) Einreichungssprache: Deutsch (74) Anwalt: BARTH, Stephan; Reinhard, Skuhra, Weise & Partner Gbr, Friedrichsstrasse 31, 80801 München (DE).
- (26) Veröffentlichungssprache: Deutsch (81) Bestimmungsstaaten (national): CN, JP, KR, US.
- (30) Angaben zur Priorität: 100 64 207.1 22. Dezember 2000 (22.12.2000) DE

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT FOR LOW NOISE, FULLY DIFFERENTIAL AMPLIFICATION

(54) Bezeichnung: SCHALTUNGSANORDNUNG ZUR RAUSCHARMEN VOLLDIFFERENZIELLEN VERSTÄRKUNG



(57) Abstract: The invention relates to a circuit for low noise, fully differential amplification. A feedback signal (121) is detected in a differential output step of the differential amplification circuit by means of a voltage distributor formed by a first feedback resistance (119) and a second feedback resistance (120). A first output signal (111) is provided at a first output circuit node (117) and a second output signal (112) is provided at a second output circuit node (118). The respective first and second output signals (111) or (112) form a full output signal which corresponds to an input signal formed by a first and a second input signal (101) or (102). A load current (134), an input current (132) and a reference current (132) are established by means of a load current source (128), an input current source (131) and a reference current source (127). A matching transistor (301) is used to adjust an adaptation between the load current source (128), the input current source (131) and the reference current source (127). A feedback signal (121) of the differential amplification circuit is compared with a reference voltage (122) in a reference step, and the load current (134) is mirrored in the differential input step, in a current mirror device.

(57) Zusammenfassung: Die Erfindung schafft eine Schaltungsanordnung zur rauscharmen volldifferenziellen Verstärkung, wobei ein Rückführsignal (121) mit Hilfe eines aus einem ersten Rückführwiderstand (119) und einem zweiten Rückführwiderstand (120) gebildeten Spannungsverteilers in einer Differenzgangsstufe

[Fortsetzung auf der nächsten Seite]



WO 02/052720 A2

WO 02/052720 A2 

(84) **Bestimmungsstaaten** (regional): europäisches Patent (AI, BI, CH, CY, DE, DK, ES, FI, FR, GB, GR, HE, HU, IL, IT, MC, NL, PT, SE, TR).

insgesamt in elektronischer Form (mit Ausnahme des Kopfbogens); auf Antrag vom Internationalen Büro erhältlich

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

der differentiellen Verstärker-Schaltungsanordnung ermittelt wird. An einem ersten Ausgangsschaltungsknoten (117) wird ein erstes Ausgangssignal (111) bereitgestellt, während an einem zweiten Ausgangsschaltungsknoten (118) ein zweites Ausgangssignal (112) bereitgestellt wird. Die jeweiligen ersten und zweiten Ausgangssignale (111) bzw. (112) bilden ein Gesamtausgangssignal, das einem aus den ersten und zweiten Eingangssignalen (101) bzw. (102) zusammengesetzten Eingangssignal entspricht. Mittels einer Laststromquelle (128), einer Eingangsstromquelle (131) und einer Referenzstromquelle (127) werden jeweils ein Laststrom (134), ein Eingangsstrom (132) und ein Referenzstrom (133) festgelegt. Ein Anpassungstransistor (301) dient einer Einstellung einer Anpassung zwischen der Laststromquelle (128), der Eingangsstromquelle (131) und der Referenzstromquelle (127). In einer Referenzstufe wird ein Rückführsignal (121) der Differenzverstärker-Schaltungsanordnung mit einer Referenzspannung (122) verglichen und in einer Stromspiegeleinrichtung wird der Laststrom (134) in die Differenzeingangsstufe gespiegelt.

WO 02/052720

PCT/EP01/14288

1

Schaltungsanordnung zur rauscharmen voll differentiellen Verstärkung

Die vorliegende Erfindung betrifft eine Schaltungsanordnung zur rauscharmen Verstärkung, und betrifft insbesondere einen rauscharmen, voll differentiellen Verstärker.

Voll differentielle Verstärker werden in vielen Bereichen eingesetzt, wo es darum geht, Differenzsignale über einen breiten Betriebsfrequenzbereich zu verstärken. Insbesondere - aber nicht ausschließlich - werden diese voll differentiellen Verstärker zur Verstärkung extrem kleiner Eingangssignale in möglichst rauschfreie Ausgangssignale eingesetzt. In voll differentiellen Verstärkern ist im allgemeinen eine Gleichtaktregelung zur Einstellung einer Gleichtaktspannung am Verstärkerausgang erforderlich. Diese Gleichtaktregelung muß eine oder beide der folgenden Forderungen erfüllen:

(a) eine ausreichende Verstärkungsbandbreite der Gesamtschaltungsanordnung muß gewährleistet sein; und

(b) ein Rauschen der Gesamtschaltungsanordnung darf vorgegebene Grenzen nicht überschreiten.

Hierbei ist zu bemerken, daß die unter (b) angegebene Randbedingung insbesondere das 1/f-Rauschen umfaßt. Die beiden o.a. Forderungen ((a)(b)) widersprechen sich, da ein geringes 1/f-Rauschen an die Schaltungselemente zur Verstärkung der Signale beträchtliche Anforderungen stellt. D.h., im allgemeinen sind Feldeffekttransistoren mit sehr großer Gate-Fläche erforderlich, die wiederum die Bandbreite der Gleichtaktregelung begrenzen. Werden hingegen Transistoren mit kleiner Gate-Fläche eingesetzt, dann wird das 1/f-Rauschen des Verstärkers erhöht.

35

WO 02/052720

2

PCT/EP01/14288

Wird die Verstärkungsbandbreite zu klein, treten Effekte wie Nichtlinearitäten im Verstärkerverhalten und eine Verzerrung von Eingangssignalen in besonderem Maße auf.

- 5 Nach dem Stand der Technik werden analoge Schaltungsanordnungen zur differenziellen Verstärkung von Eingangssignalen angegeben. Aus "Analog Integrated Circuit Design" von David Johns, Ken Martin, Seiten 290-291 ist eine Schaltungsanordnung bekannt, die eine Gleichtaktregelung umfaßt, wobei die
10 Gleichtaktspannung am Verstärkerausgang, abzüglich eines Gleichspannungspegels für eine Verschiebung, bei einem Rückführknoten V_A erzeugt wird.

- Diese Spannung wird dann mit einer Referenzspannung V_{ref} unter
15 Verwendung eines zusätzlichen Verstärkers verglichen. Obwohl dieser Zugang funktioniert, weist er erhebliche Einschränkungen auf. Diese Einschränkungen bestehen darin, daß der Spannungsabfall über Source-Folgetransistoren die differenziellen Signale begrenzt, die verarbeitet werden können. Diese Be-
20 grenzung wirkt sich insbesondere dann nachteilig aus, wenn geringe Versorgungsspannungen verwendet werden. Zusätzlich führen die weiteren Knoten im Gleichtaktregelkreis dazu, daß die gesamte Schaltungsanordnung schwieriger zum kompensieren ist.

- 25 Eine wichtige Überlegung bei der Auslegung von Gleichtaktregelschaltungen besteht darin, daß sie zu kompensieren sind. Andernfalls kann die Schaltungen instabil werden.

- 30 Eine weitere Schaltungsanordnung zur volldifferenziellen Verstärkung mittels Operationsverstärkern mit einer genauen Ausgangsbalancierung ist aus dem IEEE-Journal of Solid State Circuits (1988) Band 23, Nr. 6, Seiten 1410-1414 bekannt. Ein Operationsverstärker mit balanciertem Ausgang ist ein Spezi-
35 alfall des bekannten Verstärkers mit differenziellem Ausgang. Verstärker mit differenziellem Ausgang enthalten üblicherweise die erwähnte Gleichtaktregelschaltung. Hierbei sind jedoch

WO 02/052720

3

PCT/EP01/14288

die Ausgänge bestimmter Schaltungsauslegungen nicht balanciert.

5 Eine weitere Schaltungsanordnung zur Gleichtaktregelung ist für Strommodus-Anwendungen hoher Impedanz aus den IEEE Transactions on Circuits and Systems II: "Analog and Digital Processing (2000)" Band 47, Nr. 4, Seiten 363-369 unter dem Titel "A continuous-time common-mode feedback circuit (CMFB) for high-impedance current-mode applications" von Lah, I.;
10 Choma, J., Jr. und Draper, J. bekannt. Hierbei stabilisiert eine Gleichtaktregelung das Gleichtaktsignal.

Ein Hauptnachteil der Schaltungsanordnungen nach dem Stand der Technik besteht darin, daß Stabilitätsprobleme infolge
15 der Einführung eines Pols in die Gleichtaktregelschleife auftreten. Das Auftreten eines Pols kann nach den Schaltungsanordnungen im Stand der Technik prinzipiell nicht vermieden werden. Eine Stabilisierung der Gleichtaktregelung kann bei einer Schaltungstopologie nach dem Stand der Technik nur sta-
20 bilisiert werden, wenn die Verstärkungsbandbreite durch entsprechende Schaltungsmaßnahmen zu niedrigen Frequenzen hin verschoben wird, so daß ein Pol, der in herkömmlichen Schaltungsanordnungen auftritt, zu einem dominanten Pol wird.

25 Gewöhnlich liegt der Pol bei Schaltungsanordnungen nach dem Stand der Technik wegen großer Differenzverstärker-Transistoren bei niedrigen Frequenzen, so daß die Differenzverstärker-Schaltungsanordnung stark frequenzkompensiert werden muß, was wiederum zu einer weiteren Verringerung der
30 Bandbreite führt. Dies hat zur Folge, daß die Verstärkung aufgrund der geringen Bandbreite mit zunehmender Frequenz abnimmt, wodurch eine Verzerrung der zu verstärkenden Eingangssignale herbeigeführt wird.

35 Somit besteht ein weiterer Nachteil von herkömmlichen Schaltungsanordnungen mit differentiellen Verstärkern darin, daß nur eine geringe Verstärkungsbandbreite erreicht werden kann.

WO 02/052720

4

PCT/EP01/14288

Fig. 5 zeigt eine Schaltungsanordnung zur differentiellen Verstärkung eines differentiellen Eingangssignals in ein entsprechendes differentielles Ausgangssignal nach dem Stand der Technik.

Wie in Fig. 5 gezeigt, wird eine Gleichtaktspannung mit einem Spannungsteiler zwischen den beiden Ausgängen einer Differenzstufenstufe der Schaltungsanordnung ermittelt. Die Gleichtaktreferenzspannung wird in einer Referenzstufe, die mit zwei Referenztransistoren und mit zwei Referenzlasten ausgebildet ist, mit einer Referenzspannung verglichen. Hierbei sind die Referenztransistoren als ein erster Referenzdifferenztransistor und ein zweiter Referenzdifferenztransistor ausgebildet.

Diese Gleichtaktregelung kann in differentiellen Verstärkern, die durch ein $1/f$ -Rauschen begrenzt sind, nur dann eingesetzt werden, wenn die Gleichtaktregelung entweder eine geringe Gleichspannungsverstärkung aufweist oder sehr langsam ist. Die Transistoren, die zu dieser Gleichtaktregelung eingesetzt werden, sind großflächig, was bedeutet, daß sie eine große Gate-Fläche aufweisen, wodurch das $1/f$ -Rauschen verringert wird. Der damit gebildete Stromspiegel führt dazu, daß ein zusätzlicher Pol in die Gleichtaktregelschleife eingeführt wird, der zu dem schaltungstechnischen Nachteil führt, daß Stabilitätsprobleme in der Gleichtaktregelung auftreten.

Somit ist es eine Hauptaufgabe der vorliegenden Erfindung, eine Gleichtaktregelung für einen differentiellen Verstärker bereitzustellen, wobei der differentielle Verstärker eine große Verstärkungsbandbreite aufweisen soll.

Es ist eine weitere Aufgabe der vorliegenden Erfindung, das $1/f$ -Rauschen zu begrenzen.

Noch eine weitere Aufgabe der vorliegenden Erfindung ist es, eine Verzerrung von Eingangssignalen, die durch eine zu geringe Verstärkungsbandbreite hervorgerufen wird, zu verhindern.

5

Die erfindungsgemäße Vorrichtung und das erfindungsgemäße Verfahren weisen den Hauptvorteil auf, daß eine Gleichtaktregelung für einen rauscharmen, volldifferenziellen Verstärker bereitgestellt wird, wobei eine große Bandbreite aufrecht erhalten wird, ohne das 1/f-Rauschen zu erhöhen.

10

Ein weiterer Vorteil der vorliegenden Erfindung besteht in der Bereitstellung einer Gleichtaktregelung, die keinen zusätzlichen Pol erzeugt.

15

Noch ein weiterer Vorteil der vorliegenden Erfindung besteht in der Bereitstellung einer Gleichtaktregelung, bei der nur ein Teilstrom geregelt wird.

20

Noch ein weiterer Vorteil der vorliegenden Erfindung besteht in der Bereitstellung einer Start-Schaltungseinheit, die ein Starten und ein Einstellen eines geeigneten Arbeitspunkts ermöglicht.

25

Kern der Erfindung ist eine Schaltungsanordnung zur volldifferenziellen Verstärkung mit geringem 1/f-Rauschen und einer Gleichtaktregelung, bei der nur ein Teilstrom geregelt wird.

30

Gemäß einer bevorzugten Weiterbildung der vorliegenden Erfindung ist ein Anpasstransistor bereitgestellt, der gewährleistet, daß eine Anpassung zwischen den eingesetzten Stromquellen erreicht wird.

35

Gemäß einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist eine Start-Schaltungseinheit, bestehend aus einem ersten Starttransistor und einem zweiten Starttransis-

WO 02/052720

6

PCT/EP01/14288

tor, bereitgestellt, um ein Starten der Gesamtschaltungsanordnung zu ermöglichen.

5 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung bilden ein erster Eingangstransistor und ein zweiter Eingangstransistor eine Eingangsschaltung mit einer Differenzeingangsstufe.

10 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung bilden ein erster Ausgangstransistor und ein zweiter Ausgangstransistor einen Verstärker mit einer Differenzausgangsstufe.

15 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung wird für eine Gleichtaktregelung eine Gleichtaktspannung als ein Rückführsignal über einen Spannungsteiler ermittelt, der zwischen einem ersten Ausgangsschaltungsknoten, der mit einem ersten Ausgangssignal beaufschlagt ist, und einem zweiten Ausgangsschaltungsknoten, der mit einem zweiten Ausgangssignal beaufschlagt ist, angeordnet ist.

25 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung wird das Rückführsignal mit einer Referenzspannung verglichen.

30 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung wird eine Gleichtaktspannung an der Ausgangsstufe zwischen Drain-Anschlüssen der ersten und zweiten Ausgangstransistoren abgreifbar.

35 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist eine Gleichtaktregelung bereitgestellt, bei welcher ein Referenzstrom zur Regelung benutzt wird, der nur ein Teil des durch eine Laststromquelle bereitgestellten Laststroms ist.

WO 02/052720

7

PCT/EP01/14288

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist eine Gleichtaktregelung bereitgestellt, bei welcher ein Teilstrom gemäß eines Teilerfaktors k eingestellt wird, der kleiner als eins ist.

5

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung wird der als eine Diodenlast ausgebildete Lasttransistor mit einem Laststrom betrieben, der über erste und zweite Stromspiegeltransistoren jeweils in die Differenzeingangsstufe, die aus einem ersten Eingangstransistor und einem zweiten Eingangstransistor gebildet ist, gespiegelt.

10

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung sind in der Differenzeingangsstufe erste und zweite Starttransistoren bereitgestellt, die jeweils parallel zu den ersten und zweiten Eingangstransistoren geschaltet sind.

15

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung greift die Gleichtaktregelung jeweils an ersten und zweiten Referenzschaltungsknoten mit jeweils einem Teilstrom an, der durch erste, zweite und dritte Referenztransistoren gesteuert wird.

20

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung sind zweite und dritte Referenztransistoren bereitgestellt, die eine Steilheit kleiner als jene der ersten und zweiten Eingangstransistoren aufweisen.

25

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist eine Gleichtaktregelung bereitgestellt, die einen zusätzlichen Pol vermeidet.

30

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist eine Laststromquelle bereitgestellt, die einen Laststrom treibt.

35

WO 02/052720

8

PCT/EP01/14288

5 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist ein Anpasstransistor bereitgestellt, dessen Gate-Anschluss mit einer Referenzspannung beaufschlagt ist, und dessen Drain-Source-Strecke den Laststrom durchleitet.

10 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist eine erste Referenzlast eines ersten Referenztransistors durch einen Widerstand ausgebildet.

10 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist eine erste Referenzlast eines ersten Referenztransistors durch eine Diodenlast ausgebildet.

15 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist eine Last des Anpasstransistors als ein als eine Diodenlast geschalteter Lasttransistor ausgebildet.

20 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung werden ein durch eine Eingangsstromquelle bereitgestellter Eingangsstrom, ein durch eine Laststromquelle bereitgestellter Laststrom und ein durch eine Referenzstromquelle bereitgestellter Referenzstrom einander angepaßt.

25 Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung wird die Laststromquelle durch den Anpasstransistor im gleichen Arbeitspunkt gehalten, wie die Eingangsstromquelle durch die Differenzeingangsstufe und die Referenzstromquelle durch eine aus einem ersten, einem zweiten und einem dritten Referenztransistor bestehende Referenzstufe gehalten wird.

35 Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

WO 02/052720

9

PCT/EP01/14288

Es zeigen:

- Fig. 1 eine Schaltungsanordnung zur Verstärkung eines aus
5 einem ersten Eingangssignal 101 und einem zweiten
Eingangssignal 102 zusammengesetzten Gesamtein-
gangssignals zur Bildung eines ersten Aus-
gangssignal 111 und einem zweiten Ausgangssignal
112 zusammengesetzten Ausgangssignals gemäß der
10 vorliegenden Erfindung;
- Fig. 2 ein Ausführungsbeispiel einer Schaltungsanordnung
gemäß der vorliegenden Erfindung, wobei die in Fig.
1 gezeigte Schaltungsanordnung um eine aus einem
15 ersten Starttransistor 201 und einem zweiten Start-
transistor 202 bestehende Start-Schaltungseinheit
erweitert ist;
- Fig. 3 ein Ausführungsbeispiel einer Schaltungsanordnung
gemäß der vorliegenden Erfindung, wobei die in Fig.
20 3 gezeigte Schaltungsanordnung der in Fig. 2 ge-
zeigten Schaltungsanordnung bis auf eine Bereit-
stellung eines zusätzlichen Anpasstransistors 301
entspricht;
- 25 Fig. 4 ein Ausführungsbeispiel einer Schaltungsanordnung
gemäß der vorliegenden Erfindung, wobei die in Fig.
4 gezeigte Schaltungsanordnung der in Fig. 3 ge-
zeigten Schaltungsanordnung bis auf eine Bereit-
30 stellung einer zusätzlichen ersten Referenzlast 401
in einer Referenzstufe der Fig. 3 entspricht;
- Fig. 5 eine Schaltungsanordnung zur differentiellen Ver-
stärkung eines differentiellen Eingangssignals in
ein entsprechendes differentielles Ausgangssignal
35 nach dem Stand der Technik.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche

WO 02/052720

10

PCT/EP01/14288

oder funktionsgleiche Komponenten.

Fig. 1 zeigt eine Schaltungsanordnung zur Verstärkung eines aus einem ersten Eingangssignal 101 und einem zweiten Eingangssignal 102 zusammengesetzten Gesamteingangssignals zur Bildung eines aus einem ersten Ausgangssignal 111 und einem zweiten Ausgangssignal 112 zusammengesetzten Ausgangssignals gemäß der vorliegenden Erfindung.

Bei der in Fig. 1 gezeigten Schaltungsanordnung wird ein erstes Eingangssignal 101 einem Gate-Anschluss eines ersten Eingangstransistors 103 zugeführt, während ein zweites Eingangssignal 102 einem Gate-Anschluss eines zweiten Eingangstransistors 104 zugeführt wird. Die Source-Anschlüsse der beiden Transistoren 103 und 104 sind untereinander verbunden und mit einem ersten Anschluß einer Eingangsstromquelle 131 verbunden, deren zweiter Anschluß mit einem Masseschaltungsknoten 100 verbunden ist, wobei die Eingangsstromquelle 131 einen Eingangsstrom 132 treibt.

Der Drain-Anschluss des ersten Transistors 103 ist mit einem ersten Referenzschaltungsknoten 129 verbunden, während der Drain-Anschluss des zweiten Transistors 104 mit einem zweiten Referenzschaltungsknoten 130 verbunden ist. Weiterhin ist der Gate-Anschluss eines ersten Ausgangstransistors 107 mit dem ersten Referenzschaltungsknoten 129 verbunden ist, während der Gate-Anschluss eines zweiten Ausgangstransistors 108 mit dem zweiten Referenzschaltungsknoten 130 verbunden ist. Über die beiden Referenzschaltungsknoten 129 und 130 wird eine Gleichtaktregelung erreicht, indem der Drain-Anschluss eines zweiten Referenztransistors 124 mit dem ersten Referenzschaltungsknoten 129 verbunden ist, während der Drain-Anschluss eines dritten Referenztransistors mit dem zweiten Referenzschaltungsknoten 130 verbunden ist. Der Drain-Anschluss eines ersten Stromspiegeltransistors 105 ist ebenfalls mit dem ersten Referenzschaltungsknoten 129 verbunden, während der

WO 02/052720

11

PCT/EP01/14288

Drain-Anschluss eines zweiten Stromspiegeltransistors 106 mit dem zweiten Referenzschaltungsknoten 130 verbunden ist.

Der Gate-Anschluss des ersten Stromspiegeltransistors 105 ist mit dem Gate-Anschluss des zweiten Stromspiegeltransistors 106 und dem Gate-Anschluss eines Lasttransistors 135 verbunden, wobei die Gate- und Drain-Anschlüsse des Lasttransistors 135 untereinander verbunden sind, um so eine Diodenlast auszubilden. Weiterhin ist der Drain-Anschluss (bzw. ebenfalls der Gate-Anschluss) des Lasttransistors 135 mit einem ersten Anschluß einer Laststromquelle 128 verbunden, während ein zweiter Anschluß der Laststromquelle 128 mit dem Masseschaltungsknoten 100 verbunden ist. Auf diese Weise wird ein Laststrom 134 von der Laststromquelle 128 getrieben. Die Source-Anschlüsse des Lasttransistors 135, des ersten Stromspiegeltransistors 105, des zweiten Stromspiegeltransistors 106, des ersten Ausgangstransistors 107 und des zweiten Ausgangstransistors 108 sind mit einem Versorgungsschaltungsknoten 136 verbunden, an welchen eine Versorgungsspannung angelegt ist. Die Gate-Anschlüsse der zweiten und dritten Referenztransistoren 124 und 125 sind untereinander und mit einer Referenzspannung 122 verbunden. Die Source-Anschlüsse eines ersten Referenztransistors 123, dessen Drain-Anschluss mit dem Versorgungsschaltungsknoten 136 verbunden ist, und der zweiten und dritten Referenztransistoren 124 und 125 sind untereinander und mit einem ersten Anschluß einer Referenzstromquelle 127 verbunden, deren zweiter Anschluß mit dem Masseschaltungsknoten 100 verbunden ist, wodurch ein Referenzstrom 133 getrieben wird. Auf diese Weise wird durch die Bereitstellung einer Referenzstufe, die im wesentlichen aus den ersten, zweiten und dritten Referenztransistoren 123, 124 und 125, sowie aus der Referenzstromquelle 127 besteht, ermöglicht, daß ein Rückführsignal 121 (die Erzeugung des Rückführsignals wird untenstehend beschrieben werden) mit der Referenzspannung 122 verglichen und auf deren Wert geregelt werden kann.

WO 02/052720

12

PCT/EP01/14288

Das Rückführsignal 121 wird mit Hilfe eines aus einem ersten Rückführwiderstand 119 und einem zweiten Rückführwiderstand 120 gebildeten Spannungsteilers im Ausgangskreis der differenziellen Verstärker-Schaltungsanordnung gewonnen. Hierbei
5 ist ein erster Anschluß des ersten Rückführwiderstands 119 mit einem ersten Ausgangsschaltungsknoten 117 verbunden, während ein erster Anschluß des zweiten Rückführwiderstands 120 mit einem zweiten Ausgangsschaltungsknoten 118 verbunden ist. Der zweite Anschluß des ersten Rückführwiderstands 119 ist
10 mit dem zweiten Anschluß des zweiten Rückführwiderstands 120 verbunden, wobei am Verbindungspunkt der beiden Rückführwiderstände ein Rückführsignal 121 abgreifbar ist.

An dem ersten Ausgangsschaltungsknoten 117 wird ein erstes
15 Ausgangssignal 111 bereitgestellt, während an dem zweiten Ausgangsschaltungsknoten 118 ein zweites Ausgangssignal 112 bereitgestellt wird. Die jeweiligen ersten und zweiten Ausgangssignale 111 bzw. 112 bilden ein Gesamtausgangssignal, das einem aus den ersten und zweiten Eingangssignalen 101
20 bzw. 102 zusammengesetzten Eingangssignal entspricht. Der Drain-Anschluss des ersten Ausgangstransistors 107 ist mit dem ersten Ausgangsschaltungsknoten 117 verbunden, der wiederum mit einem ersten Anschluß einer ersten Ausgangsstromquelle 113 verbunden ist, wobei der zweite Anschluß der ersten Ausgangsstromquelle 113 mit dem Masseschaltungsknoten 100
25 verbunden ist. Der Drain-Anschluss des zweiten Ausgangstransistors 108 ist mit dem zweiten Ausgangsschaltungsknoten 118 verbunden, der wiederum mit einem ersten Anschluß einer zweiten Ausgangsstromquelle 114 verbunden ist, wobei ein zweiter
30 Anschluß der Ausgangsstromquelle 114 mit dem Masseschaltungsknoten 100 verbunden ist. Auf diese Weise werden ein erster Ausgangsstrom 115 von der ersten Ausgangsstromquelle 113 und einer zweiten Ausgangsstrom 116 von der zweiten Ausgangsstromquelle 114 getrieben.

35

Zwischen dem Gate-Anschluss und dem Drain-Anschluss des ersten Ausgangstransistors 107 ist eine erste Kompensationskapa-

WO 02/052720

13

PCT/EP01/14288

zität 109 verbunden, während zwischen dem Gate-Anschluss und dem Drain-Anschluss des zweiten Ausgangstransistors 108 eine zweite Kompensationskapazität 110 verbunden ist.

5 Fig. 2 veranschaulicht ein Ausführungsbeispiel einer Schaltungsanordnung gemäß der vorliegenden Erfindung, wobei die in Fig. 1 gezeigte Schaltungsanordnung um eine aus einem ersten Starttransistor 201 und einem zweiten Starttransistor 202 bestehende Start-Schaltungseinheit erweitert ist.

10 Bei der in Fig. 2 gezeigten Schaltungsanordnung sind zwei zusätzliche Transistoren, ein erster Starttransistor 201 und ein zweiter Starttransistor 202 dargestellt, wobei die Drain-Anschlüsse des ersten Starttransistors 201 und des ersten
15 Eingangstransistors 103 untereinander und die Source-Anschlüsse des ersten Starttransistors 201 und des ersten Eingangstransistors 103 untereinander verbunden sind, während die Drain-Anschlüsse des zweiten Starttransistors 202 und des zweiten Eingangstransistors 104 und die Source-Anschlüsse des
20 zweiten Starttransistors 202 und des zweiten Eingangstransistors 104 untereinander verbunden sind. Die beiden Gate-Anschlüsse der beiden Starttransistoren 201 und 202 sind untereinander verbunden und mit einer Referenzteilspannung 203 verbunden.

25 Die aus den beiden Starttransistoren 201 und 202 zusätzlich im Vergleich zu der in Fig. 1 gezeigten Schaltungsanordnung hinzugefügte Start-Schaltungseinheit dient einem Hochfahren (Starten) der Gesamtschaltungsanordnung in einen gewünschten
30 Arbeitspunkt, da die gesamte Schaltungsanordnung neben dem gewünschten noch weitere unerwünschte stabile Arbeitspunkte aufweist. Liegen die ersten und zweiten Eingangssignale 101 und 102 auf einem zu tiefen Potential, dann sperren der erste Eingangstransistor 103 und der zweite Eingangstransistor 104.
35 Dadurch nehmen die ersten und zweiten Referenzschaltungsknoten 129 und 130 ein hohes Potential an, während die ersten

und zweiten Ausgangsschaltungsknoten ein niedriges Potential annehmen.

Die Gleichtaktregelung versucht nun, die ersten und zweiten Referenzschaltungsknoten 129 und 130 auf ein niedrigeres Potential zu ziehen. Da die Gleichtaktregelung nur mit einem Teilstrom arbeitet, kann sie die ersten und zweiten Referenzschaltungsknoten 129 und 130 nicht auf ein niedrigeres Potential ziehen.

Durch die Parallelschaltung des ersten Starttransistors 201 parallel zu dem ersten Eingangstransistor 103 und die Parallelschaltung des zweiten Starttransistors 202 parallel zu dem zweiten Eingangstransistor 104 wird erreicht, daß die ersten und zweiten Referenzschaltungsknoten 129 und 130 auf ein niedrigeres Potential gezogen werden, indem an die beiden verbundenen Gate-Anschlüsse der ersten und zweiten Starttransistoren 201 und 202 eine Referenzteilspannung 203 angelegt wird, die um einen bestimmten Betrag kleiner als die Referenzspannung 122 ist.

Fig. 3 veranschaulicht ein Ausführungsbeispiel einer Schaltungsanordnung gemäß der vorliegenden Erfindung, wobei die in Fig. 3 gezeigte Schaltungsanordnung im wesentlichen der in Fig. 2 gezeigten Schaltungsanordnung entspricht, außer dass der Drain-Anschluss (bzw. ebenfalls der Gate-Anschluss) des Lasttransistors 135 mit dem Drain-Anschluss eines Anpasstransistors 301 verbunden ist. Der Source-Anschluss des Anpasstransistors 301 ist mit dem ersten Anschluß der Laststromquelle 128 verbunden, während der Gate-Anschluss des Anpasstransistors 301 mit der Referenzspannung 122 verbunden ist. Auf diese Weise wird der Laststrom 134 von der Laststromquelle 128 an den Eingangsstrom (132) der Eingangsstromquelle (131) sowie den Referenzstrom (133) der Referenzstromquelle (127) angepaßt.

- Fig. 4 veranschaulicht ein Ausführungsbeispiel einer Schaltungsanordnung gemäß der vorliegenden Erfindung, wobei die in Fig. 4 gezeigte Schaltungsanordnung im wesentlichen der in Fig. 3 gezeigten Schaltungsanordnung entspricht, außer daß
- 5 zwischen dem Drain-Anschluss des ersten Referenztransistors 123 und dem Versorgungsschaltungsknoten 136 eine erste Referenzlast 401 geschaltet ist, die aus einem Widerstand oder aus einer Diodenlast ausgebildet ist.
- 10 Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Weise modifizierbar.

WO 02/052720

16

PCT/EP01/14288

Bezugszeichenliste

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Komponenten.

5		
	100	Masseschaltungsknoten
	101	Erstes Eingangssignal
	102	Zweites Eingangssignal
	103	Erster Eingangstransistor
10	104	Zweiter Eingangstransistor
	105	Erster Stromspiegeltransistor
	106	Zweiter Stromspiegeltransistor
	107	Erster Ausgangstransistor
	108	Zweiter Ausgangstransistor
15	109	Erste Kompensationskapazität
	110	Zweite Kompensationskapazität
	111	Erstes Ausgangssignal
	112	Zweites Ausgangssignal
	113	Erste Ausgangsstromquelle
20	114	Zweite Ausgangsstromquelle
	115	Erster Ausgangsstrom
	116	Zweiter Ausgangsstrom
	117	Erster Ausgangsschaltungsknoten
	118	Zweiter Ausgangsschaltungsknoten
25	119	Erster Rückführwiderstand
	120	Zweiter Rückführwiderstand
	121	Rückführsignal
	122	Referenzspannung
	123	Erster Referenztransistor
30	124	Zweiter Referenztransistor
	125	Dritter Referenztransistor

WO 02/052720

17

PCT/EP01/14288

	127	Referenzstromquelle
	128	Laststromquelle
	129	Erster Referenzschaltungsknoten
	130	Zweiter Referenzschaltungsknoten
5	131	Eingangsstromquelle
	132	Eingangsstrom
	133	Referenzstrom
	134	Laststrom
	135	Lasttransistor
10	136	Versorgungsschaltungsknoten
	201	Erster Starttransistor
	202	Zweiter Starttransistor
	203	Referenzteilspannung
	301	Anpaßtransistor
15	401	Erste Referenzlast
	501	Erste Referenzlast
	502	Zweite Referenzlast
	503	Erster Referenzdifferenztransistor
	504	Zweiter Referenzdifferenztransistor
20		

WO 02/052720

18

PCT/EP01/14288

Patentansprüche

1. Schaltungsanordnung zur Verstärkung von Eingangssignalen mit:

- 5
einer aus einem ersten Eingangstransistor (103) und einem zweiten Eingangstransistor (104) bestehenden Differenzeingangsstufe zur Eingabe eines differentiellen Eingangssignals (101, 102);
10 einer aus einem ersten Ausgangstransistor (107) und einem zweiten Ausgangstransistor (108) bestehenden Differenzausgangsstufe zur Ausgabe eines differentiellen Ausgangssignals (111, 112);
einer Laststromquelle (128), einer Eingangsstromquelle (131)
15 und einer Referenzstromquelle (127) zur Einstellung jeweils eines Laststroms (134), eines Eingangsstroms (132) und eines Referenzstroms (133);
einer Referenzstufe zum Vergleichen einer Gleichtaktspannung der Differenzverstärker-Schaltungsanordnung mit einer Referenzspannung (122); und
20 einer Stromspiegeleinrichtung zur Spiegelung des Laststroms (134) in die Differenzeingangsstufe.

2. Schaltungsanordnung nach Anspruch 1,
25 da durch gekennzeichnet,
dass das differentielle Eingangssignal aus einem ersten Eingangssignal (101) und einem zweiten Eingangssignal (102) gebildet ist.

- 30 3. Schaltungsanordnung nach einem oder beiden der Ansprüche 1 und 2,
da durch gekennzeichnet,
dass ein erstes Ausgangssignal (111) und ein zweites Ausgangssignal (112) jeweils an einem ersten Ausgangsschaltungsknoten (117) und einem zweiten Ausgangsschaltungsknoten (118)
35 abgreifbar sind.

4. Schaltungsanordnung nach einem oder mehreren der Ansprüche
1 bis 3,
da d u r c h g e k e n n z e i c h n e t,
dass die Referenzstufe aus einem ersten Referenztransistor
5 (123), einem zweiten Referenztransistor (124) und einem drit-
ten Referenztransistor (125) gebildet ist.
5. Schaltungsanordnung nach einem oder mehreren der Ansprüche
1 bis 4,
10 da d u r c h g e k e n n z e i c h n e t, dass die Strom-
spiegeleinrichtung zur Spiegelung des Laststroms (134) in die
Differenzeingangsstufe aus einem ersten Stromspiegeltransis-
tor (105) und einem zweiten Stromspiegeltransistor (106) ge-
bildet ist.
- 15 6. Schaltungsanordnung nach einem oder mehreren der Ansprüche
1 bis 4,
da d u r c h g e k e n n z e i c h n e t,
dass eine aus einem ersten Starttransistor (201) und einem
20 zweiten Starttransistor (202) bestehende Start-
Schaltungseinheit bereitgestellt ist, um ein Starten der Ge-
samtanordnung zu ermöglichen.
7. Schaltungsanordnung nach einem oder mehreren der Ansprüche
25 1 bis 6,
da d u r c h g e k e n n z e i c h n e t,
dass ein erster Eingangstransistor (103) und ein zweiter Ein-
gangstransistor (104) eine Eingangsschaltung mit einer Diffe-
renzeingangsstufe bilden.
- 30 8. Schaltungsanordnung nach einem oder mehreren der Ansprüche
1 bis 7,
da d u r c h g e k e n n z e i c h n e t,
dass ein erster Ausgangstransistor (107) und ein zweiter Aus-
35 gangstransistor (108) eine Differenzausgangsstufe bilden.

WO 02/052720

20

PCT/EP01/14288

9. Schaltungsanordnung nach einem oder mehreren der Ansprüche
1 bis 8,
d a d u r c h g e k e n n z e i c h n e t,
dass eine Gleichtaktregelung bereitgestellt ist, bei welcher
5 ein Referenzstrom (133) zur Regelung verwendet wird, der nur
ein Teil des durch eine Laststromquelle (128) bereitgestellten
Laststroms (134) ist.
10. Schaltungsanordnung nach einem oder mehreren der Ansprüche
10 bis 9,
d a d u r c h g e k e n n z e i c h n e t,
dass eine Gleichtaktregelung bereitgestellt ist, bei welcher
ein Teilstrom gemäß eines Teilerfaktors (k) eingestellt wird,
der kleiner als eins ist.
11. Schaltungsanordnung nach einem oder mehreren der Ansprüche
1 bis 10,
d a d u r c h g e k e n n z e i c h n e t,
dass in der Differenzeingangsstufe erste und zweite Start-
20 transistoren (201, 202) bereitgestellt sind, die jeweils pa-
rallel zu den ersten und zweiten Eingangstransistoren (103,
104) geschaltet sind.
12. Schaltungsanordnung nach einem oder mehreren der Ansprüche
1 bis 11,
d a d u r c h g e k e n n z e i c h n e t,
dass zweite und dritte Referenztransistoren (124, 125) be-
25 reitgestellt sind, die eine Steilheit kleiner als jene der
ersten und zweiten Eingangstransistoren (103, 104) aufweisen.
13. Schaltungsanordnung nach einem oder mehreren der Ansprüche
1 bis 12,
d a d u r c h g e k e n n z e i c h n e t,
dass eine Laststromquelle (128) bereitgestellt ist, die einen
35 Laststrom (134) treibt.

WO 02/052720

21

PCT/EP01/14288

14. Schaltungsanordnung nach einem oder mehreren der Ansprüche 1 bis 13,
dadurch gekennzeichnet,
dass ein Anpasstransistor (301) bereitgestellt ist, dessen
5 Gate-Anschluss mit einer Referenzspannung (122) beaufschlagt
ist, und dessen Drain-Source-Strecke den Laststrom (134)
durchleitet.
15. Schaltungsanordnung nach einem oder mehreren der Ansprüche
10 1 bis 14,
dadurch gekennzeichnet,
dass eine erste Referenzlast (401) eines ersten Referenztransistors
(123) durch einen Widerstand ausgebildet ist.
- 15 16. Schaltungsanordnung nach einem oder mehreren der Ansprüche
1 bis 15,
dadurch gekennzeichnet,
dass eine erste Referenzlast (401) eines ersten Referenztransistors
(123) durch eine Diodenlast ausgebildet ist.
- 20 17. Schaltungsanordnung nach einem oder mehreren der Ansprüche
1 bis 16,
dadurch gekennzeichnet,
dass eine Last des Anpasstransistors (301) als ein als eine
25 Diodenlast geschalteter Lasttransistor (135) ausgebildet ist.
18. Verfahren zum rauscharmen volldifferenziellen Verstärken
von Eingangssignalen mit den Schritten:
- 30 Eingeben eines differenziellen Eingangssignals (101, 102) in
eine aus einem ersten Eingangstransistor (103) und einem
zweiten Eingangstransistor (104) bestehende Differenzein-
gangsstufe;
Ausgeben eines differenziellen Ausgangssignals (111, 112) aus
35 einer aus einem ersten Ausgangstransistor (107) und einem
zweiten Ausgangstransistor (108) bestehenden Differenzaus-
gangsstufe;

- Einstellen einer Anpassung zwischen einer Laststromquelle (128), einer Eingangsstromquelle (131) und einer Referenzstromquelle (127) mit einem Anpasstransistor (301);
Steuern einer Gleichtaktspannung der Differenzverstärker-
5 Schaltungsanordnung in Bezug auf eine Referenzspannung (122) in einer Referenzstufe; und
Spiegeln eines Laststroms (134) in die Differenzeingangsstufe in einer Stromspiegeleinrichtung.
- 10 19. Verfahren nach Anspruch 18,
d a d u r c h g e k e n n z e i c h n e t,
dass für eine Gleichtaktregelung eine Gleichtaktspannung als ein Rückführsignal (121) über einen Spannungsteiler ermittelt wird, der zwischen einem ersten Ausgangsschaltungsknoten
15 (117), der mit einem ersten Ausgangssignal (111) beaufschlagt ist, und einem zweiten Ausgangsschaltungsknoten (118), der mit einem zweiten Ausgangssignal (112) beaufschlagt ist, angeordnet ist.
- 20 20. Verfahren nach einem oder beiden der Ansprüche 18 und 19,
d a d u r c h g e k e n n z e i c h n e t,
dass das Rückführsignal (121) mit einer Referenzspannung (122) verglichen wird.
- 25 21. Verfahren nach einem oder mehreren der Ansprüche 18 bis 20,
d a d u r c h g e k e n n z e i c h n e t,
dass eine Gleichtaktspannung an der Ausgangsstufe abgegriffen wird.
- 30 22. Verfahren nach einem oder mehreren der Ansprüche 18 bis 21,
d a d u r c h g e k e n n z e i c h n e t,
dass der als eine Diodenlast ausgebildete Lasttransistor
35 (135) mit einem Laststrom (134) betrieben wird, der über die ersten und zweiten Stromspiegeltransistoren (105, 106) jeweils in die Differenzeingangsstufe, die aus einem ersten

Eingangstransistor (103) und einem zweiten Eingangstransistor (104) gebildet ist, gespiegelt wird.

23. Verfahren nach einem oder mehreren der Ansprüche 18 bis
5 22,
d a d u r c h g e k e n n z e i c h n e t,
dass die Gleichtaktregelung jeweils an ersten und zweiten Re-
ferenzschaltungsknoten (129, 130) mit jeweils einem Teilstrom
angreift, der durch erste, zweite und dritte Referenztransis-
10 toren (123, 124, 125) gesteuert wird.

24. Verfahren nach einem oder mehreren der Ansprüche 18 bis
23,
d a d u r c h g e k e n n z e i c h n e t,
15 dass durch eine Gleichtaktregelung ein zusätzlicher Pol ver-
mieden wird.

25. Verfahren nach einem oder mehreren der Ansprüche 18 bis
24,
20 d a d u r c h g e k e n n z e i c h n e t,
dass ein durch eine Eingangsstromquelle (131) bereitgestell-
ter Eingangsstrom (132), ein durch eine Laststromquelle (128)
bereitgestellter Laststrom (134) und ein durch eine Referenz-
stromquelle (127) bereitgestellter Referenzstrom (133) einan-
25 der angepaßt werden.

26. Verfahren nach einem oder mehreren der Ansprüche 18 bis
25,
d a d u r c h g e k e n n z e i c h n e t,
30 dass die Laststromquelle (128) durch den Anpasstransistor
(301) im gleichen Arbeitspunkt gehalten wird, wie die Ein-
gangsstromquelle (131) durch die Differenzeingangsstufe und
die Referenzstromquelle (127) durch eine aus dem ersten, dem
zweiten und dem dritten Referenztransistor (123, 124, 125)
35 bestehende Referenzstufe gehalten wird.

WO 02/052720

24

PCT/EP01/14288

27. Verfahren nach einem oder mehreren der Ansprüche 18 bis 26,

d a d u r c h g e k e n n z e i c h n e t,

dass eine Gleichtaktspannung über einen Spannungsteiler

5 (119, 120) ermittelt wird, der zwischen einem ersten Ausgangsschaltungsknoten (117), der mit einem ersten Ausgangssignal (111) beaufschlagt ist, und einem zweiten Ausgangsschaltungsknoten (118), der mit einem zweiten Ausgangssignal (112) beaufschlagt ist, angeordnet ist.

10

28. Verfahren nach einem oder mehreren der Ansprüche 18 bis 27,

d a d u r c h g e k e n n z e i c h n e t,

dass das Rückführsignal (121) mit einer Referenzspannung

15 (122) verglichen wird.

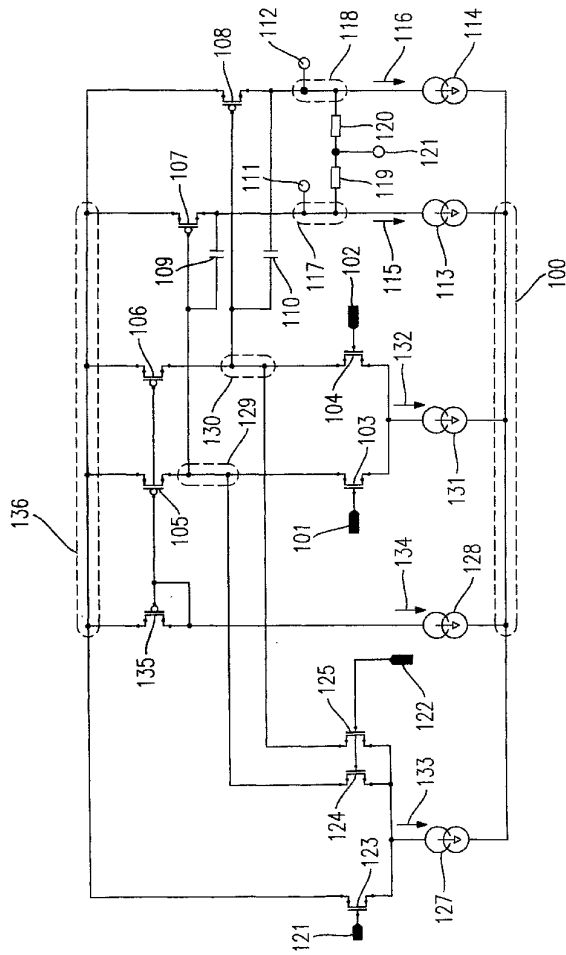


Fig. 1

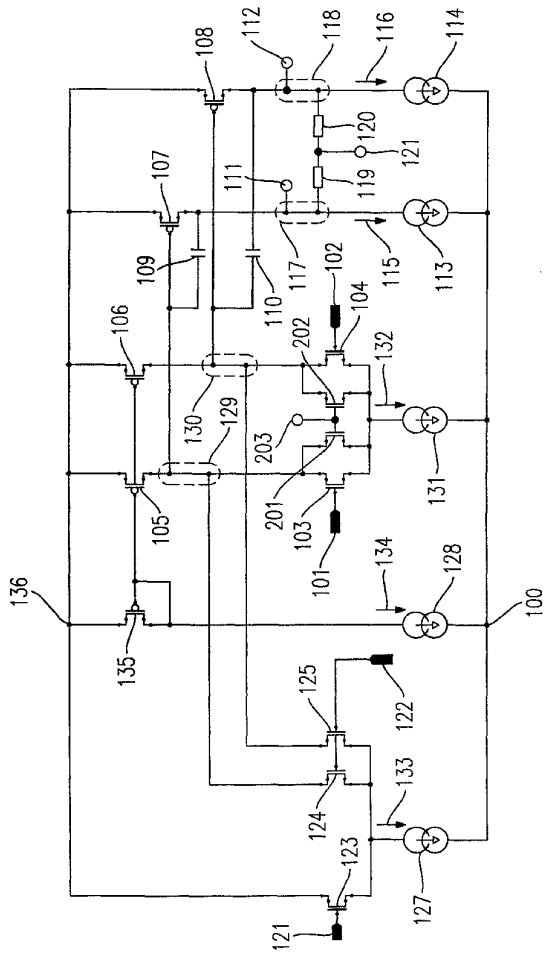


Fig. 2

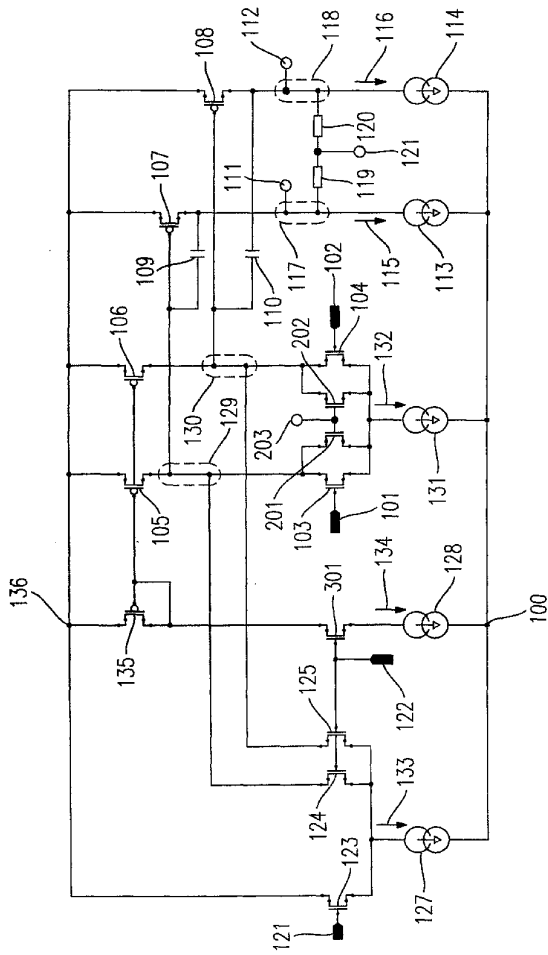


Fig. 3

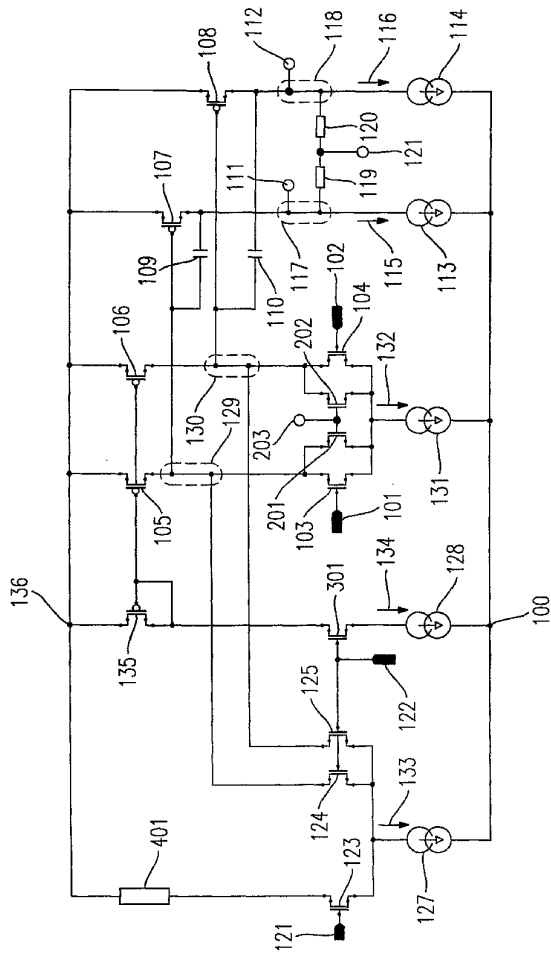


Fig. 4

【 国際公開パンフレット (コレクション) 】

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
4. Juli 2002 (04.07.2002)

PCT

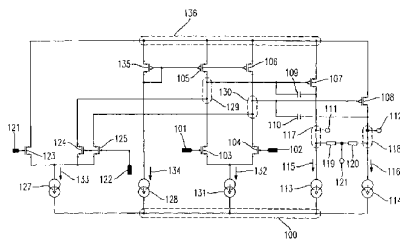
(10) Internationale Veröffentlichungsnummer
WO 02/052720 A3

- (51) Internationale Patentklassifikation: H03F 3/45
- (21) Internationales Aktenzeichen: PCT/EP01/14288
- (22) Internationales Anmeldedatum: 5. Dezember 2001 (05.12.2001)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 100 64 207.1 22. Dezember 2000 (22.12.2000) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).
- (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): SCHIMPER, Markus [DE/DE]; Dahlstrasse 2, 85452 Moosinning (DE). MECHNIG, Stephan [DE/DE]; Therese-Gielse-Allee 44, 81739 München (DE). SCHLEDZ, Ralf [DE/DE]; Wiesenweg 4B, 85406 Zolling (DE).
- (74) Anwalt: BARTH, Stephan; Reinhard, Skubra, Weise & Partner Gbr, Friedrichstrasse 31, 80801 München (DE).
- (81) Bestimmungsstaaten (national): CN, JP, KR, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT FOR LOW NOISE, FULLY DIFFERENTIAL AMPLIFICATION

(54) Bezeichnung: SCHALTUNGSANORDNUNG ZUR RAUSCHARMIN VOLLDIFFERENZIELLEN VERSTÄRKUNG



(57) Abstract: The invention relates to a circuit for low noise, fully differential amplification. A feedback signal (121) is detected in a differential output step of the differential amplification circuit by means of a voltage distributor formed by a first feedback resistance (119) and a second feedback resistance (120). A first output signal (111) is provided at a first output circuit node (117) and a second output signal (112) is provided at a second output circuit node (118). The respective first and second output signals (111) or (112) form a full output signal which corresponds to an input signal formed by a first and a second input signal (101) or (102). A load current (134), an input current (132) and a reference current (132) are established by means of a load current source (128), an input current source (131) and a reference current source (127). A matching transistor (301) is used to adjust an adaptation between the load current source (128), the input current source (131) and the reference current source (127). A feedback signal (121) of the differential amplification circuit is compared with a reference voltage (122) in a reference step, and the load current (134) is mirrored in the differential input step, in a current mirror device.

(57) Zusammenfassung: Die Erfindung schafft eine Schaltungsanordnung zur rauscharmin vollen differenziellen Verstärkung, wobei ein Rückführsignal (121) mit Hilfe eines ersten Rückführwiderstand (119) und einem zweiten Rückführwiderstand (120) gebildeten Spannungsteilers

[Fortsetzung auf der nächsten Seite]

WO 02/052720 A3

WO 02/052720 A3



(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

insgesamt in elektronischer Form (mit Ausnahme des Kopfhogens); auf Antrag vom Internationalen Büro erhältlich

Erklärung gemäß Regel 4.17:

— *Erfindererklärung (Regel 4.17 Ziffer iv) nur für US*

(88) Veröffentlichungsdatum des internationalen

Recherchenberichts: 27. Februar 2003

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— *mit internationalem Recherchenbericht*

in einer Differenzstufenstufe der differentiellen Verstärker-Schaltungsanordnung ermittelte wird. An einem ersten Ausgangsschaltungsknoten (117) wird ein erstes Ausgangssignal (111) bereitgestellt, während an einem zweiten Ausgangsschaltungsknoten (118) ein zweites Ausgangssignal (112) bereitgestellt wird. Die jeweiligen ersten und zweiten Ausgangssignale (111) bzw. (112) bilden ein Gesamtausgangssignal, das einem aus den ersten und zweiten Eingangssignalen (101) bzw. (102) zusammengesetzten Eingangssignal entspricht. Mittels einer Laststromquelle (128), einer Eingangsstromquelle (131) und einer Referenzstromquelle (127) werden jeweils ein Laststrom (134), ein Eingangsstrom (132) und ein Referenzstrom (133) festgelegt. Ein Anpassungstransistor (301) dient einer Einstellung einer Anpassung zwischen der Laststromquelle (128), der Eingangsstromquelle (131) und der Referenzstromquelle (127). In einer Referenzstufe wird ein Rückführsignal (121) der Differenzverstärker-Schaltungsanordnung mit einer Referenzspannung (122) verglichen und in einer Stromspiegeleinrichtung wird der Laststrom (134) in die Differenzstufenstufe gespiegelt.

【国際公開パンフレット(コレクトバージョン)】

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

BERICHTIGTE FASSUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
4. Juli 2002 (04.07.2002)

PCT

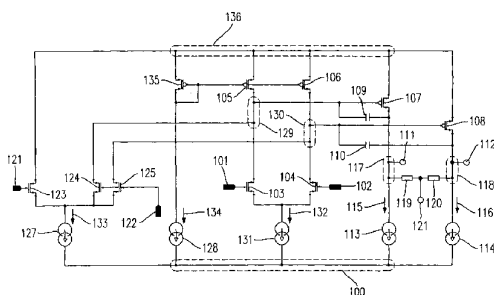
(10) Internationale Veröffentlichungsnummer
WO 02/052720 A3

- (51) Internationale Patentklassifikation: H03F 3/45
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; Sü-Martin-Strasse 53, 81669 München (DE).
- (21) Internationales Aktenzeichen: PCT/EP01/14288
- (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): SCHIMPER, Markus [DE/DE]; Dahlkiesstrasse 2, 85452 Moosinning (DE); MECHNIG, Stephan [DE/DE]; Therese-Giese-Allee 44, 81739 München (DE); SCHLEDZ, Ralf [DE/DE]; Wiesenweg 4B, 85406 Zölling (DE).
- (22) Internationales Anmeldedatum: 5. Dezember 2001 (05.12.2001)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (74) Anwalt: BARTH, Stephan; Reinhard, Skolira, Weise & Partner; Gbr, Friedrichstrasse 31, 80801 München (DE).
- (30) Angaben zur Priorität: 100 64 207.1 22. Dezember 2000 (22.12.2000) DE
- (81) Bestimmungsstaaten (national): CN, JP, KR, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT FOR LOW NOISE, FULLY DIFFERENTIAL AMPLIFICATION

(54) Bezeichnung: SCHALTUNGSANORDNUNG ZUR RAUSCHARMIEN VOLLDIFFERENZIELLEN VERSTÄRKUNG



(57) Abstract: The invention relates to a circuit for low noise, fully differential amplification. A feedback signal (121) is detected in a differential output step of the differential amplification circuit by means of a voltage distributor formed by a first feedback resistance (119) and a second feedback resistance (120). A first output signal (111) is provided at a first output circuit node (117) and a second output signal (112) is provided at a second output circuit node (118). The respective first and second output signals (111) or (112) form a full output signal which corresponds to an input signal formed by a first and a second input signal (101) or (102). A load current (134), an input current (132) and a reference current (132) are established by means of a load current source (128), an input current source (131) and a reference current source (127). A matching transistor (301) is used to adjust an adaptation between the load current source (128), the input current source (131) and the reference current source (127). A feedback signal (121) of the differential amplification circuit is compared with a reference voltage (122) in a reference step, and the load current (134) is mirrored in the differential input step, in a current mirror device.

[Fortsetzung auf der nächsten Seite]



WO 02/052720 A3

WO 02/052720 A3 

(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BL, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SI, TR).

Erklärung gemäß Regel 4.17:

— *Erfindungserklärung (Regel 4.17 Ziffer iv) nur für US*

Veröffentlicht:

— *mit internationalem Recherchenbericht*

(88) Veröffentlichungsdatum des internationalen

Recherchenberichts:

27. Februar 2003

(48) Datum der Veröffentlichung dieser berichtigen

Fassung:

10. April 2003

(15) Informationen zur Berichtigung:

siehe PCT Gazette Nr. 15/2003 vom 10. April 2003, Section II

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung schafft eine Schaltungsanordnung zur rauscharmen vollendifferenziellen Verstärkung, wobei ein Rückführsignal (121) mit Hilfe eines aus einem ersten Rückführwiderstand (119) und einem zweiten Rückführwiderstand (120) gebildeten Spannungsverteilers in einer Differenzausgangsstufe der differenziellen Verstärker-Schaltungsanordnung ermittelt wird. An einem ersten Ausgangsschaltungsknoten (117) wird ein erstes Ausgangssignal (111) bereitgestellt, während an einem zweiten Ausgangsschaltungsknoten (118) ein zweites Ausgangssignal (112) bereitgestellt wird. Die jeweiligen ersten und zweiten Ausgangssignale (111) bzw. (112) bilden ein Gesamtausgangssignal, das einem aus den ersten und zweiten Eingangssignalen (101) bzw. (102) zusammengesetzten Eingangssignal entspricht. Mittels einer Laststromquelle (128), einer Eingangstromquelle (131) und einer Referenzstromquelle (127) werden jeweils ein Laststrom (134), ein Eingangsstrom (132) und ein Referenzstrom (133) festgelegt. Ein Anpassungstransistor (301) dient einer Einstellung einer Anpassung zwischen der Laststromquelle (128), der Eingangstromquelle (131) und der Referenzstromquelle (127). In einer Referenzstufe wird ein Rückführsignal (121) der Differenzverstärker-Schaltungsanordnung mit einer Referenzspannung (122) verglichen und in einer Stromspiegeleinrichtung wird der Laststrom (134) in die Differenzeingangsstufe gespiegelt.

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Inter- national Application No. PCT/EP 01/14288										
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H03F3/45												
According to International Patent Classification (IPC) or to both national classification and IPC												
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H03F												
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched												
Electronic data bases consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal												
C. DOCUMENTS CONSIDERED TO BE RELEVANT												
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.										
X	US 5 420 539 A (FENSCH THIERRY) 30 May 1995 (1995-05-30) abstract	1-28										
X	EP 0 641 069 A (NIPPON ELECTRIC CO) 1 March 1995 (1995-03-01) figures 1-3	1-10, 12-14, 17, 18, 20-25, 28										
Y	US 5 455 539 A (FENSCH THIERRY ET AL) 3 October 1995 (1995-10-03) figures 2,3	1-10, 13, 16-28										
A	US 4 742 308 A (BANU MIHAI) 3 May 1988 (1988-05-03) figure 1	1, 15										
-/--												
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.												
* Special categories of cited documents :												
<table border="0"> <tr> <td>*A* document defining the general state of the art which is not considered to be of particular relevance</td> <td>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to underscore the principle or theory underlying the invention</td> </tr> <tr> <td>*E* earlier document but published on or after the international filing date</td> <td>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>*O* document referring to an oral disclosure, use, exhibition or other means</td> <td>*Z* document member of the same patent family</td> </tr> <tr> <td>*P* document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			*A* document defining the general state of the art which is not considered to be of particular relevance	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to underscore the principle or theory underlying the invention	*E* earlier document but published on or after the international filing date	*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	*O* document referring to an oral disclosure, use, exhibition or other means	*Z* document member of the same patent family	*P* document published prior to the international filing date but later than the priority date claimed	
A document defining the general state of the art which is not considered to be of particular relevance	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to underscore the principle or theory underlying the invention											
E earlier document but published on or after the international filing date	*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone											
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art											
O document referring to an oral disclosure, use, exhibition or other means	*Z* document member of the same patent family											
P document published prior to the international filing date but later than the priority date claimed												
Date of the actual completion of the international search 18 June 2002	Date of mailing of the international search report 25/06/2002											
Name and mailing address of the ISA European Patent Office, P.O. Box 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-3000, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Agerbaek, T											

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Int	ernational Application No
	PCT/EP 01/14289

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CLAESSEN U ET AL: "ERHOHTE GENAUIGKEIT BEI DER SIMULATION ANALOGER CMOS-SCHALTUNGEN DURCH EIN VERBESSERTES MOS-KOMPAKTMODELL" ARCHIV FUR ELEKTRONIK UND UBERTRAGUNGSTECHNIK, S.HIRZEL VERLAG. STUTTGART, DE. vol. 44, no. 2, 1 March 1990 (1990-03-01), pages 139-147, XP000113073 ISSN: 0001-1096	1-10, 13, 16-28
A	figure 1	1-28
X	BANJ M ET AL: "FULLY DIFFERENTIAL OPERATIONAL AMPLIFIERS WITH ACCURATE OUTPUT BALANCING" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 23, no. 6, 1 December 1988 (1988-12-01), pages 1410-1414, XP000070966 ISSN: 0018-9200 cited in the application figures 1,3	1-5, 7-10, 12-14, 16-28

1

Form PCT/ISA/210 (continuation of second sheet) (July 1993)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.
PCT/EP 01/14288

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5420539 A	30-05-1995	FR 2694463 A1	04-02-1994
		DE 69310830 D1	26-06-1997
		DE 69310830 T2	16-10-1997
		EP 0581701 A1	02-02-1994
		JP 6177670 A	24-06-1994
		US 5319316 A	07-06-1994
EP 0641069 A	01-03-1995	JP 2725718 B2	11-03-1998
		JP 7066641 A	10-03-1995
		EP 0641069 A1	01-03-1995
		US 5465073 A	07-11-1995
US 5455539 A	03-10-1995	FR 2702105 A1	02-09-1994
		DE 69414015 D1	26-11-1998
		DE 69414015 T2	01-07-1999
		EP 0613241 A1	31-08-1994
		JP 6318828 A	15-11-1994
US 4742308 A	03-05-1988	CA 1274884 A1	02-10-1990
		DE 3881934 D1	29-07-1993
		DE 3881934 T2	07-10-1993
		EP 0286347 A2	12-10-1988
		HK 42895 A	31-03-1995
		JP 1937338 C	09-06-1995
		JP 6066609 B	24-08-1994
		JP 63292710 A	30-11-1988

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP 01/14288

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H03F3/45		
Nach der Internationalen Patentreklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RESEARCHIERTE GEBIETE Recherchierte Mindestprüfstoff (Klassifikationsystem und Klassifikationsymbole) IPK 7 H03F		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Beitr. Anspruch Nr.
X	US 5 420 539 A (FENSCH THIERRY) 30. Mai 1995 (1995-05-30) Zusammenfassung	1-28
X	EP 0 641 069 A (NIPPON ELECTRIC CO) 1. März 1995 (1995-03-01) Abbildungen 1-3	1-10, 12-14, 17, 18, 20-25, 28
Y	US 5 455 539 A (FENSCH THIERRY ET AL) 3. Oktober 1995 (1995-10-03) Abbildungen 2, 3	1-10, 13, 16-28
A	US 4 742 308 A (BANU MIHALI) 3. Mai 1988 (1988-05-03) Abbildung 1	1, 15
	-/--	
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebene Veröffentlichungen : *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbereich genannten Veröffentlichung belegt werden soll, oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) *O* Veröffentlichung, die sich auf eine mündliche Offenbarung einer Besprechung, eine Ausstellung oder andere Maßnahmen bezieht *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist		
** Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angeführt ist *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindungsmäßiger Tätigkeit beruhend betrachtet werden *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindungsmäßiger Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist *Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Abschließdatum des internationalen Recherchenberichts
18. Juni 2002		25/06/2002
Name und Postanschrift der internationalen Recherchenbehörde Europäisches Patentamt, P.B. 6818 Patentstr. 2 NL - 2580 XY Tilburg Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Beauftragter Agerbaek, T

Formblatt PCT/ISA/210 (Blatt 2) (Juli 1992)

INTERNATIONALER RECHERCHENBERICHT

Intel
 Einmaliges Aktenzeichen
 PCT/EP 01/14288

C/(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	CLAESSEN U ET AL: "ERHOHTE GENAUIGKEIT BEI DER SIMULATION ANALOGER CMOS-SCHALTUNGEN DURCH EIN VERBESSERTES MOS-KOMPAKTMODELL" ARCHIV FÜR ELEKTRONIK UND ÜBERTRAGUNGSTECHNIK, S.HIRZEL VERLAG. STUTTGART, DE. Bd. 44, Nr. 2, 1. März 1990 (1990-03-01), Seiten 139-147, XP000113073 ISSN: 0001-1096	1-10, 13, 16-28
A	Abbildung 1	1-28
X	BANU M ET AL: "FULLY DIFFERENTIAL OPERATIONAL AMPLIFIERS WITH ACCURATE OUTPUT BALANCING" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, Bd. 23, Nr. 6, 1. Dezember 1988 (1988-12-01), Seiten 1410-1414, XP000070966 ISSN: 0018-9200 in der Anmeldung erwähnt Abbildungen 1,3	1-5, 7-10, 12-14, 16-28

Formblatt PCT/ISA/210 (Fortsetzung von Blatt 2) (Juli 1999)

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internat.
PCT/EP 01/14288

Im Recherchenbericht angeführtes Patentedokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5420539 A	30-05-1995	FR 2694463 A1	04-02-1994
		DE 69310830 D1	26-06-1997
		DE 69310830 T2	16-10-1997
		EP 0581701 A1	02-02-1994
		JP 6177670 A	24-06-1994
		US 5319316 A	07-06-1994
EP 0641069 A	01-03-1995	JP 2725718 B2	11-03-1998
		JP 7066641 A	10-03-1995
		EP 0641069 A1	01-03-1995
		US 5465073 A	07-11-1995
US 5455539 A	03-10-1995	FR 2702105 A1	02-09-1994
		DE 69414015 D1	26-11-1998
		DE 69414015 T2	01-07-1999
		EP 0613241 A1	31-08-1994
		JP 6318828 A	15-11-1994
US 4742308 A	03-05-1988	CA 1274884 A1	02-10-1990
		DE 3881934 D1	29-07-1993
		DE 3881934 T2	07-10-1993
		EP 0286347 A2	12-10-1988
		HK 42895 A	31-03-1995
		JP 1937338 C	09-06-1995
		JP 6066609 B	24-08-1994
		JP 63292710 A	30-11-1988

フロントページの続き

(72)発明者 メックニグ、シュテファン

ドイツ連邦共和国 8 1 7 3 9 ミュンヘン テレーゼ - ギエーゼ - アレ 4 4

(72)発明者 シュレッツ、ラルフ

ドイツ連邦共和国 8 5 4 0 6 ゴーリング ヴィーゼンヴェグ 4 ベー

Fターム(参考) 5J500 AA01 AA12 AC21 AC35 AC53 AF10 AH09 AH17 AH19 AH25

AH29 AK00 AK05 AK09 AK12 AK29 AM11 DN01 DN14 DN22

DN23 DP02

【要約の続き】

ラーされる。