

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】令和 1 年 6 月 20 日 (2019.6.20)

【公表番号】特表 2018-516013 (P2018-516013A)
 【公表日】平成 30 年 6 月 14 日 (2018.6.14)
 【年通号数】公開・登録公報 2018-022
 【出願番号】特願 2017-560252 (P2017-560252)
 【国際特許分類】

H 0 4 N 5/374 (2011.01)

H 0 4 N 5/341 (2011.01)

【F I】

H 0 4 N 5/374

H 0 4 N 5/341

【手続補正書】
 【提出日】令和 1 年 5 月 20 日 (2019.5.20)

【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

画像センサであって、

複数のブロックに分割された 2 次元ピクセルアレイであって、前記複数のブロックのそれぞれは、少なくとも 2 つの異なる行および 2 つの異なる列において配列されたピクセルを備える、2 次元ピクセルアレイと、

前記複数のブロックを露出するシャッタであって、各ブロック内の全てのピクセルは、同期して露出される、シャッタと、

複数の読出回路を備える読出回路網であって、各読出回路は、前記複数のブロックのうちの 1 つに対応し、前記読出回路のそれぞれは、各対応するブロック内のピクセルからの信号を受信および処理することが可能である、読出回路網と

を備え、

前記 2 次元ピクセルアレイは、M 個の行のピクセルを含み、M は、100 以上であり、各ブロックの高さは、M 個の行の組み合わせられた高さの少なくとも 20 分の 1 であるが、M 個の行の前記組み合わせられた高さの 5 分の 1 未満であり、

前記 2 次元ピクセルアレイは、N 個の列を含み、N は、100 以上であり、各ブロックの幅は、N 個の列のピクセルの組み合わせられた幅の少なくとも 20 分の 1 であるが、N 個の列の前記組み合わせられた幅の 5 分の 1 未満である、画像センサ。

【請求項 2】

前記ブロックのうちの少なくとも 2 つは、異なる数のピクセルを含む、請求項 1 に記載の画像センサ。

【請求項 3】

前記ブロックのうちの少なくとも 2 つは、異なる幾何学的形状を有する、請求項 1 に記載の画像センサ。

【請求項 4】

前記複数のブロックのそれぞれは、同数のピクセルを含む、請求項 1 に記載の画像センサ。

【請求項 5】

タイミング信号を前記ブロックのそれぞれに伝送するタイミング制御モジュールを備え、前記タイミング信号は、前記ブロックの露出のシーケンスを開始する、請求項 1 に記載の画像センサ。

【請求項 6】

前記読出回路は、前記信号を増幅する増幅器と、前記信号をデジタルデータに変換するアナログ/デジタルコンバータとを備える、請求項 1 に記載の画像センサ。

【請求項 7】

前記複数のブロックは、第 1 のブロックと、第 2 のブロックとを含み、

前記読出回路は、前記第 1 のブロックの露出が完了した直後にピクセルの前記第 1 のブロックから信号を読み出し、

前記第 2 のブロックの露出は、前記第 1 のブロックからの信号の読出が完了する前に開始する、請求項 1 に記載の画像センサ。

【請求項 8】

前記複数のブロックは、第 1 のブロックと、第 2 のブロックとを含み、

前記第 2 のブロックの露出と前記第 1 のブロックの露出との間に遅延が存在し、前記遅延は、前記第 2 のブロックがその露出を完了する前に前記第 1 のブロックの読出を可能にするために十分に長い、請求項 1 に記載の画像センサ。

【請求項 9】

前記シャッタは、電子的に制御される、請求項 1 に記載の画像センサ。

【請求項 10】

画像センサを用いて画像を捕捉する方法であって、

前記画像センサの 2 次元ピクセルアレイ画像面積を複数のブロックに分割することによって、前記複数のブロックのそれぞれは、少なくとも 2 つの異なる行および 2 つの異なる列において配列されたピクセルを備える、ことと、

前記複数のブロックを連続的に露出することによって、各ブロック内の全てのピクセルは、同期して露出される、ことと、

複数の別個の読出回路を用いて前記複数のブロックのそれぞれを読み出すことであって、各読出回路は、前記複数のブロックのうちの 1 つに対応する、ことと

を含み、

前記 2 次元ピクセルアレイは、M 個の行のピクセルを含み、M は、100 以上であり、各ブロックの高さは、M 個の行の組み合わせられた高さの少なくとも 20 分の 1 であるが、M 個の行の前記組み合わせられた高さの 5 分の 1 未満であり、

前記 2 次元ピクセルアレイは、N 個の列を含み、N は、100 以上であり、各ブロックの幅は、N 個の列のピクセルの組み合わせられた幅の少なくとも 20 分の 1 であるが、N 個の列の前記組み合わせられた幅の 5 分の 1 未満である、方法。

【請求項 11】

タイミング信号を前記ブロックのそれぞれに伝送することを含み、前記タイミング信号は、前記ブロックの露出のシーケンスを開始する、請求項 10 に記載の方法。

【請求項 12】

前記複数のブロックの少なくとも第 1 のブロックおよび第 2 のブロックから信号を連続的に読み出すことを含む、請求項 10 に記載の方法。

【請求項 13】

ピクセルの前記第 1 のブロックからの信号は、前記第 1 のブロックの露出が完了した直後に読み出され、

前記第 2 のブロックの露出は、前記第 1 のブロックからの信号の読出が完了する前に開始する、請求項 12 に記載の方法。

【請求項 14】

前記第 2 のブロックの露出と前記第 1 のブロックの露出との間に遅延が存在し、前記遅延は、前記第 2 のブロックがその露出を完了する前に前記第 1 のブロックの読出を可能にするだけ長い、請求項 12 に記載の方法。

【請求項 15】

デジタルカメラであって、

複数のブロックに分割される 2 次元ピクセルアレイを備える画像センサであって、前記複数のブロックのそれぞれは、少なくとも 2 つの異なる行および 2 つの異なる列において配列されたピクセルを備える、画像センサと、

光を前記画像センサに指向させるレンズと、

前記複数のブロックを連続的に露出するシャッタであって、各ブロック内の全てのピクセルは、同期して露出される、シャッタと、

前記ブロックの露出のシーケンスのタイミングを制御するタイミング制御モジュールと

、

複数の読出回路を備える読出回路網であって、各読出回路は、前記複数のブロックのうちの 1 つに対応し、前記読出回路のそれぞれは、各対応するブロック内のピクセルからの信号を受信および処理することが可能である、読出回路網と、

前記読出回路網の出力から画像を組み立てるカメラ A S I C と

を備え、

前記 2 次元ピクセルアレイは、M 個の行のピクセルを含み、M は、100 以上であり、各ブロックの高さは、M 個の行の組み合わせられた高さの少なくとも 20 分の 1 であるが、M 個の行の前記組み合わせられた高さの 5 分の 1 未満であり、

前記 2 次元ピクセルアレイは、N 個の列を含み、N は、100 以上であり、各ブロックの幅は、N 個の列のピクセルの組み合わせられた幅の少なくとも 20 分の 1 であるが、N 個の列の前記組み合わせられた幅の 5 分の 1 未満である、デジタルカメラ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

概して、デジタルカメラが、複数のブロックに分割される 2 次元ピクセルアレイを含み、複数のブロックのそれぞれは、少なくとも 2 つの異なる行および少なくとも 2 つの異なる列において配列されるピクセルを含む、画像センサと、光を画像センサに指向させる、レンズと、複数のブロックを連続的に露出し、各ブロック内の全てのピクセルは、同期して露出される、シャッタと、ブロックの露出のシーケンスのタイミングを制御する、タイミング制御モジュールと、複数のブロック毎の読出電子機器であって、対応するブロック内のピクセルからの電子信号を受信および / または処理することが可能である、読出電子機器と、読出電子機器の出力から画像を組み立てる、カメラ特定用途向け集積回路 (A S I C) とを含み得る。

本願明細書は、例えば、以下の項目も提供する。

(項目 1)

画像センサであって、

複数のブロックに分割された 2 次元ピクセルアレイであって、前記複数のブロックのそれぞれは、少なくとも 2 つの異なる行および 2 つの異なる列において配列されたピクセルを備える、2 次元ピクセルアレイと、

前記複数のブロックを連続的に露出するシャッタであって、各ブロック内の全てのピクセルは、同期して露出される、シャッタと

を備える、画像センサ。

(項目 2)

前記 2 次元ピクセルアレイは、M 個の行のピクセルを含み、M は、100 以上であり、

各ブロックの高さは、M 個の行の組み合わせられた高さの少なくとも 20 分の 1 であるが、M 個の行の前記組み合わせられた高さの 5 分の 1 未満である、項目 1 に記載の画像セ

ンサ。

(項目3)

前記2次元ピクセルアレイは、N個の列を含み、Nは、100以上であり、
各ブロックの幅は、N個の列のピクセルの組み合わせられた幅の少なくとも20分の1
であるが、N個の列の前記組み合わせられた幅の5分の1未満である、項目1に記載の画
像センサ。

(項目4)

前記ブロックのうちの少なくとも2つは、異なる数のピクセルを含む、項目1に記載の
画像センサ。

(項目5)

前記ブロックのうちの少なくとも2つは、異なる幾何学的形状を有する、項目1に記載
の画像センサ。

(項目6)

前記複数のブロックのそれぞれは、同数のピクセルを含む、項目1に記載の画像センサ
。

(項目7)

タイミング信号を前記ブロックのそれぞれに伝送するタイミング制御モジュールを備え
、前記タイミング信号は、前記ブロックの露出のシーケンスを開始する、項目1に記載の
画像センサ。

(項目8)

前記複数のブロックのそれぞれのための別個の読出電子機器を備え、前記読出電子機器
は、対応するブロック内のピクセルからの信号を受信および処理することが可能である、
項目1に記載の画像センサ。

(項目9)

前記読出電子機器は、前記信号を増幅する増幅器と、前記信号をデジタルデータに変換
するアナログ/デジタルコンバータとを備える、項目8に記載の画像センサ。

(項目10)

前記複数のブロックは、第1のブロックと、第2のブロックとを含み、
前記読出電子機器は、前記第1のブロックの露出が完了した直後にピクセルの前記第1
のブロックから信号を読み出し、
前記第2のブロックの露出は、前記第1のブロックからの信号の読出が完了する前に開
始する、項目8に記載の画像センサ。

(項目11)

前記複数のブロックは、第1のブロックと、第2のブロックとを含み、
前記第2のブロックの露出と前記第1のブロックの露出との間に遅延が存在し、前記遅
延は、前記第2のブロックがその露出を完了する前に前記第1のブロックの読出を可能に
するために十分に長い、項目8に記載の画像センサ。

(項目12)

前記シャッタは、電子的に制御される、項目1に記載の画像センサ。

(項目13)

画像センサを用いて画像を捕捉する方法であって、
前記画像センサの2次元ピクセルアレイ画像面積を複数のブロックに分割することであ
って、前記複数のブロックのそれぞれは、少なくとも2つの異なる行および2つの異なる
列において配列されたピクセルを備える、ことと、
前記複数のブロックを連続的に露出することであって、各ブロック内の全てのピクセル
は、同期して露出される、ことと

を含む、方法。

(項目14)

前記2次元ピクセルアレイは、M個の行のピクセルを含み、Mは、100以上であり、
各ブロックの高さは、M個の行のピクセルの組み合わせられた高さの少なくとも20分

の 1 であるが、M 個の行の前記組み合わせられた高さの 5 分の 1 未満である、項目 1 3 に記載の方法。

(項目 1 5)

前記 2 次元ピクセルアレイは、N 個の列を含み、N は、1 0 0 以上であり、

各ブロックの幅は、N 個の列のピクセルの組み合わせられた幅の少なくとも 2 0 分の 1 であるが、N 個の列の前記組み合わせられた幅の 5 分の 1 未満である、項目 1 3 に記載の方法。

(項目 1 6)

タイミング信号を前記ブロックのそれぞれに伝送することを含み、前記タイミング信号は、前記ブロックの露出のシーケンスを開始する、項目 1 3 に記載の方法。

(項目 1 7)

前記複数のブロックの少なくとも第 1 のブロックおよび第 2 のブロックから信号を連続的に読み出すことを含む、項目 1 3 に記載の方法。

(項目 1 8)

ピクセルの前記第 1 のブロックからの信号は、前記第 1 のブロックの露出が完了した直後に読み出され、

前記第 2 のブロックの露出は、前記第 1 のブロックからの信号の読出が完了する前に開始する、項目 1 7 に記載の方法。

(項目 1 9)

前記第 2 のブロックの露出と前記第 1 のブロックの露出との間に遅延が存在し、前記遅延は、前記第 2 のブロックがその露出を完了する前に前記第 1 のブロックの読出を可能にするだけ長い、項目 1 7 に記載の方法。

(項目 2 0)

デジタルカメラであって、

複数のブロックに分割される 2 次元ピクセルアレイを備える画像センサであって、前記複数のブロックのそれぞれは、少なくとも 2 つの異なる行および 2 つの異なる列において配列されたピクセルを備える、画像センサと、

光を前記画像センサに指向させるレンズと、

前記複数のブロックを連続的に露出するシャッタであって、各ブロック内の全てのピクセルは、同期して露出される、シャッタと、

前記ブロックの露出のシーケンスのタイミングを制御するタイミング制御モジュールと

、

前記複数のブロックのそれぞれのための別個の読出電子機器であって、前記読出電子機器は、対応するブロック内のピクセルからの信号を受信および処理することが可能である、読出電子機器と、

前記読出電子機器の出力から画像を組み立てるカメラ A S I C と
を備える、デジタルカメラ。