



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I581269 B

(45)公告日：中華民國 106 (2017) 年 05 月 01 日

(21)申請案號：098133247

(22)申請日：中華民國 98 (2009) 年 09 月 30 日

(51)Int. Cl. : *G11C16/10 (2006.01)**G11C16/06 (2006.01)*

(30)優先權：2008/09/30 美國

61/194,751

2009/06/30 世界智慧財產權組織

PCT/US2009/049333

(71)申請人：L S I 公司 (美國) LSI CORPORATION (US)

美國

(72)發明人：哈瑞區 艾利希 F HARATSCH, ERICH F. (DE)；伊夫柯維克 米洛斯 IVKOVIC, MILOS (RS)；克拉契柯夫斯基 維克特 KRACHKOVSKY, VICTOR (RU)；米拉迪諾維奇 奈納德 MILADINOVIC, NENAD (RS)；維堤亞夫 安德利 VITYAEV, ANDREI (US)；威廉森 克利夫頓 WILLIAMSON, CLIFTON (US)；言 強森 YEN, JOHNSON (US)

(74)代理人：陳長文

(56)參考文獻：

US 6041430

US 7039846B2

WO 2008/053472A2

審查人員：文治中

申請專利範圍項數：9 項 圖式數：33 共 104 頁

(54)名稱

利用解碼器效能回饋用於記憶體裝置之軟性資料產生的設備及方法

METHODS AND APPARATUS FOR SOFT DATA GENERATION FOR MEMORY DEVICES USING DECODER PERFORMANCE FEEDBACK

(57)摘要

本發明揭示使用解碼器效能回饋用於記憶體裝置之軟性資料產生之方法及設備。藉由以下步驟在一記憶體裝置中產生至少一個軟性資料值：自一解碼器獲得效能回饋；基於該效能回饋獲得一錯誤統計；及基於所獲得之錯誤統計產生該至少一個軟性資料值。該效能回饋包括基於由該解碼器解碼之資料之錯誤位元之數目及未滿足之同位檢查之一數目中之二者或多者。

Methods and apparatus for soft data generation for memory devices using decoder performance feedback. At least one soft data value is generated in a memory device, by obtaining performance feedback from a decoder; obtaining an error statistic based on the performance feedback; and generating the at least one soft data value based on the obtained error statistic. The performance feedback comprises one or more of number of erroneous bits based on data decoded by the decoder and a number of unsatisfied parity checks.

指定代表圖：

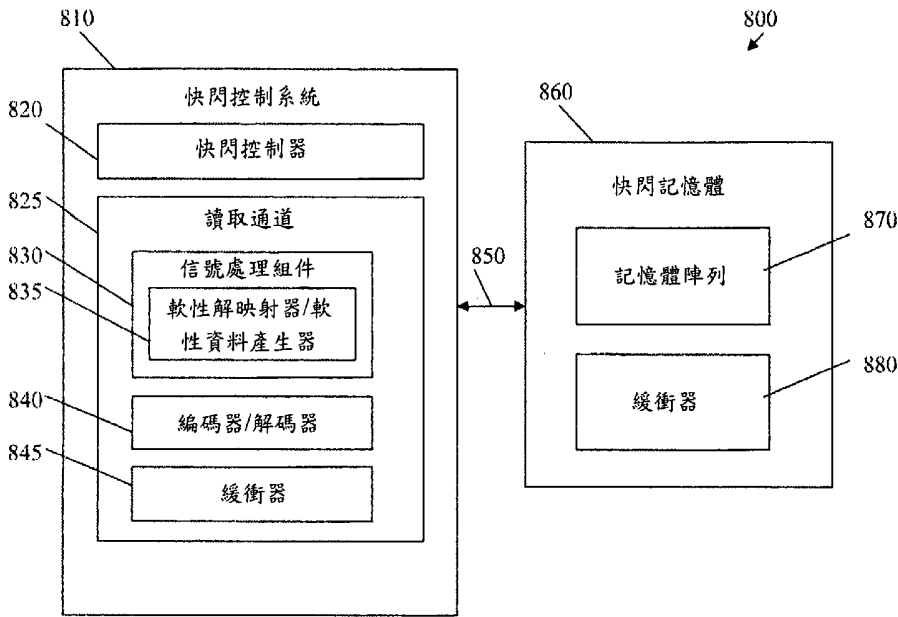


圖 8

- 符號簡單說明：
- 800 . . . 快閃記憶體系統
 - 810 . . . 快閃控制系統
 - 820 . . . 快閃控制器
 - 825 . . . 讀取通道
 - 830 . . . 信號處理組件
 - 835 . . . 軟性解映射器及/或軟性資料產生處理程序
 - 840 . . . 編碼器/解碼器區塊
 - 845 . . . 緩衝器
 - 850 . . . 介面
 - 860 . . . 快閃記憶體
 - 870 . . . 記憶體陣列
 - 880 . . . 緩衝器

六、發明說明：

【發明所屬之技術領域】

一般而言，本發明係關於快閃記憶體裝置，且更特定而言係關於用於減輕此等快閃記憶體裝置中之單元間干擾、向後型樣相依性、雜訊及其他失真之影響之經改良軟性解映射及軟性資料產生技術。

本申請案主張2008年9月30日提出申請之序列號為61/194,751之美國臨時專利申請案及2009年6月30日提出申請之標題為「Methods and Apparatus for Soft Demapping and Intercell Interference Mitigation in Flash Memories」之序列號為PCT/US09/49333之國際專利申請案之優先權，每一申請案皆係以引用方式併入本文中。

本申請案與標題為「Methods and Apparatus for Soft Data Generation for Memory Devices Based on Performance Factor Adjustment」之國際專利申請案、標題為「Methods and Apparatus for Soft Data Generation for Memory Devices」之國際專利申請案及標題為「Methods and Apparatus for Soft Data Generation for Memory Devices Using Reference Cells」之國際專利申請案相關，每一申請案皆係與本文同時提出申請且以引用方式併入本文中。

【先前技術】

例如快閃記憶體裝置之若干記憶體裝置使用類比記憶體單元來儲存資料。每一記憶體單元儲存亦稱為一儲存值之一類比值，例如一電荷或電壓。該儲存值表示儲存於該單

元中之資訊。舉例而言，在快閃記憶體裝置中，每一類比記憶體單元通常儲存某一電壓。每一單元之可能類比值之範圍通常劃分為若干臨限值區，其中每一區對應於一個或多個資料位元值。藉由寫入對應於所需之一個或多個位元之一標稱類比值來將資料寫入至一類比記憶體單元中。

舉例而言，單位階單元(SLC)快閃記憶體裝置每記憶體單元儲存一個位元(或兩個可能之記憶體狀態)。另一方面，多位階單元(MLC)快閃記憶體裝置每記憶體單元儲存兩個或更多個位元(亦即，每一單元具有四個或更多個可程式化狀態)。關於MLC快閃記憶體裝置之一更詳細論述，參見(例如)2009年3月11日提出申請之標題為「Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding And Per-Page Coding」之序列號為PCT/US09/36810之國際專利申請案，其以引用方式併入本文中。

舉例而言，在多位階NAND快閃記憶體裝置中，浮動閘極裝置與劃分為多個區間之一範圍中之可程式化臨限電壓一起使用，其中每一區間對應於一不同之多位元值。為將一既定多位元值程式化至一記憶體單元中，將該記憶體單元中之浮動閘極裝置之臨限電壓程式化至對應於該值之臨限電壓區間中。

儲存於記憶體單元中之類比值經常發生失真。該等失真通常係由於(例如)向後型樣相依性(BPD)、雜訊及單元間干擾(ICI)所致。關於快閃記憶體裝置中之失真之一更詳細

論述，參見(例如)J.D. Lee等人之「Effects of Floating-Gate Interference on NAND Flash Memory Cell Operation」(IEEE Electron Device Letters, 264-266(2002年5月))或Ki-Tae Park等人之「A Zeroing Cell-to-Cell Interference Page Architecture With Temporary LSB Storing and Parallel MSB Program Scheme for MLC NAND Flash Memories」(IEEE J. of Solid State Circuits, 43卷, 第4, 919-928號(2008年4月)), 其每一者皆以引用方式併入本文中。

已提議或建議用於減輕ICI及其他擾亂之影響之若干技術。舉例而言，Ki-Tae Park等人闡述現有之程式化技術，例如減輕ICI之偶/奇程式化、自下而上程式化及多階段程式化。2009年6月30日提出申請之標題為「Methods and Apparatus for Soft Demapping and Intercell Interference Mitigation in Flash Memories」之序列號為PCT/US09/49333之國際專利申請案揭示用於快閃記憶體中之軟性解映射及擾亂減輕之方法及設備。

儘管此等現有方法已幫助改良快閃記憶體之解碼效能，但其仍受到若干限制，若克服此等限制則可進一步改良快閃記憶體之可靠性。舉例而言，當前之快閃記憶體通常僅將硬性資料提供至快閃控制系統以供解碼。然而，眾所周知軟性資料可改良解碼過程中之錯誤率效能。因此，需要使用來自快閃記憶體之硬性資料之軟性資料產生技術以估計或增強該軟性資料且藉此改良解碼效能。

【發明內容】

一般而言，本發明揭示使用解碼器效能回饋用於記憶體裝置之軟性資料產生之方法及設備。根據本發明之一個態樣，藉由以下步驟在一記憶體裝置中產生至少一個軟性資料值：自一解碼器獲得效能回饋；基於該效能回饋獲得一錯誤統計；及基於該所獲得之錯誤統計產生該至少一個軟性資料值。該效能回饋包括基於由該解碼器解碼之資料之錯誤位元之數目及未滿足之同位檢查之一數目中的一者或多者。

根據本發明之另一態樣，藉由以下步驟在一記憶體裝置中產生至少一個軟性資料值：獲得硬性資料；解碼該硬性資料；基於使用該經解碼資料之錯誤位元之一數目獲得一錯誤統計；及基於該所獲得之錯誤統計產生至少一個軟性資料值。針對一記憶體陣列之一個或多個所需位置視情況獲得該軟性資料值且其中針對該一個或多個所需位置確定錯誤位元之數目。針對與至少一個目標單元相關聯之一個或多個侵擾單元中之一既定型樣PATT視情況獲得錯誤統計；且其中該方法進一步包括以下步驟：解碼針對一個或多個目標單元及一個或多個相關聯之侵擾單元之硬性資料；確定具有相關聯之侵擾單元中之該既定型樣PATT之錯誤之經解碼目標位元之一數目；及基於錯誤之經解碼目標位元之該數目獲得針對該既定型樣之錯誤統計。該錯誤統計視情況包括針對複數個可能值獲得之不對稱錯誤統計。

根據本發明之另一態樣，藉由以下步驟在一記憶體裝置

中產生至少一個軟性資料值：獲得未滿足之同位檢查之一數目；及基於未滿足之同位檢查之該數目產生該至少一個軟性資料值。針對一記憶體陣列之一個或多個所需位置視情況獲得該軟性資料值。

藉由參照以下詳細闡述及圖式將獲得對本發明及本發明之另外特徵及優點之一更完整理解。

【實施方式】

本發明之各種態樣係針對用於記憶體裝置(例如單位階單元或多位階單元(MLC)NAND快閃記憶體裝置)中之經改良解碼之軟性資料產生技術。如本文中所使用，一多位階單元快閃記憶體包括其中每一記憶體單元儲存兩個或更多個位元之一記憶體。通常，儲存於一個快閃單元中之多個位元屬於不同頁。儘管本文中使用的將一類比值儲存為一電壓之記憶體單元來圖解說明本發明，但本發明可與用於記憶體裝置之任一儲存機制一起使用，例如使用電壓或電流來表示所儲存之資料，如熟習此項技術者將明瞭。

圖1係一習用快閃記憶體系統100之一示意性方塊圖。如圖1中所示，例示性快閃記憶體系統100包括一快閃控制系統110及一快閃記憶體區塊160。例示性快閃控制系統110包括一快閃控制器120、一編碼器/解碼器區塊140及一個或多個緩衝器145。在一替代實施例中，可在快閃控制器120內部實施編碼器/解碼器區塊140及某些緩衝器145。舉例而言，可使用熟知的市售技術及/或產品來實施編碼器/解碼器區塊140及緩衝器145。

例示性快閃記憶體區塊160包括一記憶體陣列170及一個或多個緩衝器180，其每一者皆可使用熟知的市售技術及/或產品來實施。記憶體陣列170可體現為一單位階或多位階單元快閃記憶體，例如一NAND快閃記憶體、一相變記憶體(PCM)、一MRAM記憶體、一NOR快閃記憶體或另一非揮發性快閃記憶體。儘管主要係在一多位階單元NAND快閃記憶體之上下文中來圖解說明本發明，但本發明亦可應用於單位階單元快閃記憶體及其他非揮發性記憶體，如熟習此項技術者將明瞭。

多位階單元快閃記憶體

在一多位階單元NAND快閃記憶體中，通常採用一臨限值偵測器來將與一特定單元相關聯之電壓值轉譯至一預界定記憶體狀態。圖2圖解說明基於以引用方式併入本文中之美國專利第6,522,580號之教示內容針對圖1之例示性多位階單元快閃記憶體170之一例示性臨限電壓分佈。一般而言，一單元之臨限電壓係需要施加至該單元以使得該單元傳導某一量之電流之電壓。該臨限電壓係對儲存於一單元中之資料之一量測。

在圖2中所示之例示性實施例中，每一儲存元件採用四個可能之資料狀態以在每一記憶體單元中儲存兩個資料位元。圖2圖解說明四個峰值210至213，其中每一峰值對應於一個狀態。在一多位階單元快閃裝置中，臨限電壓分佈圖形200之不同峰值210至213用於將兩個位元儲存於該單元中。

用對應二進制值標記臨限電壓分佈圖形200之峰值210至213。因此，當一單元處於一第一狀態210中時，其表示下部位元(亦稱為最低有效位元LSB)之一「1」及上部位元(亦稱為最高有效位元MSB)之一「1」。狀態210一般係該單元之初始未程式化狀態或已擦除狀態。同樣地，當一單元處於第二狀態211中時，其表示下部位元之一「0」及上部位元之一「1」。當一單元處於第三狀態212中時，其表示下部位元之一「0」及上部位元之一「0」。最終，當一單元處於第四狀態213中時，其表示下部位元之一「1」及上部位元之一「0」。

臨限電壓分佈210表示陣列內處於一已擦除狀態(「11」資料狀態)中、具有低於0伏之負臨限電壓位準之單元之臨限電壓 V_t 之一分佈。圖中顯示分別儲存「10」及「00」使用者資料之記憶體單元之臨限電壓分佈211及212分別介於0伏與1伏之間及1伏與2伏之間。臨限電壓分佈213顯示已程式化至「01」資料狀態、具有設定於讀取通過電壓之2伏與4.5伏之間的一臨限電壓位準之單元之分佈。

因此，在圖2之例示性實施例中，0伏、1伏及2伏可用作每一位階或狀態之間的電壓位準臨限值。該等電壓位準臨限值由快閃記憶體160(例如，快閃記憶體160中之感測電路)用來確定一既定單元之電壓位準或狀態。快閃記憶體160將基於所量測之電壓與該等電壓位準臨限值之一比較而將一個或多個位元指派給每一單元，該等電壓位準臨限值隨後將作為硬性決策傳輸至快閃控制系統110。另外或

另一選擇為，在使用軟性資訊之一實施方案中，快閃記憶體160可將所量測之電壓或該所量測電壓之一經量化形式作為軟性資訊傳輸至快閃控制系統110，其中使用比儲存於該記憶體單元中之位元數目大之位元數目來表示該所量測之電壓。

應進一步注意，通常使用熟知的程式化/驗證技術來程式化單元。一般而言，在一程式化/驗證循環期間，快閃記憶體160逐漸施加一遞增之電壓以將一電荷儲存於單元電晶體中，直至超過一最小目標臨限電壓。舉例而言，當程式化圖2之實例中之一「10」資料狀態時，快閃記憶體160可逐漸施加一遞增之電壓以將一電荷儲存於單元電晶體中，直至超過一最小目標臨限電壓0.4 V。

如下文所進一步論述，儲存於一單個記憶體單元中之兩個位元中之每一者係來自一不同頁。換言之，儲存於每一記憶體單元中之兩個位元中之每一位元皆攜載一不同頁位址。當輸入一下部頁位址時，存取圖2中所示之右側位元。當輸入一上部頁位址時，存取左側位元。

圖3圖解說明一多位階單元(MLC)快閃記憶體裝置160中之一例示性快閃單元陣列300之架構，其中每一例示性單元通常對應於儲存兩個位元之一浮動閘極電晶體。在圖3中，每一單元皆與用於該兩個位元所屬於的兩個頁之兩個編號相關聯。例示性單元陣列區段300顯示字線 n 至 $n+2$ 及四個位元線。例示性快閃單元陣列300被分割為偶數頁及奇數頁，舉例而言，其中具有偶數編號之單元(例如具有

編號0及2之單元)對應於偶數頁，且具有奇數編號之單元(例如具有編號1及3之單元)對應於奇數頁。舉例而言，字線n將偶數頁0及2儲存於偶數位元線中，且將奇數頁1及3儲存於奇數位元線中。

另外，圖3指示其中選擇一偶數或奇數位元線單元且按所指示之次序依序(自下而上)程式化其之一例示性程式化序列。該等編號指示程式化該等頁所按之次序。舉例而言，在頁1之前程式化頁0。關於偶數頁及奇數頁之程式化之一進一步論述，參見(例如)K.-T. Park等人之「A Zeroing Cell-to-Cell Interference Page Architecture with Temporary LSB Storing and Parallel MSB Program Scheme for MLC NAND Flash Memories」(IEEE Journal of Solid-State Circuits，43卷，第4，919-928號(2008年4月))，其以引用方式併入本文中。

圖4圖解說明用於圖2之電壓指派方案之一例示性兩階段MLC程式化方案400。如圖4中所示，在一LSB程式化階段期間，若LSB為0，則處於一已擦除狀態410中之選定單元之狀態移至最低經程式化狀態411。因此，在LSB程式化階段，將一記憶體單元自己擦除狀態「11」程式化至「10」。接下來，在MSB程式化階段期間，相依於先前之LSB資料依序形成兩個狀態：狀態「00」(412)及狀態「01」(413)。一般而言，在MSB程式化階段期間，將「10」狀態程式化至「00」，且將狀態「11」程式化至「01」。

應注意，圖4之程式化方案400圖解說明與自狀態410至狀態413之狀態改變相關聯之一最大電壓移位。已提議或建議若干程式化方案來減小與一狀態改變相關聯之最大電壓移位，且藉此減少由電壓移位導致之ICI。

圖5A及5B共同圖解說明減少相鄰單元上所造成之ICI之一替代MLC程式化方案500。如圖5A中所示，在LSB程式化階段期間，以類似於SLC程式化之一方式將一記憶體單元自一狀態「11」程式化至作為一臨時(或中間)狀態之一狀態「x0」。在相同字線中之相鄰單元亦經LSB程式化之後，由於ICI，分佈可能如圖5A中之峰值510所示加寬。此後，在圖5B中所示之MSB程式化階段，將「x0」狀態程式化至作為對應於輸入資料之最終狀態之「00」及「10」中之任一者，否則將「11」狀態程式化至最終之「01」狀態。一般而言，在MSB程式化階段將除「11」單元之外的所有記憶體單元自用於LSB資料之臨時已程式化狀態重新程式化至其最終狀態，以使得可大大減少由相鄰單元導致之ICI。處於最終狀態中之一單元將不再受到其在處於中間狀態中時所經歷之ICI，此乃因已將其重新程式化至最終狀態。處於最終狀態中之一單元將僅受到其自處於該最終狀態中以來所經歷之ICI。如上文所述，圖5A及5B之多步驟程式化序列使用中間程式化狀態減少了最大電壓改變且因此減少了由此等電壓改變導致之ICI。在圖5B中可看出，(例如)MSB程式化階段期間之最大電壓移位分別與自狀態「11」至「01」及狀態「x0」至狀態「10」之轉變相

關聯。此等電壓移位顯著小於圖4中自狀態「11」至「01」之最大電壓移位。

圖6進一步詳細地圖解說明一多位階單元(MLC)快閃記憶體裝置130中之一例示性快閃單元陣列600。如圖6中所示，快閃單元陣列600每快閃單元 c_i 儲存三個位元。圖6圖解說明一個區塊之快閃單元陣列架構，其中每一例示性單元通常對應於儲存三個位元之一浮動閘極電晶體。例示性單元陣列600由 m 個字線及 n 個位元線組成。通常，在當前之多頁單元快閃記憶體中，一單個單元內之位元屬於不同頁。在圖6之實例中，每一單元之三個位元對應於三個不同頁，且每一字線儲存三個頁。在以下論述中，頁0、1及2稱為一字線內之下部、中部及上部頁層級。

如上文所指示，一快閃單元陣列可進一步被分割為偶數頁及奇數頁，其中(例如)具有偶數編號之單元(例如圖6中之單元2及4)對應於偶數頁，且具有奇數編號之單元(例如圖6中之單元1及3)對應於奇數頁。在此情形中，一頁(例如頁0)將含有偶數單元中之一偶數頁(偶數頁0)及奇數單元中之一奇數頁(奇數頁0)。

單元間干擾及其他擾亂

圖7圖解說明由於若干例示性侵擾單元720而存在之對一目標單元710之擾亂，例如單元間干擾、向後型樣相依性、雜訊及其他失真。圖7中採用以下表示法：

WL：字線；

BL：位元線；

Blo：奇數位元線；

Ble：偶數位元線；及

C：電容。

舉例而言，ICI係由侵擾單元720所導致，該等侵擾單元在已程式化目標單元710之後被程式化。ICI改變目標單元710之電壓 V_i 。在例示性實施例中，假定一「自下而上」程式化方案且字線 i 及 $i+1$ 中之毗鄰侵擾單元對目標單元710造成ICI。在一區塊之此自下而上程式化之情形下，移除來自下部字線 $i-1$ 之ICI，且多達五個相鄰單元作為侵擾單元720促成ICI，如圖7中所示。然而，應注意，可將本文中所揭示之技術推廣至其中來自其他字線(例如字線 $i-1$)之侵擾單元亦促成ICI之情形，如熟習此項技術者將明瞭。若來自字線 $i-1$ 、 i 及 $i+1$ 之侵擾單元促成ICI，則需考量多達八個最近之相鄰單元。若距該目標單元較遠之其他單元對ICI之貢獻微不足道，則可忽略該等單元。一般而言，藉由以下方式識別侵擾單元720：分析程式化序列方案(例如自下而上技術或偶/奇技術)以識別在一既定目標單元710之後被程式化之侵擾單元720。

一般而言， V_i 係表示儲存於一單元上且在一讀取作業期間獲得之資料之電壓。可藉由一讀取作業獲得 V_i ，例如，作為具有比每單元所儲存之位元之數目高之精確度之一軟性電壓值，或作為量化至具有與每單元所儲存之位元之數目(例如，對於3位元/單元快閃，係3個位元)相同之解析度之一硬性電壓位準之一值。

關於ICI減輕技術之一更詳細論述，參見(例如)標題為「Methods and Apparatus for Read-Side Intercell Interference Mitigation in Flash Memories」之序列號為PCT/US09/49326之國際專利申請案或標題為「Methods and Apparatus for Write-Side Intercell Interference Mitigation in Flash Memories」之序列號為PCT/US09/49327之國際專利申請案，每一申請案皆以引用方式併入本文中。

軟性資料產生

本發明提供用於快閃記憶體之軟性解映射及軟性資料產生技術。在下文結合圖12A所進一步論述之一個例示性實施例中，使用概率統計(例如，概率密度函數、其近似值、基於位元之概率或基於單元之概率)自快閃記憶體所指派之軟性資料產生增強之軟性資料。在下文結合圖12B所進一步論述之另一例示性實施例中，使用概率統計(例如，概率密度函數、其近似值、基於位元之概率或基於單元之概率)自該快閃記憶體所指派之硬性資料產生軟性資料。一般而言，首先獲得該快閃記憶體所指派之資料。然後，本發明基於來自該快閃記憶體之資料產生或增強該軟性資訊(例如概率或可靠性資訊)。所產生之軟性資訊可視情況用於軟性決策解碼。如本文中所使用，術語「概率密度函數」將包含概率密度函數及其近似值，例如直方圖及高斯近似。

圖8係根據本發明併入有基於控制器之軟性資料產生技術之一例示性快閃記憶體系統800之一示意性方塊圖。如

圖8中所示，例示性快閃記憶體系統800包括由一介面850連接之一快閃控制系統810及一快閃記憶體區塊860。例示性快閃控制系統810包括通常位於一個或多個積體電路上之一快閃控制器820及一讀取通道825。

例示性讀取通道825包括一信號處理組件830、一編碼器/解碼器區塊840及一個或多個緩衝器845。應注意，術語「讀取通道」亦可囊括寫入通道。在一替代實施例中，可在快閃控制器820內部實施編碼器/解碼器區塊840及某些緩衝器845。舉例而言，可使用熟知的市售技術及/或產品按照本文中所修改來實施編碼器/解碼器區塊840及緩衝器845以提供本發明之特徵及功能。

例示性信號處理組件830包括一個或多個處理器，其等實施一個或多個軟性解映射器及/或軟性資料產生處理程序835，例如下文分別結合圖12A及12B所進一步論述。例示性快閃記憶體區塊860包括一記憶體陣列870及一個或多個緩衝器880，其每一者均可使用熟知的市售技術及/或產品來實施。

在所揭示之軟性資料產生技術之各種實施例中，例示性介面850相對於一習用快閃記憶體系統可需要傳達額外資訊，例如表示與侵擾單元相關聯之資訊之值。因此，介面850可需要具有比習用快閃記憶體系統中之一介面高之一容量或比其快之一速率。舉例而言，可根據2009年6月30日提出申請且以引用方式併入本文中之標題為「Methods and Apparatus for Interfacing Between a Flash Memory

Controller and a Flash Memory Array」之序列號為PCT/US09/49328之國際PCT專利申請案之教示內容視情況實施介面850，其使用(例如)雙倍資料速率(DDR)技術增加介面850之資訊攜載容量。在一寫入作業期間，介面850通常使用頁或字線層級存取技術傳送欲儲存於目標單元中之程式值。關於例示性頁或字線層級存取技術之一更詳細論述，參見(例如)2009年3月11日提出申請之標題為「Methods and Apparatus for Storing Data in a Multi-Level Cell Flash Memory Device with Cross-Page Sectors, Multi-Page Coding and Per-Page Coding」之序列號為PCT/US09/36810之國際專利申請案，其以引用方式併入本文中。

在一讀取作業期間，介面850傳送已自記憶體陣列870獲得之關於目標單元及侵擾單元之硬性及/或軟性讀取值。舉例而言，除了關於具有目標單元之頁之讀取值之外，亦經由介面匯流排傳送關於上部/下部字線或相鄰偶數或奇數位元線中之一個或多個毗鄰頁之讀取值。在圖8之實施例中，通常以針對邏輯電路最佳化以達成最小面積之一製程技術在快閃記憶體外部實施所揭示之軟性資料產生技術。然而，其係以可在介面850上傳送之額外侵擾單元資料為代價。

圖9係根據本發明之一替代實施例併入有基於記憶體之軟性資料產生技術之一例示性快閃記憶體系統900之一示意性方塊圖。如圖9中所示，例示性快閃記憶體系統900包括由一介面950連接之一快閃控制系統910及一快閃記憶體

區塊 960。

例示性快閃控制系統 910 包括通常位於一個或多個積體電路上之一快閃控制器 920 及一可選讀取通道 925。在一替代實施例中，可在快閃控制器 920 內部實施編碼器/解碼器區塊 940 及某些緩衝器 945。舉例而言，可使用熟知的市售技術及/或產品按照本文中所修改來實施例示性快閃控制器 920 以支援本發明之特徵及功能。例示性讀取通道 925 包括一編碼器/解碼器區塊 940 及一個或多個緩衝器 945。可使用熟知的市售技術及/或產品實施編碼器/解碼器區塊 940 及緩衝器 945。

例示性快閃記憶體區塊 960 包括一記憶體陣列 970 及一個或多個緩衝器 980，其每一者均可使用熟知的市售技術及/或產品來實施。另外，例示性快閃記憶體區塊 960 包括一例示性信號處理組件 985，該組件包括一個或多個處理器，其等實施一個或多個軟性解映射及/或軟性資料產生處理程序 990，例如下文分別結合圖 12A 及 12B 所進一步論述。

在所揭示之軟性資料產生技術之各種實施例中，例示性介面 950 相對於一習用快閃記憶體系統可需要傳達額外資訊，例如，表示與侵擾單元相關聯之資訊之值。因此，介面 950 可需要具有比習用快閃記憶體系統中之一介面高之一容量或比其快之一速率。可根據 2009 年 6 月 30 日提出申請且以引用方式併入本文中之標題為「Methods and Apparatus for Interfacing Between a Flash Memory Controller and a

Flash Memory Array」(代理檔案第08-0769號)之序列號為PCT/US09/49328之國際PCT專利申請案之教示內容視情況實施介面950，其使用(例如)雙倍資料速率(DDR)技術增加介面950之資訊攜載容量。

在一寫入作業期間，介面950傳送欲儲存於目標單元及侵擾單元中之程式資料。在一讀取作業期間，介面950傳送關於(一個或多個)目標單元及(視情況)侵擾單元之新的硬性或軟性讀取值或資料。通常，針對一單個讀取存取傳達之資訊係一頁資料或一字線資料。應注意，僅發送關於目標單元之資料減少介面950之頻寬需求，此以使用用以製造快閃記憶體之記憶體製程技術在記憶體內部實施軟性資料產生處理程序為代價，該處理技術通常係針對記憶體而非邏輯電路最佳化。

圖10圖解說明具有根據以下申請案之教示內容之反複解映射及解碼以及可選交錯之一例示性快閃讀取通道架構1000：2009年6月30日提出申請之標題為「Methods and Apparatus for Soft Demapping and Intercell Interference Mitigation in Flash Memories」之序列號為PCT/US09/49333之國際專利申請案，其以引用方式併入本文中。如圖10中所示，例示性寫入路徑包括一編碼器1010、一可選交錯器1020、一串列至並列轉換器1030及一映射器1040。以一已知方式將資料寫入至記憶體1050且自記憶體1050讀取資料。例示性讀取路徑包括一軟性解映射器1060、一並列至串列轉換器1070、一解交錯器1080、一解碼器1090及

一交錯器1095。一般而言，如下文所進一步論述，軟性解映射器1060產生軟性資訊，該軟性資訊由解碼器1090處理以產生新的軟性資訊且以一反複方式回饋至該軟性解映射器，直至該反覆處理程序趨同於一最終決策。

下文在標題為「使用讀取統計對軟性資料(LLR)之計算」之章節中論述根據本發明由軟性解映射器1060用來產生軟性資訊(LLR)之方程式。如圖10中所示，由解映射器1060產生之軟性資訊可在回饋路徑中用於軟性解映射器1060、解交錯器1080、解碼器1090與一交錯器1095之間的反複解映射及解碼。

基於來自快閃之資料之軟性資料產生

本發明認識到當前之快閃記憶體860、960通常僅將硬性資料提供至快閃控制系統810、910。然而，眾所周知軟性資料可改良解碼過程中之錯誤率效能。因此，根據本發明之一個態樣，來自快閃記憶體860、960之硬性資料用於估計軟性資料且藉此改良快閃控制系統810、910中之解碼效能。舉例而言，如下文所論述，硬性資料之統計性質可用於估計或增強該軟性資料。然後，所產生之軟性資料可用於解碼(例如LDPC程式碼之信念傳播解碼)以改良錯誤率效能。

根據本發明之另一態樣，快閃記憶體860、960將軟性資料或軟性資訊提供至快閃控制系統810、910。自快閃記憶體860、960所提供之軟性資料產生增強之軟性資料以藉此改良快閃控制系統810、910中之解碼效能。在使用軟性資

訊之一實施方案中，快閃記憶體系統860、960將所量測之電壓或該所量測電壓之一量化形式作為軟性資訊傳輸至快閃控制系統810、910，其中使用比儲存於記憶體單元中之位元數目大之位元數目來表示該所量測之電壓。

圖11圖解說明根據本發明之一個實施例具有基於控制器之軟性資料產生之一例示性快閃記憶體系統1100。如圖11中所示，例示性快閃記憶體系統1100包括由一介面1115連接之一快閃記憶體區塊1110及一快閃控制系統1120。如下文所論述，軟性或硬性資料值(或兩者)可由快閃記憶體區塊1110指派且經由介面1115傳送至快閃控制系統1120以供進一步解碼及處理。例示性快閃控制系統1120包括一軟性解映射器/軟性資料產生器1200(下文結合圖12A及12B進一步論述)及一解碼器1400(下文結合圖13至14進一步論述)。舉例而言，可使用一LDPC解碼演算法(例如一信念傳播、訊息傳遞、和-積或最小和演算法)來體現解碼器1400。

如圖11中所示，由軟性解映射器/軟性資料產生器1200產生之軟性資訊可視情況用於軟性解映射器/軟性資料產生器1200與解碼器1400之間的反複解映射及解碼。一般而言，如圖11中所示，軟性解映射器/軟性資料產生器1200產生呈LLR形式之軟性資訊 L_e ，如下文在標題為「使用讀取統計對軟性資料(LLR)之計算」之章節中所論述。首先，由軟性解映射器/軟性資料產生器1200計算之LLR L_e 係基於來自快閃記憶體1110之軟性或硬性讀出(或兩者)及對應統計。LLR L_e 由解碼器1400處理以產生新的軟性資訊

L_a ，該新的軟性資訊 L_a 以一反複方式回饋至軟性解映射器 / 軟性資料產生器 1200，直至該反複處理程序趨同於一最終決策。

軟性解映射器 / 軟性資料產生器 1200

圖 12A 係闡述併入有本發明之特徵以自快閃記憶體 810、910 所提供之軟性資料產生增強之軟性資料之一例示性軟性解映射處理程序 1200 之一流程圖。如圖 12A 中所示，例示性軟性解映射處理程序 1200 首先在步驟 1210 期間自快閃記憶體 810、910 獲得關於目標單元之軟性資料 r 及 (視情況) 表示儲存於與該目標單元相關聯之 (一個或多個) 侵擾單元中之資料之一個或多個值 h 。

然後，軟性解映射處理程序 1200 在步驟 1220 期間基於 r 及視情況 h (例如一個或多個概率密度函數) 獲得統計 (或概率)。下文在標題為「統計集合」之章節中進一步論述該等統計。

然後在步驟 1230 期間使用所獲得之統計來計算 (一個或多個) LLR。下文在標題為「使用讀取統計對軟性資料 (LLR) 之計算」之章節中論述該 (一個或多個) LLR。然後在步驟 1240 期間將所計算之 LLR 提供至解碼器 1400 或視情況提供至一解交錯器。所計算之 LLR 可視情況用於 (例如) 基於 LLR 之符號做出關於該讀取資料之一最終決策。

圖 12B 係闡述併入有本發明之特徵以自快閃記憶體 810、910 所提供之硬性資料產生軟性資料之一例示性軟性資料產生處理程序 1250 之一流程圖。如圖 12B 中所示，例示性

軟性資料產生處理程序1250首先在步驟1260期間自快閃記憶體810、910獲得關於目標單元之硬性資料 $\hat{s}$ 及(視情況)表示儲存於與該目標單元相關聯之(一個或多個)侵擾單元中之資料之一個或多個值 $\bar{h}$ 。舉例而言，硬性資料 $\hat{s}$ 可係由快閃記憶體810、910指派給每一單元之二進制位元或電壓位準。

然後，軟性資料產生處理程序1250在步驟1270期間基於 $\hat{s}$ 及視情況 $\bar{h}$ (例如一個或多個概率密度函數)獲得統計(或概率)。該等統計亦可係基於位元或基於單元之概率，如下文在標題為「統計集合」之章節中所進一步論述。

然後在步驟1280期間使用所獲得之統計來計算該(一個或多個)LLR。下文在標題為「使用讀取統計對軟性資料(LLR)之計算」之章節中論述該(一個或多個)LLR。然後在步驟1290期間將所計算之LLR提供至解碼器1400或視情況提供至一解交錯器。所計算之LLR可視情況用於(例如)基於LLR之符號做出關於該讀取資料之一最終決策。

解碼器1400-LDPC實施方案

下文對LDPC程式碼及LDPC解碼之背景技術論述係基於A. J. Blanksby與C. J. Howland之「A 690-mW 1-Gb/s 1024-b, Rate-1/2 Low-Density Parity-Check Decoder」(IEEE J. Solid-State Circuits, 37卷, 404-412(2002年3月))中之一論述，其以引用方式併入本文中。關於一更詳細之論述，讀者應參考完整之Blanksby與Howland論文。

LDPC程式碼之圖形表示

亦可使用一偶圖來表示LDPC程式碼，其中一個節點組表示同位檢查約束且另一組表示資料位元。圖13係一LDPC程式碼之一例示性偶圖表示1300。同位檢查矩陣係該圖形之關聯矩陣，其中若設定了 H 中之條目 h_{ji} (亦即，非0)，則將對應於 H 中之行 i 之一位元節點 i 連接至對應於 H 中之列 j 之檢查節點 j 。

用於解碼LDPC程式碼之一個演算法稱為和-積演算法。為藉助此演算法達成良好之解碼效能，LDPC之圖形表示中循環之長度係盡可能地長頗為重要。在圖13之例示性表示中，已圖解說明長度為四之一例示性短循環。例如圖13中所圖解說明之長度-4循環之短循環使和-積演算法之效能降級。用於解碼LDPC程式碼之另一熟知的演算法係最小和演算法。

和-積演算法

和-積演算法係用於解碼LDPC程式碼之一反複演算法。該和-積演算法亦稱為訊息傳遞演算法或信念傳播。關於該和-積演算法之一更詳細論述，參見(例如)A. J. Blanksby與C. J. Howland之「A 690-mW 1-Gb/s 1024-b, Rate-1/2 Low-Density Parity-Check Decoder」(IEEE J. Solid-State Circuits, 37卷, 404-412(2002年3月))、D.E. Hocevar之「LDPC Code Construction With Flexible Hardware Implementation」(IEEE Int'l Conf. on Comm. (ICC), Anchorage, AK, 2708-2712(2003年5月))及R. N. S. Ratnayake、E. F. Haratsch與Gu-Yeon Wei之「A Bit-node centric architecture for low-

density parity check decoders」(IEEE Global Telecommunications Conference (Globecom), Washington, D.C., 265-270(2007年11月)), 其每一者皆以引用方式併入本文中。

自位元節點 i 至檢查節點 j 之訊息 $Q_{i,j}$ 可由下式給出：

$$Q_{i,j} = \sum_{l \in B_i, l \neq j} R_{l,i} + L_{e,i}$$

其中 $L_{e,i}$ 係由軟性解映射器/軟性資料產生器針對位元 i 提供之外在LLR。自檢查節點 j 至位元節點 i 之訊息 $R_{j,i}$ 由下式給出：

$$R_{j,i} = s_{j,i} \cdot \phi \left(\sum_{l \in C_j, l \neq i} \phi(|Q_{l,j}|) \right)$$

其中：

$$s_{j,i} = \prod_{l \in C_j, l \neq i} \text{sign}(Q_{l,j}) \quad ; \text{ 且}$$

$$\phi(x) = -\log \tanh(x/2) = \log \frac{e^x + 1}{e^x - 1} \quad .$$

針對位元 i 之a-後驗資訊值(其亦稱為a-後驗對數似然比(LLR)) Λ_i 由下式給出：

$$\Lambda_i = \sum_{l \in B_i} R_{l,i} + L_{e,i} \quad .$$

提供至軟性解映射器/軟性資料產生器以供反複解映射及解碼之針對位元 i 之LLR $L_{a,i}$ 如下式給出

$$L_{a,i} = \sum_{l \in B_i} R_{l,i}$$

其中 B_i 係連接至位元節點 i 之檢查節點組；且 C_j 係連接至

檢查節點 j 之位元節點組。

LDPC解碼器-硬體共享解碼器架構

當實施用於解碼LDPC程式碼之和-積演算法時，一重大挑戰係管理訊息之傳遞。由於檢查節點及位元節點兩者之功能性相對簡單，因此其各別之實現僅涉及少量閘極。主要問題係在功能節點之間傳遞訊息所需之頻寬之實施方案。

圖14係一例示性硬體共享LDPC解碼器架構1400之一方塊圖。如圖14中所示，一般化之LDPC解碼器架構1400包括：若干功能組件1410、1420，其分別實施檢查節點功能性或位元節點功能性；及一記憶織物1450，其用以儲存訊息並實現圖形連接性。控制邏輯1430控制記憶織物1450之組態。關於一硬體共享LDPC解碼器架構1400之一實施方案之一詳細論述，參見(例如)E. Yeo等人之「VLSI Architectures for Iterative Decoders in Magnetic Recording Channels」(IEEE Trans On Magnetics, 37卷, 第2, 748-755號(2001年3月))。

已認識到此一硬體共享架構減小解碼器之面積。

圖15圖解說明根據本發明一個實施例具有軟性資料產生之一例示性快閃記憶體系統1500。如圖15中所示，例示性快閃記憶體系統1500包括一快閃記憶體區塊1510。如下文所論述，硬性或軟性資料值(或兩者)通常由快閃記憶體區塊1510指派且經由介面1515傳送至快閃控制系統1520以供進一步解碼及處理。例示性快閃控制系統1520包括一LLR

產生器 1550(下文結合圖 16 進一步論述)、一(或多個)統計產生器 1570(下文在標題為「統計集合」之一章節中進一步論述)及一解碼器 1530。由統計產生器 1570 產生之統計係視情況記錄於一個或多個統計表 1560(例如下文結合圖 17A 至圖 17C 及圖 18 所進一步論述)中；或另一選擇為，可即時產生。

由統計產生器 1570 產生之統計由 LLR 產生器 1550 用來產生(例如)呈 LLR 形式之軟性資料 L_e 。首先，LLR L_e 係基於來自快閃記憶體 1510 之軟性或硬性讀出(或兩者)及對應統計。由解碼器 1530 處理 LLR L_e 以產生新的軟性資訊 L_a ，該新的軟性資訊 L_a 以一反複方式回饋至 LLR 產生器 1550，直至該反覆處理程序趨同於一最終決策。

可再次(例如)使用一 LDPC 解碼演算法(例如，一信念傳播、訊息傳遞、和-積或最小和演算法)體現解碼器 1530。應注意，可在快閃控制系統 1520、解碼器 1530 及讀取通道 825(例如，參見圖 8)中之一者或多者中實施本文中所闡述之統計產生器 1570 及 LLR 產生器 1550 之功能。

使用讀取統計對軟性資料(LLR)之計算

針對一位元 c 之 a 先驗對數似然比(LLR) L_a 可界定如下：

$$L_a(c) = \log \frac{P(c=0)}{P(c=1)}$$

其中 $P(\dots)$ 係一概率。

同樣地，以快閃輸出 r 為條件之位元 c 之 LLR 計算如下：

$$L(c|r) = \log \frac{P(c=0|r)}{P(c=1|r)} = \log \frac{P(c=0)}{P(c=1)} + \log \frac{p(r|c=0)}{p(r|c=1)} \\ = L_a(c) + L_e(c)$$

其中 $L_e(c)$ 係傳遞至一後續解碼器之外在 LLR 或軟性資訊，且 $p(\dots)$ 係一概率密度函數(PDF)。

圖 16 係圖解說明針對一例示性二進制通道之錯誤概率 p 及 q 之一交織結構 1600。應注意，在二進制通道之上下文中， p 表示一錯誤概率，而 $p(\dots)$ 則表示一概率密度函數。當 $p \neq q$ 時，此二進制通道不對稱。當 $p = q$ 時，此二進制通道對稱。如圖 16 中所示， p 係針對一二進制 0 之錯誤概率(亦即，當寫入一 0 時讀取一 1 之概率)。同樣地， q 係針對一二進制 1 之錯誤概率(亦即，當寫入一 1 時讀取一 0 之概率)。恰當地讀取一二進制 0 之概率(亦即，當寫入一 0 時讀取一 0 之概率)可表達為 $1-p$ 。

類似地，恰當地讀取一二進制 1 之概率(亦即，當寫入一 1 時讀取一 1 之概率)可表達為 $1-q$ 。

針對二進制不對稱通道之外在 LLR

針對由交織結構 1600 界定之二進制不對稱通道之位元 c 之外在 LLR $L_e(c)$ 可表達如下：

$$L_e(c) = \log \frac{P(\hat{c}|c=0)}{P(\hat{c}|c=1)}。$$

針對一讀取位元 $\hat{c}=0$ 之外在 LLR $L_e(c)$ 係計算為：

$$L_e(c) = \log \frac{P(\hat{c}=0|c=0)}{P(\hat{c}=0|c=1)} = \log \frac{1-p}{q}。$$

針對一讀取位元 $\hat{c}=1$ 之外在 LLR $L_e(c)$ 係計算為：

$$L_e(c) = \log \frac{P(\hat{c} = 1 | c = 0)}{P(\hat{c} = 1 | c = 1)} = \log \frac{p}{1-q}。$$

針對二進制對稱通道之外在LLR(其中 $p = q = p_0$)

針對一讀取位元 $\hat{c}=0$ 之外在LLR $L_e(c)$ 係計算為：

$$L_e(c) = \log \frac{P(\hat{c} = 0 | c = 0)}{P(\hat{c} = 0 | c = 1)} = \log \frac{1-p_0}{p_0}。$$

針對一讀取位元 $\hat{c}=1$ 之外在LLR $L_e(c)$ ，此LLR係計算為：

$$L_e(c) = \log \frac{P(\hat{c} = 1 | c = 0)}{P(\hat{c} = 1 | c = 1)} = \log \frac{p_0}{1-p_0}。$$

針對來自快閃記憶體之軟性輸出之外在LLR：

對於一2位元/單元快閃記憶體，針對自快閃記憶體

810、910接收之一軟性值 r 之外在LLR可計算如下：

$$\begin{aligned} L_e(c_0) &= \log \frac{p(r | c_0 = 0)}{p(r | c_0 = 1)} = \log \frac{P(c_0 = 0)}{P(c_0 = 1)} \cdot \frac{P(c_0 = 0, c_1 = 0 | r) + P(c_0 = 0, c_1 = 1 | r)}{P(c_0 = 1, c_1 = 0 | r) + P(c_0 = 1, c_1 = 1 | r)} \\ &= \log \frac{p(r | c_0 = 0, c_1 = 0) + \frac{P(c_1 = 1)}{P(c_1 = 0)} p(r | c_0 = 0, c_1 = 1)}{p(r | c_0 = 1, c_1 = 0) + \frac{P(c_1 = 1)}{P(c_1 = 0)} p(r | c_0 = 1, c_1 = 1)} \\ &= \log \frac{p(r | c_0 = 0, c_1 = 0) + \exp(-L_a(c_1)) \cdot p(r | c_0 = 0, c_1 = 1)}{p(r | c_0 = 1, c_1 = 0) + \exp(-L_a(c_1)) \cdot p(r | c_0 = 1, c_1 = 1)} \end{aligned}$$

一般而言，對於每單元之任一數目之位元，針對位元 C_i 之外在LLR可表達為

$$L_e(C_i) = \log \frac{\sum_{s \in X_0'} p(r | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in X_1'} p(r | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)},$$

其中：

r ：所接收之信號

s ：由所儲存之位元($c_0, c_1, \dots, c_m$)給出之原始所儲存狀態或位準

c_i ：經編碼之位元

每單元 m 個位元

$$L_a(C_i) = \log \frac{P(C_i = 0)}{P(C_i = 1)} : \text{a 先驗 LLR}$$

$L_e(C_i)$ ：外在 LLR

χ_i^j ：其位元標記具有位置 i 中之值 $C_i = c_i$ 之狀態或位準子集

其中 $L_a(C_i)$ 係(例如)由一解碼器(例如 LDPC 解碼器 1090 或 1400)提供。在第一反複中，可將 $L_a(C_i)$ 初始化為 0。

使用以下等式：

$$p(r | s) = \frac{p(r)}{P(s)} \cdot P(s | r),$$

針對外在 LLR 之表達式亦可寫為如下：

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \frac{P(s | r)}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{P(s | r)}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}$$

此表達式可進一步簡化為：

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} P(s | r) \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} P(s | r) \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}$$

若所有狀態或位準係同等可能，則此表達式在數學上等效於以上表達式。

針對來自快閃記憶體之軟性輸出之型樣相依之外在LLR

對於自快閃記憶體810、910接收之針對目標單元之一個或多個軟性值 r 及針對(一個或多個)侵擾單元之一個或多個值 $\bar{h}$ ，其可顯示為：

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} p(r, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} p(r, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)},$$

其中 $\bar{h}$ 係儲存於(一個或多個)周圍單元中或對目標單元造成擾亂之其他單元中之資料型樣。舉例而言：

$\bar{h} = (h^{k \pm 1, l}, h^{k, l \pm 1}, h^{k \pm 1, l \pm 1})$ 表示毗鄰於正在針對其計算LLR之位置 (k, l) 處之目標單元之所有侵擾單元。

舉例而言，可藉由自該等侵擾單元讀出硬性資料來獲得型樣 $\bar{h}$ 。

針對外在LLR之表達式亦可寫為如下：

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \frac{P(s | r, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{P(s | r, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}.$$

此表達式可進一步簡化為：

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} P(s | r, \bar{h}) \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} P(s | r, \bar{h}) \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}.$$

若所有狀態係同等可能，則此表達式在數學上等效於以上表達式。

針對來自快閃記憶體之硬性輸出之外在LLR

當無法自快閃記憶體得到軟性輸出且該快閃記憶體僅提供硬性資料 $\hat{s}$ (其係由該快閃記憶體指派給所儲存之資料之狀態或位準)時，外在LLR可計算如下：

$$\begin{aligned} L_e(C_i) &\approx \log \frac{\sum_{s \in \chi_0^i} p(E\{r|\hat{s}|s\}) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} p(E\{r|\hat{s}|s\}) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\ &\approx \log \frac{\sum_{s \in \chi_0^i} P(\hat{s}|s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} P(\hat{s}|s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \end{aligned}$$

其中 $E\{r|\hat{s}\}$ 係假定硬性值 $\hat{s}$ 時針對軟性值 r (例如電壓)之期望值或針對軟性值 r 之某一其他估計值。 $P(\hat{s}|s)$ 係假定最初寫入儲存狀態或位準 s 時讀取硬性值(例如狀態或位準) $\hat{s}$ 之概率。

外在LLR可替代地計算為：

$$\begin{aligned} L_e(C_i) &\approx \log \frac{\sum_{s \in \chi_0^i} \frac{P(s|E\{r|\hat{s}\})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{P(s|E\{r|\hat{s}\})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\ &\approx \frac{\sum_{s \in \chi_0^i} \frac{P(s|\hat{s})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{P(s|\hat{s})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\ &\approx \frac{\sum_{s \in \chi_0^i} P(s|\hat{s}) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} P(s|\hat{s}) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \end{aligned}$$

其中 $P(s|\hat{s})$ 係假定讀取硬性值(例如狀態或位準) $\hat{s}$ 時最初寫入或儲存狀態或位準 s 之概率。

針對來自快閃記憶體之硬性輸出之型樣相依之外在LLR

當無法自快閃記憶體得到軟性輸出且該快閃記憶體僅提供硬性資料 $\hat{s}$ (其係由該快閃記憶體指派給所儲存之資料之

狀態或位準)時，可基於儲存於侵擾單元中之型樣 $\bar{h}$ 計算外在 LLR：

$$\begin{aligned} L_e(C_i) &\approx \log \frac{\sum_{s \in \mathcal{X}_0'} p(E\{r | \hat{s}, \bar{h}\}, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \mathcal{X}_1'} p(E\{r | \hat{s}, \bar{h}\}, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\ &\approx \log \frac{\sum_{s \in \mathcal{X}_0'} P(\hat{s}, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \mathcal{X}_1'} P(\hat{s}, \bar{h} | s) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \end{aligned}$$

其中 $P(\hat{s}, \bar{h} | s)$ 係假定最初寫入儲存狀態或位準 s 時讀取硬性值(例如狀態或位準) $\hat{s}$ 且侵擾單元中之型樣係 $\bar{h}$ 之概率。 $\bar{h}$ 係儲存於(一個或多個)周圍單元中或對目標單元造成擾亂之其他單元中之資料型樣。舉例而言：

$\bar{h} = (h^{k \pm 1, l}, h^{k, l \pm 1}, h^{k \pm 1, l \pm 1})$ 表示毗鄰於正在針對其計算 LLR 之位置 (k, l) 處之目標單元之所有侵擾單元。

舉例而言，可藉由自該等侵擾單元讀出硬性資料來獲得型樣 $\bar{h}$ 。

型樣相依之 LLR 可替代地計算為：

$$\begin{aligned} L_e(C_i) &\approx \log \frac{\sum_{s \in \mathcal{X}_0'} \frac{P(s | E\{r | \hat{s}, \bar{h}\}, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \mathcal{X}_1'} \frac{P(s | E\{r | \hat{s}, \bar{h}\}, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\ &\approx \frac{\sum_{s \in \mathcal{X}_0'} \frac{P(s | \hat{s}, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \mathcal{X}_1'} \frac{P(s | \hat{s}, \bar{h})}{P(s)} \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\ &\approx \frac{\sum_{s \in \mathcal{X}_0'} P(s | \hat{s}, \bar{h}) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \mathcal{X}_1'} P(s | \hat{s}, \bar{h}) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \end{aligned}$$

其中 $P(s | \hat{s}, \bar{h})$ 係假定讀取硬性值(例如狀態或位準) s 且侵擾單元中之型樣係 $\bar{h}$ 時最初寫入或儲存狀態或位準 s 之概率。

在無針對來自快閃之軟性輸出之軟性解碼器回饋之情形下的外在LLR

當軟性解映射器/軟性資料產生器中未使用來自解碼器之軟性輸出(換言之, $L_a(C_i)=0$)時, 該軟性解映射器/軟性資料產生器中之外在LLR可計算如下:

$$L_e(C_i) = \log \frac{\sum_{s \in \mathcal{X}_0'} p(r|s)}{\sum_{s \in \mathcal{X}_1'} p(r|s)}$$

$$L_e(C_i) = \log \frac{\sum_{s \in \mathcal{X}_0'} \frac{P(s|r)}{P(s)}}{\sum_{s \in \mathcal{X}_1'} \frac{P(s|r)}{P(s)}} \approx \log \frac{\sum_{s \in \mathcal{X}_0'} P(s|r)}{\sum_{s \in \mathcal{X}_1'} P(s|r)}$$

然後, 如圖 10 及圖 11 中所示將此等外在LLR傳遞至解碼器。然後, 一LDPC可在該解碼器內部應用(例如)用於局部反複之一訊息傳遞解碼演算法, 直至資料位元被解碼。在此情形中, 未在軟性解映射器/軟性資料產生器之間執行全域偵測/解碼反複以減少總計算複雜性。

在此情形中, 型樣相依之LLR可計算如下:

$$L_e(C_i) = \log \frac{\sum_{s \in \mathcal{X}_0'} p(r, \bar{h}|s)}{\sum_{s \in \mathcal{X}_1'} p(r, \bar{h}|s)}$$

$$L_e(C_i) = \log \frac{\sum_{s \in \mathcal{X}_0'} \frac{P(s|r, \bar{h})}{P(s)}}{\sum_{s \in \mathcal{X}_1'} \frac{P(s|r, \bar{h})}{P(s)}} \approx \log \frac{\sum_{s \in \mathcal{X}_0'} P(s|r, \bar{h})}{\sum_{s \in \mathcal{X}_1'} P(s|r, \bar{h})}$$

在無針對來自快閃之硬性輸出之軟性解碼器回饋之情形下的外在LLR

若無法自快閃記憶體得到軟性資料, 且未使用來自解碼

器之軟性輸出以減少計算複雜性，則外在LLR可計算如下：

$$\begin{aligned} L_e(C_i) &\approx \log \frac{\sum_{s \in X_0'} p(E\{r|\hat{s}\}|s)}{\sum_{s \in X_1'} p(E\{r|\hat{s}\}|s)} \\ &\approx \log \frac{\sum_{s \in X_0'} P(\hat{s}|s)}{\sum_{s \in X_1'} P(\hat{s}|s)} \end{aligned}$$

其中 $E\{r|\hat{s}\}$ 係假定硬性值 $\hat{s}$ 時針對軟性值 r (例如電壓) 之期望值或針對軟性值 r 之某一其他估計值。 $P(\hat{s}|s)$ 係假定最初寫入儲存狀態或位準 s 時讀取硬性值 (例如狀態或位準) $\hat{s}$ 之概率。

在一替代實施方案中，LLR可計算如下：

$$\begin{aligned} L_e(C_i) &\approx \log \frac{\sum_{s \in X_0'} \frac{P(s|E\{r|\hat{s}\})}{P(s)}}{\sum_{s \in X_1'} \frac{P(s|E\{r|\hat{s}\})}{P(s)}} \\ &\approx \frac{\sum_{s \in X_0'} \frac{P(s|\hat{s})}{P(s)}}{\sum_{s \in X_1'} \frac{P(s|\hat{s})}{P(s)}} \\ &\approx \frac{\sum_{s \in X_0'} P(s|\hat{s})}{\sum_{s \in X_1'} P(s|\hat{s})} \end{aligned}$$

其中 $P(s|\hat{s})$ 係假定讀取硬性值 (例如狀態或位準) $\hat{s}$ 時最初寫入或儲存狀態或位準 s 之概率。

在此情形中，型樣相依之LLR可計算如下：

$$L_e(C_i) \approx \log \frac{\sum_{s \in X_0'} P(\hat{s}, \bar{h}|s)}{\sum_{s \in X_1'} P(\hat{s}, \bar{h}|s)}$$

$$L_e(C_i) \approx \frac{\sum_{s \in \chi_0^i} \frac{P(s | \hat{s}, \bar{h})}{P(s)}}{\sum_{s \in \chi_1^i} \frac{P(s | \hat{s}, \bar{h})}{P(s)}} \approx \frac{\sum_{s \in \chi_0^i} P(s | \hat{s}, \bar{h})}{\sum_{s \in \chi_1^i} P(s | \hat{s}, \bar{h})}$$

針對來自快閃之軟性輸出之外在LLR之高斯近似

若來自快閃記憶體之軟性輸出(例如讀取臨限電壓)經建模而具有高斯分佈，則假定最初儲存或寫入位準 s ，針對軟性輸出 $p(r)$ 之條件PDF $p(r|s)$ 可表達為：

$$p(r|s) = \frac{1}{\sqrt{2\pi}\sigma(s)} \exp\left(-\frac{1}{2\sigma(s)^2}(r - E\{r|s\})^2\right)$$

其中 $\sigma(s)$ 係標準偏差且 $E\{r|s\}$ 係針對狀態 s 之軟性輸出(例如臨限電壓)之平均值或期望值。

然後，外在LLR可計算為：

$$\begin{aligned} L_e(C_i) &= \log \frac{\sum_{s \in \chi_0^i} \frac{1}{\sigma(s)} \exp\left(-\frac{1}{2\sigma(s)^2}(r - E\{r|s\})^2\right) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \frac{1}{\sigma(s)} \exp\left(-\frac{1}{2\sigma(s)^2}(r - E\{r|s\})^2\right) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)} \\ &= \log \frac{\sum_{s \in \chi_0^i} \frac{1}{\sigma(s)} \exp\left(-\frac{1}{2\sigma(s)^2}(r - E\{r|s\})^2\right) - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j}{\sum_{s \in \chi_1^i} \frac{1}{\sigma(s)} \exp\left(-\frac{1}{2\sigma(s)^2}(r - E\{r|s\})^2\right) - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j} \end{aligned}$$

若針對所有狀態之電壓分佈具有相同之標準偏差 $\sigma(s) = \sigma$ ，則此方程式可簡化為以下表達式：

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0^i} \exp\left(-\frac{1}{2\sigma^2}(r - E\{r|s\})^2\right) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}{\sum_{s \in \chi_1^i} \exp\left(-\frac{1}{2\sigma^2}(r - E\{r|s\})^2\right) \cdot \prod_{j=1, j \neq i}^m \exp(-L_a(C_j) \cdot c_j)}$$

$$= \log \frac{\sum_{s \in X_0'} \exp(-\frac{1}{2\sigma^2} (r - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}{\sum_{s \in X_1'} \exp(-\frac{1}{2\sigma^2} (r - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}$$

此方程式可進一步簡化為：

$$L_e(C_i) \approx \max_{s \in X_0'} [-\frac{1}{2\sigma^2} (r - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j] - \max_{s \in X_1'} [-\frac{1}{2\sigma^2} (r - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j]$$

針對來自快閃之硬性輸出之外在LLR之高斯近似

當無法得到來自快閃記憶體之軟性輸出時，則假定該等軟性輸出係高斯分佈，LLR可計算如下：

$$L_e(C_i) = \log \frac{\sum_{s \in X_0'} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2} (E\{r|\hat{s}\} - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}{\sum_{s \in X_1'} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2} (E\{r|\hat{s}\} - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}$$

其中 $E\{r|s\}$ 係針對狀態 s 之軟性輸出 r (例如臨限電壓) 之平均值或期望值，且 $E\{r|\hat{s}\}$ 係針對硬性輸出 $\hat{s}$ 之軟性輸出 r (例如臨限電壓) 之平均值或期望值，該硬性輸出係由該快閃記憶體指派並提供之狀態或位準。

若針對所有狀態之電壓分佈具有相同之標準偏差 $\sigma(s) = \sigma$ ，則此方程式可簡化為以下表達式：

$$L_e(C_i) = \log \frac{\sum_{s \in X_0'} \exp(-\frac{1}{2\sigma^2} (E\{r|\hat{s}\} - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}{\sum_{s \in X_1'} \exp(-\frac{1}{2\sigma^2} (E\{r|\hat{s}\} - E\{r|s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j)}$$

此方程式可進一步簡化為：

$$L_e(C_i) \approx \max_{s \in \chi_0'} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j \right] \\ - \max_{s \in \chi_1'} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j \right]$$

針對來自快閃記憶體之硬性輸出之型樣相依之外在LLR之高斯近似

若針對軟性輸出之分佈被建模為高斯，則針對硬性輸出之型樣相依之LLR可計算如下：

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0'} \frac{1}{\sigma(s, \bar{h})} \exp\left(-\frac{1}{2\sigma(s, \bar{h})^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j\right)}{\sum_{s \in \chi_1'} \frac{1}{\sigma(s, \bar{h})} \exp\left(-\frac{1}{2\sigma(s, \bar{h})^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j\right)}$$

其中 $\bar{h}$ 係儲存於如上文所界定之侵擾單元中之型樣，且 $\sigma(s, \bar{h})$ 係針對狀態 s 及型樣 $\bar{h}$ 之軟性輸出之分佈之標準偏差。

若針對所有狀態及型樣之電壓分佈具有相同之標準偏差 $\sigma(s, \bar{h}) = \sigma$ ，則此方程式可簡化為以下表達式：

$$L_e(C_i) = \log \frac{\sum_{s \in \chi_0'} \exp\left(-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j\right)}{\sum_{s \in \chi_1'} \exp\left(-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j\right)}$$

此方程式可進一步簡化為：

$$L_e(C_i) \approx \max_{s \in \chi_0'} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j \right] \\ - \max_{s \in \chi_1'} \left[-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2 - \sum_{j=1, j \neq i}^m L_a(C_j) \cdot c_j \right]$$

在無針對來自快閃記憶體之軟性輸出之軟性解碼器回饋之情形下的外在LLR之高斯近似

當未使用軟性解碼器回饋時，可在可自快閃記憶體得到

軟性輸出時使用軟性輸出分佈之高斯近似如下計算外在

LLR：

$$L_e(C_i) = \log \frac{\sum_{s \in X_0^i} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2} (r - E\{r|s\})^2)}{\sum_{s \in X_1^i} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2} (r - E\{r|s\})^2)}$$

若針對所有狀態之電壓分佈具有相同之標準偏差 $\sigma(s) = \sigma$ ，則此方程式可簡化為以下表達式：

$$L_e(C_i) = \log \frac{\sum_{s \in X_0^i} \exp(-\frac{1}{2\sigma^2} (r - E\{r|s\})^2)}{\sum_{s \in X_1^i} \exp(-\frac{1}{2\sigma^2} (r - E\{r|s\})^2)}$$

此表達式可進一步簡化為：

$$L_e(C_i) \approx \max_{s \in X_0^i} [-\frac{1}{2\sigma^2} (r - E\{r|s\})^2] - \max_{s \in X_1^i} [-\frac{1}{2\sigma^2} (r - E\{r|s\})^2]$$

在無針對來自快閃記憶體之硬性輸出之軟性解碼器回饋之情形下的外在LLR之高斯近似

當未使用軟性解碼器回饋時，可在僅可自快閃記憶體得到硬性輸出時使用軟性輸出分佈之高斯近似如下計算外在

LLR：

$$L_e(C_i) = \log \frac{\sum_{s \in X_0^i} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2} (E\{r|\hat{s}\} - E\{r|s\})^2)}{\sum_{s \in X_1^i} \frac{1}{\sigma(s)} \exp(-\frac{1}{2\sigma(s)^2} (E\{r|\hat{s}\} - E\{r|s\})^2)}$$

若針對所有狀態之電壓分佈具有相同之標準偏差 $\sigma(s) = \sigma$ ，則此方程式可簡化為以下表達式：

$$L_e(C_i) = \log \frac{\sum_{s \in X_0'} \exp(-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2)}{\sum_{s \in X_1'} \exp(-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2)}$$

此方程式可進一步簡化為：

$$L_e(C_i) \approx \max_{s \in X_0'} [-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2] \\ - \max_{s \in X_1'} [-\frac{1}{2\sigma^2} (E\{r | \hat{s}\} - E\{r | s\})^2]$$

對應之型樣相依之LLR計算如下：

$$L_e(C_i) = \log \frac{\sum_{s \in X_0'} \frac{1}{\sigma(s, \bar{h})} \exp(-\frac{1}{2\sigma(s, \bar{h})^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2)}{\sum_{s \in X_1'} \frac{1}{\sigma(s, \bar{h})} \exp(-\frac{1}{2\sigma(s, \bar{h})^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2)}$$

若針對所有狀態及型樣之電壓分佈具有相同之標準偏差 $\sigma(s, \bar{h}) = \sigma$ ，則此方程式可簡化為以下表達式：

$$L_e(C_i) = \log \frac{\sum_{s \in X_0'} \exp(-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2)}{\sum_{s \in X_1'} \exp(-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2)}$$

此可進一步簡化為：

$$L_e(C_i) \approx \max_{s \in X_0'} [-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2] \\ - \max_{s \in X_1'} [-\frac{1}{2\sigma^2} (E\{r | \hat{s}, \bar{h}\} - E\{r | s, \bar{h}\})^2]$$

讀取統計表

圖 17A 至 17C 係記錄用於自快閃記憶體讀出資料之統計之例示性基於單元之統計表。圖 17A 係一例示性基於單元之統計計數表 1700，其針對一對既定(寫入(s)及讀取($\hat{s}$))位準指示當寫入寫入位準(s)時讀取位準($\hat{s}$)被讀取之次數。

舉例而言，當寫入位準(s)亦等於00時，讀取位準($\hat{s}=00$)被讀取10617次。另外，當寫入位準(s)等於01時，讀取位準($\hat{s}=00$)被錯誤地讀取148次。計數表1700亦指示每一列及每一行之一總和。計數表1700中之值由下文結合圖21、23、25及28論述之若干基於單元之統計過程使用。

圖17B係一例示性基於單元之統計表，其針對一對既定(寫入(s)及讀取($\hat{s}$))位準指示在讀取讀取位準($\hat{s}$)之條件下寫入位準(s)被寫入之概率 $p(s|\hat{s})$ 。圖17C係一例示性基於單元之統計表1740，其針對一對既定(寫入(s)及讀取($\hat{s}$))位準指示在寫入寫入位準(s)之條件下讀取位準($\hat{s}$)被讀取之概率 $p(\hat{s}|s)$ 。

圖18係一例示性型樣相依之基於單元之統計表1800，其記錄用於在存在一既定型樣時自快閃記憶體讀出資料之型樣相依之統計。例示性表1800針對一對既定(寫入(s)及讀取($\hat{s}$))位準指示當存在一既定型樣 $\bar{h}$ 時，在寫入寫入位準(s)之條件下於存在型樣 $\bar{h}$ 時讀取位準($\hat{s}$)被讀取之概率 $p(\hat{s}, \bar{h} | s)$ 。

統計集合

使用參考單元之統計集合

圖19進一步詳細地圖解說明圖3之例示性快閃單元陣列。如圖19中所示，例示性快閃單元陣列1900包括複數個參考單元1920-ref₁至1920-ref_N(本文中統稱為參考單元1920)以在所有運作條件中提供可靠之通道估計值或統計。

圖 19 中以一雜湊背景顯示例示性參考單元 1920。可使用一已知型樣(例如一已知位元型樣或一已知符號型樣)來週期性地或間歇地程式化參考單元 1920。應注意，參考單元 1920 可以任一所需方式(例如，在每一字線中使用一致數目或可變數目之單元)散佈在快閃單元陣列 1900 中。參考單元 1920 之位置可固定或隨時間變化(例如)以避免耗盡之單元或損壞之單元。在一個實施方案中，參考單元 1920 之位置固定且可隨時間觀察相同參考單元 1920 之效能。在此固定位置之實施方案中，參考單元 1920 可視情況僅被寫入一次，或被寫入及讀取與快閃記憶體陣列中之其他單元相當之次數。

在一另一變化形式中，參考單元 1920 之位置隨時間變化以使參考單元 1920 之效能反映整個陣列 1900 之效能。在又一變化形式中，可自若干不同陣列 1900 中之參考單元 1920 獲得統計且隨後對結果求平均。

如下文所進一步論述，讀取參考單元 1920 且將其與已知型樣進行比較。舉例而言，可如下獲得偵測一錯誤之概率 p_0 之一估計值：

$$p_0 = \frac{\# \text{ of incorrect readouts}}{\# \text{ of reference cells}}。$$

參考單元之程式化及讀取可視情況以一已知方式與跨越記憶體散佈開耗損之平均損耗演算法組合。

如下文所論述，本發明之各種實施例集合並採用基於位元之統計、基於單元或型樣相依之統計。對於採用基於位

元之統計之實施例，量測位元錯誤效能。對於採用基於單元之統計之實施例，在一單元基礎上量測讀取統計。對於型樣相依之統計，讀取統計亦計及儲存於侵擾單元中之資料型樣。

1. 使用參考單元之基於位元之統計

圖20係闡述用於本發明之一參考單元實施例之一基於位元之統計產生處理程序2000之一例示性實施方案之一流程圖。一般而言，基於位元之統計產生處理程序2000計算偵測一位元錯誤之概率 p_0 。然後，偵測一錯誤之概率 p_0 可由LLR產生器1550(圖15)用來計算所需之軟性資料。首先，統計產生處理程序2000在步驟2010期間將一已知型樣寫入至一個或多個參考單元1920。如先前所指示，該已知型樣可係(例如)一已知位元型樣或一已知符號型樣。

此後，在步驟2020期間讀取參考單元。然後，統計產生處理程序2000在步驟2030期間確定一錯誤度量(例如參考單元1920中之錯誤位元之數目)。如先前所指示，在步驟2020期間讀取之參考單元1920可與該已知型樣進行比較。

統計產生處理程序2000在步驟2040期間如下計算錯誤概率統計：

$$p_0 = \frac{\text{\# of bits in error}}{\text{total \# of reference bits}}$$

2. 使用參考單元之基於單元之統計

圖21係闡述用於本發明之一參考單元實施例之一基於單元之統計產生處理程序2100之一例示性實施方案之一流程

圖。如圖 21 中所示，基於單元之統計產生處理程序 2100 首先在步驟 2110 期間將一個或多個已知電壓位準寫入至參考單元 1920。

此後，基於單元之統計產生處理程序 2100 在步驟 2120 期間自參考單元 1920 讀取電壓位準。針對每一可能之寫入位準 s 或 LVL_{writ} ，基於單元之統計產生處理程序 2100 在步驟 2130 期間計數在寫入此寫入位準 s 或 LVL_{writ} 時每一位準 $\hat{s}$ 或 LVL_{read} 被讀取之次數。

在步驟 2140 期間，如下計算錯誤概率統計：

$$p(\hat{s}|s) = \frac{\# \text{ of times } LVL_{read} \text{ was read, when } LVL_{writ} \text{ was written}}{\text{total \# of times } LVL_{writ} \text{ was written}}$$

其中 # 表示數目。

另一選擇為，在步驟 2140 期間，可如下計算錯誤概率統計(相反情形)：

$$p(s|\hat{s}) = \frac{\# \text{ of times } LVL_{writ} \text{ was written when } LVL_{read} \text{ was read}}{\text{total \# of times } LVL_{read} \text{ was read}}$$

應注意，替代正規化術語可用於在步驟 2140 期間計算之方程式之分母中。

使用經解碼之碼字之統計集合

在本發明之經解碼之碼字實施例中，使用自作為參考單元之經解碼之碼字獲得之資料為一記憶體裝置(例如，一快閃記憶體裝置 810、910)產生軟性資料。一般而言，解碼來自一記憶體裝置(例如，一快閃記憶體裝置)之硬性資

料，且獲得一錯誤度量(例如錯誤之經解碼位元之一數目)。舉例而言，可藉由將該等經解碼之位元與自記憶體裝置獲得之硬性資料進行比較來獲得錯誤之經解碼位元之數目。以此方式，可假定該等經解碼之碼字正確且可用作上文所論述之參考單元。

1. 使用經解碼之碼字之基於位元之統計

圖22係闡述用於本發明之一經解碼碼字實施例之一基於位元之統計產生處理程序2200之一例示性實施方案之一流程圖。一般而言，基於位元之統計產生處理程序2200使用經解碼之碼字計算偵測一錯誤之概率 p_0 。然後，偵測一錯誤之概率 p_0 可由LLR產生器1550(圖15)用來計算所需之軟性資料。首先，統計產生處理程序2200在步驟2210期間自快閃記憶體獲得硬性資料。

此後，基於位元之統計產生處理程序(經解碼之碼字)2200在步驟2220期間解碼該硬性資料。在步驟2230期間，確定一錯誤度量，例如來自快閃記憶體之錯誤位元之數目。舉例而言，可藉由將該等經解碼之位元(假定其正確)與來自該快閃記憶體之硬性資料進行比較來確定錯誤位元之數目。

統計產生處理程序2200在步驟2240期間如下計算錯誤概率統計：

$$p_0 = \frac{\text{\# of bits in error}}{\text{total \# of decoded bits}} \quad .$$

2. 使用經解碼之碼字之基於單元之統計

圖23係闡述併入有本發明之特徵之基於單元之統計產生處理程序(經解碼之碼字)2300之一例示性實施方案之一流程圖。一般而言，統計產生處理程序2300使用經解碼之碼字計算基於單元之錯誤概率。首先，基於單元之統計產生處理程序2300在步驟2310期間自快閃記憶體獲得硬性資料。

此後，基於單元之統計產生處理程序(經解碼之碼字)2300在步驟2320期間解碼該硬性資料。然後，在步驟2325期間，將該等經解碼之位元映射至對應電壓位準。

針對每一可能之經解碼電壓位準 s 或 LVL_{decod} ，基於單元之統計產生處理程序(經解碼之碼字)2300隨後在步驟2330期間計數在解碼此經解碼位準 s 或 LVL_{decod} 時每一電壓位準 $\hat{s}$ 或 LVL_{read} 被讀取之次數。

在步驟2340期間，如下計算錯誤概率統計：

$$p(\hat{s}|s) = \frac{\text{\# of times } LVL_{\text{read}} \text{ was read when } LVL_{\text{decod}} \text{ was decoded}}{\text{total \# of times } LVL_{\text{decod}} \text{ was decoded}}$$

另一選擇為，可在步驟2340期間如下計算錯誤概率統計(相反情形)：

$$p(s|\hat{s}) = \frac{\text{\# of times } LVL_{\text{decod}} \text{ was decoded when } LVL_{\text{read}} \text{ was read}}{\text{total \# of times } LVL_{\text{read}} \text{ was read}}$$

條件特有錯誤概率

如先前所指示，可針對不同條件視情況獲得錯誤概率統計，例如針對記憶體陣列之不同位置、針對侵擾單元之不同型樣、針對不同溫度、針對程式化/擦除或讀取循環之

不同數目等等。此後，當觀察到相同條件時，可使用恰當之條件相依統計或概率來獲得軟性資料。

如下文結合圖 24 及圖 25 所論述，例示性位置特有統計產生處理程序 2400、2500 分別使用基於位元之統計及基於單元之統計獲得針對記憶體陣列之不同位置之錯誤概率統計。

基於位元之位置特有統計

圖 24 係闡述一例示性基於位元之位置特有統計產生處理程序 2400 之一流程圖，該處理程序估計針對記憶體陣列中之若干不同位置偵測位元錯誤之概率，例如可獲得針對不同頁位置、字線位置、位元線位置(例如偶數位元線及奇數位元線)及一多位階單元內之不同位元(例如，最高有效位元(MSB)及最低有效位元(LSB))中之一者或多者偵測一錯誤之概率 $p_{0,LOC}$ 。如圖 24 中所示，例示性基於位元之位置特有統計產生處理程序 2400 首先在步驟 2430 期間基於所需之位置特有統計確定參考單元或經解碼碼字之所需位置中之錯誤位元之數目。舉例而言，若位置特有統計係針對 MSB，則在步驟 2430 期間評估錯誤 MSB 位元之數目。應注意，舉例而言，當正在獲得 MSB 統計時，可視情況忽略每一單元中之任何其他位元(例如 LSB 位元)。

然後，位置特有統計產生處理程序 2400 在步驟 2440 期間計算位置特有錯誤概率統計，如下：

$$p_{0,LOC} = \frac{\text{\# of bits in error in desired location}}{\text{total \# of considered bits in desired location}} .$$

基於單元之位置特有統計

對於一基於單元之位置特有實施方案，記憶體陣列中所關注之不同位置可包括(例如)不同字線位置或位元線位置(例如偶數位元線及奇數位元線)中之一者或多者。

圖25係闡述一例示性基於單元之位置特有統計產生處理程序2500之一流程圖，該處理程序獲得針對記憶體陣列1900中之若干不同位置(例如不同字線位置或位元線位置(例如偶數位元線及奇數位元線)中之一者或多者)之錯誤概率統計。如圖25中所示，針對每一可能之參考電壓位準 s 或 LVL_{ref} ，例示性基於單元之位置特有統計產生處理程序2500首先在步驟2530期間計數在解碼或寫入此參考位準 s 或 LVL_{ref} 時在一所需位置中之每一電壓位準 $\hat{s}$ LVL_{read} 被讀取之次數。

然後，基於單元之位置特有統計產生處理程序2500在步驟2540期間計算位置特有錯誤概率統計，如下：

$$p(\hat{s}|s) = \frac{\text{\# of times } LVL_{read} \text{ was read, when } LVL_{ref} \text{ was written or decoded}}{\text{total \# of times } LVL_{ref} \text{ was written / decoded}}$$

另一選擇為，可如上文所論述計算 $p(s|\bar{s})$ 。

型樣相依之統計

如先前所指示，本發明之各種實施例計算針對一目標單元之一個或多個軟性值 r 及針對侵擾單元之一個或多個值 $\bar{h}$ 之外在LLR L_e ，其中 $\bar{h}$ 係儲存於侵擾單元(例如(一個或多個)周圍單元)中之資料型樣。

圖26圖解說明針對一例示性多位階單元快閃記憶體600

之一既定目標單元710之基於每一侵擾單元720之所有可能值之概率密度函數2610之一例示性集合2600。該例示性多位階單元快閃記憶體每單元(兩個位元)具有四個位階，且針對資料相依之pdf考量一個侵擾單元720。可用於一既定目標單元710之每一可能位階之概率密度函數之數目係升高至影響一既定目標單元710之侵擾單元720之數目之每一侵擾單元720之可能位階之數目。如先前所指示，在例示性實施例中，每一單元可具有四個可能值中之一者，每目標單元710存在一個侵擾單元720且每一侵擾單元720可具有四個可能位階中之一者。因此，為進行圖解說明，概率密度函數之集合2600包括針對可歸因於侵擾單元之一型樣之資料或電壓位準0之四個概率密度函數2610-1至2610-4。亦存在針對其他資料位階1、2及3中之每一者之四個概率密度函數。本發明可擴展至每單元具有任意數目之位階及任意數目之侵擾單元720之多位階單元快閃記憶體600，如熟習此項技術者將明瞭。

一般而言，圖26中之每一概率密度函數表達，除雜訊及擾亂效應以外，針對一對應侵擾單元720之一既定值對一既定目標單元710之ICI效應。在本發明之一另一實施例中，資料相依之概率密度函數可表達替代ICI或除ICI之外的其他資料相依之失真。如下文所論述，在各種實施例中，概率密度函數可係預界定且靜態的、基於即時觀察調適的，或表達為針對侵擾單元720之所量測或所偵測之值 h 之一函數(例如一高斯函數)。

根據本發明之一個態樣，可藉由獲得表達一個或多個侵擾單元對至少一個目標單元之型樣相依之擾亂之一個或多個概率密度函數來表徵一快閃記憶體裝置中之擾亂。舉例而言，該擾亂可包括向後型樣相依性、單元間干擾、程式化擾亂、讀取擾亂及/或額外雜訊。可基於一個或多個資料決策更新概率密度函數。該概率密度函數可表示為一所儲存之表及/或一表達式。

應進一步注意，概率密度函數之表條目或函數參數可視情況(例如)基於所接收之資料決策以自適應方式更新。舉例而言，基於一所接收之侵擾型樣 $\bar{h}$ 選擇一概率密度函數。然後，使用已知技術基於所接收之目標單元值 r 以最新發生更新選定概率密度函數(例如，藉由增加一對應計數器)。

如先前所指示，可基於若干因素減少或忽略影響一既定目標單元710之侵擾單元720之數目。以此方式，可減少需要考量之概率密度函數之數目。舉例而言，在減輕ICI之一例示性實施方案中，若對角線耦合係數 k_{xy} 遠小於其他耦合係數(情況經常如此)，則可忽略來自以對角線定位之單元之ICI。另外，程式化序列影響需要考量之侵擾單元720之數目。舉例而言，若字線始終係以一固定次序(例如一自下而上方法)寫入，則可能不存在來自一下部字線中之單元之擾亂ICI貢獻。另外，若該擾亂ICI相對於一目標單元710之左鄰及右鄰對稱，則需要表徵之概率密度函數之數目減少一半。

如先前所指示，在一個例示性實施方案中，可使用高斯概率密度函數來近似該等概率密度函數。在另一變化形式中，若概率密度函數係基於(例如)直方圖，則可以額外複雜性為代價獲得經改良之效能。當使用直方圖實施該等概率密度函數時，可使用成功地解碼之字線以自適應方式更新該等概率密度函數以訓練該等直方圖。

在一另一實施例中，該等概率密度函數及其近似值可由基於交織結構之偵測演算法(例如、維特比演算法、軟性輸出維特比(SOVA)演算法及BCJR演算法)用來偵測讀取資料。

1. 基於位元之型樣相依之統計

圖27係闡述一例示性基於位元之型樣相依之統計產生處理程序2700之一流程圖，該處理程序估計針對與至少一個目標單元710(圖7)相關聯之一個或多個侵擾單元720之一既定型樣 $\bar{h}$ 或PATT偵測一位元錯誤之概率 $p_{0,PATT}$ 。首先，基於位元之型樣相依之統計產生處理程序2700在步驟2720期間讀取參考目標單元710及(可能地)相關聯之(一個或多個)侵擾單元720。另外，針對每一讀取目標位元，在步驟2725期間識別相關聯之侵擾單元720之型樣PATT。在步驟2725期間，可(例如)藉由評估所寫入之已知型樣或基於參考單元或經解碼之碼字之一實際讀取運作來識別該型樣。

針對一個或多個經識別之型樣，在步驟2730期間確定具有對應型樣之錯誤目標位元之數目。然後在步驟2740期間計算錯誤概率統計，如下：

$$p_{0,PATT} = \frac{\text{\# of target bits in error having corresponding pattern PATT}}{\text{total \# of target bits having corresponding pattern PATT}}$$

應注意，可視情況整合上述技術以獲得位置特有統計、型樣相依之統計，如熟習此項技術者將明瞭。另外，在進一步之變化形式中，錯誤概率統計亦可或替代地作為記憶體裝置之耐久性、保持性、溫度或其他參數之一函數而獲得。

2. 基於單元之型樣相依之統計

圖28係闡述一例示性基於單元之型樣相依之統計產生處理程序2800之一流程圖，該處理程序估計針對與至少一個目標單元相關聯之一個或多個侵擾單元之一既定型樣偵測錯誤之概率。

如圖28中所示，基於單元之型樣相依之統計產生處理程序2800首先在步驟2820期間讀取一個或多個目標單元。此後，在步驟2825期間識別相關聯之(一個或多個)侵擾單元之型樣 $\bar{h}$ 或PATT。

此後，針對一個或多個經識別之型樣，且針對每一可能之參考電壓位準 s 或 LVL_{ref} ，基於單元之型樣相依之統計產生處理程序2800在步驟2830期間計數在解碼或寫入此參考位準 s 或 LVL_{ref} 時每一電壓位準 $\hat{s}$ 或 LVL_{read} 被讀取之次數。

在步驟2840期間，計算型樣相依之錯誤概率統計，如下：

$$p(\hat{s}, h | s) = \frac{\text{\# of times } LVL_{read} \text{ was read with pattern PATT in aggressor cells, when } LVL_{ref} \text{ was written or decoded}}{\text{total \# of times } LVL_{ref} \text{ was written / decoded}}$$

不對稱錯誤概率統計

如先前所指示，在某些通道(例如 NAND 快閃記憶體通道)中，針對不同之可能二進制值(例如二進制 0 及二進制 1)偵測一錯誤之概率可顯著不同。因此，本發明視情況提供針對不對稱通道偵測一錯誤之概率。圖 29 及圖 30 提供例示性不對稱統計產生處理程序 2900、3000，該等處理程序針對兩個可能之二進制值(例如二進制 1 及二進制 0)估計錯誤概率 p 及 q 。如下文所進一步論述，圖 29 使用參考單元估計不對稱統計，而圖 30 使用經解碼之碼字估計不對稱統計。因此，本發明基於來自快閃記憶體之硬性資料提供針對每一可能之二進制值之不對稱 LLR。

不對稱錯誤概率-參考單元

如先前所指示，在某些通道(例如 NAND 快閃記憶體通道)中，針對不同之可能二進制值(例如二進制 0 及二進制 1)偵測一錯誤之概率可顯著不同。因此，本發明視情況提供針對不對稱通道偵測一錯誤之概率。圖 29 係闡述一例示性不對稱統計產生處理程序 2900 之一流程圖，該處理程序估計針對本發明之一參考單元實施例之兩個可能之二進制值之錯誤概率。

如圖 29 中所示，不對稱統計產生處理程序 2900 首先在步驟 2910 期間將一已知型樣寫入至參考單元 1920 且隨後在步驟 2020 期間讀取參考單元 1920。不對稱統計產生處理程序 2900 在步驟 2930 期間確定參考資料中具有一二進制 0 之錯誤位元之數目，且隨後在步驟 2940 期間計算針對二進制 0 之錯誤概率統計，如下：

$$p = \frac{\# \text{ of Zeroes in error}}{\text{total \# of Zeroes in reference bits}} .$$

此後，不對稱統計產生處理程序2900在步驟2950期間確定該參考資料中具有一二進制1之錯誤位元之數目，且隨後在步驟2960期間計算針對二進制1之錯誤概率統計，如下：

$$q = \frac{\# \text{ of Ones in error}}{\text{total \# of Ones in Decoded Bits}} .$$

不對稱錯誤概率-經解碼之碼字

圖30係闡述一例示性不對稱統計產生處理程序3000之一流程圖，該處理程序估計針對本發明之一經解碼碼字實施例之兩個可能之二進制值之錯誤概率。如圖30中所示，不對稱統計產生處理程序3000首先在步驟3010期間自快閃記憶體獲得硬性資料且在步驟3020期間解碼該硬性資料。

然後，不對稱統計產生處理程序3000在步驟3030期間確定經解碼資料中具有一二進制0之來自該快閃記憶體之錯誤位元之數目。然後，在步驟3040期間計算針對二進制0之錯誤概率統計，如下：

$$p = \frac{\# \text{ of Zeroes in error}}{\text{total \# of Zeroes in Decoded Bits}} .$$

類似地，然後在步驟3050期間確定經解碼資料中具有一二進制0之來自該快閃記憶體之錯誤位元之數目。然後在步驟3060期間計算針對二進制1之錯誤概率統計，如下：

$$q = \frac{\text{\# of Ones in error}}{\text{total \# of Ones in Decoded Bits}}。$$

基於未滿足之同位檢查之錯誤效能

本發明之態樣認識到未滿足之同位檢查亦可用作一效能度量以獲得軟性資料。考量一 (N, K, J, L) LDPC 程式碼，其中 N 係碼字長度、 K 係未編碼之碼字長度（一碼字中之使用者資料長度）且 J 及 L 分別係同位檢查矩陣之行權重及列權重。當該 (N, K, J, L) LDPC 與一錯誤概率 p_0 一起傳輸或儲存時，一檢查總和在第一反覆中失敗之概率可表達如下：

$$p_c = \frac{1 - (1 - 2p_0)^L}{2}。$$

此概率可估計如下：

$$p_c = \frac{\text{\# of unsatisfied checks in first iteration}}{N - K}。$$

因此，錯誤概率 p_0 可估計如下：

$$p_0 = \frac{1 - \sqrt[1 - 2p_c]{2}}{2} \approx \frac{p_c}{L}。$$

在以上程序中，可在執行反覆解碼之前估計通道及初始 LLR 值。通道估計複雜性及延時小於具有優於 LDPC 程式碼之硬性決策解碼之一顯著效能增益之軟性決策解碼之一個反覆之複雜性及延時。與軟性決策解碼之一標準實施方案相似之額外硬體係一區塊，其執行以下計算：

$$p_0 \approx \frac{\text{\# of unsatisfied checks in first iteration}}{L(N - K)}。$$

圖31係闡述根據本發明之一個態樣使用未滿足之同位檢查之一統計產生處理程序3100之一例示性實施方案之一流程圖。在一個實施例中，採用第一反複之後的未滿足之同位檢查。一般而言，統計產生處理程序3100使用未滿足之同位檢查計算偵測一錯誤之概率 p_0 。然後，偵測一錯誤之概率 p_0 可由LLR產生器1550(圖15)用來計算所需之軟性資料。

首先，統計產生處理程序3100在步驟3110期間獲得未滿足之同位檢查之數目。然後，統計產生處理程序3100在步驟3120期間計算錯誤概率統計，如下：

$$p_0 \approx \frac{\# \text{ of unsatisfied checks}}{L(N-K)}。$$

位置特有統計-未滿足之同位檢查

圖32係闡述一例示性位置特有統計產生處理程序3200之一流程圖，該處理程序使用未滿足之同位檢查獲得針對記憶體陣列1900中之若干不同位置之錯誤概率統計。舉例而言，可針對不同頁位置、字線位置、位元線位置(例如偶數位元線及奇數位元線)、一多位階單元內之不同位元(例如最高有效位元(MSB)及最低有效位元(LSB))中之一者或多者獲得錯誤概率統計。一般而言，藉由使用將位元定位於所需位置中之碼字來使用未滿足之同位檢查獲得位置特有統計(步驟3210)。

如圖32中所示，然後，例示性位置特有統計產生處理程序3200在步驟3220期間獲得針對一碼字之未滿足之同位檢

查之數目。此後，在步驟3230期間，計算位置特有錯誤概率統計，如下：

$$p_{0,loc} \approx \frac{\# \text{ of unsatisfied checks}}{L(N-K)}。$$

基於未滿足之同位檢查之不對稱統計

圖33係闡述一例示性不對稱統計產生處理程序3300之一流程圖，該處理程序使用未滿足之同位檢查估計針對兩個可能之二進制值偵測一錯誤之概率。本發明之此態樣認識到可基於未滿足之同位檢查計算平均錯誤概率 $\bar{p}$ (其中 $\bar{p} = \frac{p+q}{2}$)。可基於平均錯誤概率 $\bar{p}$ 及錯誤概率 p 與 q 之一比 k 計算 p 及 q 之值。

可使用資料分析(例如上文所述之經解碼碼字技術)來獲得錯誤概率 p 與 q 之比 k 。另一選擇為，可(例如)使用標題為「Methods and Apparatus for Soft Data Generation for memory devices Using Reference Cells」之國際專利申請案中所闡述之參考單元技術來獲得錯誤概率 p 與 q 之比 k ，該國際專利申請案與本文同時提出申請且以引用方式併入本文中。錯誤概率 p 與 q 之比 k 通常將係離線計算且儲存於(例如)一表中。如圖33中所示，例示性不對稱統計產生處理程序(未滿足之同位檢查)3300首先在步驟3310期間獲得錯誤概率 p 與 q 之比 k 。

可在步驟3320期間使用上文結合圖16闡述之技術獲得平均錯誤概率 $\bar{p}$ 。特定而言，平均錯誤概率 $\bar{p}$ 可估計如下：

$$\bar{p} \approx p_0 \approx \frac{\# \text{ of unsatisfied checks}}{L(N-K)}.$$

此後，在步驟3330期間計算針對二進制0之錯誤概率統計 p ，如下：

$$p = \frac{2\bar{p}}{k+1}.$$

此後，在步驟3340期間計算針對二進制1之錯誤概率統計 q ，如下：

$$q = \frac{2k\bar{p}}{k+1}.$$

應注意，藉由不對稱統計產生處理程序(未滿足之同位檢查)3300計算之錯誤概率統計 p 及 q 可視情況為位置特有統計及/或型樣相依之統計。

過程、系統及製品細節

儘管本文中之若干流程圖闡述一例示性步驟序列，但其亦係可變化序列之本發明之一實施例。演算法之各種排列係涵蓋為本發明之替代實施例。儘管已相對於一軟體程式化中之處理步驟闡述本發明之例示性實施例，但如熟習此項技術者將明瞭，各種功能可在數位域中實施為軟體程式化中之處理步驟，在硬體中由電路元件或狀態機實施，或在軟體與硬體兩者之一組合中實施。舉例而言，此軟體可用於一數位信號處理器、專用積體電路、微控制器或通用電腦中。此硬體及軟體可體現於一積體電路內所實施之電路內。

因此，可以方法以及實踐彼等方法之設備之形式體現本發明之功能。本發明之一個或多個態樣可以程式碼之形式體現，(例如)無論儲存於一儲存媒體中、載入至一機器中及/或由一機器執行抑或經由某些傳輸媒體傳輸，其中當該程式碼係載入至一機器(例如一電腦)中且由其執行時，該機器變為用於實踐本發明之一設備。當實施於一通用處理器上時，程式碼段與該處理器組合以提供類似於特定邏輯電路運作之一裝置。本發明亦可實施於一積體電路、一數位信號處理器、一微處理器及一微控制器中之一者或多者中。

如此項技術中所已知，本文中所論述之方法及設備可作為一製品來分配，其自身包括具有體現於其上之電腦可讀程式碼構件之一電腦可讀媒體。該電腦可讀程式碼構件可結合一電腦系統運作以實施本文中所論述之執行方法或形成設備之步驟中之所有步驟或某些步驟。該電腦可讀媒體可為一可記錄媒體(例如，軟磁碟、硬驅動器、光碟、記憶體卡、半導體裝置、晶片、專用積體電路(ASIC))或可為一傳輸媒體(例如，包括光纖之一網路、全球資訊網、電纜或使用分時多重存取、分碼多重存取之一無線通道或其他射頻通道)。可使用已知或已開發之可儲存適於與一電腦系統一起使用之資訊之任一媒體。該電腦可讀程式碼構件係用於允許一電腦讀取指令及資料(例如一磁性媒體上之磁變化或一光碟表面上之高度變化)之任一機構。

本文中所闡述之電腦系統及伺服器各自含有一記憶體，

該等記憶體將組態相關聯之處理器以實施本文中所揭示之方法、步驟及功能。該等記憶體可為分佈式或本端記憶體且該等處理器可為分佈式或一個體。該等記憶體可實施為一電性、磁性或光學記憶體或此等或其他類型儲存裝置之任一組合。而且，術語「記憶體」應廣義地解釋為足以囊括能夠自由一相關聯之處理器存取之可定址空間中之一位址讀取或寫入至該位址之任一資訊。藉助此定義，一網路上之資訊仍處於一記憶體內，此乃因該相關聯之處理器可自該網路擷取資訊。

應理解，本文中所顯示及闡述之實施例及變化形式僅圖解說明本發明之原理，且熟習此項技術者可在不背離本發明之範疇及精神之前提下實施各種修改。

【圖式簡單說明】

圖1係一習用快閃記憶體系統之一示意性方塊圖；

圖2圖解說明針對圖1之例示性快閃記憶體之一例示性臨限電壓分佈；

圖3圖解說明一多位階單元(MLC)快閃記憶體裝置中之一例示性快閃單元陣列之架構；

圖4圖解說明用於圖2之電壓指派方案之一例示性兩階段MLC程式化方案；

圖5A及5B共同圖解說明減少相鄰單元上所造成之ICI之一替代MLC程式化方案；

圖6進一步詳細地圖解說明一多位階單元(MLC)快閃記憶體裝置中之一例示性快閃單元陣列；

圖7圖解說明由於若干例示性侵擾單元而存在之對一目標單元之擾亂，例如單元間干擾、向後型樣相依性、雜訊及其他失真；

圖8係根據本發明併入有基於控制器之軟性解映射/軟性資料產生技術之一例示性快閃記憶體系統之一示意性方塊圖；

圖9係根據本發明之一替代實施例併入有基於記憶體之軟性解映射/軟性資料產生技術之一例示性快閃記憶體系統之一示意性方塊圖；

圖10圖解說明具有反覆解映射及解碼以及可選交錯之一例示性快閃讀取通道架構；

圖11圖解說明根據本發明之具有軟性資料產生之一例示性快閃記憶體系統；

圖12A及12B分別係闡述例示性軟性解映射及軟性資料產生處理程序之流程圖；

圖13係一低密度同位檢查(LDPC)程式碼之一例示性偶圖表示；

圖14係一例示性LDPC解碼器架構之一方塊圖；

圖15圖解說明根據本發明一個實施例之具有軟性資料產生之一例示性快閃記憶體系統；

圖16係圖解說明針對一例示性二進制通道之錯誤概率 p 及 q 之一交織結構；

圖17A至17C係記錄用於自快閃記憶體讀出資料之統計之例示性基於單元之統計表；

圖18係記錄用於自快閃記憶體讀出資料之型樣相依統計之一例示性型樣相依之基於單元之統計表；

圖19進一步詳細地圖解說明用於本發明之一參考單元實施例之圖3之例示性快閃單元陣列；

圖20係闡述用於本發明之一參考單元實施例之一基於位元之統計產生處理程序之一例示性實施方案之一流程圖；

圖21係闡述用於本發明之一參考單元實施例之一基於單元之統計產生處理程序之一例示性實施方案之一流程圖；

圖22係闡述用於本發明之一經解碼碼字實施例之一基於位元之統計產生處理程序之一例示性實施方案之一流程圖；

圖23係闡述用於本發明之一經解碼碼字實施例之一基於單元之統計產生處理程序之一例示性實施方案之一流程圖；

圖24係闡述計算針對記憶體陣列中之若干不同位置之錯誤概率統計之一例示性基於位元之位置特有統計產生處理程序之一流程圖；

圖25係闡述計算針對記憶體陣列中之若干不同位置之錯誤概率統計之一例示性基於單元之位置特有統計產生處理程序之一流程圖；

圖26圖解說明指示基於每一侵擾單元之所有可能值對一既定目標單元之型樣相依之擾亂效應之概率密度函數之一集合；

圖27係闡述一例示性基於位元之型樣相依之統計產生處

理程序之一流程圖，該處理程序估計相依於與至少一個目標單元相關聯之一個或多個侵擾單元中之一既定資料型樣之錯誤概率統計；

圖28係闡述一例示性基於單元之型樣相依之統計產生處理程序之一流程圖，該處理程序估計相依於與至少一個目標單元相關聯之一個或多個侵擾單元中之一既定資料型樣之錯誤概率統計；

圖29係闡述一例示性不對稱統計產生處理程序之一流程圖，該處理程序估計針對本發明之一參考單元實施例之兩個可能二進制值之錯誤概率統計；

圖30係闡述一例示性不對稱統計產生處理程序之一流程圖，該處理程序估計針對本發明之一經解碼碼字實施例之兩個可能二進制值之錯誤概率統計；

圖31係闡述使用未滿足之同位檢查之一統計產生處理程序之一例示性實施方案之一流程圖；

圖32係闡述一例示性位置特有統計產生處理程序之一流程圖，該處理程序使用未滿足之同位檢查估計針對記憶體陣列中之若干不同位置之錯誤概率統計；及

圖33係闡述一例示性不對稱統計產生處理程序之一流程圖，該處理程序使用未滿足之同位檢查估計針對兩個可能二進制值之錯誤概率統計。

【主要元件符號說明】

100	快閃記憶體系統
110	快閃控制系統

120	快閃控制器
140	編碼器/解碼器區塊
145	緩衝器
160	快閃記憶體區塊
170	記憶體陣列
180	緩衝器
300	快閃單元陣列
600	快閃單元陣列
710	目標單元
720	侵擾單元
800	快閃記憶體系統
810	快閃控制系統
820	快閃控制器
825	讀取通道
830	信號處理組件
835	軟性解映射器及/或軟性資料產生 處理程序
840	編碼器/解碼器區塊
845	緩衝器
850	介面
860	快閃記憶體
870	記憶體陣列
880	緩衝器
900	快閃記憶體系統

910	快閃控制系統
920	快閃控制器
925	可選讀取通道
940	編碼器/解碼器區塊
945	緩衝器
950	介面
960	快閃記憶體區塊
970	記憶體陣列
980	緩衝器
985	信號處理組件
990	軟性解映射及/或軟性資料產生處 理程序
1000	快閃讀取通道架構
1010	編碼器
1020	可選交錯器
1030	串列至並列轉換器
1040	映射器
1050	記憶體
1060	軟性解映射器
1070	並列至串列轉換器
1080	解交錯器
1090	解碼器
1095	交錯器
1100	快閃記憶體系統

1110	快閃記憶體區塊
1115	介面
1120	快閃控制系統
1200	軟性解映射器/軟性資料產生器
1400	解碼器
1410	功能組件
1420	功能組件
1430	控制邏輯
1450	記憶織物
1500	快閃記憶體系統
1510	快閃記憶體區塊
1515	介面
1520	快閃控制系統
1530	解碼器
1550	LLR產生器
1570	統計產生器
1900	快閃單元陣列
1920-ref _{N-1}	參考單元
1920-ref _N	參考單元
1920-ref ₁	參考單元
1920-ref ₂	參考單元
1920-ref ₃	參考單元
1920-ref ₄	參考單元

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98133247

※申請日： 98.9.30

※IPC 分類：G11C 16/10 (2006.01)

G11C 16/06 (2006.01)

一、發明名稱：(中文/英文)

利用解碼器效能回饋用於記憶體裝置之軟性資料產生的設備及方法

METHODS AND APPARATUS FOR SOFT DATA GENERATION FOR

MEMORY DEVICES USING DECODER PERFORMANCE

FEEDBACK

二、中文發明摘要：

本發明揭示使用解碼器效能回饋用於記憶體裝置之軟性資料產生之方法及設備。藉由以下步驟在一記憶體裝置中產生至少一個軟性資料值：自一解碼器獲得效能回饋；基於該效能回饋獲得一錯誤統計；及基於所獲得之錯誤統計產生該至少一個軟性資料值。該效能回饋包括基於由該解碼器解碼之資料之錯誤位元之數目及未滿足之同位檢查之一數目其中之一者或多者。

三、英文發明摘要：

Methods and apparatus for soft data generation for memory devices using decoder performance feedback. At least one soft data value is generated in a memory device, by obtaining performance feedback from a decoder; obtaining an error statistic based on the performance feedback; and generating the at least one soft data value based on the obtained error statistic. The performance feedback comprises one or more of number of erroneous bits based on data decoded by the decoder and a number of unsatisfied parity checks.

八、圖式：

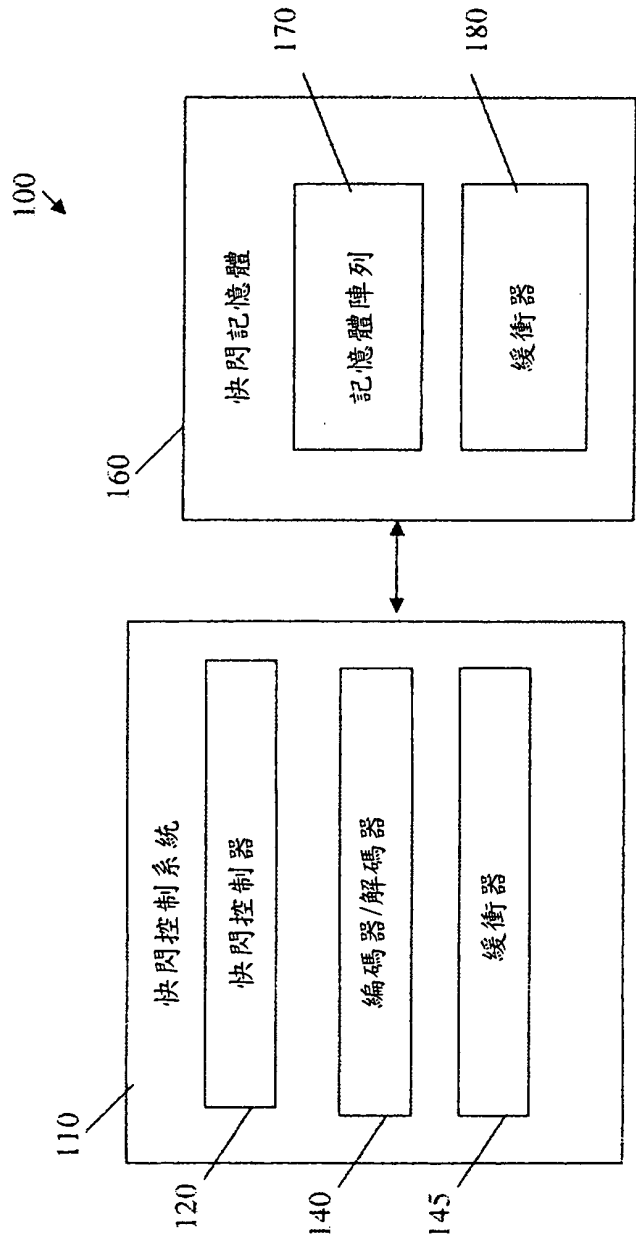


圖 1

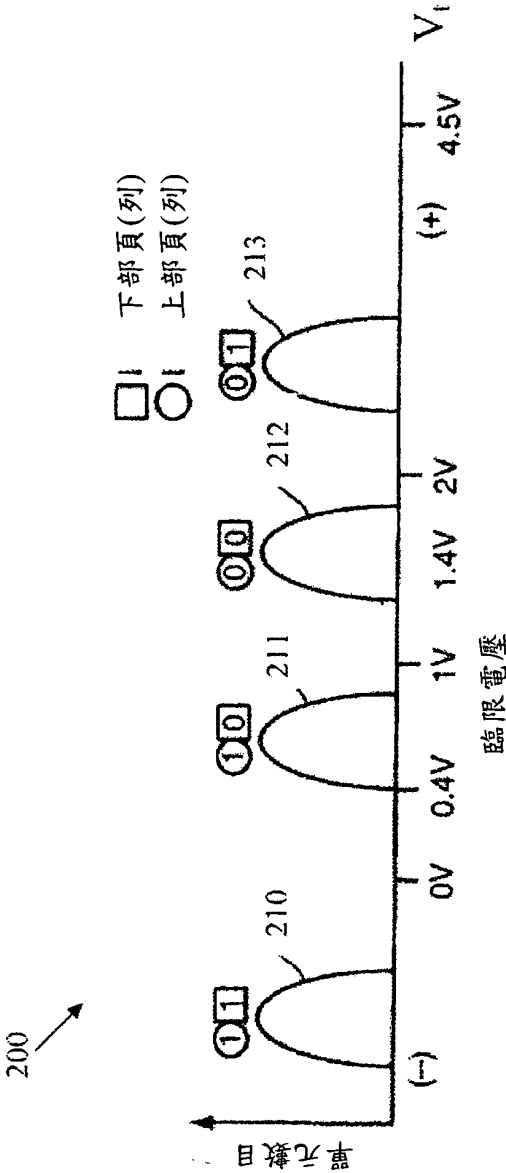
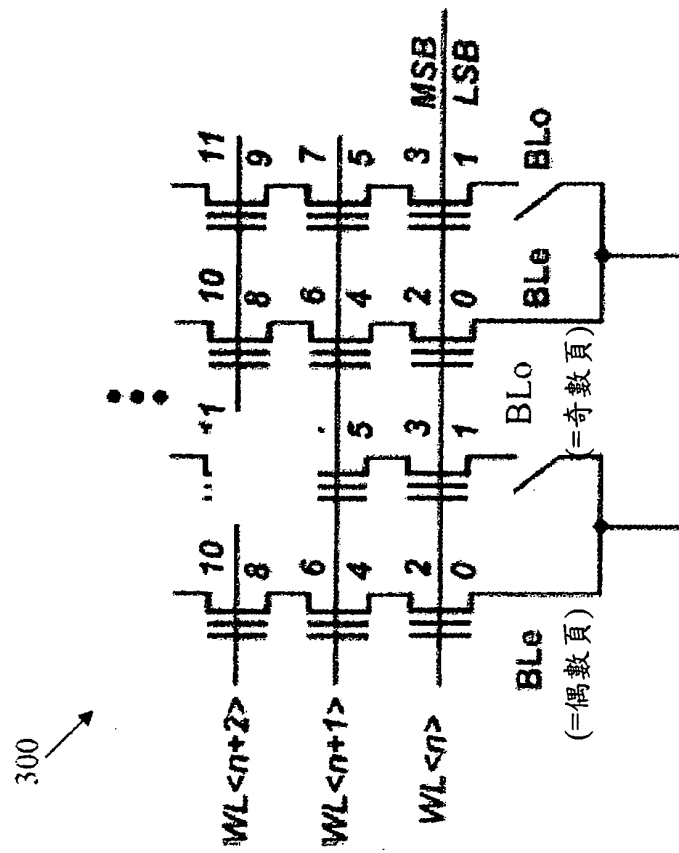


圖 2





三

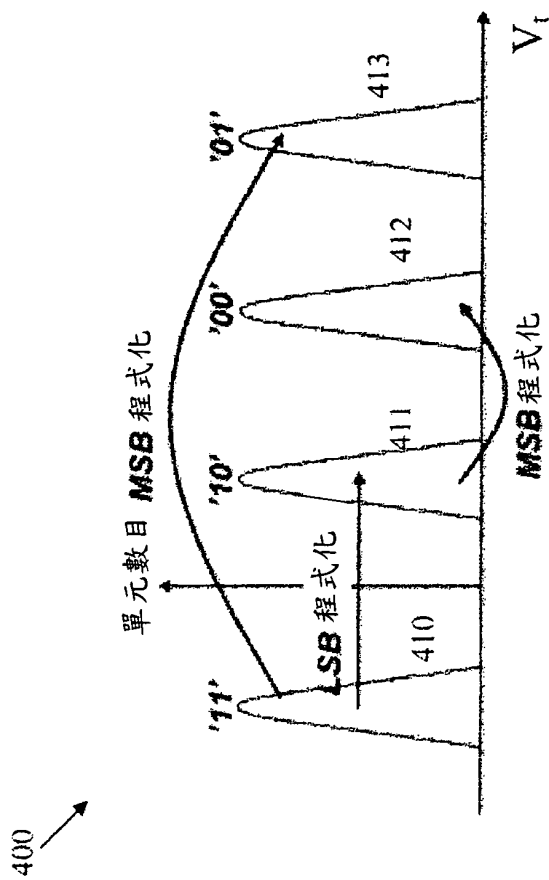
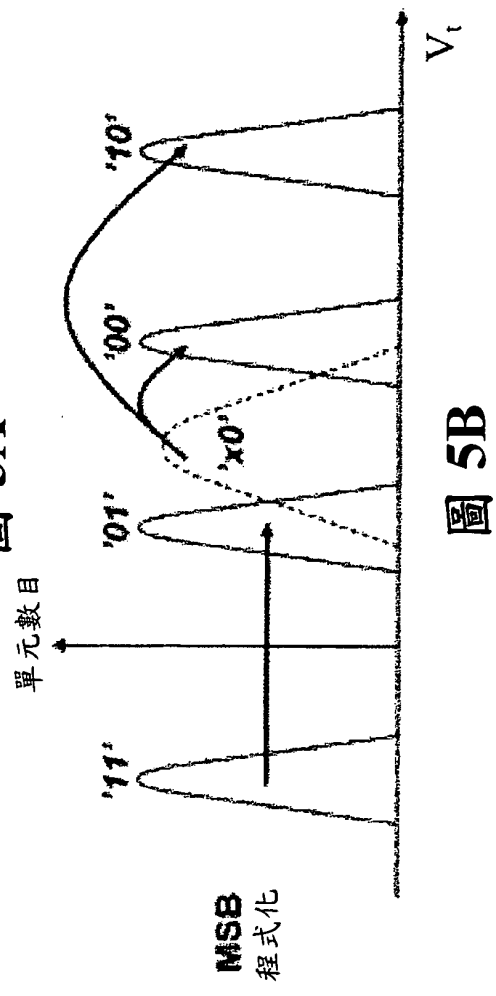
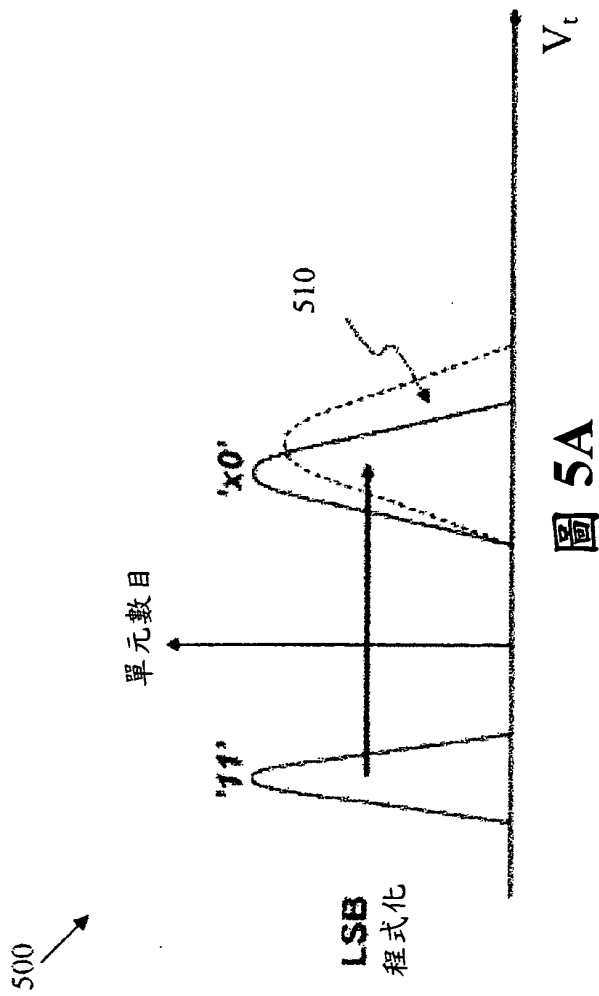


圖 4





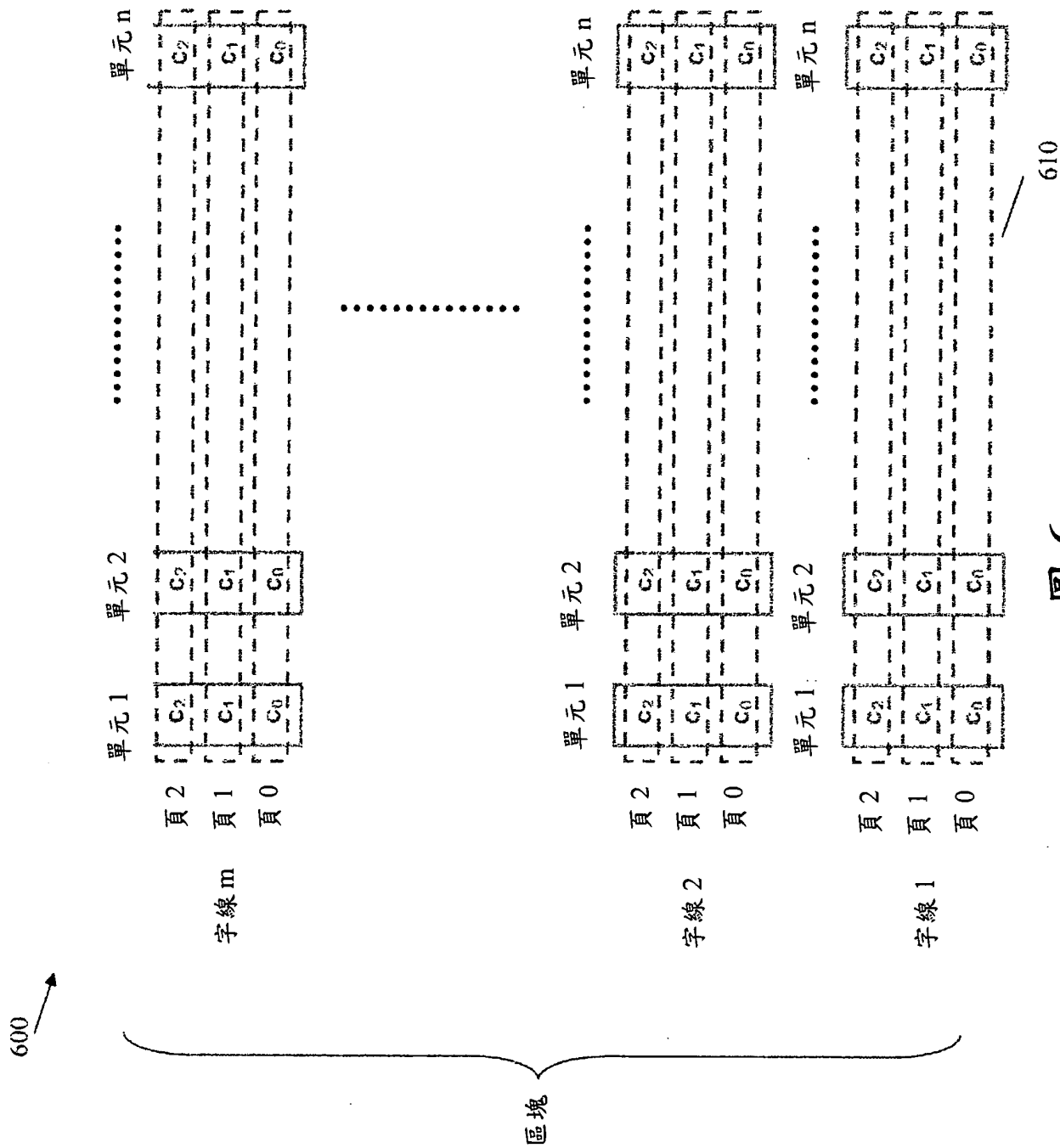


圖 6



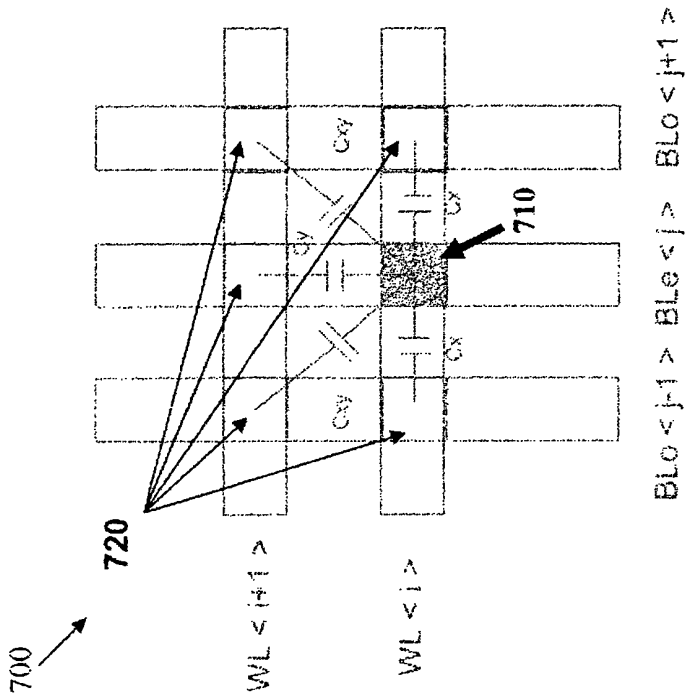


圖 7

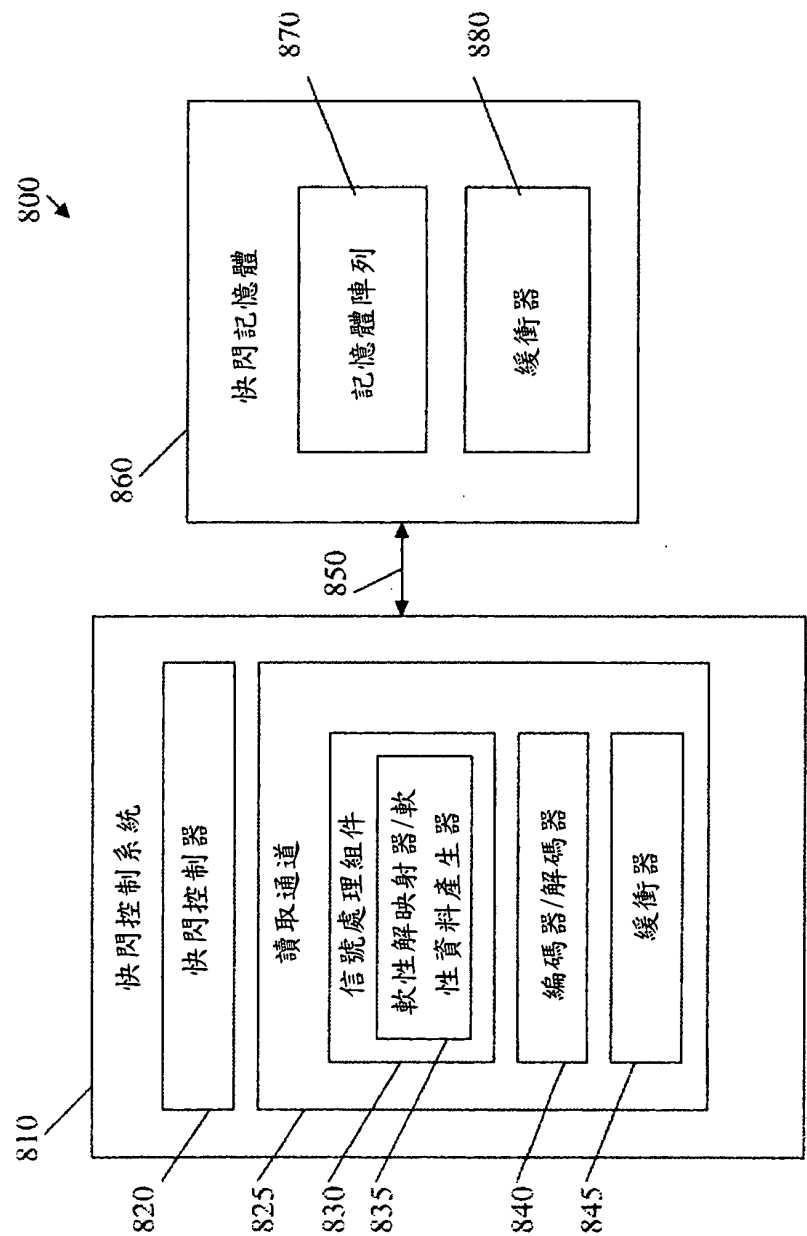


圖 8



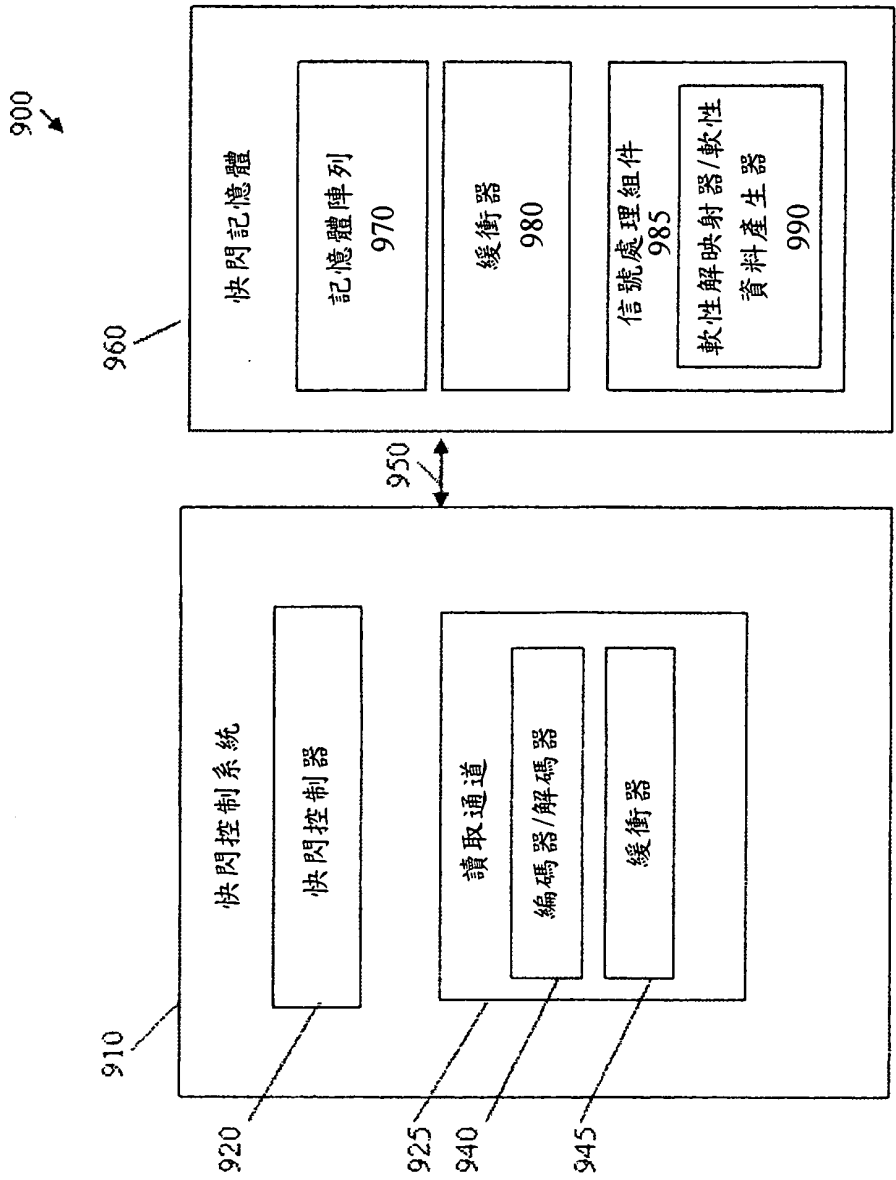


圖 9

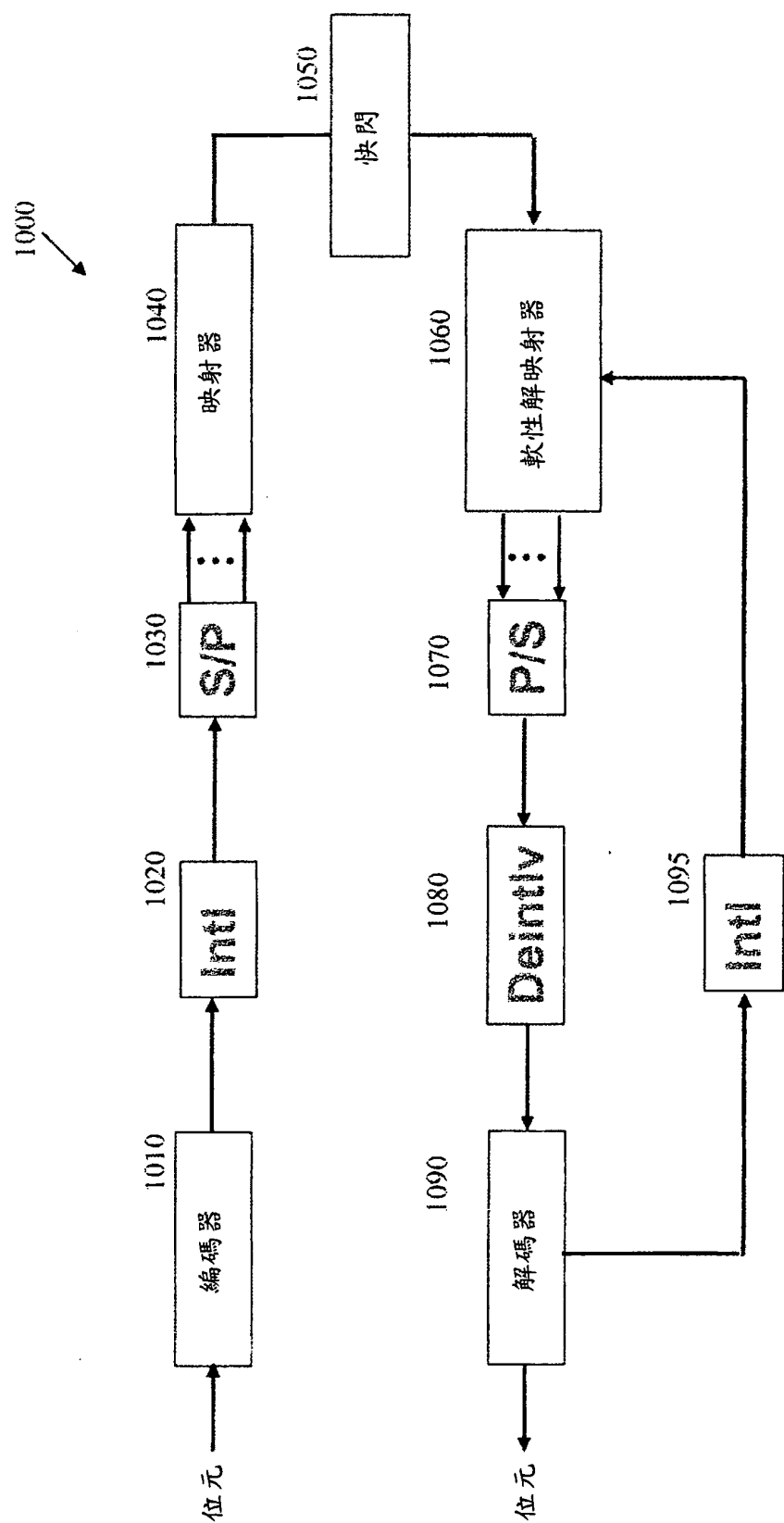


圖 10



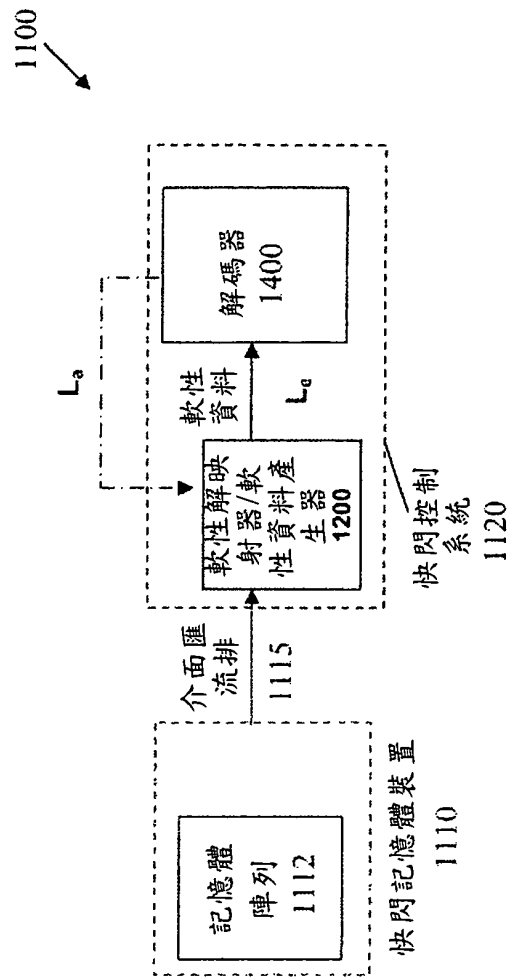


圖 11

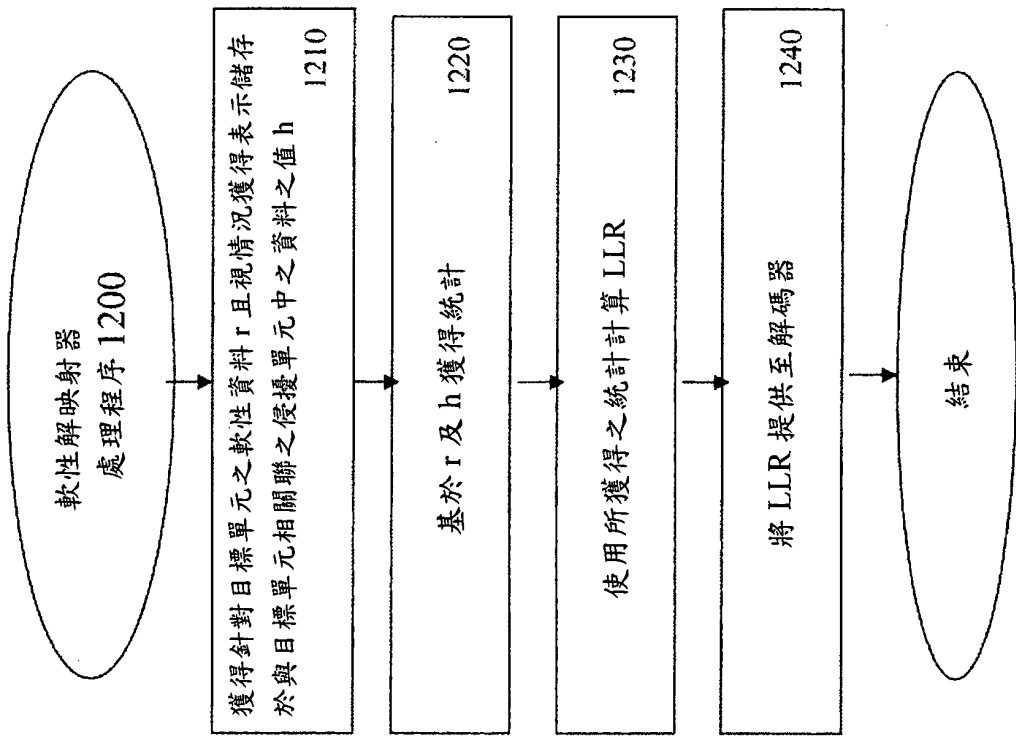


圖 12A



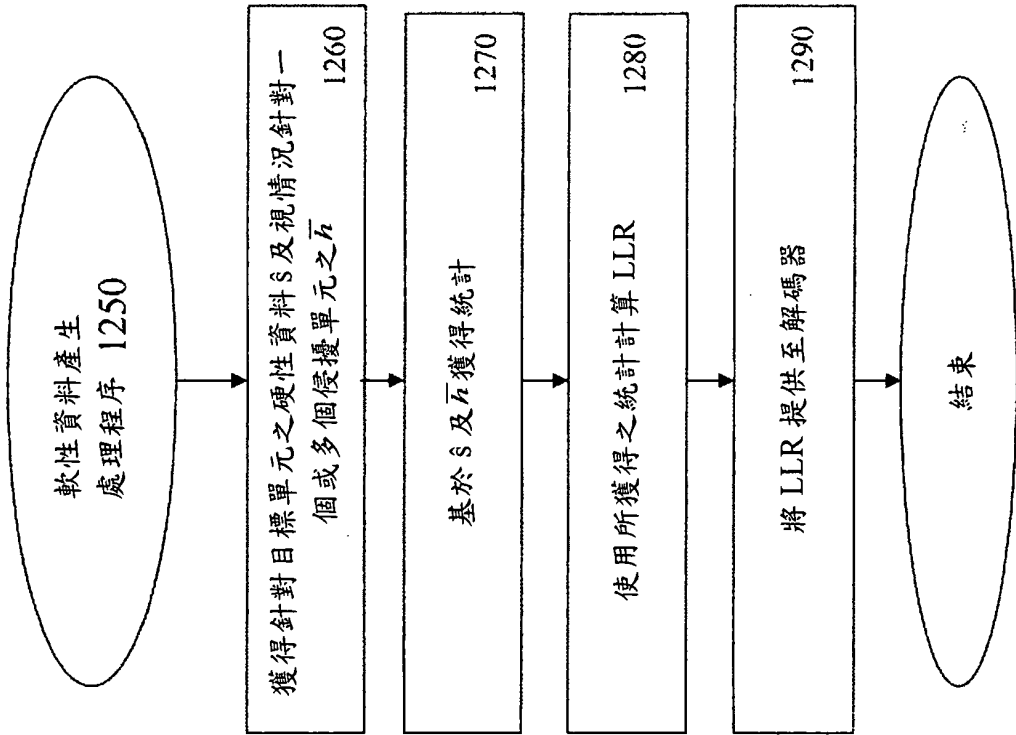


圖 12B

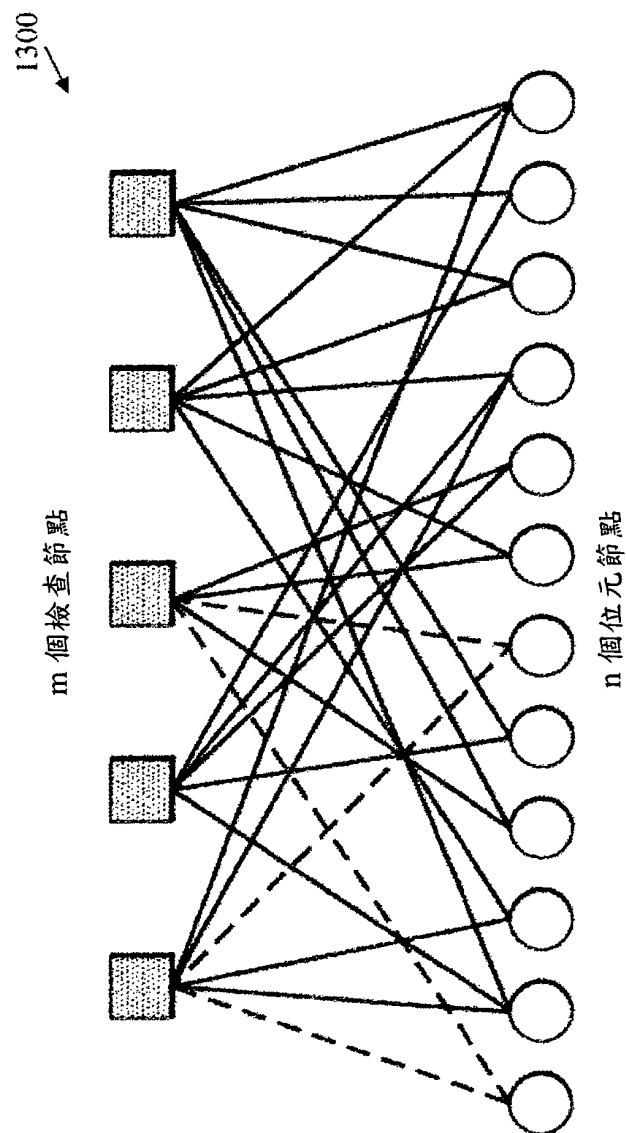


圖 13

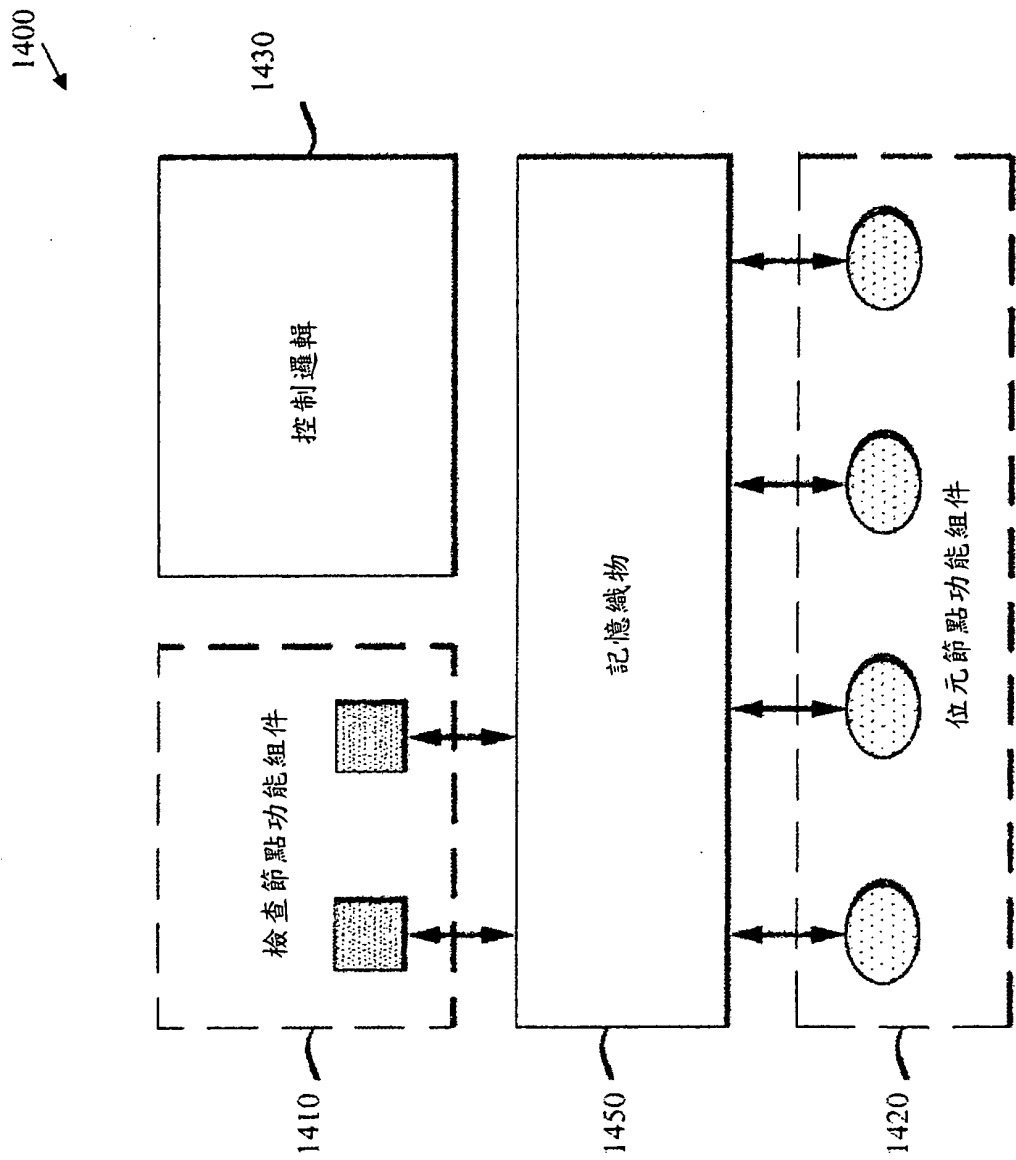


圖 14

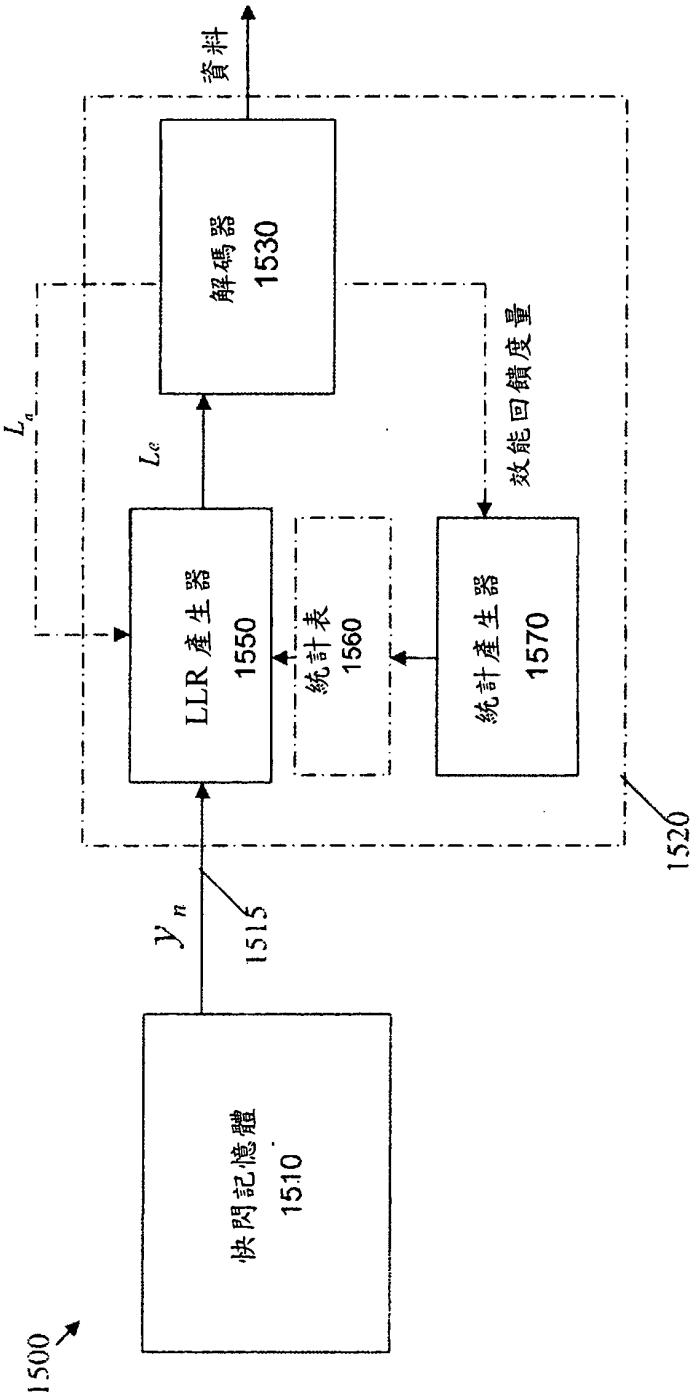


圖 15



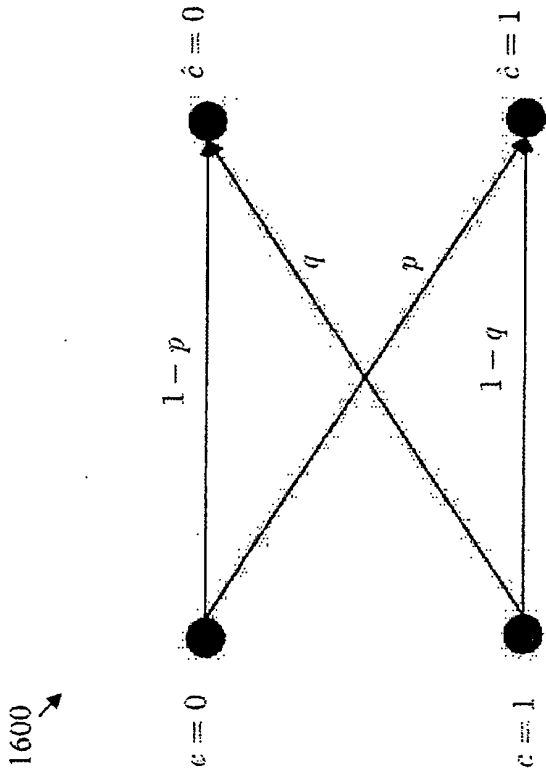


圖 16

基於單元之統計計數表 1700

寫入 (s) / 讀取 (s)	00	01	10	11	總和
00	10617	148	2	1	10768
01	0	10480	0	14	10494
10	15	5	10610	4	10634
11	0	7	0	10603	10610
總和	10632	10640	10612	10622	

圖 17A



針對 $p(s|\hat{s})$ 之基於單元之統計表 1720

	00	01	10	11
寫入 (s)				
讀取 (s)				
00	0.98598	0.01374	1.86E-04	9.29E-05
00	0	0.99866	0	1.334E-3
10	1.41E-3	4.7E-4	0.9977	3.76E-4
11	0	6.6E-4	0	0.9993

圖 17B

針對 $p(\hat{s} | s)$ 之基於單元之統計表 1740

寫入 (s) \ 讀取 (s)	00	01	10	11
00	0.9986	1.39E-2	1.88E-4	9.41E-5
01	0	0.9850	0	1.32E-3
10	1.41E-3	4.70E-4	0.9998	3.76E-4
11	0	6.58E-4	0	0.9982

圖 17C



型樣相依之基於單元之統計表 $p(\hat{s}, \bar{h} | s) 1800$

讀取 (s), 型樣 ($\bar{h}$)	寫入 (s)			
	00	01	10	11
00,00	0.24	1E-2	0	0
00,01	0.3	1E-2	0	0
00,10	0.25	5E-2	0	0
00,11	0.2	3E-2	1E-3	0
01,00	0	0.3	0	2E-2
01,01	0	0.2	9E-3	1E-2
01,10	0	0.1	0	2E-2
01,11	0	0.2	0	5E-2
10,00	1E-3	0	0.4	4E-3
10,01	2E-3	0	0.3	3E-3
10,10	3E-3	0	0.3	1E-3
10,11	4E-3	1E-1	9E-2	2E-3
11,00	0	0	0	0.25
11,01	0	0	0	0.25
11,10	0	0	0	0.3
11,11	0	0	0	0.09

圖 18



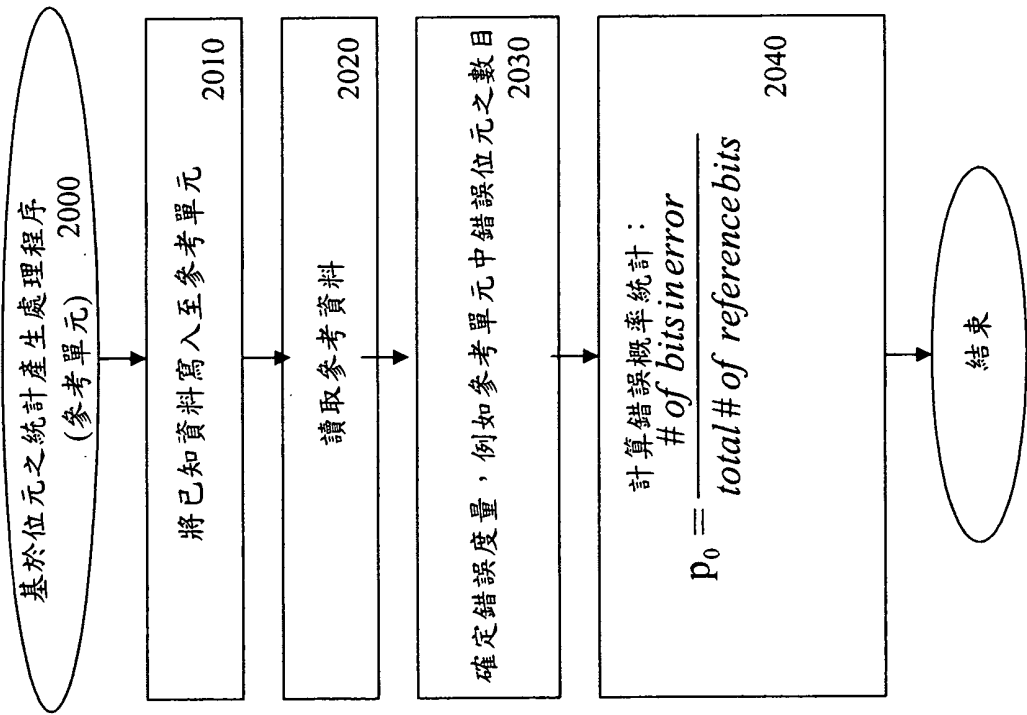


圖 20

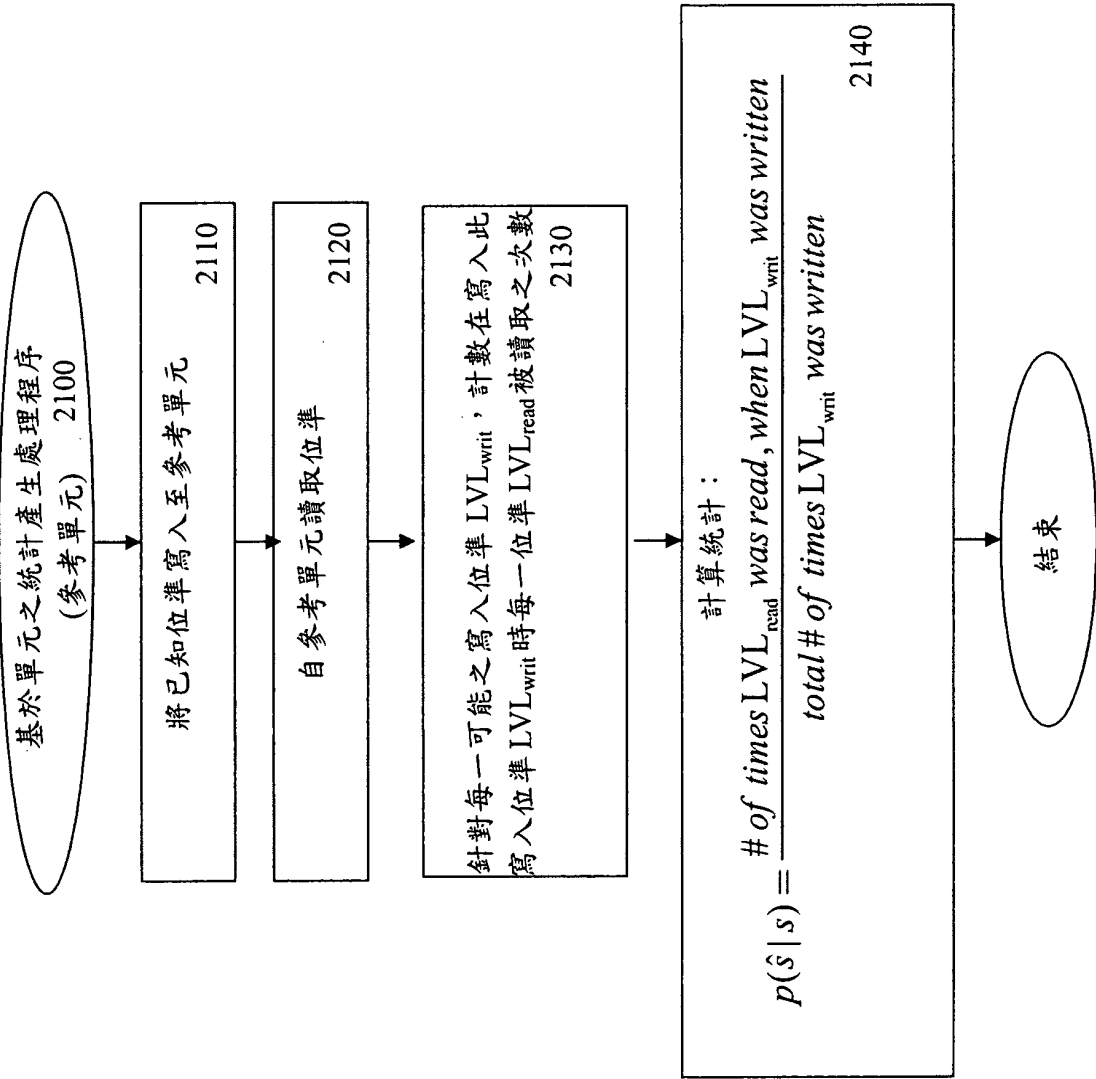


圖 21



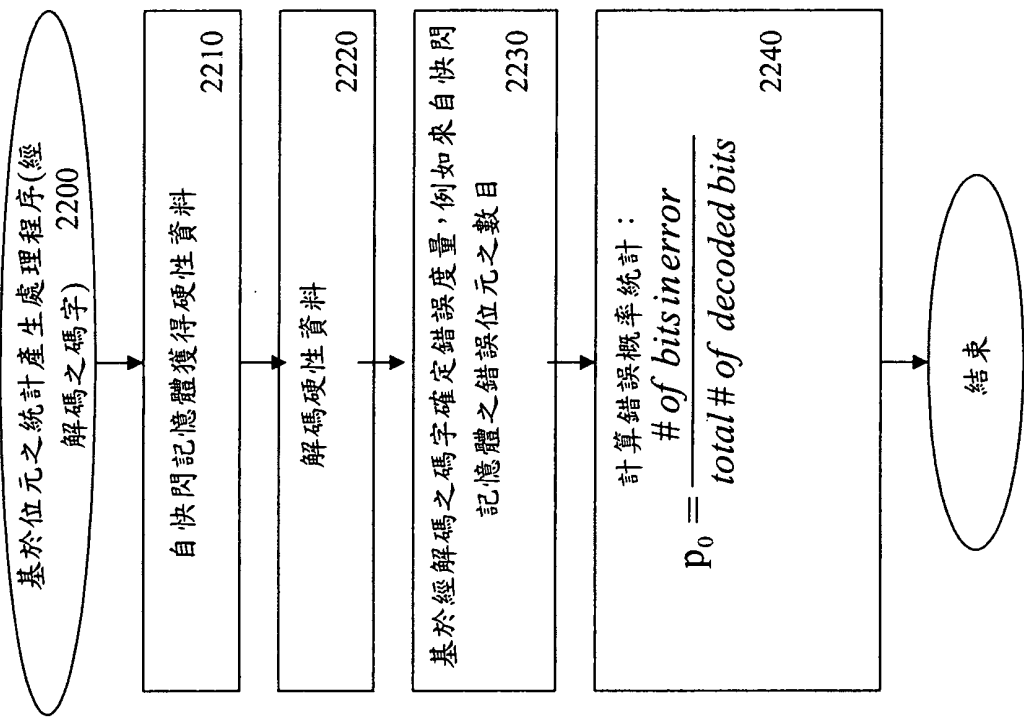


圖 22

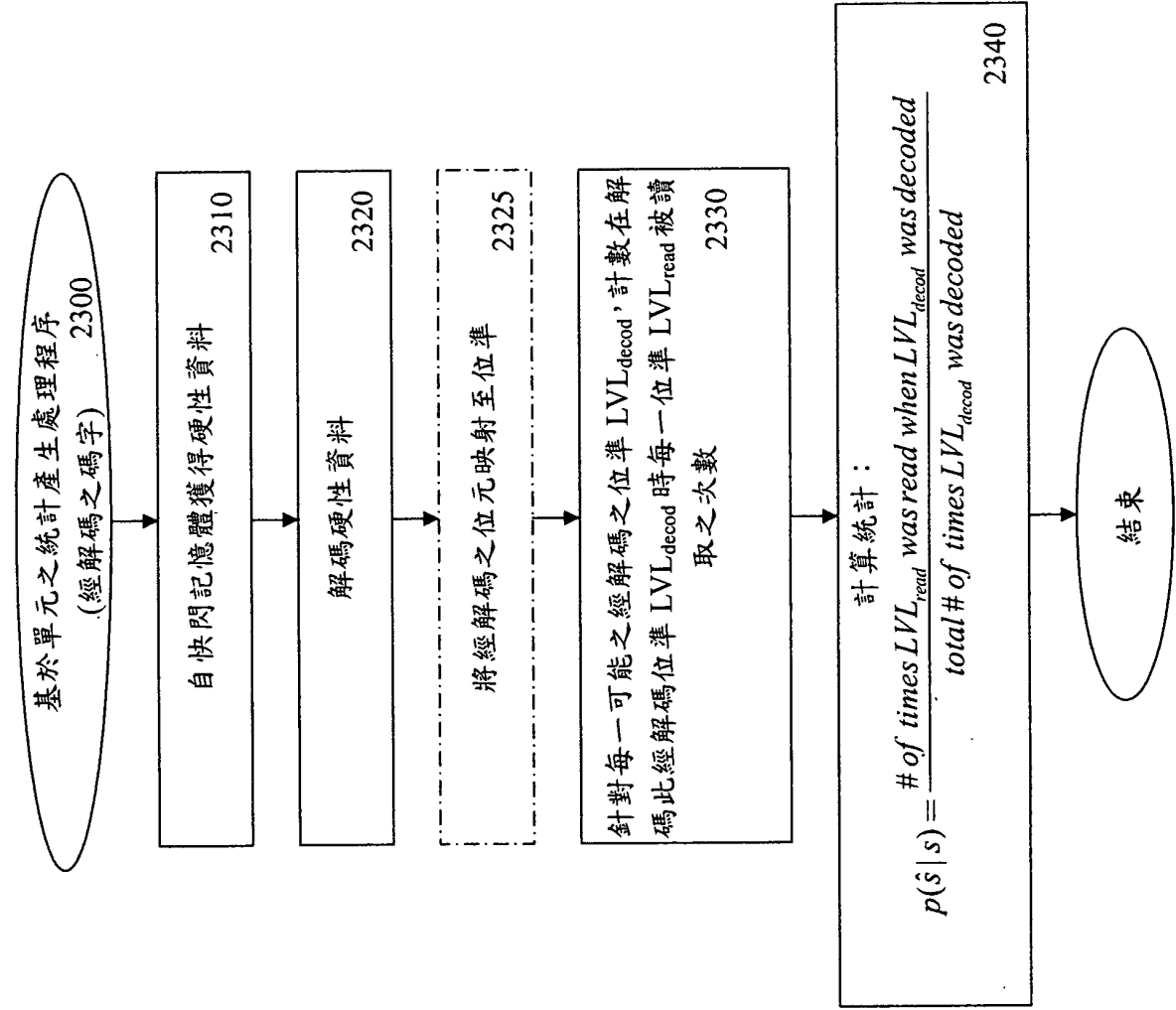


圖 23



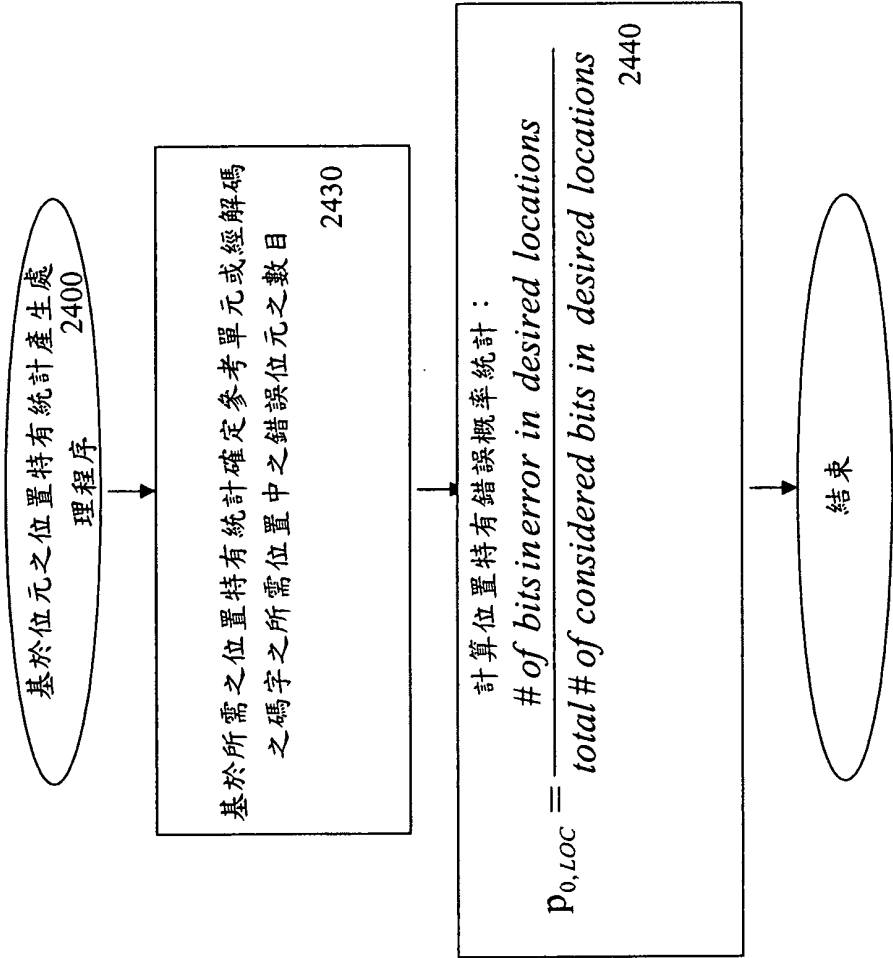


圖 24

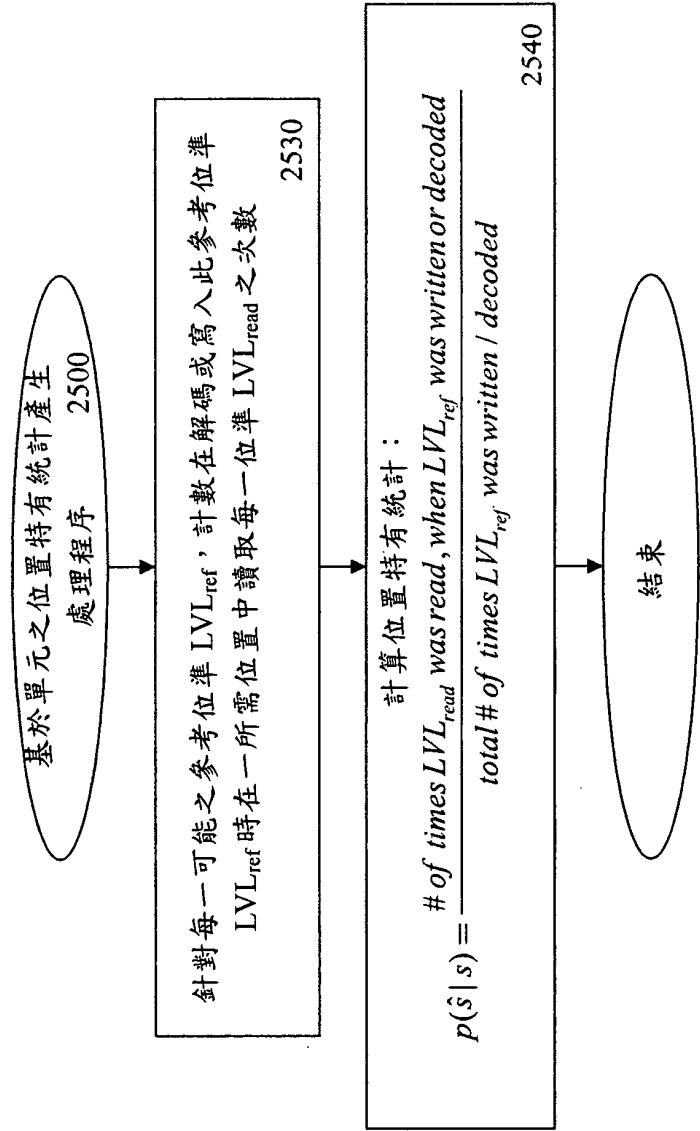


圖 25



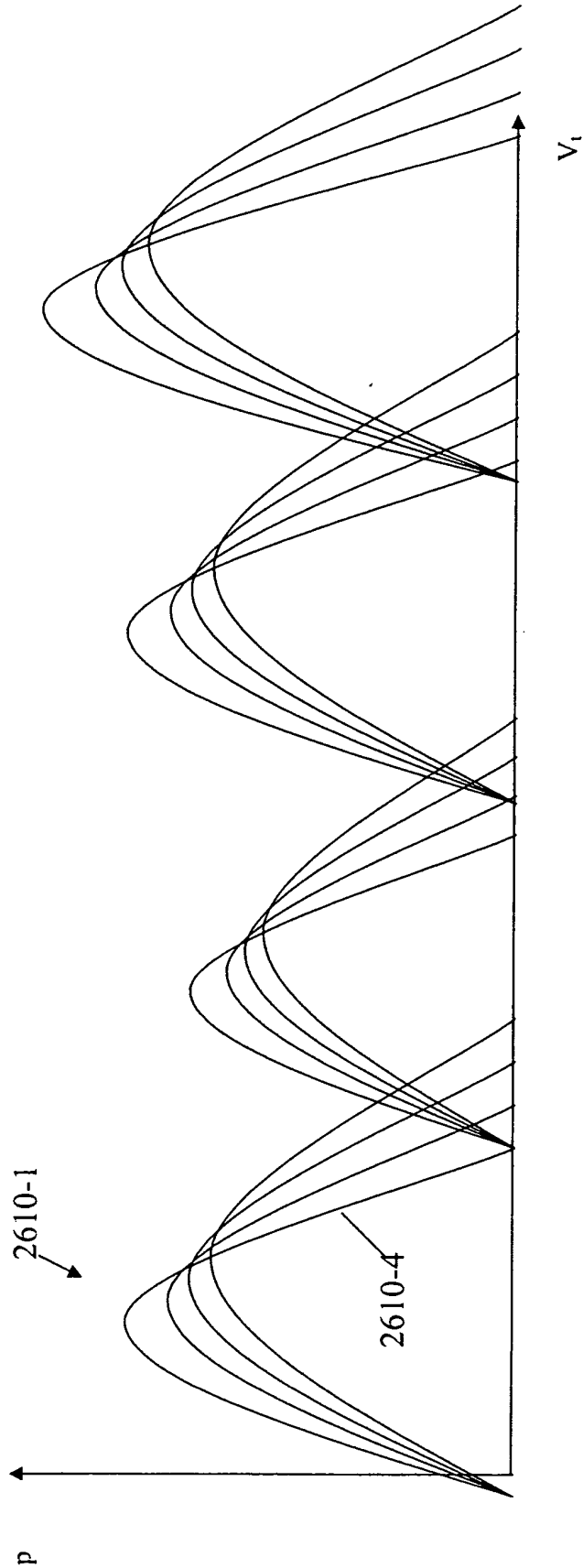


圖 26

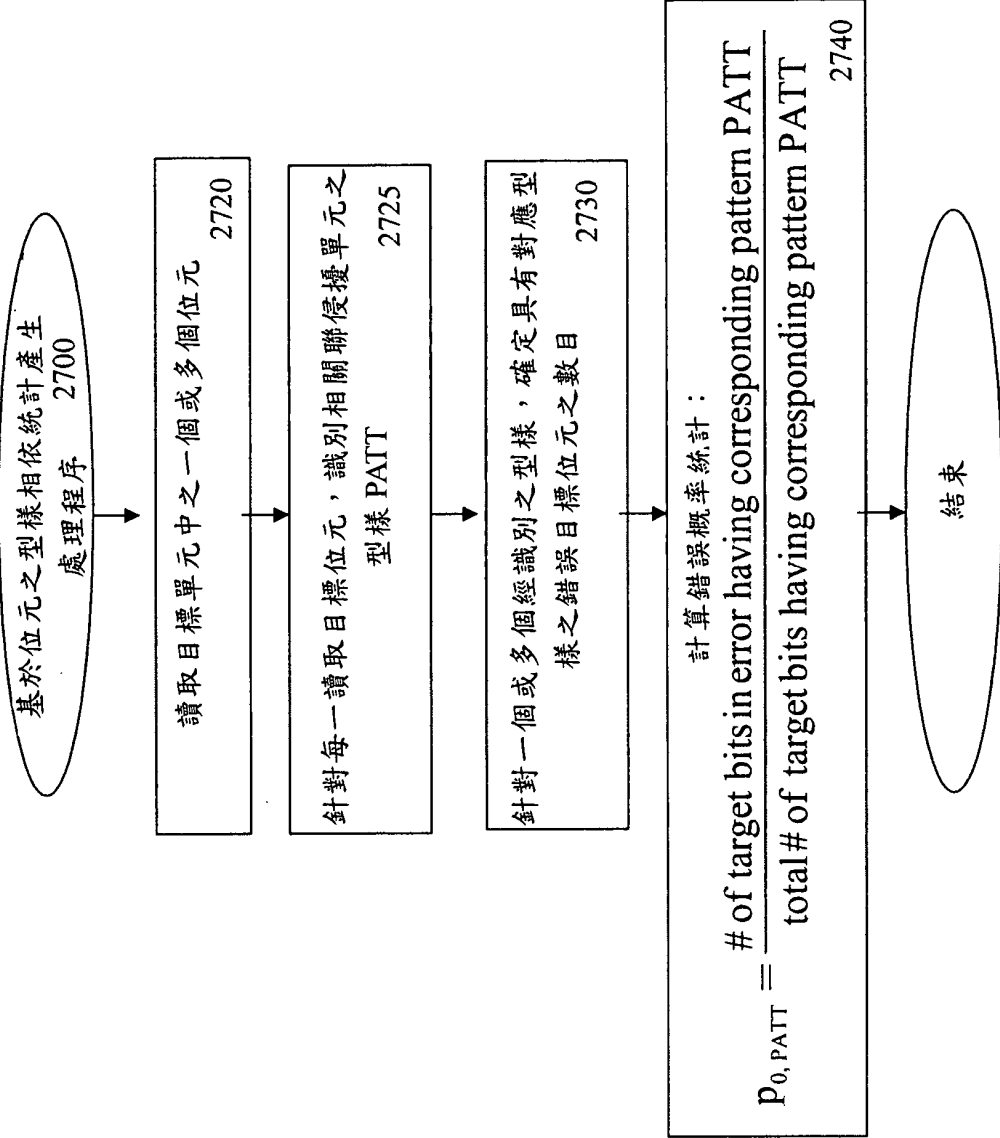


圖 27



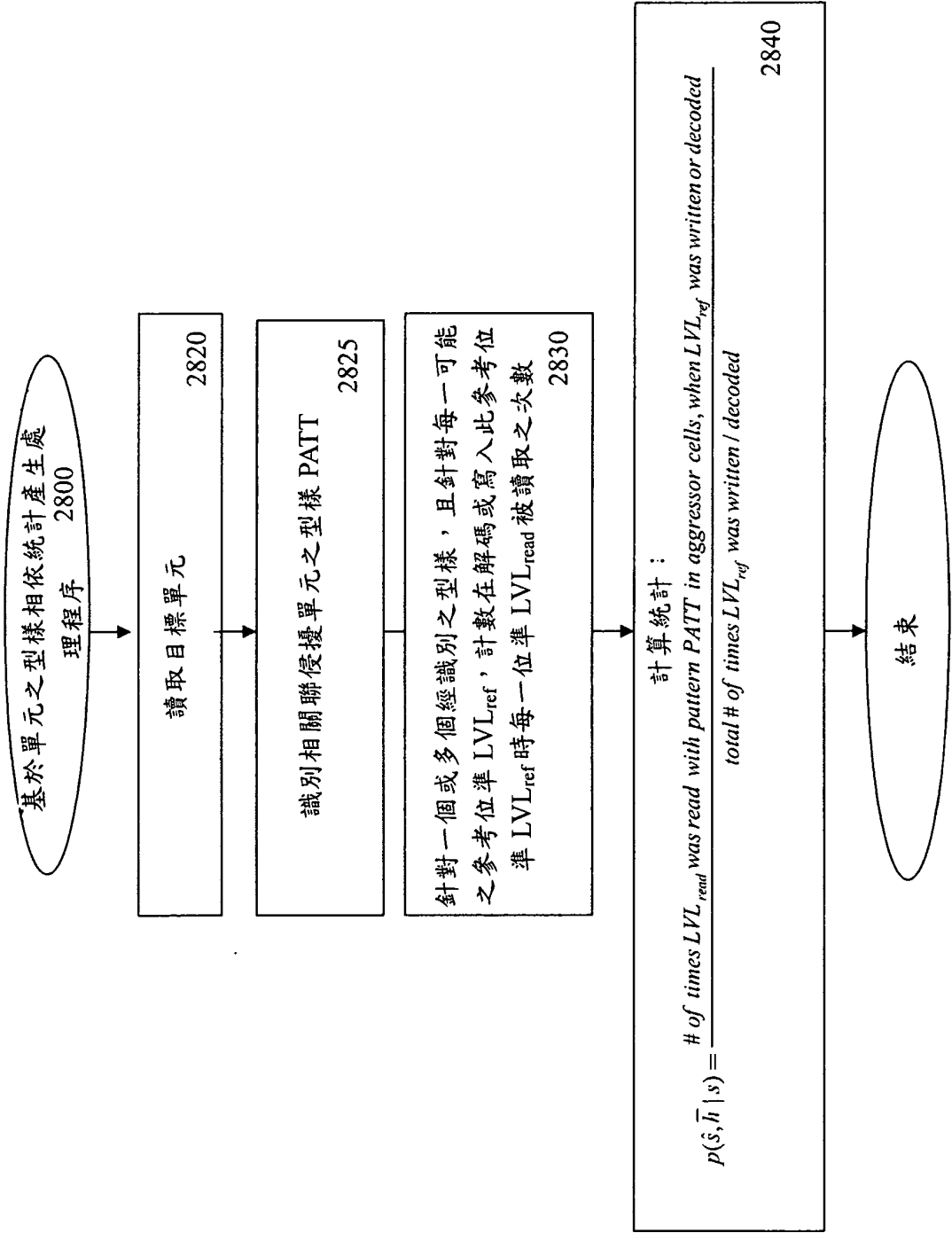


圖 28

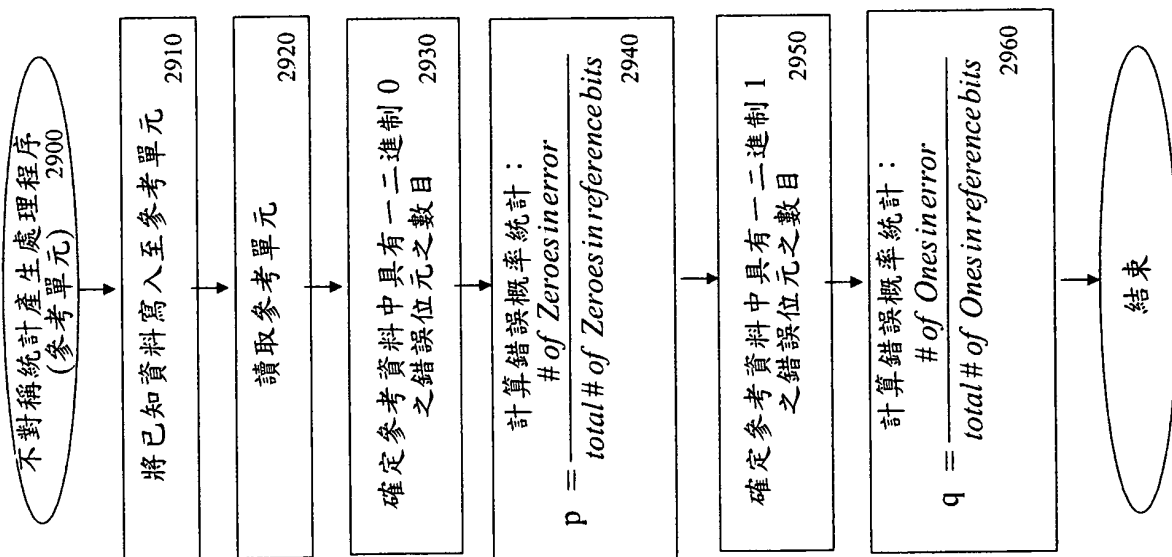


圖 29

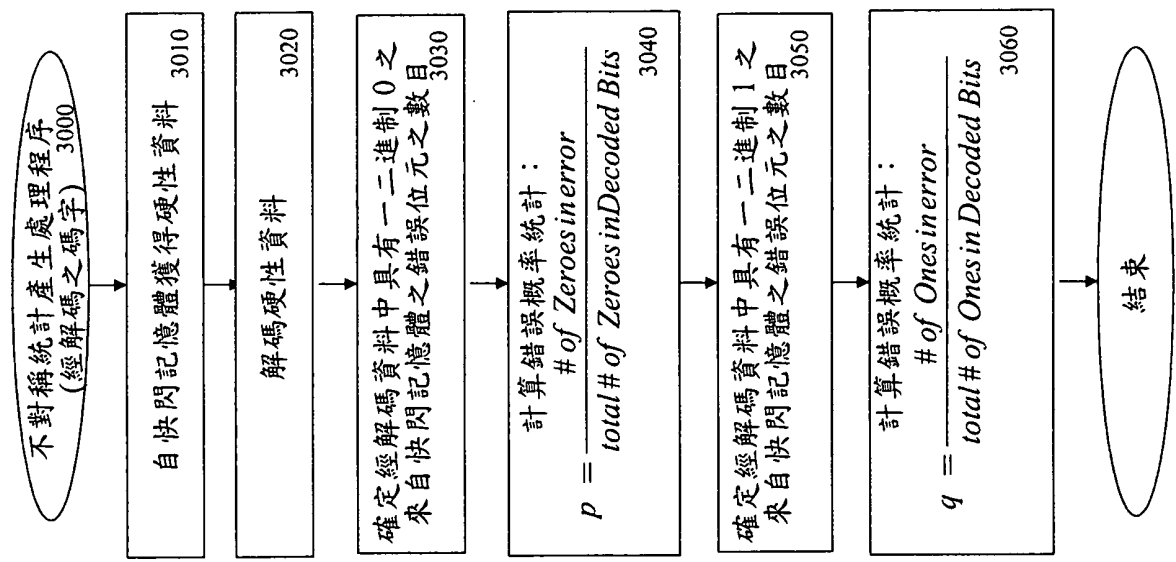


圖 30

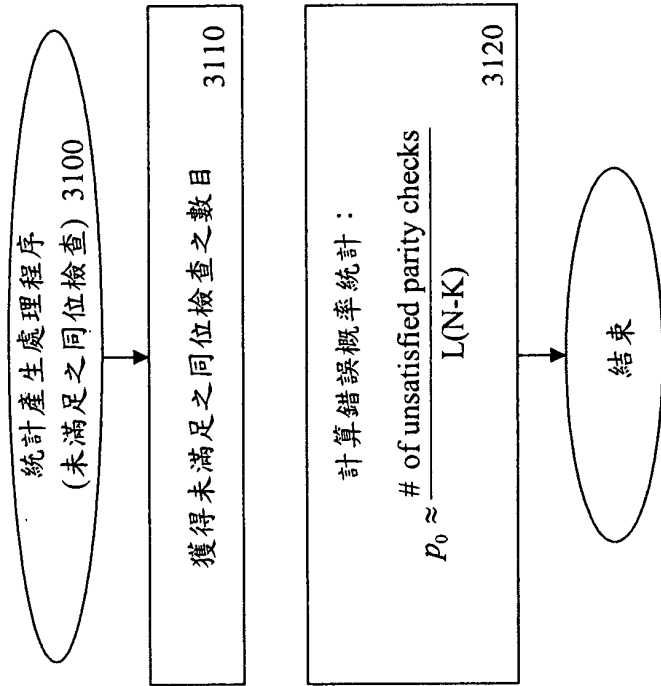


圖 31

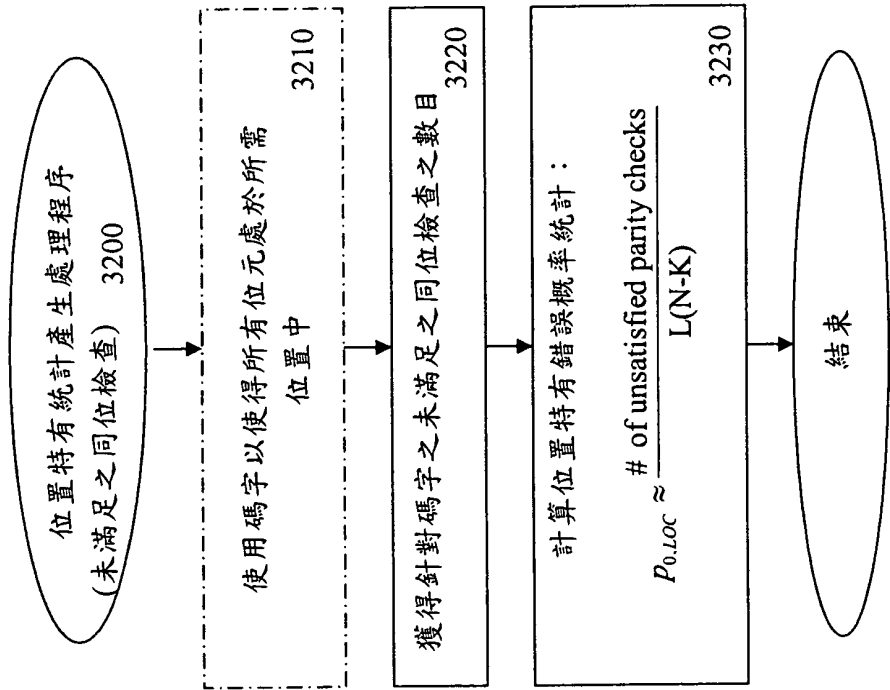


圖 32

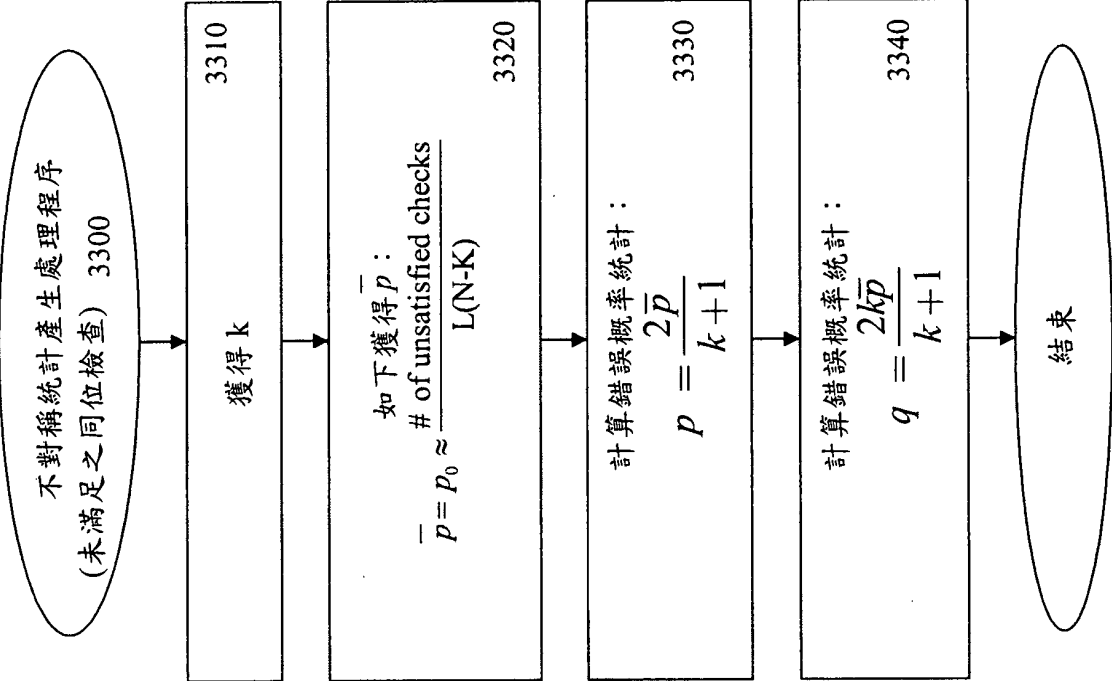


圖 33

四、指定代表圖：

(一)本案指定代表圖為：第 (8) 圖。

(二)本代表圖之元件符號簡單說明：

800	快閃記憶體系統
810	快閃控制系統
820	快閃控制器
825	讀取通道
830	信號處理組件
835	軟性解映射器及/或軟性資料產生 處理程序
840	編碼器/解碼器區塊
845	緩衝器
850	介面
860	快閃記憶體
870	記憶體陣列
880	緩衝器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

七、申請專利範圍：

1. 一種用於在一記憶體裝置中產生至少一個軟性資料值之方法，其包括：

自一解碼器獲得效能回饋；

基於該效能回饋獲得一錯誤統計；及

基於該所獲得之錯誤統計產生該至少一個軟性資料值，其中該效能回饋包括基於由該解碼器解碼之資料之錯誤位元之數目及未滿足之同位檢查之一數目中之一者或多者。

2. 一種用於在一記憶體裝置中產生至少一個軟性資料值之方法，其包括：

獲得硬性資料；

解碼該硬性資料；

基於使用該經解碼資料之錯誤位元之一數目及未滿足之同位檢查之一數目獲得一錯誤統計；及

基於該所獲得之錯誤統計產生該至少一個軟性資料值。

3. 如請求項2之方法，其中該軟性資料值包括以下值中之一者或多者：(i)用於產生一個或多個對數似然比之一軟性讀取值及(ii)一個或多個對數似然比。

4. 如請求項2之方法，其中針對一記憶體陣列之一個或多個所需位置獲得該至少一個軟性資料值且其中針對該一個或多個所需位置確定錯誤位元之該數目。

5. 如請求項2之方法，其中針對與至少一個目標單元相關聯之一個或多個侵擾單元中之一既定型樣PATT獲得該錯

誤統計；且其中該方法進一步包括以下步驟：解碼針對一個或多個目標單元及一個或多個相關聯之侵擾單元之硬性資料；確定具有相關聯之侵擾單元中之該既定型樣PATT之錯誤之經解碼目標位元之一數目；及基於錯誤之經解碼目標位元之該數目獲得針對該既定型樣之該錯誤統計。

6. 如請求項2之方法，其中該錯誤統計包括針對複數個可能值獲得之不對稱錯誤統計；且其中該方法進一步包括以下步驟：確定該經解碼資料中具有一第一值之錯誤位元之該數目；確定該經解碼資料中具有一第二值之錯誤位元之該數目；基於具有該第一值之錯誤位元之該數目獲得針對該第一值之一錯誤統計；及基於具有該第二值之錯誤位元之該數目獲得針對該第二值之一錯誤統計。
7. 一種用於在一記憶體裝置中產生至少一個軟性資料值之方法，其包括：

獲得未滿足之同位檢查之一數目；及

基於未滿足之同位檢查之該數目產生該至少一個軟性資料值。
8. 如請求項7之方法，其中該軟性資料值包括以下值中之一者或多者：(i)用於產生一個或多個對數似然比之一軟性讀取值及(ii)一個或多個對數似然比。
9. 如請求項7之方法，其中針對一記憶體陣列之一個或多個所需位置獲得該至少一個軟性資料值。