

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P31337P

※ 申請日期：P3. 11. 5

※IPC 分類：H01L 23/12 (2006.01)

一、發明名稱：(中文/英文)

電子裝置及其製造方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

新光電氣工業股份有限公司 / SHINKO ELECTRIC INDUSTRIES CO., LTD.

代表人：(中文/英文)

黑岩護 / KUROIWA, MAMORU

住居所或營業所地址：(中文/英文)

日本國長野縣長野市小島田町 80 番地

80, OSHIMADA-MACHI, NAGANO-SHI, NAGANO 381-2287 JAPAN

國 籍：(中文/英文)

日本 / JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

高池英次 / TAKAIKE, EIJI

國 籍：(中文/英文)

日本 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本； 2003.11.07； 特願 2003-377892

2. 日本； 2004.04.26； 特願 2004-130217

☒ 無主張專利法第二十七條第一項國際優先權：

1. PCT； 2004.11.01； PCT/JP2004/016244

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種電子裝置及其製造方法，詳而言之，有關於一種具有一以間隔件(interposer)為中介而將電子元件電性連接於安裝基板的構造之電子裝置及其製造方法。

【先前技術】

一般，半導體裝置係具有一可使半導體晶片與間隔件接合之構造。例如使用有引線架作為間隔件之半導體裝置係具有一種構造，在一形成在成為間隔件之引線架上之晶片接墊固定有半導體晶片，且藉使接線將引線架與半導體晶片做電性連接者。

又，對應近年來半導體晶片高密度化及多插腳化，大多採用被稱為 BGA (Ball Grid Array；球狀格子陣列)、或 LGA (Land Grid Array)之封裝構造之半導體裝置。該半導體裝置係採用一種構造，即：於半導體晶片形成焊接凸塊，並將該半導體晶片在成為間隔件之基板上做覆晶接合(flip chip)封裝者。

又，BGA 或 LGA 所用之間隔件係於表面形成有可與焊接凸塊接合之電極墊，並於背面形成有可與外部連接端子(焊球或引線)接合之電極墊。又，設於表面及背面之各電極墊係一種結構，藉貫穿間隔件基材而形成之通孔俾做電性連接者。

又，按該封裝構造，使半導體晶片及間隔件以凸塊做

電性且機械接合，因此半導體晶片與間隔件間之機械接合性較弱。為此，在半導體晶片與間隔件之間設有底層填充樹脂，藉此可實現提高半導體晶片與間隔件之接合位置上之機械強度者。

- 5 另一方面，除了上述 BGA 或 LGA 外，還有諸如專利文獻 1 所示之晶片尺寸封裝類型之半導體裝置(以下稱為 CSP)者。該 CSP 乃為一使封裝形狀作成略與半導體晶片(裸晶)尺寸同等大小之半導體裝置。

10 該 CSP 是一形成有作為外部連接端子之焊接凸塊或立柱(藉軟焊而接合於半導體晶片)，且在安裝基板(該安裝基板亦可認為一種間隔件)做覆晶接合安裝者。又，上述立柱係做成焊接接合在半導體晶片上之電極之結構(參考諸如日本國特開 2002-164369 號公報)。

[發明之揭示]

- 15 [發明欲解決之課題]

 惟，對於半導體裝置所要求之高密度化需求日益愈增，從以往 $150\mu\text{m}$ 之端子(插腳)間距演變到現在 $70\mu\text{m}$ 之狹窄間距這樣的要求。如果是 $150\mu\text{m}$ 之端子間距時，在設計規則上可較為充裕，對於 line and space 而言亦是，例如
20 線寬及幅寬可同時設定在 $15\mu\text{m}$ 程度。

 惟，窄距化之趨勢下端子間距一縮小到 $70\mu\text{m}$ 時，便發生問題，即：靠半導體晶片之側，在 line and space 上就不充裕，且進行覆晶接合時相鄰接之焊接凸塊間發生短路者。又有如此問題點產生，即，靠間隔件之側上，間隔件

基材之表面暨背面上形成之各電極接墊、貫穿間隔件基材而形成之通孔等等形成亦有微細化趨勢，而難以實現，因此使間隔件之製造成本上升。

【發明內容】

5 [解決課題之手段]

本發明係用以解決上述習知技藝之課題而所構建成者，其目的主要是提供一種業經改良且有用之電子裝置及其製造方法。

詳而言之，本發明之目的係於提供一種電子裝置及其製造方法，可輕易且確實地對應窄距化，且可謀求製造成本降低者。

為達成該目的，本發明係構建成一種電子裝置，其設有：電子元件；及，間隔件，係具有與前述電子元件接合之間隔件基材，及與前述電子元件之電極相連接之多數柱電極；其中前述電子元件與前述間隔件基材直接接觸，俾使其等呈一體化，並使前述柱電極直接形成在前述電子元件之電極上者。

又，為達成上述目的，本發明係構建成一種電子裝置，其係設有：電子元件；及，間隔件，係具有可與前述電子元件接合者及間隔件基材，及可與前述電子元件之電極相連接且配置於形成在前述間隔件基材之貫通孔內之多數柱電極者；將前述電子元件表面與前述間隔件基材表面直接接觸，俾使其等呈一體化，並使前述柱電極直接形成在前述電子元件之電極上者。

藉構建成如此構造，使電子元件與間隔件直接接合，因此無須為了電子元件與間隔件間之接合上而設置凸塊或底層填充樹脂，便可謀求零件數減少及電子裝置薄型化。又，間隔件係藉柱電極而與電子元件做電性連接，因此可使電極窄距化，形成比藉凸塊連接之連接構造下之間距還窄，緣此可謀求電子裝置之高密度化者。進而，電子元件與間隔件基材直接相接觸而呈一體化，可以比使用有凸塊及底層填充樹脂之接合力還強之接合力，將電子元件與間隔件基材相接合者。

10 又，在上述發明中，可使前述電子元件之材質與前述間隔件基材之材質同一者。

藉構建成如此構造，可使電子元件表面與間隔件基材表面確實且強固地呈一體化者。

又，在上述發明中，可同時將前述電子元件之材質與
15 前述間隔件基材之材質為矽者。

又，在上述發明中，可使於前述電子元件中至少在與前述間隔件基材接合之位置上形成有第 1 絕緣層，且使於前述間隔件基材中至少在與前述電子元件接合之位置上形成有第 2 絕緣層者。

20 藉構建成如此構造，將絕緣層形成在電子元件及間隔件基材之接合位置上時，可縮小對於接合上需要平滑性較高之區域，易使絕緣材層之形成輕易化。又，絕緣材層形成在電子元件及間隔件基材全面上時，可使該絕緣層發揮作為維護電子元件及間隔件基材之保護層功能。

又，在上述發明中，亦可構建成：多數前述柱電極係設置於前述貫通孔中之一個者。

藉構建成如此構造，在一個貫通孔內配置有多數前述柱電極，可使貫通孔之形成精度降低而無須降低柱電極之形成精度，因此可使貫通孔之形成輕易化者。

又，在上述發明中，在前述間隔件基材形成段差部，因此可構建成一種將該電子元件收容在前述段差部內之構造。

藉構建成如此構造，將電子元件收容在形成有間隔件之段差部內，因此可圖謀電子裝置薄型化者。

又，在上述發明中，亦可構建成：在前述間隔件基材載設有多數前述電子元件者。

藉構建成如此構造，在間隔件基材載設有多數前述電子元件時，便可將柱電極等之佈線在多數電子元件上一體形成，可將製造效率提升者。

又，在上述發明中，亦可構建成一種將前述間隔件基材與前述電子元件之背面部相接合之構造。

藉構建成如此構造，令電子元件之背面部與間隔件基材相接合時，可擴大電子元件與間隔件基材間之接合面積，且可提高電子元件之安裝強度者。

又，在上述發明中，亦可構建成一種令用以密封前述電子元件之密封樹脂設置於前述間隔件基材之構造。

藉構建成如此構造，將用以密封電子元件之密封樹脂設置於間隔件基材時，可使電子元件是以一藉密封樹脂而

密封在間隔件基材之狀態下加以固定，因此可確實地謀求對電子元件之保護，且可提高電子元件相對於間隔件基材之安裝強度。

又，在上述發明中，可令前述電子元件為半導體晶片者。

又，在上述發明中，可令前述電子元件為被動元件者。

又，為達成上述目的，本發明之電子裝置的製造方法係具有下列步驟，即：一體化步驟，係將形成有貫通孔之間隔件基材之表面與電子元件之表面直接接觸，俾使前述間隔件基材與前述電子元件呈一體化者；柱電極形成步驟，係於該一體化步驟結束後，在前述貫通孔內且電子元件之電極上直接形成柱電極者；再佈線形成步驟，係形成一可與前述柱電極做電性連接之再佈線層者；及，外部連接電極形成步驟，係於前述再佈線層上形成外部連接電極者。

藉上述發明，可在上述一體化步驟中使電子元件與間隔件基材直接接觸而呈一體化，因此無須為了電子元件與間隔件間之接合上而設置凸塊或底層填充樹脂，便可謀求製造方法之簡易化者。又，在一體化步驟結束後實施柱電極形成步驟，使於貫通孔內且電子元件的電極上直接形成柱電極時，可謀求電子元件與間隔件間之阻抗降低，且可謀求電氣特性提昇者。又，可以間隔件基材所形成之貫通孔為模具，形成柱電極，因此可謀求柱電極形成的簡化。

又，為達成上述目的，本發明之電子裝置之製造方法

係具有下列步驟，即：柱電極形成步驟，係於電子元件之電極上直接形成柱電極者；一體化步驟，係於該柱電極形成步驟結束後，將形成有貫通孔之間隔件基材之表面與電子元件之表面直接接觸，俾使前述間隔件基材與前述電子
5 元件呈一體化者；再佈線形成步驟，係形成一可與前述柱電極做電性連接之再佈線層者；及，外部連接電極形成步驟，係於前述再佈線層上形成外部連接電極者。

藉上述發明，可在上述一體化步驟中使電子元件與間隔件基材直接接觸而呈一體化，因此無須為了電子元件與
10 間隔件間之接合上而設置凸塊或底層填充樹脂，便可謀求製造方法之簡化。又，可在柱電極形成步驟中在電子元件之電極上直接形成柱電極，因此可謀求電子元件與間隔件間之阻抗降低，且可謀求電氣特性提昇者。又，在柱電極形成步驟結束後再實施一體化步驟時，可使柱電極之形成
15 不受形成在間隔件基材之貫通孔的限制下予以進行，因此與一利用間隔件基材之貫通孔以形成柱電極之方法相較之下，更能謀求柱電極之微細化者。

又，在上述發明中，亦可具有一保護層形成步驟，藉此，可在前述電子元件形成一用以保持前述柱電極且由絕
20 緣材構成之保護層者。

藉構建成如此結構，設有一保護層形成步驟，藉此在電子元件上形成一可保持柱電極且由絕緣材構成之保護層者，可藉保護層保持直接形成在電子元件上之柱電極，因此柱電極即使業經微細化，亦可確實地保護柱電極者。

又，為達成上述目的，本發明係構建成一種電子裝置，其係具有：一電子元件及一可與前述電子元件接合之間隔件者；其中前述電子元件與前述間隔件直接接觸而呈一體化者。

- 5 藉構建成上述構造，可使電子元件與間隔件直接接合，因此無須為了電子元件與間隔件間之接合上而設置凸塊或底層填充樹脂，便可謀求零件數減少及電子裝置薄型化。

- 又，在上述發明中，可構建成一種構造，即令前述電子元件為光電元件，且前述間隔件上設有一可與前述光電元件做光學式連接之光導波路。
- 10

- 藉構建成上述構造，可使光學元件與間隔件直接接合，為此對於光學元件與間隔件之接合上無須設置凸塊或底層填充樹脂，因此可防止光學元件之光學面受到焊料或樹脂的污染者。
- 15

[發明之效果]

- 依本發明，無須為了電子元件與間隔件間之接合上而設置凸塊或底層填充樹脂，可謀求零件數減少及電子裝置薄型化。又，可使電極間間距窄距化，形成比藉凸塊連接之連接構造下之間距還窄，緣此可謀求電子裝置之高密度化者。進而，電子元件與間隔件基材直接相接觸而呈一體化，可以比使用有凸塊及底層填充樹脂之接合力還強之接合力，使電子元件與間隔件基材相接合者。
- 20

[圖式簡單說明]

第 1 圖係顯示本發明第 1 實施例之半導體裝置的剖視圖。

第 2A 圖係該第 1 實施例之半導體裝置之製造方法的說明圖
(其 1)。

第 2B 圖係該第 1 實施例之半導體裝置之製造方法的說明圖
5 (其 2)。

第 2C 圖係該第 1 實施例之半導體裝置之製造方法的說明圖
(其 3)。

第 3A 圖係該第 1 實施例之半導體裝置之製造方法的說明圖
(其 4)。

10 第 3B 圖係該第 1 實施例之半導體裝置之製造方法的說明圖
(其 5)。

第 3C 圖係該第 1 實施例之半導體裝置之製造方法的說明圖
(其 6)。

第 4A 圖係該第 1 實施例之半導體裝置之製造方法的說明圖
15 (其 7)。

第 4B 圖係該第 1 實施例之半導體裝置之製造方法的說明圖
(其 8)。

第 4C 圖係該第 1 實施例之半導體裝置之製造方法的說明圖
(其 9)。

20 第 4D 圖係該第 1 實施例之半導體裝置之製造方法的說明圖
(其 10)。

第 5 圖係顯示本發明第 2 實施例之半導體裝置的剖視圖。

第 6A 圖係該第 2 實施例之半導體裝置之製造方法的說明圖
(其 1)。

第 6B 圖係該第 2 實施例之半導體裝置之製造方法的說明圖
(其 2)。

第 7 圖係顯示本發明第 3 實施例之半導體裝置的剖視圖。

第 8A 圖係該第 3 實施例之半導體裝置之製造方法的說明圖
5 (其 1)。

第 8B 圖係該第 3 實施例之半導體裝置之製造方法的說明圖
(其 2)。

第 8C 圖係該第 3 實施例之半導體裝置之製造方法的說明圖
(其 3)。

10 第 9 圖係顯示本發明第 4 實施例之半導體裝置的剖視圖。

第 10A 圖係該第 4 實施例之半導體裝置之製造方法的說明圖
(其 1)。

第 10B 圖係該第 4 實施例之半導體裝置之製造方法的說明圖
(其 2)。

15 第 11 圖係顯示本發明第 5 實施例之半導體裝置的剖視圖。

第 12A 圖係該第 5 實施例之半導體裝置之製造方法的說明圖
(其 1)。

第 12B 圖係該第 5 實施例之半導體裝置之製造方法的說明圖
(其 2)。

20 第 12C 圖係該第 5 實施例之半導體裝置之製造方法的說明圖
(其 3)。

第 13 圖係顯示本發明第 6 實施例之半導體裝置的剖視圖。

第 14 圖係顯示本發明第 7 實施例之半導體裝置的剖視圖。

第 15 圖係顯示本發明第 8 實施例之半導體裝置的剖視圖。

- 第 16 圖係顯示本發明第 9 實施例之半導體裝置的剖視圖。
- 第 17 圖係顯示本發明第 9 實施例之半導體裝置的立體圖。
- 第 18 圖係顯示本發明第 10 實施例之半導體裝置的剖視圖。
- 第 19 圖係顯示本發明第 11 實施例之半導體裝置的剖視圖。
- 5 第 20 圖係顯示本發明第 12 實施例之半導體裝置的剖視圖。
- 第 21 圖係顯示本發明第 13 實施例之半導體裝置的剖視圖。
- 第 22 圖係顯示本發明第 13 實施例之半導體裝置的立體圖。
- 第 23 圖係顯示本發明第 14 實施例之半導體裝置的剖視圖。
- 第 24 圖係顯示本發明第 15 實施例之半導體裝置的剖視圖。
- 10 第 25 圖係顯示本發明第 15 實施例之半導體裝置的立體圖。
- 第 26 圖係顯示本發明第 16 實施例之半導體裝置的剖視圖。
- 第 27 圖係顯示本發明第 17 實施例之半導體裝置的剖視圖。
- 第 28 圖係顯示本發明第 18 實施例之電子裝置的剖視圖。
- 第 29 圖係顯示本發明第 19 實施例之電子裝置的剖視圖。
- 15 第 30 圖係顯示本發明第 20 實施例之電子裝置的剖視圖。
- 第 31 圖係顯示本發明第 21 實施例之電子裝置的剖視圖。
- 第 32 圖係第 31 圖中之 A-A 線剖視圖。

【實施方式】

其次，用圖說明用以實施本發明之最佳形態。

- 20 第 1 圖係顯示本發明第 1 實施例之電子裝置 10A 之剖視圖。本實施例之電子裝置 10A 係一由半導體晶片及間隔件 20A 所構成之簡單構造(以下將作為電子元件之使用有半導體裝置之電子裝置稱為半導體裝置)。

半導體晶片 11 係業經高密度化之半導體晶片，具有一

於電路形成面側形成有多數電極 13 之結構。該電極 13 係諸如鋁電極，在該上層形成有隔離層金屬 14。該隔離層金屬 14，未於圖中顯示，但是一有多數金屬膜疊層之結構，位於該最外層為銅(Cu)膜者。

- 5 又，在半導體晶片 11 之電路形成面上，用以形成電極 13 之區域外的區域是一具有藉絕緣膜 15 被覆之結構。在本實施例中，半導體晶片 11 係由矽基板所形成者，緣此絕緣膜 15 為二氧化矽(SiO_2)。

- 該二氧化矽係具高電氣絕緣性及物理穩定性。因此，
10 半導體晶片 11 上所形成之薄膜電路係藉絕緣膜 15 所保護者。該絕緣膜 15 之預定位置，如後所述者，接觸於半導體晶片 11 而與之呈一體化，但至少位於該接觸區域中之絕緣膜 15 表面為高精度平滑面。

- 又，在第 1 圖中，為簡易顯示起見，而將相鄰接之電
15 極 13 間之距離擴大顯示，只是如前述，半導體晶片 11 是呈高密度化者。藉此，亦可縮小相鄰接之電極 13 間之間距(端子間間距)，具體上在本實施例中，作為目標對象之電極 13 之端子間間距為 $100\ \mu\text{m}$ 以下者。

- 另一方面，間隔件 20A 係藉間隔件基材 21A、柱電極
20 22A、再佈線層 23、外部連接端子 24 及第 2 絕緣層 26 等所構建成者。間隔件基材 21A 係藉矽形成，又在與業已形成在半導體晶片 11 上之電極 13 相對應之位置上形成有柱電極 22A。

 柱電極 22A 係藉銅(Cu)所形成。該柱電極 22A 係設於

業已形成在間隔件基材 21A 之貫通孔 31A 內。又，在間隔件基材 21A 與柱電極 22A 間形成有第 1 絕緣層 25(以粗糙面表示)，且使間隔件基材 21A 與柱電極 22A 呈不短路之狀態。在本實施例中，第 1 絕緣層 25 係採用聚醯亞胺樹脂。

5 該柱電極 22A 之圖中下端部係與隔離層金屬 14 直接接合，又，上端部則是與再佈線層 23 做電性連接者。再佈線層 23 與柱電極 22A 同樣，亦藉銅形成者，且具有預定圖案。接著，再佈線層 23 中相對於與柱電極 22A 連接之連接位置相反側之端部上，形成一具有外部連接端功能之外部連接
10 端子 24。該外部連接端子 24 係使用諸如焊球。

進而，再佈線層 23 之上部形成有第 2 絕緣層 26。第 2 絕緣層 26 主要是為了保護再佈線層 23 而形成者。該第 2 絕緣層 26 與第 1 絕緣層 25 同樣，亦藉聚醯亞胺樹脂形成者。

15 在此，以半導體晶片 11 與間隔件基材 21A 相接合之接合結構、及電極 13 與柱電極 22A 之電氣連接結構為主，進行如下說明。

首先，注意半導體晶片 11 與間隔件基材 21A 接合之接合結構，本實施例中對於半導體晶片 11 與間隔件基材 21A
20 相接合時並不使用接著材或蠟材，又，亦不採用藉熔著或熔接之類的加熱方式之接合裝置。

在本實施例中，令位於半導體晶片 11 與間隔件基材 21A 中各相接合之位置中的接合面為具有高精度之平滑面(鏡面)，將半導體晶片 11 及間隔件基材 21A 放在真空環境

下之後，再一邊同時按壓兩平滑面，一邊使其等相接觸者。藉此，兩平滑面互相密接，不用黏著劑亦可使各平滑面一體化，使半導體晶片 11 與間隔件基材 21A 形成強固接合之狀態(該接合法稱為微小基材面接合法)。

5 此時，欲做接合之雙方材質宜為同一或同類者。即，位於半導體晶片 11 之接合位置中之材質及位於間隔件基材 21A 之接合位置中之材質宜為同一或同類者。藉此，可提高半導體晶片 11 與間隔件基材 21A 相接合之接合力，且可提高半導體裝置 10A 之可靠性。

10 在本實施例中，半導體晶片 11 之接合位置係一藉 SiO_2 形成之絕緣膜 15，間隔件基材 21A 為矽。惟，雖未於圖中顯示，間隔件基材 21A 之表面通常形成有 SiO_2 之薄膜層。藉此，位於半導體晶片 11 之接合位置中之材質及間隔件基材 21A 之接合位置中之材質為同一者。

15 進而，如前述，半導體晶片 11 及間隔件基材 21A 之接合位置皆為平滑面。藉此，在本實施例中，在真空環境下，將互呈平滑面之兩接合面相接觸並予以按壓，便可使半導體晶片 11 與間隔件 20A 一體化者。

 如此，在本實施例中，藉使半導體晶片 11 與間隔件
20 20A(間隔件基材 21A)直接接觸而呈一體化，因此與習知所實行之利用凸塊及底層填充樹脂而將半導體晶片與間隔件相接合之結構相比，可以較強的接合力將半導體晶片 11 與間隔件 20A 相接合者。

 又，在本實施例中，並沒有設置用以密封半導體晶片

11 之密封樹脂，藉此可謀求散熱特性提昇者。又，只單純使其等在真空環境下相接觸，便可將半導體晶片 11 與間隔件 20A 相接合，因此可謀求接合所需之零件數的減少者。

又，在本實施例中，構建成一種結構，即：藉使半導體晶片 11 與間隔件 20A 相接合而於外部所形成之段差部設置有接合輔助構件 27 者。藉此，可進一步提高半導體晶片 11 與間隔件 20A 之安裝強度，且可進一步提高半導體裝置 10A 之可靠性。

接著，對於電極 13 與柱電極 22A 之電性連接結構進行說明。如前述，柱電極 22A 係形成在間隔件基材 21A 所形成之貫通孔 31A 內。

迄今，如前述，欲將半導體晶片與間隔件做電性連接時，在半導體晶片形成焊接凸塊，將此在間隔件上做覆晶接合而進行連接者。

對此，在本實施例中，則是以直接將柱電極 22A 形成在半導體晶片 11 之電極 13 上(詳而言之為隔離層金屬 14 上)之結構為特徵所在。即，本實施例之半導體裝置 10A 係藉電鍍法(對此容予後述)等方法而直接將柱電極 22A 形成在電極 13 上，在柱電極 22A 與電極 13 間沒有焊接凸塊等其他導電性要素存在。

為此，依本實施例之半導體裝置 10A，不需要習知所需之凸塊或底層填充樹脂，便可謀求零件數的減少。又，不需要凸塊或底層填充樹脂時，亦可謀求半導體裝置 10A 之薄型化。進而，與使用有凸塊之習知連接結構相較之下，

可將相鄰接之柱電極 22A 之電極間間距窄距化，藉此可謀求半導體裝置 10A 高密度化者。

接著，針對構建成上述構造之半導體裝置 10A 之製造方法進行說明。第 2A 至 4D 圖係半導體裝置 10A 之製造方法 5 的說明圖。此外第 2A 至 4D 圖中，針對與第 1 圖所示之構成同一之構成附上同一標號，並省略其說明。

為製造半導體裝置 10A，如第 2A 圖所示，準備半導體晶片 11 及間隔件基材 21A。半導體晶片 11 係一藉經過周知之半導體製造步驟而製造者，電路形成面側(圖中上面) 10 形成有一藉隔離層金屬 14 所保護之電極 13。

又，除形成電極 13 之形成位置外之位置係形成有由 SiO_2 所構成之絕緣膜 15，藉該絕緣膜 15 而保護有電路形成面上所形成之電子電路。該絕緣膜 15 中至少與間隔件基材 21A 相接合之部位係構成為具高精度之平滑化。

15 另一方面，間隔件基材 21A 係由矽晶圓所切割者，與半導體晶片 11 上所形成之電極 13 相對應之位置上開設有貫通孔 31A。該貫通孔 31A 係構成為具有較電極 13 面積還大之截面積。該間隔件基材 21A 係於全表面上形成有作為保護膜之用之 SiO_2 膜(未圖示)。

20 進而，在間隔件基材 21A 之表面上至少與半導體晶片 11 相接合之部位係構成為具高精度之平滑化。令該半導體晶片 11 及間隔件基材 21A 所形成之接合面平滑化之方法可想到各種方法，但以比較便宜的處理而言，可使用研磨(lapping)等研削法，又，欲形成更具高精度之平坦面時，則

可適用 CMP(化學機械研磨)或乾式蝕刻者。

具有上述結構之半導體晶片 11 及間隔件基材 21A 係放進真空裝置內。接著，將貫通孔 31A 及電極 13 進行定位後，如第 2B 圖所示，半導體晶片 11 及間隔件基材 21A 係使各自的平坦面(鏡面)相接觸且持續加壓。藉此，使兩平滑面相密接，不用接著劑，亦可使各平滑面一體化，藉此，使半導體晶片 11 與間隔件基材 21A 形成強固接合之狀態(一體化步驟)。

在一體化步驟結束後，接著實施一在貫通孔 31A 內且半導體晶片 11 之電極 13(隔離層金屬 14)上直接形成柱電極 22A 之柱電極形成步驟。在該柱電極形成步驟中，首先如第 2C 圖所示，形成一可密封貫通孔 31A 且覆蓋間隔件基材 21A 上面之第 1 絕緣層 25。該第 1 絕緣層 25 為聚醯亞胺樹脂，使用旋塗法或封裝(potting)法，可將之形成在間隔件基材 21A 上面。

形成有第 1 絕緣層 25 後，接著如第 3A 圖所示，在第 1 絕緣層 25 上部形成有設有預定開口部 33 之第 1 抗蝕材 32。接著，令該第 1 抗蝕材 32 為遮蔽，進行用以除去第 1 絕緣層 25 之處理。藉該除去處理之實施，如第 3B 圖所示，形成電極用孔 34，並於電極用孔 34 下端裸露有隔離層金屬 14。

其次，對電極用孔 34 內實施鍍銅，藉此，如第 3C 圖所示，在電極用孔 34 內形成柱電極 22A。此際，柱電極 22A 係藉於隔離層金屬 14 上直接析出有銅而形成者，因此成為

柱電極 22A 直接形成在隔離層金屬 14(即電極 13)之結構。
此外，對於柱電極 22A 的形成，可採用電解電鍍法或無電
解電鍍法其中一種方法。

上述之柱電極形成步驟一結束後，接著實施形成再佈
5 線層 23 之再佈線形成步驟。該再佈線形成步驟中，如第 4A
圖所示，再佈線層 23 之形成位置上形成有設有開口部 36
圖案之第 2 抗蝕材 35。該第 2 抗蝕材 35 係藉將光阻材料塗
佈在間隔件基材 21A 上之後再進行曝光及顯影處理而形成
者。

10 俟形成有第 2 抗蝕材 35 後，接著在開口部 36 內實施
銅鍍，藉此，如第 4B 圖所示，在開口部 36 內形成再佈線
層 23。此時，在柱電極 22A 之上端部直接形成再佈線層 23，
因此可使柱電極 22A 與再佈線層 23 間之電性連接性良好。
此外，對於再佈線層 23 的形成，亦可採用電解電鍍法或無
15 電解電鍍法其中一種方法。

俟上述之再佈線形成步驟一結束後，接著實施一於再
佈線層 23 上形成外部連接端子之外部連接電極形成步驟。
在外部連接電極形成步驟中，首先除去第 2 抗蝕材 35，並
於藉此而裸露之第 1 絕緣層 25 及再佈線層 23 上部形成第 2
20 絕緣層 26。該第 2 絕緣層 26 係藉與第 1 絕緣層 25 同質之
聚醯亞胺樹脂而形成者。

該第 1 絕緣層 25 中與再佈線層 23 相對之預定位置上，
如第 4C 圖所示，形成有開口部 37。在本實施例中，令開
口部 37 形成在再佈線層 23 中與柱電極 22A 連接之端部相

反側之端部，但開口部 37 的形成位置可隨意選定者。又，以開口部 37 之形成方法而言，可使用蝕刻法或雷射加工法等方法。

其次，如第 4D 圖所示，在上述開口部 37 載設有藉焊球構成之外部連接端子 24，且藉熱處理，使之與再佈線層 23 相接合。藉以上一連串的步驟之實施，便製造第 1 圖所示之半導體裝置 10A。

依上述製造方法，可在一體化步驟中使半導體晶片 11 與間隔件基材 21A 直接相接觸而呈一體化者。為此對於半導體晶片 11 與間隔件 20A 之接合上，無須設置習知所需之凸塊或底層填充樹脂，可謀求製造步驟的簡化。

又，在於一體化步驟結束後才實施之柱電極形成步驟中，在貫通孔 31A 內形成有柱電極 22A。此時，柱電極 22A 係直接形成在半導體晶片 11 之隔離層金屬 14(電極 13)，可謀求半導體晶片 11 與間隔件 20A 間之阻抗的降低，且可謀求電氣特性提昇。又，以形成在間隔件基材 21A 之貫通孔 31A(實際上是在內周形成有第 1 絕緣層 25 之膜)為模具，以形成柱電極 22A，因此可將柱電極 22A 的形成簡易化。

又，在上述實施例中，令半導體晶片 11 與間隔件基材 21A 之接合位置中之材質為同一材質(SiO_2)者，但亦未必須使位於半導體晶片 11 與間隔件基材 21A 之接合位置中之材質為同一材質者。例如，即使是沒有 SiO_2 膜存在且只由 Si 構成之間隔件基材 21A，但兩接合面只要是平滑面，只要與藉 SiO_2 所構成之絕緣膜 15 相接觸，就可進行接合者。

接著，針對本發明之第 2 實施例進行說明。第 5 圖係顯示有本發明第 2 實施例之半導體裝置 10B，又第 6A、6B 圖係顯示半導體裝置 10B 之製造方法(但只示出一體化步驟)。此外，在第 5 圖中，針對與先前說明中所使用過的第 1 圖至第 4D 圖中所示之結構同一之部分，付予同一標號，並省略相關說明。又，對於後面說明所用之第 6A 圖之後的各圖亦同樣者。

本實施例之半導體裝置 10B 之特徵係於：在業已形成在半導體晶片 11 之絕緣膜 15 表面上，形成晶片側聚醯亞胺膜 16(相當於申請專利範圍中之第 1 絕緣層。以下稱為晶片側 PI 膜 16)，且在可構成間隔件 20B 之間隔件基材 21A 外周上形成有間隔件側聚醯亞胺膜 28(相當於申請專利範圍中之第 2 絕緣材層。以下稱為間隔件側 PI 膜 28)者。

在本實施例中，將晶片側 PI 膜 16 形成在絕緣膜 15 全表面(電極 13 之形成位置除外)，又間隔件側 PI 膜 28 是形成在間隔件基材 21A 之外周全面。惟，各 PI 膜 16、28 也未必一定要形成在絕緣膜 15 及間隔件基材 21A 之外周全面才行，只要至少形成在半導體晶片 11 與間隔件基材 21A 之接合位置上即可。

晶片側 PI 膜 16 及間隔件側 PI 膜 28 各與半導體晶片 11 及間隔件基材 21A 相接合之位置係形成為具有高度平滑性之平滑面。在本實施例中，藉使半導體晶片 11 上所形成之晶片側 PI 膜 16 及間隔件基材 21A 所形成之間隔件側 PI 膜 28 相接觸，便可做成使半導體晶片 11 與間隔件基材 21A

相接合之結構。

因此，依半導體裝置 10B 之製造方法，在實施一體化步驟時，如第 6A 圖所示，事先在半導體晶片 11 之側，將晶片側 PI 膜 16 形成在絕緣膜 15 上，又在靠間隔件基材 21A 之側，在其表面(在本實施例中，指外周全面)上先形成間隔件側 PI 膜 28 者。接著，做成上述結構之半導體晶片 11 及間隔件基材 21A 係放入真空裝置內，在預定真空環境下，使相互的平坦面(鏡面)兩相接觸，並持續加壓者。

藉此，如第 6B 圖所示，使兩方平滑面密接，即使不使用接著劑等，亦可使各平滑面一體化，藉此，可形成一使半導體晶片 11 與間隔件基材 21A 強固接合之狀態。如此，即使是半導體晶片 11 及間隔件基材 21A 表面上被覆有 PI 膜 16、28(樹脂膜)之狀態，亦可不用接著劑等，只須使其等相接觸且按壓，便可將半導體晶片 11 與間隔件基材 21A 相接合者。

此時，將 PI 膜 16、28 只形成在半導體晶片 11 及間隔件基材 21A 之接合位置時，可將接合上所需之高度平滑性之領域縮小，可輕易進行 PI 膜 16、28 之表面平滑化處理者。又，將 PI 膜 16、28 形成在半導體晶片 11 及間隔件基材 21A 之外周全面時，可使該 PI 膜 16、28 發揮作為用以保護半導體晶片 11 及間隔件基材 21A 之保護層之功能。

又，一體化步驟結束後之步驟係與使用第 2A 圖至第 4D 圖說明之第 1 實施例之半導體裝置 10A 之製造方法同一，因此省略相關說明。

接著，針對本發明之第 3 實施例進行說明。第 7 圖係顯示有本發明第 3 實施例之半導體裝置 10C，又，第 8A 至 8C 圖係顯示有半導體裝置 10C 之製造方法(只顯示柱電極形成步驟及一體化步驟)。

5 本實施例之半導體裝置 10C 之特徵在於：藉於實施一體化步驟之前先實施柱電極形成步驟而製造者。即：本實施例之半導體裝置 10C，係藉於半導體晶片 11 之電極 13(隔離層金屬 14)上直接形成柱電極 22B 後，再將形成有該柱電極 22B 之半導體晶片 11 直接與間隔件基材 21A 接合而製造者。

10 如第 8A 圖所示，對於半導體晶片 11 形成柱電極 22B 時可使用諸如下列方法。即，首先在半導體晶片 11 之電路形成面上黏貼具有感光性之乾膜(dryfilm)。該乾膜之厚度係設定為與柱電極 22B 之高度相等者。接著，對該乾膜施行
15 曝光及顯影處理，在柱電極 22B 之形成位置形成貫通孔。

 在形成有該貫通孔之狀態下，形成於其底部裸露有隔離層金屬 14 之狀態。接著，進行銅電鍍，在乾膜所形成之貫通孔內形成柱電極 22A。此時，柱電極 22A 係成為直接形成在隔離層金屬 14(電極 13)上之結構。接著，藉乾膜之
20 剝離，便可製造第 8A 圖所示之形成有柱電極 22B 之半導體晶片 11。

 俟上述之柱電極形成步驟結束後，即接著實施一體化步驟。在該一體化步驟中，半導體晶片 11 及間隔件基材 21B 放入真空裝置內，在預定的真空環境下，使互相的平坦面

(鏡面)相接觸，接著加壓。藉此，使兩平滑面密接，不用接著劑，亦可使各平滑面呈一體化，如第 8B 圖所示，半導體晶片 11 及間隔件基材 21B 形成強固接合之狀態。

在半導體晶片 11 與間隔件基材 21B 形成一體化之狀態中，柱電極 22B 則形成插通於間隔件基材 21A 上所形成之貫通孔 31A 內之狀態。又，柱電極 22B 之直徑相對於貫通孔 31A 直徑來得小，因此在柱電極 22B 外周面與貫通孔 31A 內周面間形成有間隙。

俟上述之一體化步驟結束後，便實施第 1 絕緣層 25 之形成處理。此時，如第 8C 圖所示，第 1 絕緣層 25 亦填滿在柱電極 22B 外周面與貫通孔 31A 內周面間之間隙內。又，在第 1 絕緣層 25 之形成處理結束後之步驟係與使用第 2A 至 4D 圖說明之第 1 實施例之半導體裝置 10A 之製造方法同一，因此省略相關說明。

如上，依本實施例之半導體裝置 10C 及其製造方法，在柱電極形成步驟結束後即實施一體化步驟，因此柱電極 22B 便可不受間隔件基材 21A 上所形成之貫通孔 31A 的限制而形成者。即，與前述第 1 實施例之半導體裝置 10A 之製造方法不同，貫通孔 31A 係不用做為用以形成柱電極 22B 即所謂的模具，可使柱電極 22B 及貫通孔 31A 個別形成(惟，有必要將柱電極 22B 直徑小於貫通孔 31A 直徑者)。

為此，利用形成在間隔件基材 21A 之貫通孔 31A，與形成柱電極 22A 之第 1 實施例之製造方法相比，依本實施例之半導體裝置 10C 的製造方法，可易於形成貫通孔 31A

者。

又，在第 1 實施例之製造方法中，以貫通孔 31A 為模具而形成柱電極 22A 之構成，因此貫通孔 31A 直徑就這樣成為決定柱電極 22A 直徑的主因所在。

5 對於間隔件基材 21A 之鑿孔加工係以機械加工或雷射加工為主。對此，在本實施例中，藉具有感光性之乾膜進行曝光及顯影處理，以形成柱電極 22B 形成用之貫通孔，因此可謀求貫通孔微細化。藉此，可以柱電極 22B 之窄距排列設置，可謀求半導體裝置 10C 之高密度化。

10 接著，針對本發明之第 4 實施例，進行說明之。第 9 圖係顯示本發明第 4 實施例之半導體裝置 10D，又第 10A 及 10B 圖係顯示半導體裝置 10D 之製造方法(只顯示一體化步驟)。

 本實施例半導體裝置 10D 之特徵係於：多數(圖中只顯示 2 支)柱電極 22A 排列在一個貫通孔 31B 內者。為此，如第 10A 圖所示，形成在間隔件基材 21B 之貫通孔 31B 係做成具有比前述第 1 至 3 實施例中之貫通孔 31A 還大之面積的結構。又，在一體化步驟中，如第 10B 圖所示，形成一於間隔件基材 21B 之形成有貫通孔 31B 之緣部係與半導體晶片 11 直接接合之構造。

15

20

 藉本實施例之結構，一個貫通孔 31B 內配置有多數柱電極 22A，因此與柱電極 22A 之形成精度相比之下，可降低貫通孔 31B 之形成精度，藉此可使貫通孔 31B 輕易化。

 接著，說明本發明之第 5 實施例。第 11 圖係顯示本發

明第 5 實施例之半導體裝置 10E，又第 12A 至 12C 圖係顯示半導體裝置 10E 之製造方法(只顯示柱電極形成步驟及一體化步驟)。

本實施例之半導體裝置 10E 亦與第 3 實施例之半導體裝置 10D 同樣，做成將多數柱電極 22B 配設於一個貫通孔 31B 內之構成。藉此，該柱電極 22B 亦做成一直接形成於隔離層金屬 14(電極 13)之構成者。

又，柱電極 22B 係使用與前述第 3 實施例同樣之具有感光性之乾膜而形成，又，柱電極 22B 之形成時機是比一體化步驟還早實施者。進而在本實施例中，在半導體晶片 11 上形成有柱電極 22B 之後再形成可保護柱電極 22B 之保護層 17 者為特徵所在。

保護層 17 係由絕緣材所構成者。具體而言，在本實施例中，是做成一於不使柱電極 22B 形成時所使用之乾膜剝離之狀態下，以該乾膜當做為保護層 17 使用之構造(保護層形成步驟)。藉該構造，便可減少剝離乾膜之步驟，與設有新保護層 17 之構造相比，可謀求製造步驟的減縮及零件數的減少者。惟，保護層 17 之形成方法係不限於本實施例之製造方法，亦可使用其他方法(諸如利用光阻等之方法)。

俟上述之形成柱電極 22B 之柱電極形成步驟及形成保護層 17 之保護層形成步驟結束時，便進行一體化步驟之實施。該一體化步驟中，在預定之真空環境下將半導體晶片 11 及間隔件基材 21B 之平坦面(鏡面)相互接觸並加壓者(參考第 12A 圖)。

藉此，不使用接著劑等亦可使平滑面相互密接，使各平滑面一體化，如第 12B 圖所示，使半導體晶片 11 與間隔件基材 21B 形成一強固接合之狀態。在該接合狀態下，如第 12B 圖所示，構建成一使保護層 17 外周與貫通孔 31B 間形成有間隙者。

俟上述之一體化步驟結束時，便進行第 1 絕緣層 25 之形成處理。此時，如第 12C 圖所示，第 1 絕緣層 25 亦填滿於保護層 17 外周面與貫通孔 31B 內周面之間的間隙內。又，第 1 絕緣層 25 之形成處理結束後之步驟係與使用第 2A 至 4D 圖做說明之第 1 實施例之半導體裝置 10A 之製造方法同一，因此省略相關說明。

如上，在本實施例中，是構建成以藉絕緣材料構成之保護層 17 保持柱電極 22B 之構造，因此即使因為窄距化所以柱電極 22B 微細化，亦可確實保護直接形成在半導體晶片 11 上之柱電極 22B。進而，可防止當柱電極 22B 插入貫通孔 31B 時，柱電極 22B(尤其是靠近貫通孔 31B 內周之柱電極 22B)衝撞到間隔件基材 21B 而破損者。

接著，說明本發明第 6 至 8 實施例。第 13 圖係顯示第 6 實施例之半導體裝置 10F，第 14 圖顯示第 7 實施例之半導體裝置 10G，又第 15 圖是顯示第 8 實施例之半導體裝置 10H 者。各實施例之半導體裝置 10G-10H 係構建成在上述第 1 至 5 實施例之半導體裝置 10A-10E 中更謀求薄型化者。

第 13 圖所示之半導體裝置 10F 之特徵在於：藉間隔件基材 21C 及補強構件 29 構建成間隔件 20F 者。間隔件基材

21C 係形成為比第 1 至 5 實施例之半導體裝置 10A-10E 所使用之間隔件基材 21A、21B 還薄者。惟，該間隔件基材 21C 係構建成：其設有發揮增黏劑功能之補強構件 29，俾維持預定機械強度者。

- 5 補強構件 29 係於中央形成有開口部 38，該開口部 38 面積係設定為比形成在間隔件基材 21C 之貫通孔 31B 之面積及半導體晶片 11 之面積還大者。即構建成下列構造，即，半導體晶片 11 直接與間隔件基材 21C 呈一體化之狀態下，在補強構件 29 與間隔件基材 21C 間形成有段差部 39，在
10 該段差部 39 內收容有半導體晶片 11 者。藉該構造，半導體晶片 11 係可收容於間隔件 20F 所形成之段差部 39 內(凹陷部分)，因此可謀求半導體裝置 10F 之薄型化者。

- 第 14 圖所示之半導體裝置 10G 之特徵係於：在不另設置補強構件 29 之狀態下，在間隔件基材 21D 上形成形成段
15 差部 30 者。進而，第 15 圖所示之半導體裝置 10H，係構建成：將形成在間隔件基材 21E 之貫通孔 31C 的面積比半導體晶片 11 之面積還大，俾可將半導體晶片 11 收容在貫通孔 31C 內者。對於半導體裝置 10G、10H 之任一個構造中，半導體晶片 11 之部分或全部高度係與間隔件基材
20 21D、21E 的厚度重疊，因此可謀求半導體裝置 10G、10H 之薄型化者。

 接著，說明本發明之第 9 至 12 實施例。第 16 及 17 圖係顯示第 9 實施例之半導體裝置 10I 者。又，第 18 圖係第 10 實施例之半導體裝置 10J 的剖視圖，第 19 圖係第 11 實

施例之半導體裝置 10K 的剖視圖，第 20 圖係第 12 實施例之半導體裝置 10L 的剖視圖。

第 16 圖至第 20 圖所示之半導體裝置 10I 至 10L 之特徵都在於間隔件 20I 至 21H 設有多數半導體晶片 11 者。

5 又，在第 16 圖之後的各圖中，針對與先前說明中所使用之第 1A 至 15 圖所示之構造同一之構成附與同一標號，並省略說明。

第 16 圖及第 17 圖所示之第 9 實施例之半導體裝置 10I 係一於間隔件 20I 之間隔件基材 21F 沒形成有貫通孔之構造。即，間隔件基材 21F，有多數空腔部 40A 由間隔件基
10 材 21F 下面開始形成，各空腔部 40A 的頂面部分係與半導體晶片 11 接合，俾形成一使多數半導體晶片 11 配設於間隔件 20I 之構造。為此，如第 17 圖所示，半導體晶片 11 隱藏在間隔件基材 21F 的頂板部 42，形成一由半導體裝置
15 10I 之外部看不到之構造。

又，各半導體晶片 11 係使其背面部 11a 接合在空腔部 40A，俾固定於間隔件基材 21F 上。又，半導體晶片 11 與間隔件基材 21F 間之接合係與前述各實施例同樣，可使用微小基材面接合方法予以接合者。

20 此時，多數半導體晶片 11 可同時一次接合在間隔件基材 21F。即，多數半導體晶片 11 對間隔件基材 21F 之接合係藉所謂的批式處理進行者。藉此，可有效率地實施半導體晶片 11 對間隔件基材 21F 之接合處理。

此外，如前述，使用微小基材面接合方法時，相接合

之兩材質是以同一或同種類者為佳。為此，在本實施例中，間隔件基材 21F 係使用矽或玻璃者。藉此，可提高半導體晶片與間隔件基材 21F 之接合力，且可提高半導體裝置 10I 之可靠性。

5 又，對於將多數半導體晶片 11 接合在同一間隔件基材 21F 之構造而言，為了提高半導體裝置 10I 之可靠性之重點來說，提高每一個半導體晶片 11 對間隔件基材 21F 之接合強度是有其必要。關於此點，在本實施例中，使半導體晶片 11 之背面部 11a 全面與空腔部 40A 做微小積材面接合，
10 因此可擴大半導體晶片 11 與間隔件基材 21F 之接合面積，可提高半導體晶片 11 之安裝強度。

 第 18 圖所示之第 10 實施例之半導體裝置 10J 之特徵係於：由間隔件基材 21G 下面形成空腔部 40B，並於與頂板部 42 之半導體晶片 11 相對之預定部位形成有開口部 43
15 者。在本實施例中，形成一使頂板部 42 之開口部 43 外周緣與半導體晶片 11 之背面部 11a 做微小基材面接合之構造。

 如本實施例，藉於間隔件基材 21G 形成開口部 43，便形成一半導體晶片 11 之背面部 11a 裸露於外部之構造。藉此，可有效率地將半導體晶片 11 所產生之熱予以散出，可
20 確實地防止半導體晶片 11 因熱而有進行錯誤動作或受到損傷之情況發生者。

 如第 19 圖所示之第 11 實施例之半導體裝置 10K 之特徵係於：由間隔件基材 21G 下面形成空腔部 40B，並於頂

板部 42 之開口部 43 及半導體晶片 11 之配設位置之外的部位形成有接著劑 44 者。

本實施例之半導體裝置 10K，與第 18 圖所示之第 11 實施例之半導體裝置 10J 同樣，在間隔件基材 21G 之頂板部 42 中與半導體晶片 11 背面部 11a 相對之位置上開口部 43，藉此以謀求半導體晶片 11 之散熱效率提昇者。惟，藉開口部 43 之形成，可使用以提升散熱效率之頂板部 42 與半導體晶片 11 之接合面積變窄，與第 18 所示之半導體裝置 10J 相比，使得半導體晶片 11 對於間隔件基材 21G 之接合強度減弱。

在此，在本實施例中，則構建成：將多數半導體晶片 11 在間隔件基材 21G 做微小基材面接合之後，在空腔部 40B 內配設接著劑 44 之構造。該接著劑 44 係諸如熱固化型樹脂，選定具有一業經固化後可保護半導體晶片 11 之強度者。藉此，依本實施例之半導體裝置 10K，可一邊維持高度的半導體晶片 11 之散熱效率，且可提昇半導體晶片 11 對於間隔件基材 21G 之機械強度。

第 20 圖所示之第 12 實施例之半導體裝置 10L 則構建成：在間隔件基材 21H，由上面形成有多數空腔部 40B，且在各空腔部 40B 的底板部 45 形成有貫通孔 31D 者。接著，將半導體晶片 11 之絕緣膜 15 微小基材面接合在底板部 45 之形成有貫通孔 31D 之緣部上，形成一固定於間隔件基材 21H 之構造。又，柱電極 22A 係具有一藉貫通孔 31D 而延伸到間隔件基材 21H 之下面側之構造。

進而，空腔部 40C 的深度係設定成略與半導體晶片 11 之厚度相等者。因此形成一構造，即，在一使半導體晶片 11 與間隔件基材 21H 相接合之狀態下，半導體晶片 11 係位於間隔件基材 21H 之內部者。藉此，可縮小半導體晶片 11 及絕緣層 25、26 由間隔件基材 21H 突出之量，可謀求半導體裝置 10L 之薄型化。

接著，說明本發明之第 13 及 14 實施例。第 21 圖係第 13 實施例之半導體裝置 10M 的剖視圖，第 22 圖係第 13 實施例之半導體裝置 10M 之立體圖。又，第 23 圖係第 14 實施例之半導體裝置 10N 之剖視圖。

該第 21 至 23 圖所示之半導體裝置 10M、10N 之特徵係於：都設有接合補助構件 27，俾提昇半導體晶片 11 相對於間隔件 20G、20H 之接合強度者。

第 21 及 22 圖所示之第 13 實施例之半導體裝置 10M 乃是一於第 20 圖所示之第 12 實施例之半導體裝置 10L 設有接合補助構件 27 者。具體而言是一個構造，即：空腔部 40C 內之底板部 45 的上面與半導體晶片 11 之外周側面之間設有接合補助構件 27 者。為此，如第 22 圖所示，從外觀看半導體裝置 10M 時，是形成一於半導體晶片 11 的外周位置有接合補助構件 27 由空腔部 40C 裸露之狀態。

又，第 23 圖所示之第 14 實施例之半導體裝置 10M 則是一於第 18 圖所示之第 10 實施例之半導體裝置 10J 設有接合補助構件 27 者。具體而言是做成一構造，即空腔部 40C 的頂板部 42 上下兩面與半導體晶片 11 之外周側面及背面

部 11a 之間設有接合補助構件 27 者。藉此，藉第 13 及 14 實施例之半導體裝置 10M、10N，可一邊維持高度之半導體晶片 11 之散熱效率，一邊提高半導體晶片 11 與間隔件基材 21G、21H 之機械強度者。

5 接著，說明本發明之第 15 至 17 實施例。第 24 圖係第 15 實施例之半導體裝置 10P 的剖視圖，第 25 圖係半導體裝置 10P 之立體圖。又，第 26 圖係第 16 實施例之半導體裝置 10Q 之剖視圖。第 27 圖係第 17 實施例之半導體裝置 10R 之剖視圖。

10 該第 24 至 27 圖所示之各半導體裝置 10P 至 10R 之特徵係於：都是在間隔件基材 21G、21H、21I 設有密封樹脂 46A、46B 者。

 第 24 圖所示之半導體裝置 10P 是構建成：將半導體晶片 11 接合在已形成在間隔件基材 21I 之空腔部 40D 之後，
15 在空腔部 40D 與半導體晶片 11 之相隔部分配設有密封樹脂 46A 者。該密封樹脂 46A 係指：於成為基材之樹脂(諸如環氧系樹脂)混入有作為填充物之矽者。又，成為基材之樹脂宜使用高熱傳導性之物質，以提昇散熱性者。

 又，對於空腔部 40D 與半導體晶片 11 間之相隔部分導
20 入密封樹脂 46A 之具體方法，可使用孔版印刷法。實施該孔版印刷法時，可在不使用篩網之狀態下，利用擠壓(squeeze)而直接在接合有半導體晶片 11 之間隔件基材 21I 之上部進行孔版印刷者。使用有該方法時，不需要篩網，因此可謀求用以配設密封樹脂 46A 之處理的簡易化。

如上述，藉於空腔部 40D 與半導體晶片 11 間之相隔部位配設有密封樹脂 46A，便可使半導體晶片 11 藉密封樹脂 46A 予以密封之狀態下固定在間隔件基材 21I 者。藉此，可確實地謀求半導體晶片 11 的保護，並與設置接合補助構
5 件 27(參考第 21 至 23 圖)及接著劑 44(參考第 19 圖)之形態同樣，可提升半導體晶片 11 對於間隔件基材 21I 之安裝強度。

又，如上述，密封樹脂 46A 係可使用成為基材之樹脂(諸如環氧系樹脂)混入有作為填充物之矽者。即，密封樹脂
10 46A 係構造成混入有與間隔件基材 21I 同一材質之填充物者。藉此，可將密封樹脂 46A 與間隔件基材 21I 間之熱膨脹差縮小，因此即使設有密封樹脂 46A，亦可防止半導體裝置 10P 產生翹曲者。

第 26 及 27 圖所示之半導體裝置 10Q、10R 之特徵係
15 於：使用模製法形成密封樹脂 46B 者。使用模製法以形成密封樹脂 46B 時，不同於第 24 及 25 圖所示之藉孔版印刷法以形成密封樹脂 46A 之方法，是可提高欲形成之密封樹脂 46A 形狀的自由度。

即，密封樹脂 46B 係使用模具(圖中未示)予以成型者，
20 透過適當選擇模具所形成之空腔，便可形成具任一形狀之密封樹脂 46B 者。第 26 及 27 圖所示之形態中，相對於間隔件基材 21G、21H 表面，可形成一高出一高度 ΔH 之密封樹脂 46B 者。

如此，不受限於間隔件基材 21G、21H 下形成密封樹

脂 46B，便可隨意設定半導體裝置 10Q、10R 的機械強度者。又，藉用模製法形成密封樹脂 46B，便可一次形成多數密封樹脂 46B，可提高製造效率者。此外亦可構造成：在密封樹脂 46B 混入有與間隔件基材 21G、21H 同一材質之填充物，亦可防止半導體裝置 10Q、10R 產生翹曲者。

接著，說明本發明之第 18 至 20 實施例。第 28 圖係顯示第 18 實施例之電子裝置 10S 之剖視圖，第 29 圖係顯示第 19 實施例之電子裝置 10T 之剖視圖，第 30 圖係顯示第 20 實施例之電子裝置 10U 之剖視圖。

10 前述之各實施例之電子裝置 10A 至 10R 中，是顯示使用半導體晶片 11 作為載設於間隔件基材 21A 至 20I 之電子元件之形態。對此，在第 18 至 20 實施例中，其中特徵係於使用被動元件之晶片零件 50A-50C 作為電子元件者。該晶片零件 50A-50C，具體而言是指晶片電容器、晶片電阻
15 之類。

該等各晶片零件 50A-50C 係指：將電阻或電容器形成在晶圓等基板上之後，再將該基板切塊(dicing)成小片狀者。欲進行切塊時，可適當選用切割刀片的刀尖角度及刀片寬度，又以切塊法而言，可使用半切塊，便可使各晶片零件 50A-50C 做成具有各種形狀之構造者。具體而言，晶片零件 50A 為傾斜切割型之形態，晶片零件 50B 為階梯切割型者，晶片零件 50C 則為 V 字形切割型者。

第 28 圖所示之電子裝置 10S，係於形成在間隔件基材 21J 之貫通孔 51 上裝設有晶片零件 50A-50C 者。該晶片零

件 50A-50C 與間隔件基材 21J 係與前述各實施例同樣，可使用微小基材面接合方法予以接合者。又，柱電極 22A 係具有直接形成在晶片零件 50A 至 50C 之電極 13 之構造。

因此，與上述各實施例同樣，使用被動元件之晶片零件 50A-50C，對於接合上亦不須設置凸塊或底層填充樹脂，可謀求零件數的減少。又，間隔件 20S 係藉柱電極 22A 而與晶片零件 50A-50C 做電性連接，與藉凸塊連接之連接構造相較之下，可將電極間距縮小而呈窄距化，藉此可謀求電子裝置 10S 之高密度化者。

進而，晶片零件 50A-50C 與間隔件基材 21J 係藉微小基材面接合而直接接觸，俾達成一體化，因此亦可以使用比凸塊或底層填充樹脂之接合力還強之接合力，將晶片零件 50A-50C 與間隔件基材 21J 相接合者。藉此，可提昇電子裝置 10S 之可靠性。

第 29 圖所示之電子裝置 10T 之特徵係於：使用藉矽構成之平板基板，作為可構成間隔件 20T 之間隔件基材 21K 者。又，晶片零件 50A-50C 之構造為：將其背面，藉微小基材面接合而直接接合在間隔件基材 21K 者。

進而，第 30 圖所示之電子裝置 10U 之特徵係於：在可構成間隔件 20U 之間隔件基材 21L 形成空腔 40E，在該空腔 40E 內接合有晶片零件 50A-50C 者。在本實施例中，晶片零件 50A-50C 做成將其背面藉微小基材面接合而直接接合在間隔件基材 21L 之構造。依第 29 及 30 圖所示之電子裝置 10T、10U，晶片零件 50A-50C 的全背面以微小基材面

接合之方式接合在間隔件基材 21K、21L，因此可提高接合強度，且可提昇電子裝置 10T、10U 的可靠性。

接著，說明本發明之第 21 實施例。第 31 圖係顯示第 21 實施例之電子裝置 10V 之剖視圖，第 32 圖係第 31 圖中之 A-A 線處之剖視圖。

前述各實施例之電子裝置(半導體裝置)10A-10R 中，是說明了使用半導體晶片 11 做為間隔件 20A-20R 上所載設之電子元件之形態，又，第 18-20 實施例之 10S-10V 中，是說明了使用被動元件之晶片零件 50A-50C 作為間隔件 20S-20U 上所載設之電子元件之形態。

對此，本實施例之電子裝置 10V 之特徵係於使用光學元件作為電子元件者。具體而言，在本實施例中，該光學元件係具有一使用有發光元件 55 及受光元件 56，藉光導波路而將此等做光學式連接之構造。

電子裝置 10V 主要是藉間隔件 20V、發光元件 55、受光元件 56 等所構造成者。間隔件 20V 之構造為：於間隔件基材 21M 上疊層有第 1 護面層 52、第 2 護面層 53 及核心層 54 者。

間隔件基材 21M 是矽基板，配設有第 1 護面層 52 之側的面為平滑面(鏡面)。又，該間隔件基材 21M 之預定位置上，利用周知的薄膜形成技術進行圖案化，形成佈線圖案 59。

第 1 護面層 52 係由玻璃材料所構成，並於該預定位置上以預定圖案而形成有用以形成核心層 54 之凹槽(參考第

32 圖)。該凹槽內形成有核心層 54。在形成有該核心層 54 之第 1 護面層 52 的表面上進而形成有第 2 護面層 53。該第 2 護面層 53 係藉與第 1 護面層 52 同一材料之玻璃材料所形成者。

- 5 又，核心層 54 之折射率 n_1 係設定為大於第 1 護面層 52 及第 2 護面層 53 之折射率 n_2 ($n_1 > n_2$)。為此，光在核心層 54 中行進時，該光係於核心層 54 內反覆全反射。藉此，形成一進入到核心層 54 之光在核心層 54 內傳送者。

- 形成上述構造之間隔件 20V 係於預定位置上形成有開口部 62、63。開口部 62 係設於發光元件 55 之配設位置，又，開口部 63 係設於受光元件 56 之形成位置。設有該開口部 62、63 之位置上，形成一有呈鏡面之間隔件基材 21M 的表面露出之狀態。

- 發光元件 55 係插入於形成在該間隔件基材 21M 之開口部 62 內。同樣，受光元件 56 亦插入於形成在間隔件基材 21M 之開口部 63 內。此時，發光元件 55 及受光元件 56 之與間隔件基材 21M 相對之面係形成為平滑面(鏡面)者。

- 藉此，與上述之各實施例同樣，在真空環境下，將發光元件 55 及受光元件 56 按壓於間隔件基材 21M，而使兩平滑面相密接者。藉此，發光元件 55 及受光元件 56 與間隔件基材 21M 便可不用接著劑等而呈一體化，形成強固接合之狀態(微小基材面接合方法)。

發光元件 55 為光二極體，且於側部形成有可發射光之發光部 55A。藉開口部 62 之形成，俾構建成：使裸露於該

開口部 62 之核心層 54 之圖中左端部與形成在發光元件 55 之發光部 55A 相對向者。藉此，在發光元件 55 所產生之光係進入位於該開口部 62 與開口部 63 間之核心層 54。

又，發光元件 55 係於圖中下面形成有電極 55B。該電極 55B 立設有柱電極 60，且於該下端部形成有外部連接端子 24。

此外，如前所述，開口部 63 上配置有受光元件 56。受光元件 56 為光二極體，在本實施例中，受光部 56A 是形成在圖中下方，電極 56B 則形成在圖中上方者。

開口部 63 之形狀係形成比受光元件 56 還大，構造成可與受光元件 56 在內配置有反射構件 57 者。該反射構件 57 係構造成：具有一反射面 57A，該反射面 57A 係與露出於開口部 63 之核心層 54 之圖中右端部相對向者。又，反射面 57A 的角度係構建成：可使在發光元件 55 發光而由核心層 54 之右端部射出之光照射在受光元件 56 之受光部 56A 者。

因此，藉使配設於間隔件 20V 之發光元件 55 及受光元件 56 經由與作為導波路之用的第 1、第 2 護面層 52、53 及核心層 54 而做光學式連接之構造，便可使發光元件 55 與受光元件 56 間進行信號發送者。藉此，可在電子裝置 10V 內進行無損失且精度高之信號發送者，可提昇電子裝置 10V 之可靠性。

又，形成在受光元件 56 之電極 56B 係與形成在間隔件基材 21M 之佈線圖案 59 之圖中左端部電性連接者。又，

在各護面層 52、53 及核心層 54 之佈線圖案 59 之與圖中右端部相對之位置上形成有貫通電極 61。

該貫通電極 61 之圖中上端部係與佈線圖案 59 做電性連接，在下端部則形成有外部連接端子 24。又，發光元件 55 之形成有電極 55B 之開口部 62 及第 2 護面層 53 的表面上形成有絕緣層 58，俾可做到間隔件 20V 的保護者。

如此，在本實施例中，亦使發光元件 55 及受光元件 56 與間隔件 20V(間隔件基材 21M)直接接觸，而呈一體化者，與習知所執行之使用凸塊及底層填充樹脂俾使半導體晶片與間隔件相接合之結構相比，可以較強之接合力接合兩者。又，由於不使用凸塊(焊料)或底層填充樹脂，所以可防止在發光元件 55 及受光元件 56 與核心層 54 做光學式連接之部位有焊料、助焊劑或樹脂等不要物侵入而受污染者，可確實地進行光信號之接收或發送者。藉此，亦可提昇電子裝置 10V 之可靠性。

【圖式簡單說明】

第 1 圖係顯示本發明第 1 實施例之半導體裝置的剖視圖。

第 2A 圖係該第 1 實施例之半導體裝置之製造方法的說明圖(其 1)。

第 2B 圖係該第 1 實施例之半導體裝置之製造方法的說明圖(其 2)。

第 2C 圖係該第 1 實施例之半導體裝置之製造方法的說明圖(其 3)。

第 3A 圖係該第 1 實施例之半導體裝置之製造方法的說明

圖(其 4)。

第 3B 圖係該第 1 實施例之半導體裝置之製造方法的說明圖(其 5)。

第 3C 圖係第 1 實施例之半導體裝置之製造方法的說明圖
5 (其 6)。

第 4A 圖係該第 1 實施例之半導體裝置之製造方法的說明圖(其 7)。

第 4B 圖係該第 1 實施例之半導體裝置之製造方法的說明圖(其 8)。

10 第 4C 圖係該第 1 實施例之半導體裝置之製造方法的說明圖(其 9)。

第 4D 圖係該第 1 實施例之半導體裝置之製造方法的說明圖(其 10)。

第 5 圖係顯示本發明第 2 實施例之半導體裝置的剖視圖。

15 第 6A 圖係該第 2 實施例之半導體裝置之製造方法的說明圖(其 1)。

第 6B 圖係該第 2 實施例之半導體裝置之製造方法的說明圖(其 2)。

第 7 圖係顯示本發明第 3 實施例之半導體裝置的剖視圖。

20 第 8A 圖係該第 3 實施例之半導體裝置之製造方法的說明圖(其 1)。

第 8B 圖係該第 3 實施例之半導體裝置之製造方法的說明圖(其 2)。

第 8C 圖係該第 3 實施例之半導體裝置之製造方法的說明

圖(其 3)。

第 9 圖係顯示本發明第 4 實施例之半導體裝置的剖視圖。

第 10A 圖係該第 4 實施例之半導體裝置之製造方法的說明圖(其 1)。

5 第 10B 圖係該第 4 實施例之半導體裝置之製造方法的說明圖(其 2)。

第 11 圖係顯示本發明第 5 實施例之半導體裝置的剖視圖。

第 12A 圖係該第 5 實施例之半導體裝置之製造方法的說明圖(其 1)。

10 第 12B 圖係該第 5 實施例之半導體裝置之製造方法的說明圖(其 2)。

第 12C 圖係該第 5 實施例之半導體裝置之製造方法的說明圖(其 3)。

第 13 圖係顯示本發明第 6 實施例之半導體裝置的剖視圖。

15 第 14 圖係顯示本發明第 7 實施例之半導體裝置的剖視圖。

第 15 圖係顯示本發明第 8 實施例之半導體裝置的剖視圖。

第 16 圖係顯示本發明第 9 實施例之半導體裝置的剖視圖。

第 17 圖係顯示本發明第 9 實施例之半導體裝置的立體圖。

第 18 圖係顯示本發明第 10 實施例之半導體裝置的剖視圖。

20 第 19 圖係顯示本發明第 11 實施例之半導體裝置的剖視圖。

第 20 圖係顯示本發明第 12 實施例之半導體裝置的剖視圖。

第 21 圖係顯示本發明第 13 實施例之半導體裝置的剖視圖。

第 22 圖係顯示本發明第 13 實施例之半導體裝置的立體圖。

第 23 圖係顯示本發明第 14 實施例之半導體裝置的剖視圖。

- 第 24 圖係顯示本發明第 15 實施例之半導體裝置的剖視圖。
- 第 25 圖係顯示本發明第 15 實施例之半導體裝置的立體圖。
- 第 26 圖係顯示本發明第 16 實施例之半導體裝置的剖視圖。
- 第 27 圖係顯示本發明第 17 實施例之半導體裝置的剖視圖。
- 5 第 28 圖係顯示本發明第 18 實施例之半導體裝置的剖視圖。
- 第 29 圖係顯示本發明第 19 實施例之電子裝置的剖視圖。
- 第 30 圖係顯示本發明第 20 實施例之電子裝置的剖視圖。
- 第 31 圖係顯示本發明第 21 實施例之電子裝置的剖視圖。
- 第 32 圖係第 31 圖中之 A-A 線剖視圖。

10 【主要元件符號說明】

10A,...,10R...半導體裝置	25...第 1 絕緣層
10S,...,10V...電子裝置	26...第 2 絕緣層
11...半導體晶片	27...接合補助構件
11a...背面部	28...間隔件側 PI 膜
13...電極	29...補強構件
14...隔離層金屬	30,39...段差部
15...絕緣膜	31A,...,31D,51...貫通孔
16...晶片側 PI 膜	32...第 1 抗蝕材
17...保護層	33,36,37,38,43,62,63...開口部
20A,...,20V...間隔件	34...電極用孔
21A,...,21M...間隔件基材	35...第 2 抗蝕材
22A,22B...柱電極	40A,...,40E...空腔部(空腔)
23...再佈線層	42...頂板部
24...外部連接端子	46A,46B...密封樹脂

50A,50B,50C...晶片零件

52...第 1 護面層

53...第 2 護面層

54...核心層

55...發光元件

55A...發光部

55B...電極

56...受光元件

57...反射構件

57A...反射面

58...絕緣層

59...佈線圖案

60...柱電極

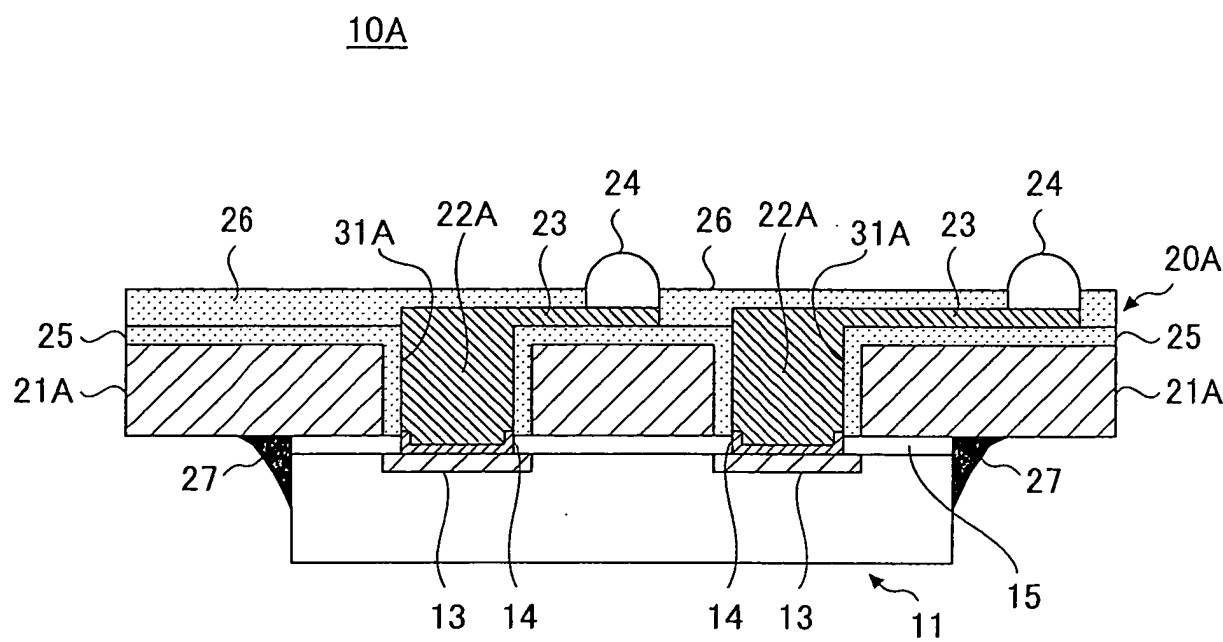
61...貫通電極

五、中文發明摘要：

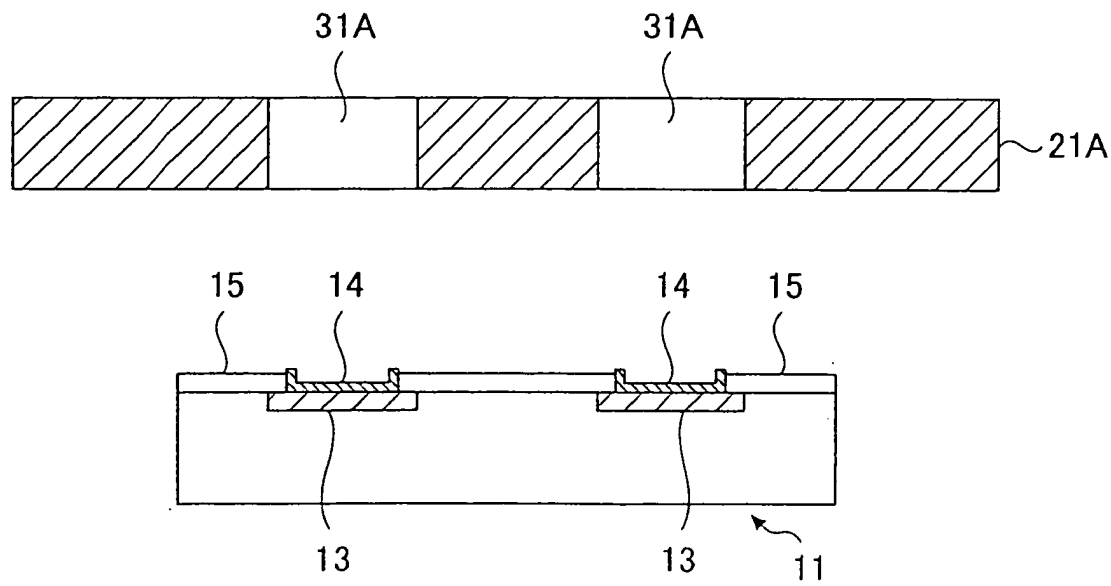
本發明係有關於一種具有藉間隔件而將半導體晶片電性連接於安裝基板之構造的半導體裝置及其製造方法；且作為半導體裝置之電子裝置中包含有：電子元件；及，間隔件，係具有與前述電子元件接合之間隔件基材及與前述電子元件之電極相連接之多數柱電極；該電子裝置係構造成使前述電子元件與前述間隔件基材直接接觸，俾使其等呈一體化，並將前述柱電極直接形成在前述電子元件之電極上者。

六、英文發明摘要：

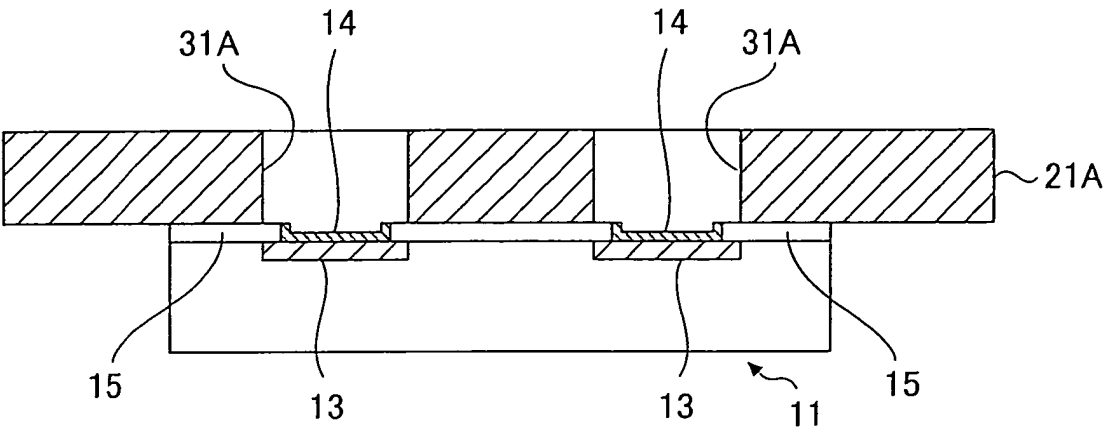
第 1 圖



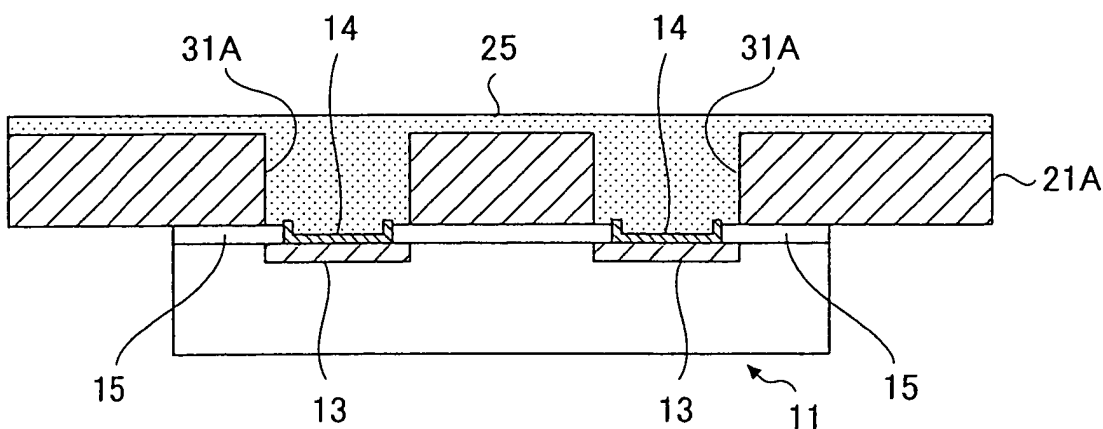
第 2A 圖



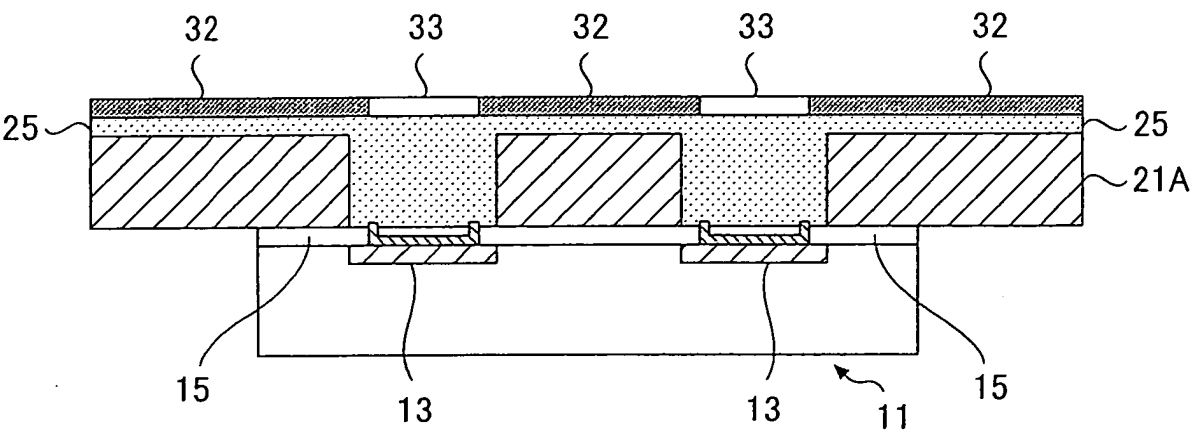
第 2B 圖



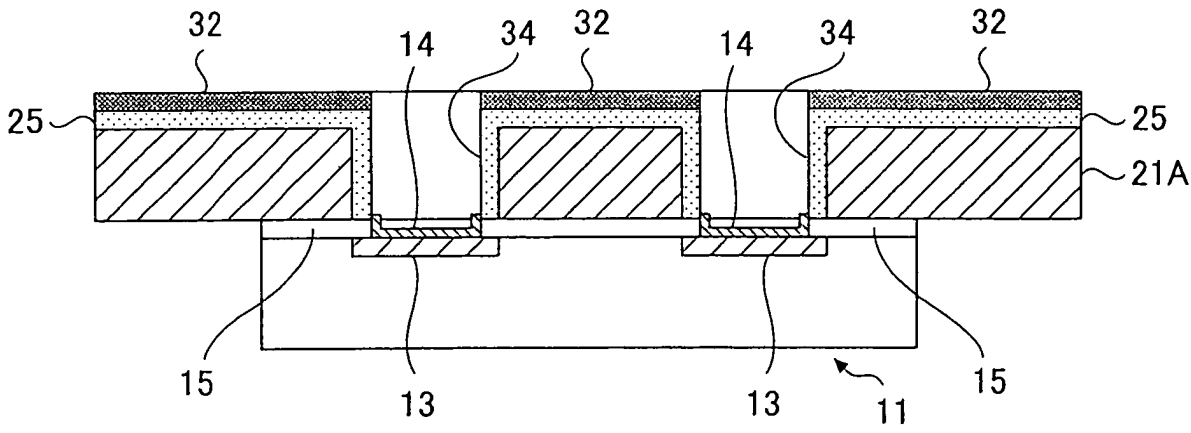
第 2C 圖



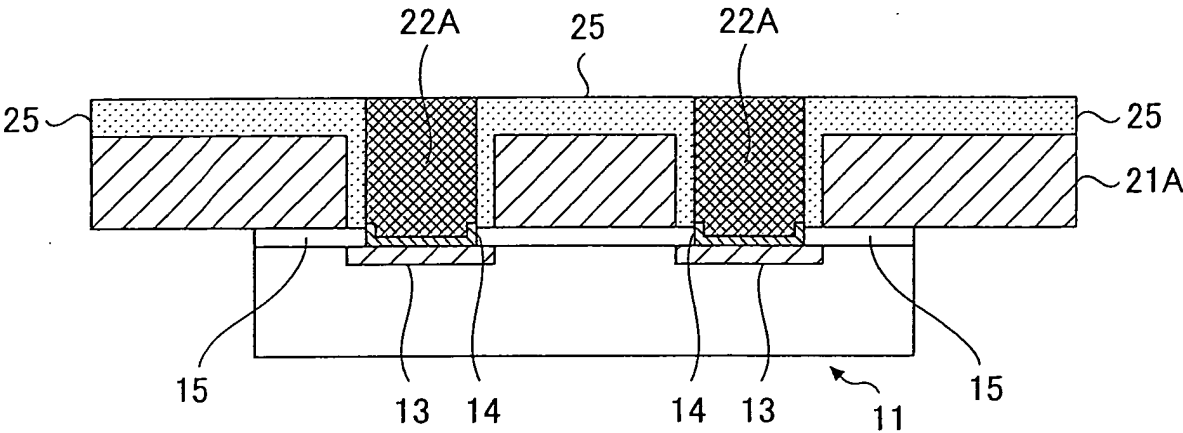
第 3A 圖



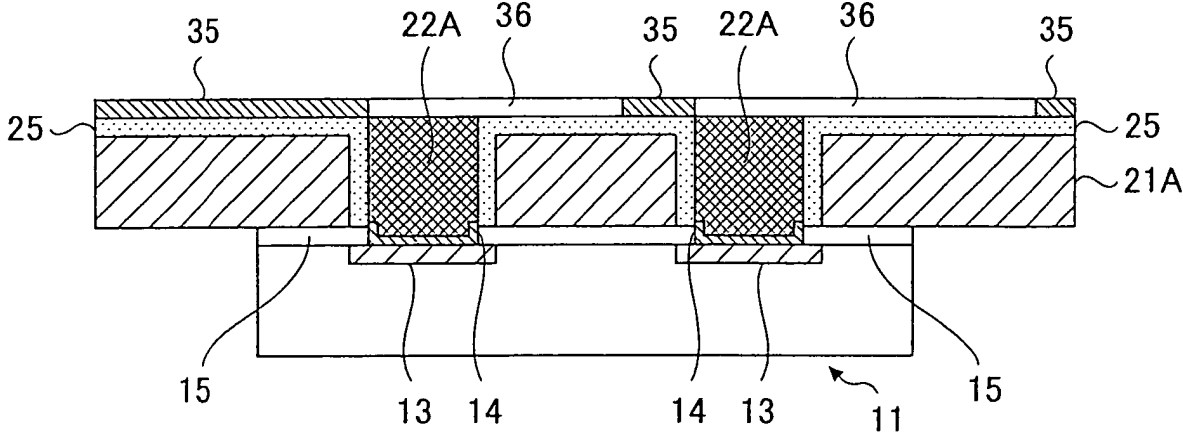
第 3B 圖



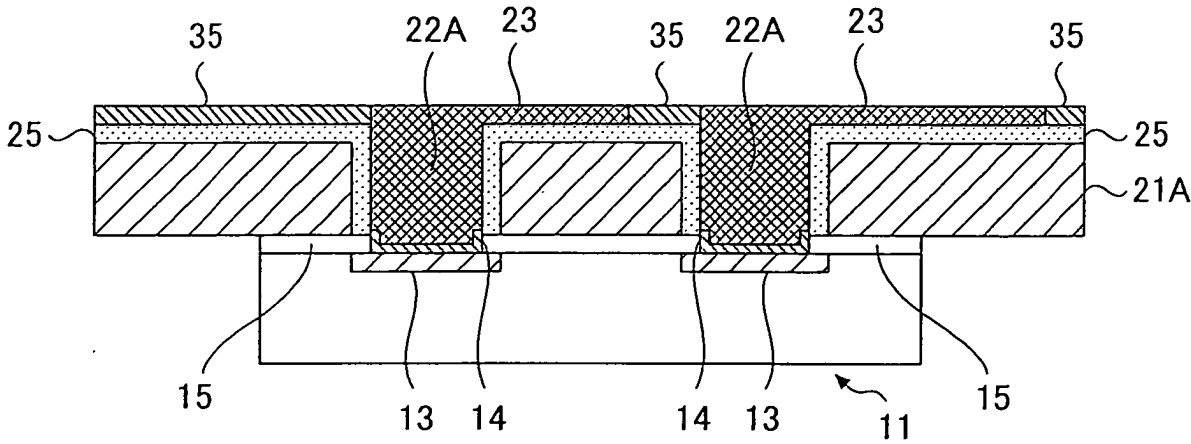
第 3C 圖



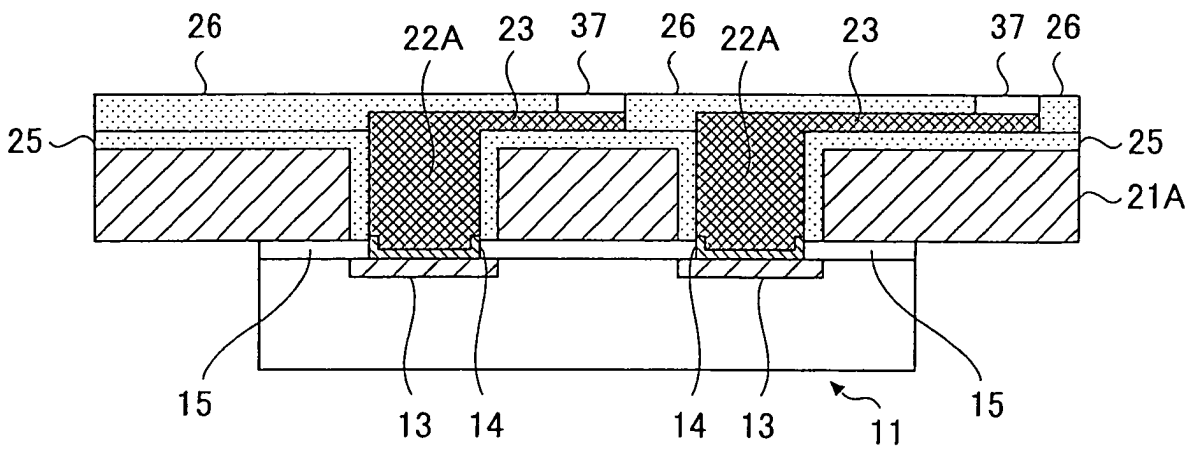
第 4A 圖



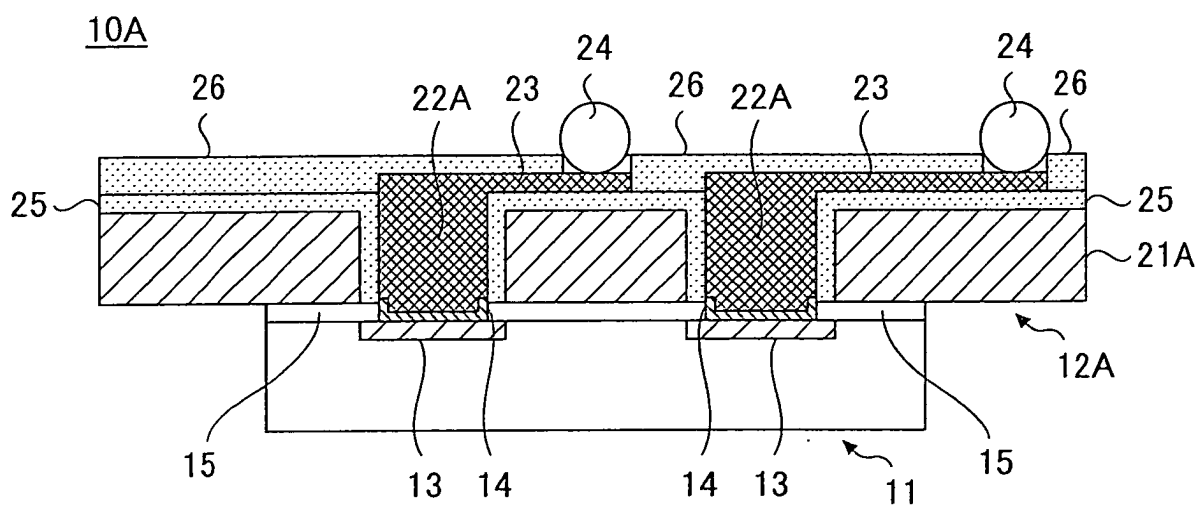
第 4B 圖



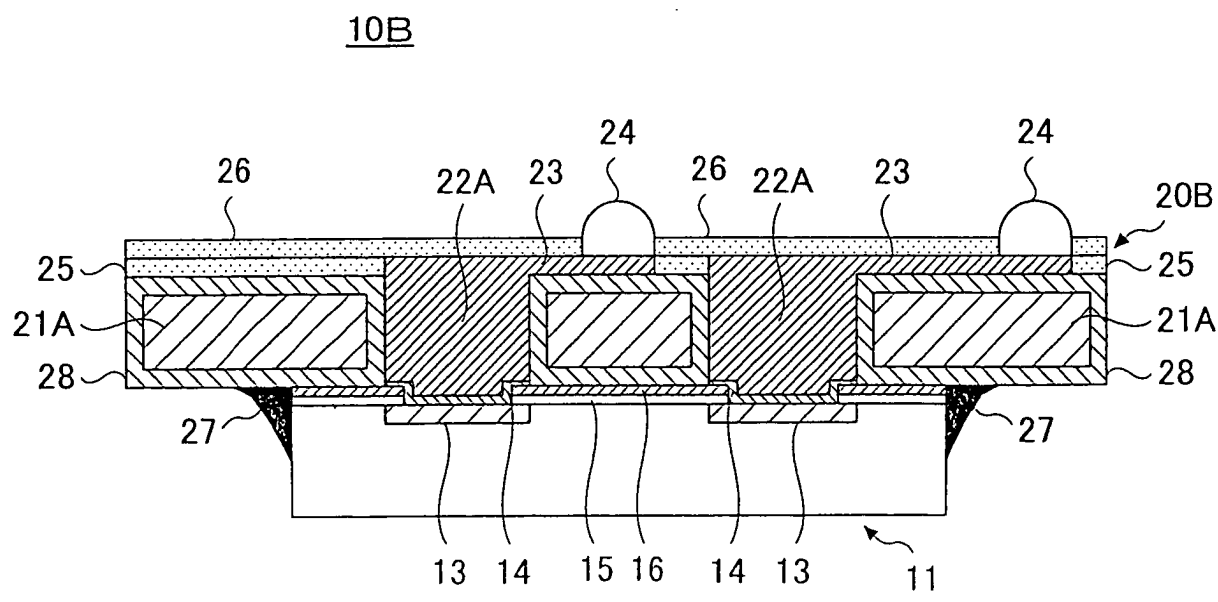
第 4C 圖



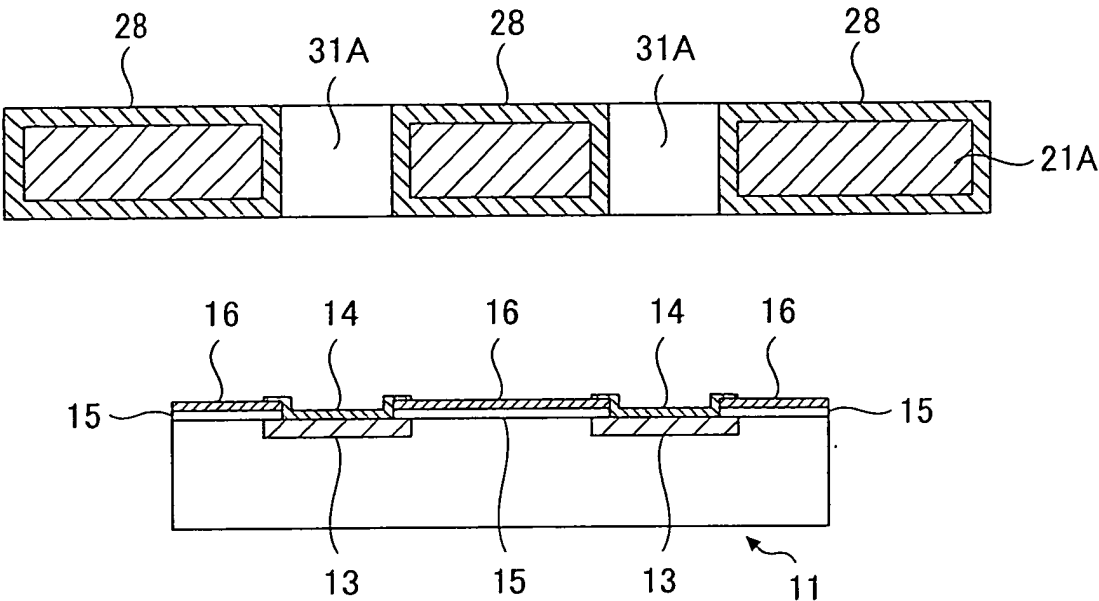
第 4D 圖



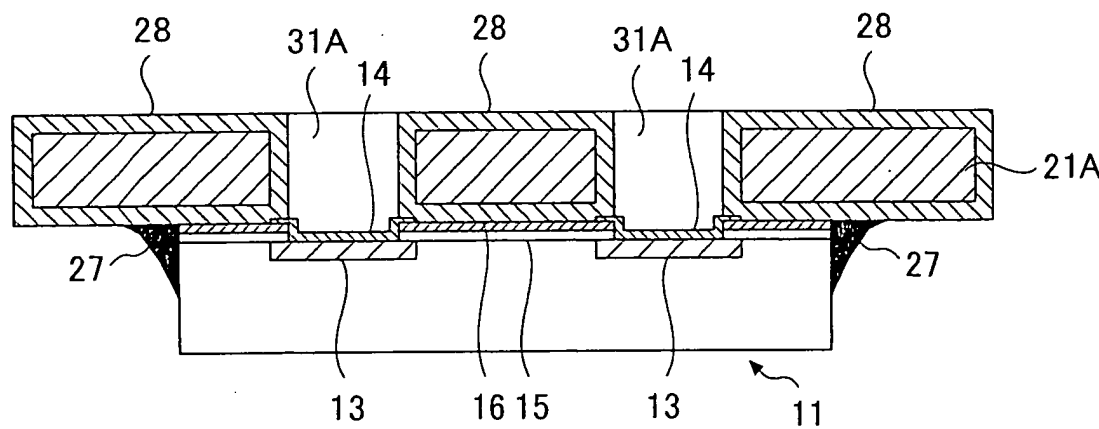
第 5 圖



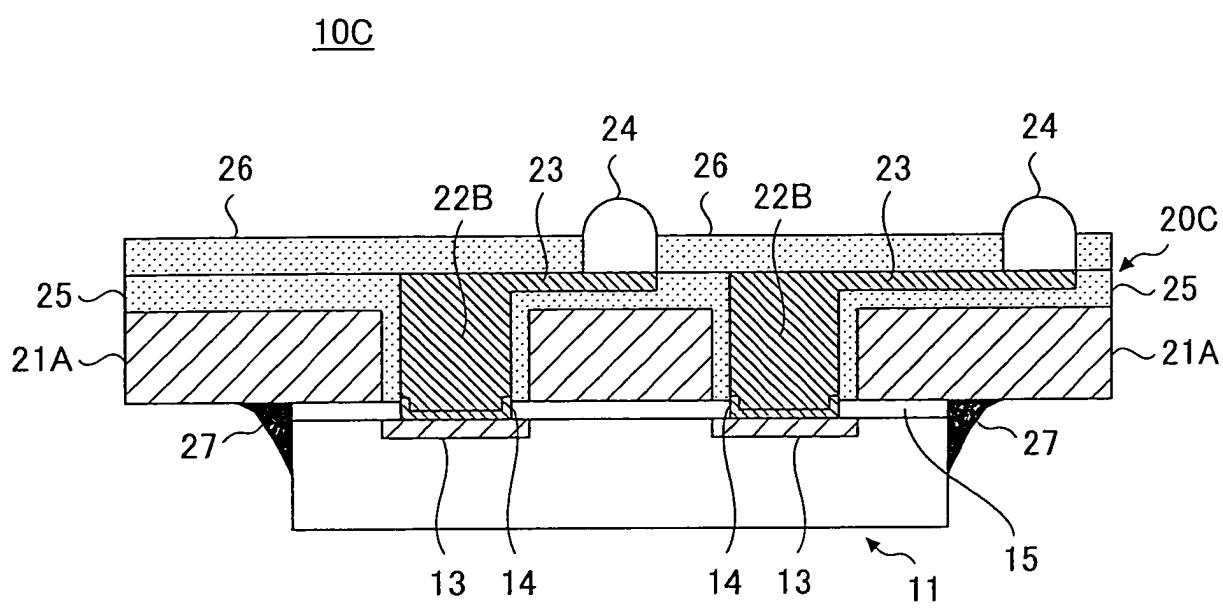
第 6A 圖



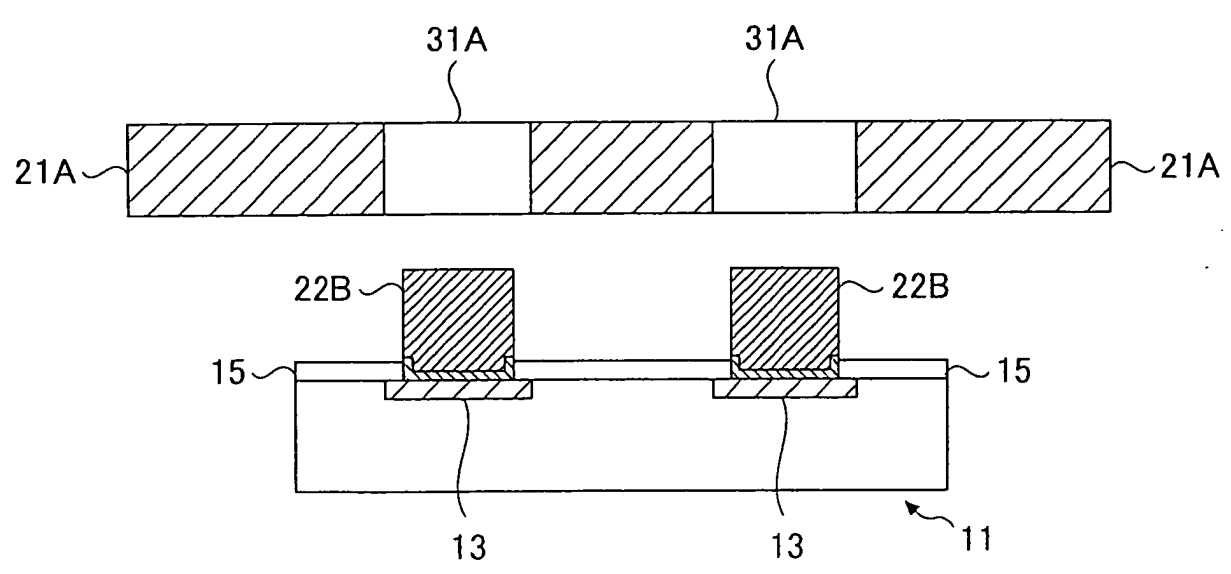
第 6B 圖



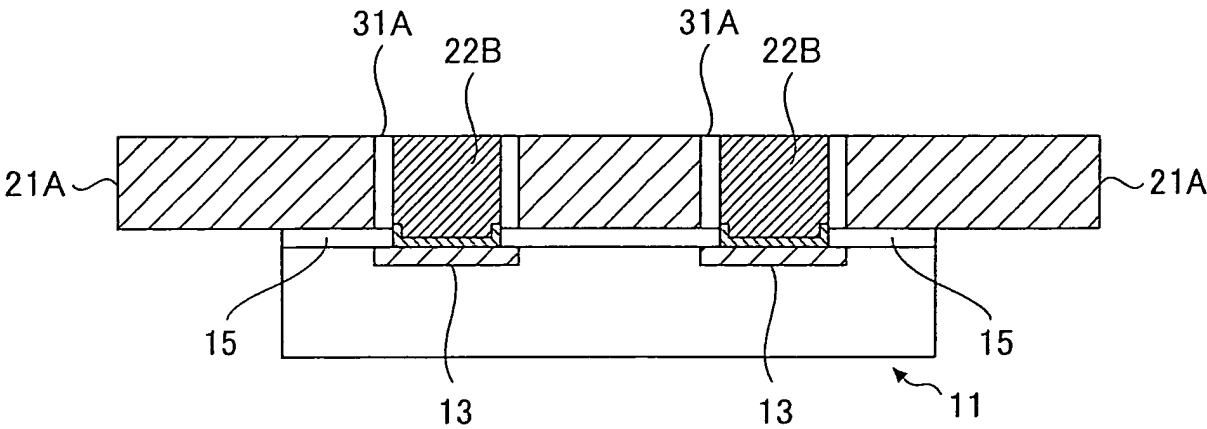
第 7 圖



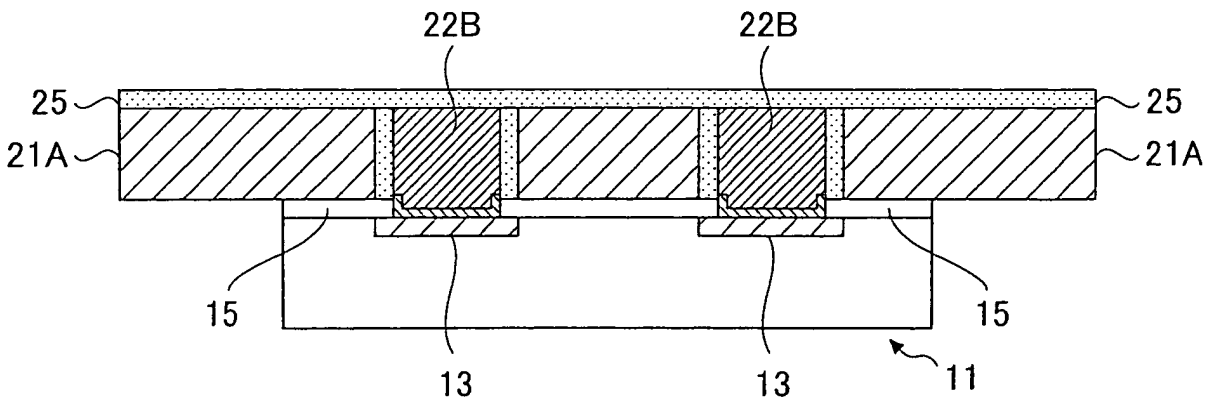
第 8A 圖



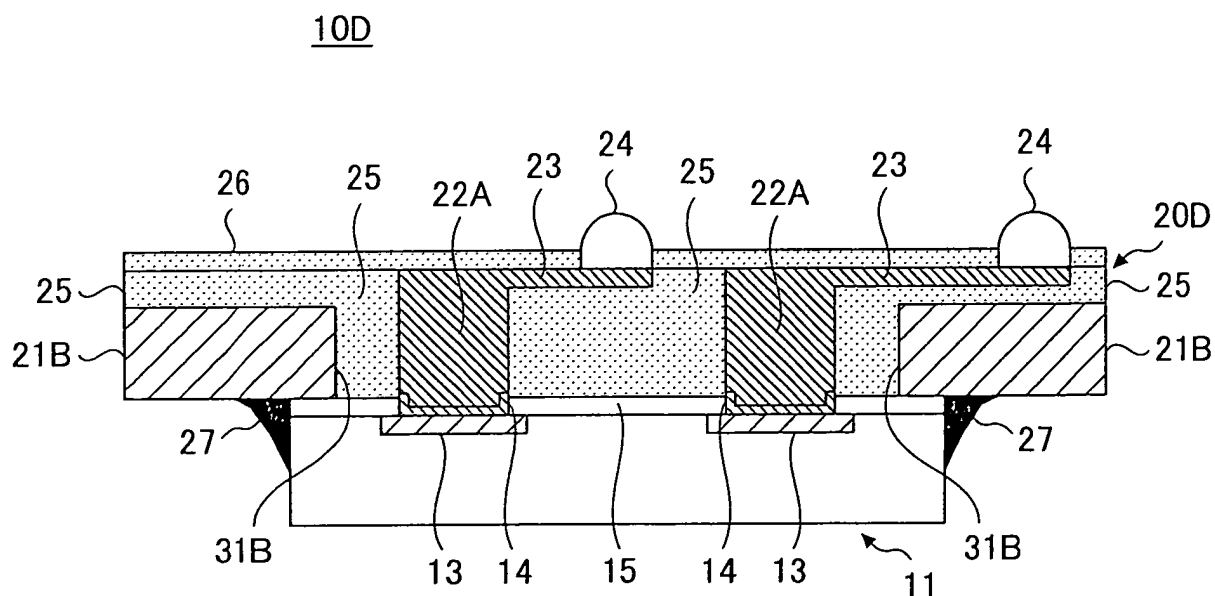
第 8B 圖



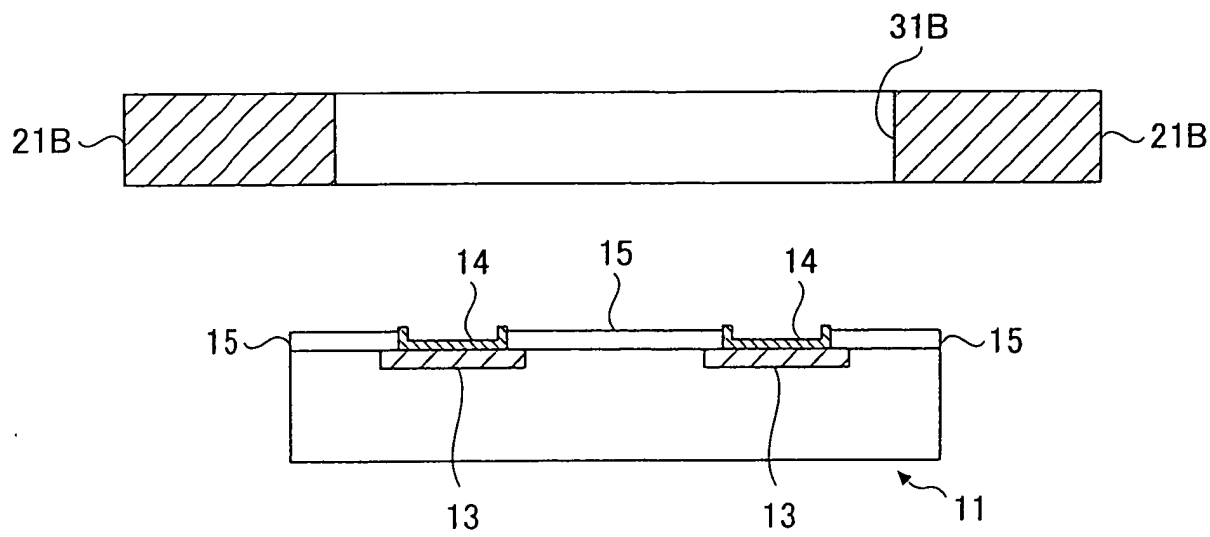
第 8C 圖



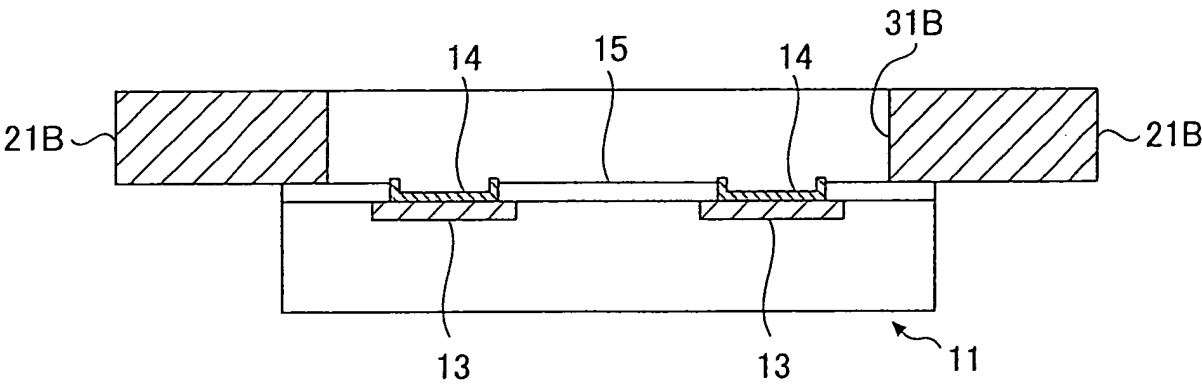
第 9 圖



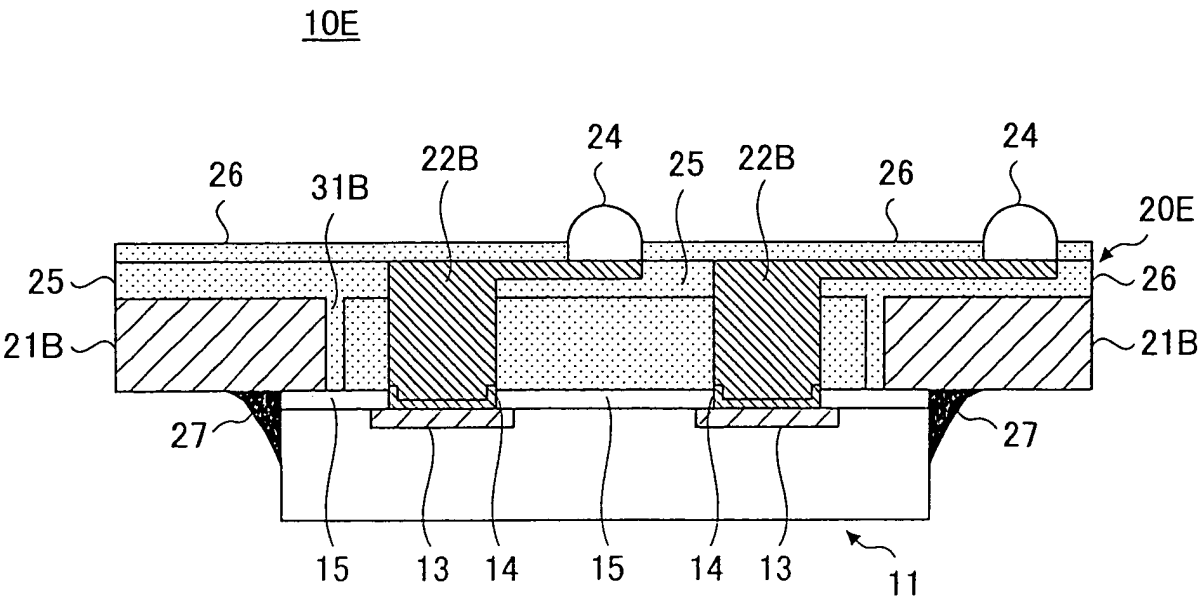
第10A圖



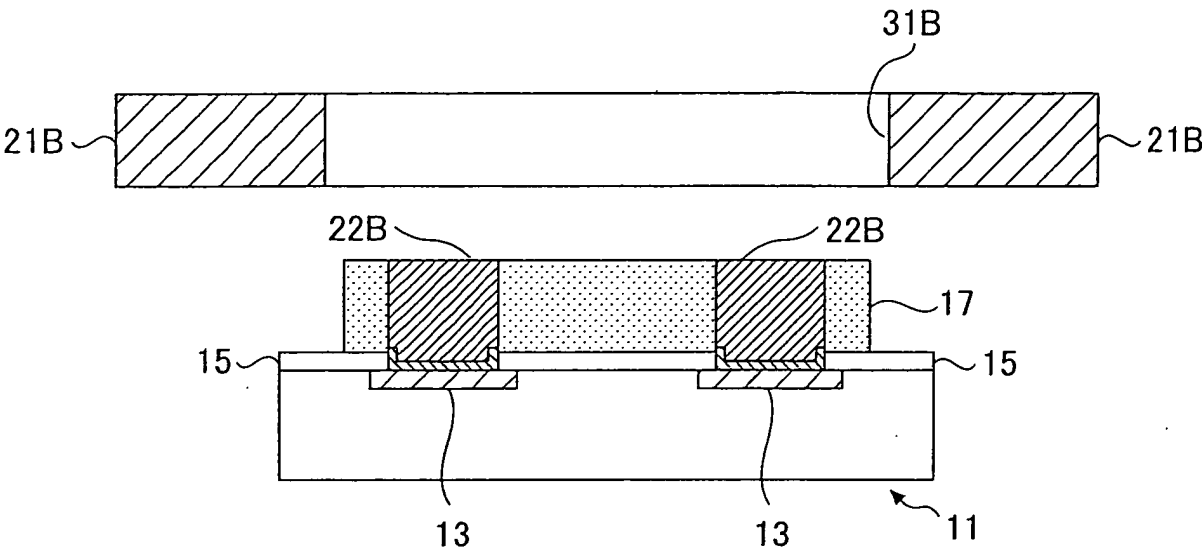
第10B圖



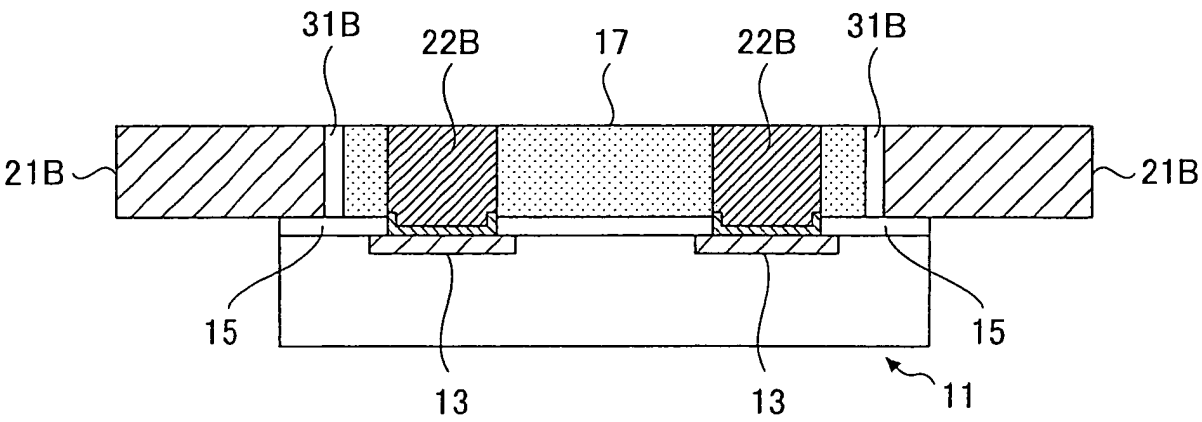
第 11 圖



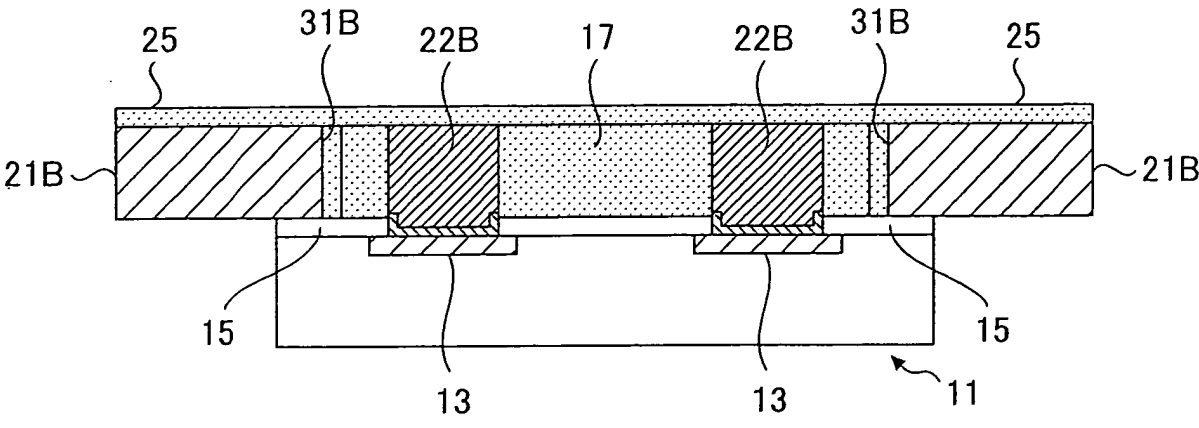
第12A圖



第12B圖

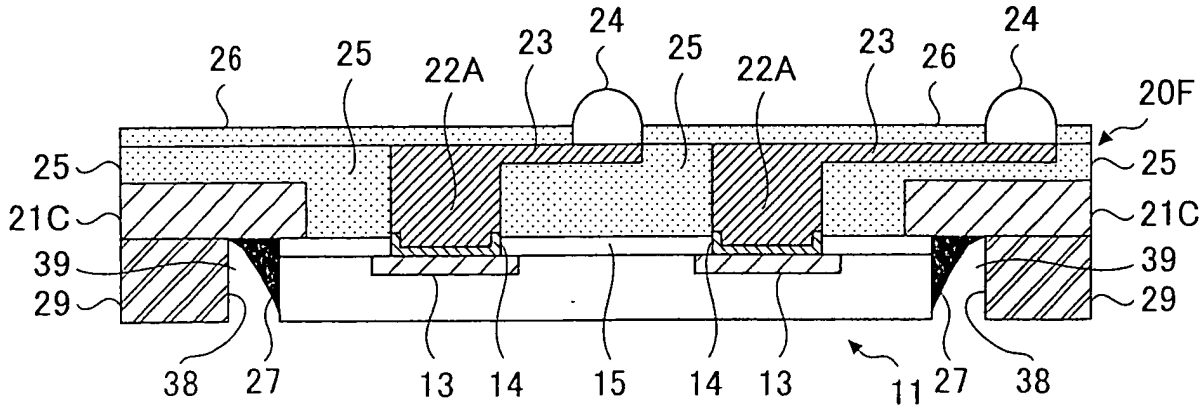


第12C圖

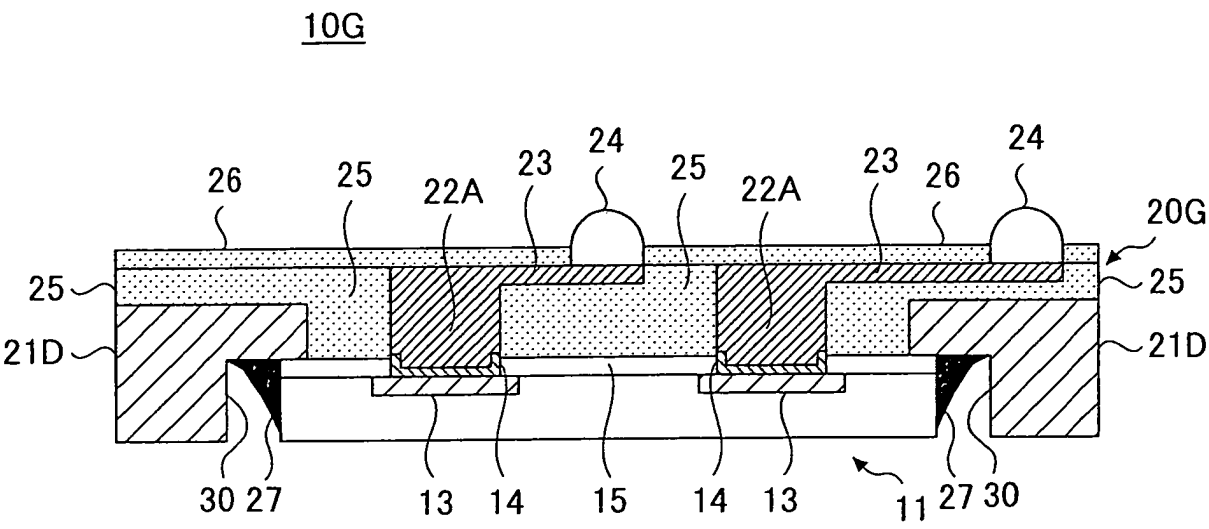


第 13 圖

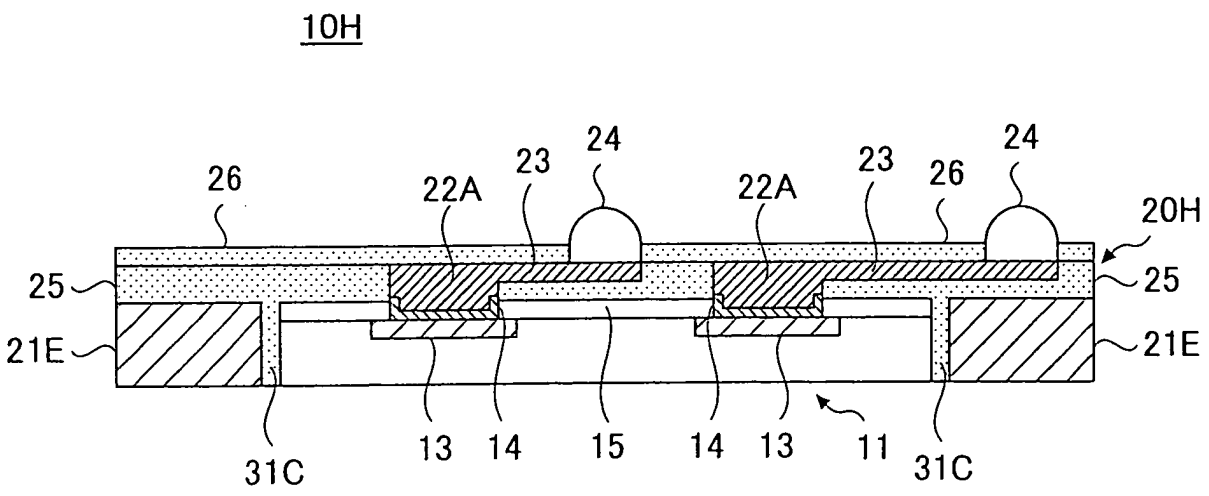
10F

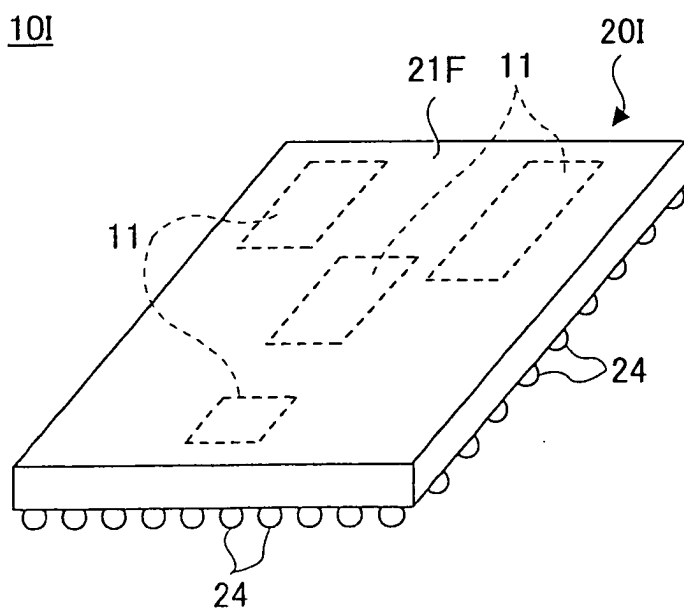


第 14 圖

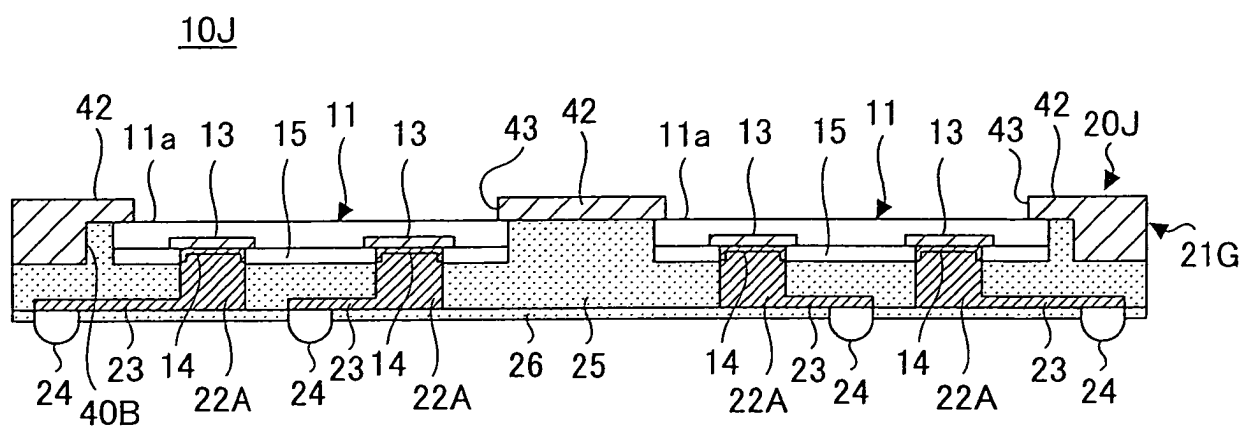


第 15 圖

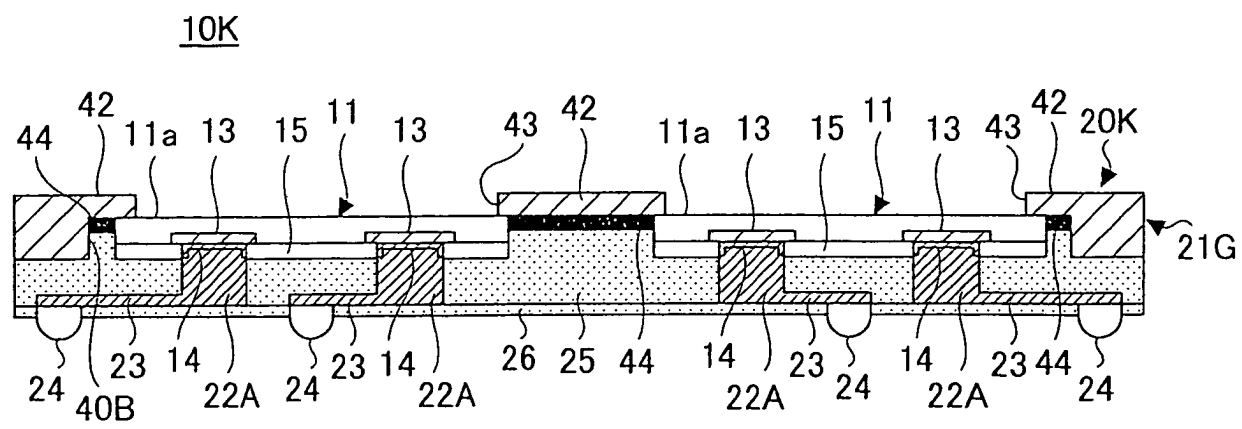




第 18 圖



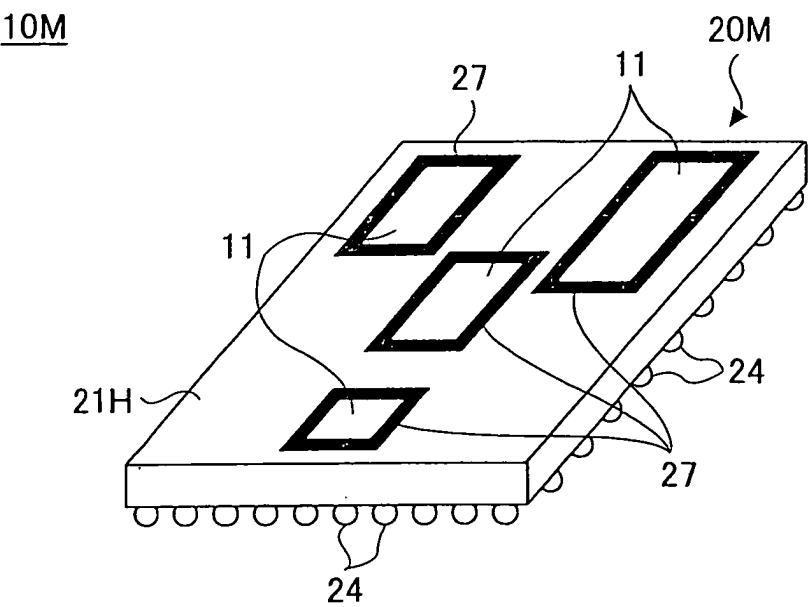
第 19 圖



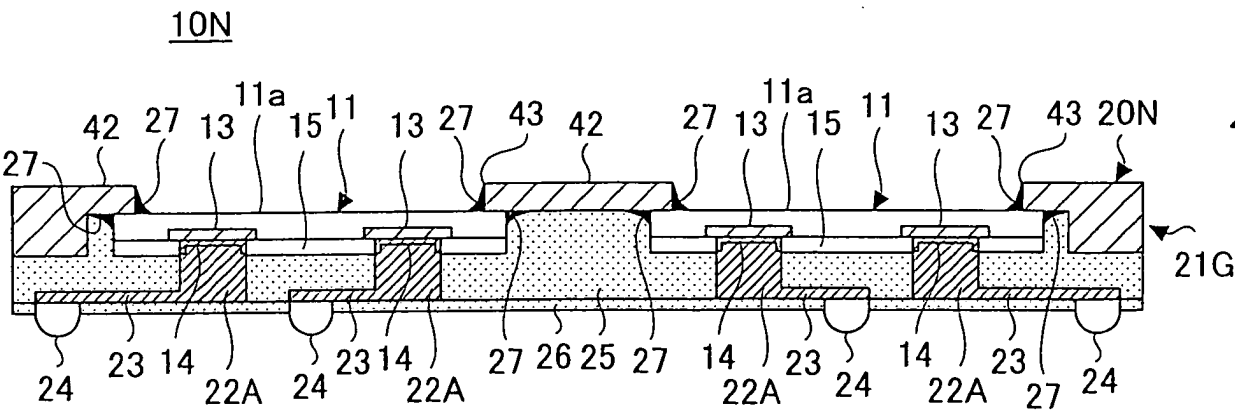
This cross-sectional view illustrates the internal structure of the semiconductor device 11. It shows a substrate 15 with a patterned layer 13 and a conductive layer 40C. The device includes a central region 31D and two side regions 20L and 20R. Various layers and features are labeled with reference numerals, including 11, 13, 15, 20L, 20R, 21H, 22A, 23, 24, 25, 26, 31D, 35, 36, 37, 38, 39, 40C, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122, 123, 124, 125, 126, 127, 128, 129, 130, 131, 132, 133, 134, 135, 136, 137, 138, 139, 140, 141, 142, 143, 144, 145, 146, 147, 148, 149, 150, 151, 152, 153, 154, 155, 156, 157, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 168, 169, 170, 171, 172, 173, 174, 175, 176, 177, 178, 179, 180, 181, 182, 183, 184, 185, 186, 187, 188, 189, 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 200, 201, 202, 203, 204, 205, 206, 207, 208, 209, 210, 211, 212, 213, 214, 215, 216, 217, 218, 219, 220, 221, 222, 223, 224, 225, 226, 227, 228, 229, 230, 231, 232, 233, 234, 235, 236, 237, 238, 239, 240, 241, 242, 243, 244, 245, 246, 247, 248, 249, 250, 251, 252, 253, 254, 255, 256, 257, 258, 259, 260, 261, 262, 263, 264, 265, 266, 267, 268, 269, 270, 271, 272, 273, 274, 275, 276, 277, 278, 279, 280, 281, 282, 283, 284, 285, 286, 287, 288, 289, 290, 291, 292, 293, 294, 295, 296, 297, 298, 299, 300, 301, 302, 303, 304, 305, 306, 307, 308, 309, 310, 311, 312, 313, 314, 315, 316, 317, 318, 319, 320, 321, 322, 323, 324, 325, 326, 327, 328, 329, 330, 331, 332, 333, 334, 335, 336, 337, 338, 339, 340, 341, 342, 343, 344, 345, 346, 347, 348, 349, 350, 351, 352, 353, 354, 355, 356, 357, 358, 359, 360, 361, 362, 363, 364, 365, 366, 367, 368, 369, 370, 371, 372, 373, 374, 375, 376, 377, 378, 379, 380, 381, 382, 383, 384, 385, 386, 387, 388, 389, 390, 391, 392, 393, 394, 395, 396, 397, 398, 399, 400, 401, 402, 403, 404, 405, 406, 407, 408, 409, 410, 411, 412, 413, 414, 415, 416, 417, 418, 419, 420, 421, 422, 423, 424, 425, 426, 427, 428, 429, 430, 431, 432, 433, 434, 435, 436, 437, 438, 439, 440, 441, 442, 443, 444, 445, 446, 447, 448, 449, 450, 451, 452, 453, 454, 455, 456, 457, 458, 459, 460, 461, 462, 463, 464, 465, 466, 467, 468, 469, 470, 471, 472, 473, 474, 475, 476, 477, 478, 479, 480, 481, 482, 483, 484, 485, 486, 487, 488, 489, 490, 491, 492, 493, 494, 495, 496, 497, 498, 499, 500, 501, 502, 503, 504, 505, 506, 507, 508, 509, 510, 511, 512, 513, 514, 515, 516, 517, 518, 519, 520, 521, 522, 523, 524, 525, 526, 527, 528, 529, 530, 531, 532, 533, 534, 535, 536, 537, 538, 539, 540, 541, 542, 543, 544, 545, 546, 547, 548, 549, 550, 551, 552, 553, 554, 555, 556, 557, 558, 559, 560, 561, 562, 563, 564, 565, 566, 567, 568, 569, 570, 571, 572, 573, 574, 575, 576, 577, 578, 579, 580, 581, 582, 583, 584, 585, 586, 587, 588, 589, 590, 591, 592, 593, 594, 595, 596, 597, 598, 599, 600, 601, 602, 603, 604, 605, 606, 607, 608, 609, 610, 611, 612, 613, 614, 615, 616, 617, 618, 619, 620, 621, 622, 623, 624, 625, 626, 627, 628, 629, 630, 631, 632, 633, 634, 635, 636, 637, 638, 639, 640, 641, 642, 643, 644, 645, 646, 647, 648, 649, 650, 651, 652, 653, 654, 655, 656, 657, 658, 659, 660, 661, 662, 663, 664, 665, 666, 667, 668, 669, 670, 671, 672, 673, 674, 675, 676, 677, 678, 679, 680, 681, 682, 683, 684, 685, 686, 687, 688, 689, 690, 691, 692, 693, 694, 695, 696, 697, 698, 699, 700, 701, 702, 703, 704, 705, 706, 707, 708, 709, 710, 711, 712, 713, 714, 715, 716, 717, 718, 719, 720, 721, 722, 723, 724, 725, 726, 727, 728, 729, 730, 731, 732, 733, 734, 735, 736, 737, 738, 739, 740, 741, 742, 743, 744, 745, 746, 747, 748, 749, 750, 751, 752, 753, 754, 755, 756, 757, 758, 759, 760, 761, 762, 763, 764, 765, 766, 767, 768, 769, 770, 771, 772, 773, 774, 775, 776, 777, 778, 779, 780, 781, 782, 783, 784, 785, 786, 787, 788, 789, 790, 791, 792, 793, 794, 795, 796, 797, 798, 799, 800, 801, 802, 803, 804, 805, 806, 807, 808, 809, 810, 811, 812, 813, 814, 815, 816, 817, 818, 819, 820, 821, 822, 823, 824, 825,

第 21 圖

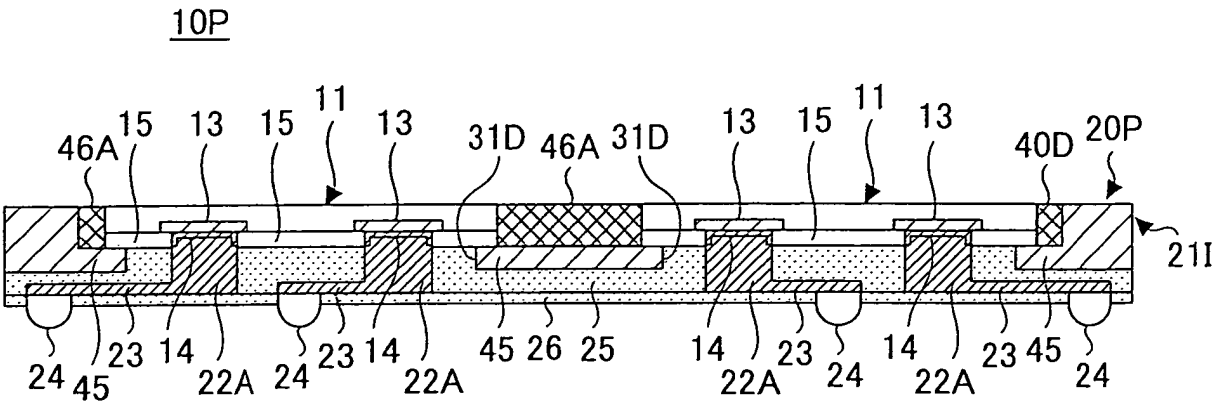
第 22 圖



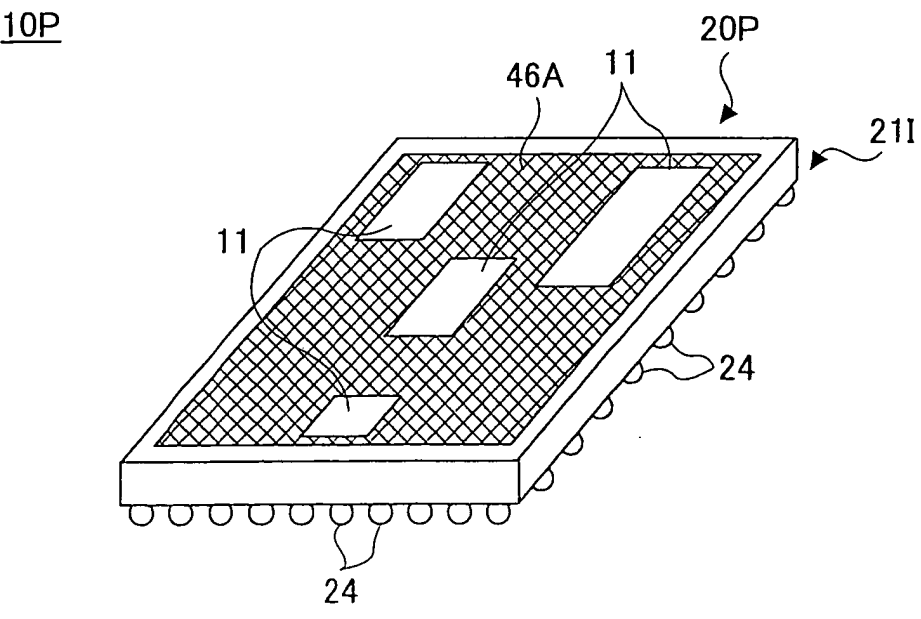
第 23 圖



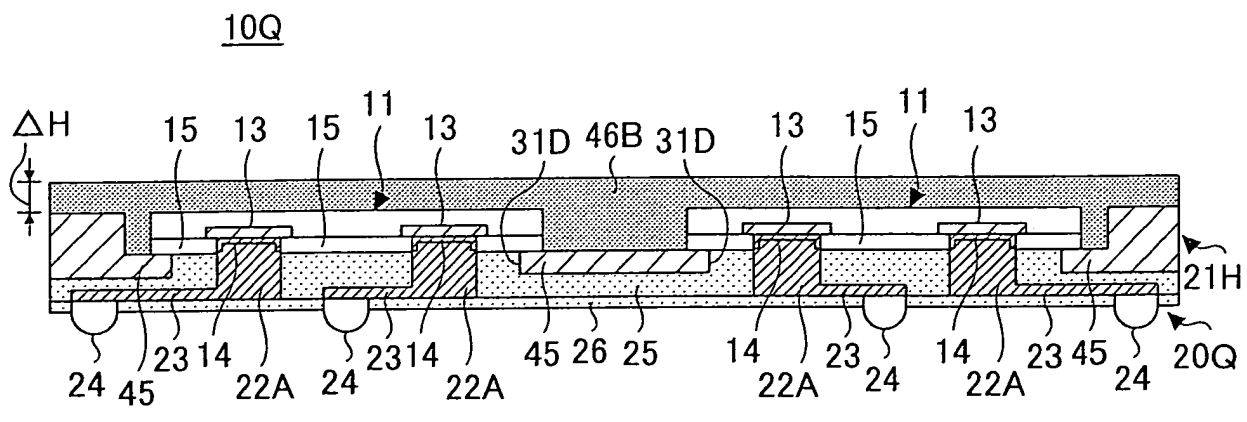
第 24 圖



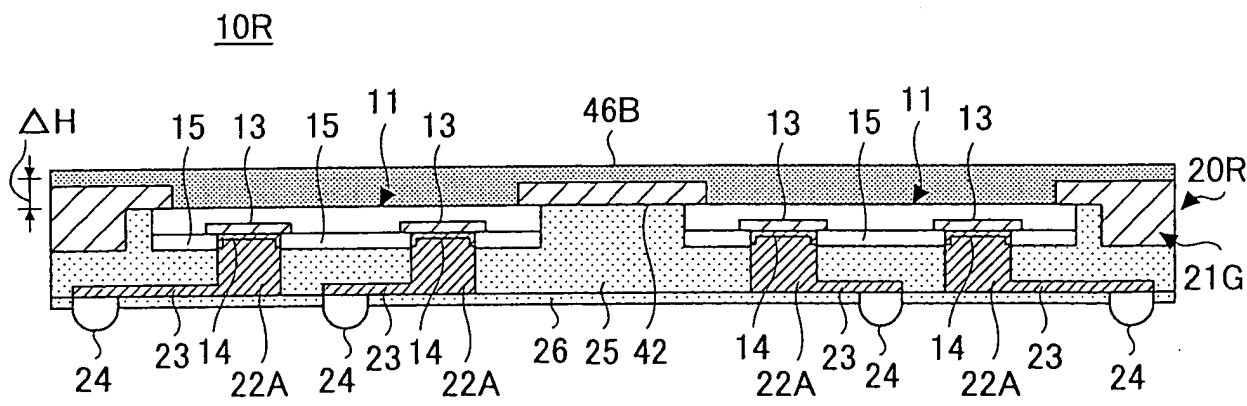
第 25 圖



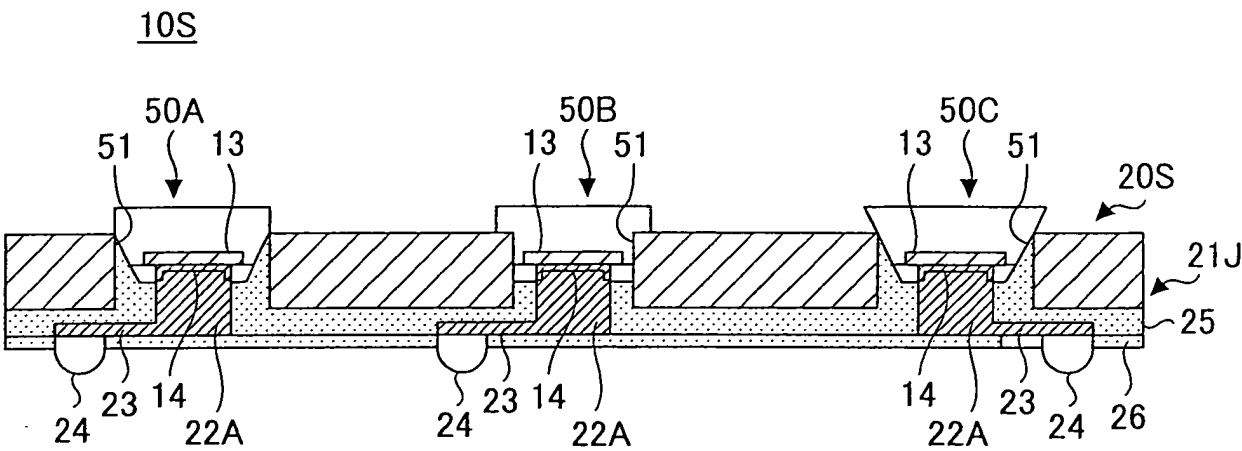
第 26 圖



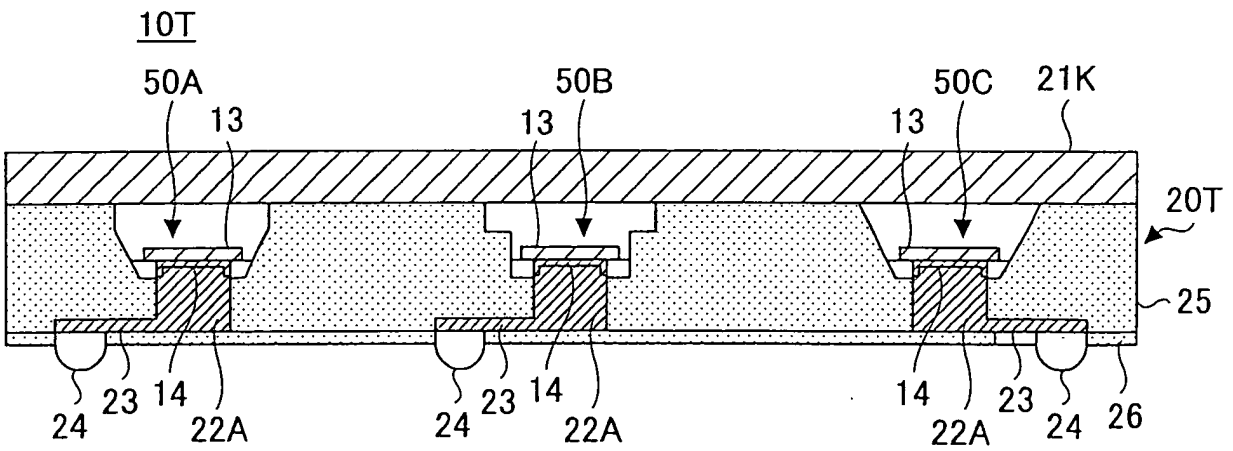
第 27 圖



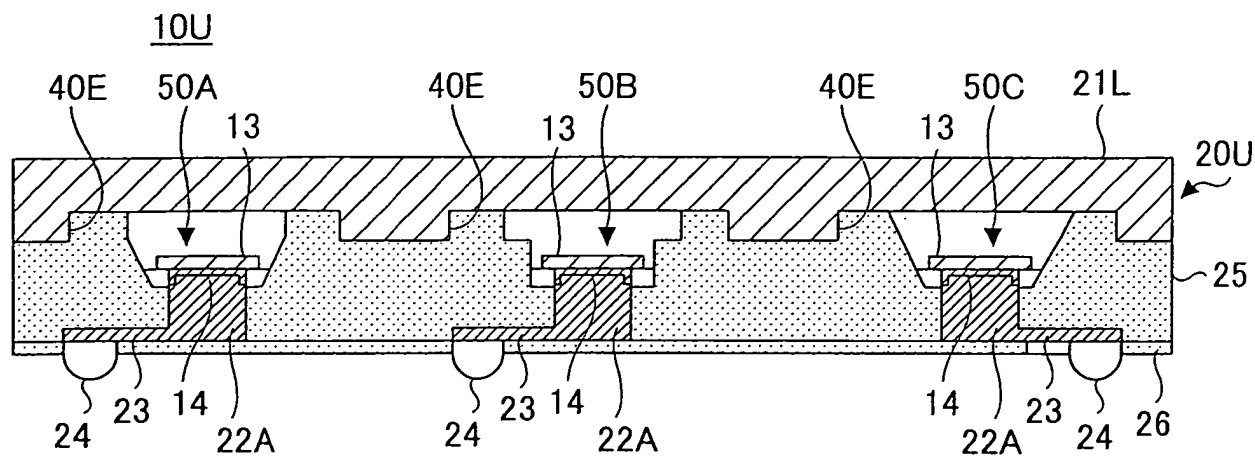
第 28 圖



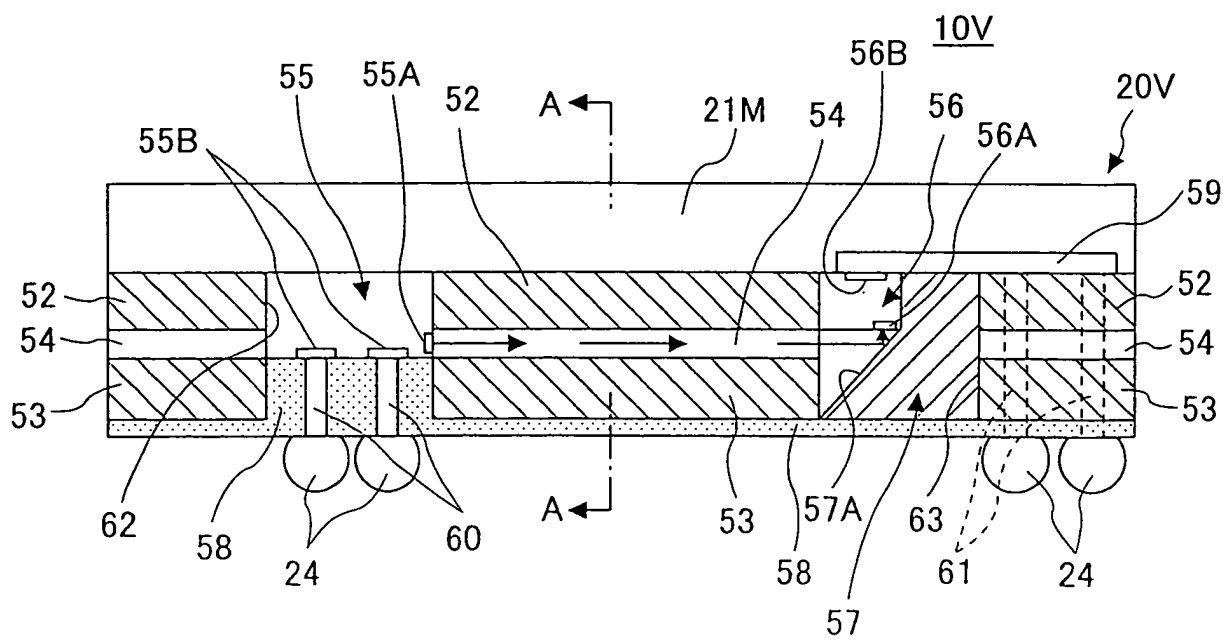
第 29 圖



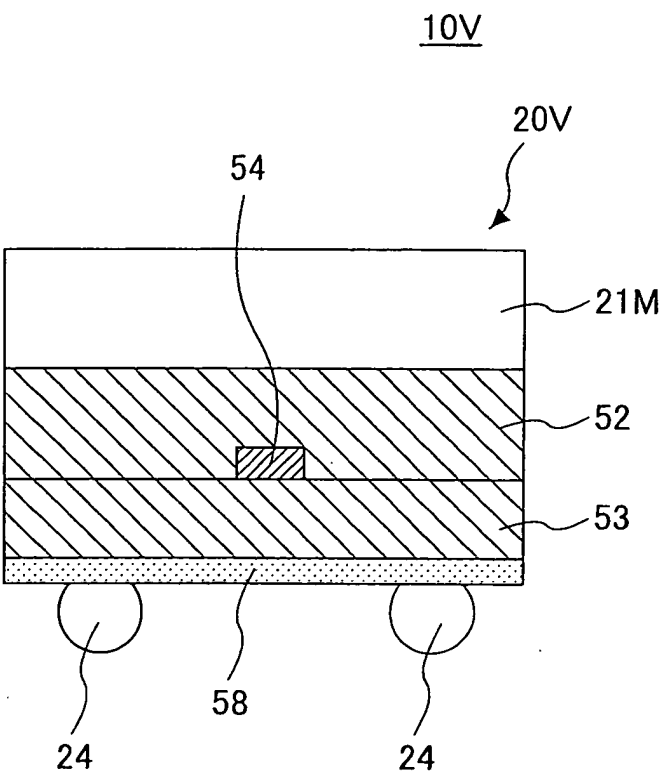
第 30 圖



第 31 圖



第 32 圖



七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

11...半導體晶片	23...再佈線層
13...電極	24...外部連接端子
14...隔離層金屬	25...第1絕緣層
15...絕緣膜	26...第2絕緣層
20A...間隔件	27...接合補助構件
21A...間隔件基材	31A...貫通孔
22A...柱電極	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種電子裝置，係包含有：

電子元件；

- 5 間隔件，係具有可與前述電子元件相接合之間隔件基材，及，可與前述電子元件之電極相連接之多數柱電極；

將前述電子元件表面與前述間隔件基材表面直接接觸，俾使其等呈一體化，並使前述柱電極直接形成在前述電子元件之電極上；

- 10 且，該電子元件的材質與前述間隔件基材的材質同為矽。

2. 一種電子裝置，係包含有：

電子元件；

- 15 間隔件，係具有可與前述電子元件接合之間隔件基材，及，配置於形成在前述間隔件基材之貫通孔內且可與前述電子元件之電極相連接之多數柱電極者；

將前述電子元件表面與前述間隔件基材表面直接接觸，俾使其等呈一體化，並使前述柱電極直接形成在前述電子元件之電極上者；

- 20 且，該電子元件的材質與前述間隔件基材的材質同為矽。

3. 如申請專利範圍第 1 或 2 項之電子裝置，其中該電子元件的材質與前述間隔件基材的材質係同一者。

4. 如申請專利範圍第 1 或 2 項之電子裝置，其中該電子元件中至少與前述間隔件基材相接合之位置上形成有第 1

絕緣材層，

並於前述間隔件基材中至少與前述電子元件相接合之位置上形成有第2絕緣層者。

5. 如申請專利範圍第2項之電子裝置，其中前述多數柱電極係配置於一個前述貫通孔內者。
6. 如申請專利範圍第1或2項之電子裝置，其中該間隔件基材係形成有段差部，前述電子元件係收容於前述段差部內者。
7. 如申請專利範圍第1或2項之電子裝置，其中該間隔件基材係載設有多數前述電子元件者。
8. 如申請專利範圍第1或2項之電子裝置，其中該間隔件基材係與前述電子元件之背面部相接合者。
9. 如申請專利範圍第1或2項之電子裝置，其中該間隔件基材上設有用以密封前述電子元件之密封樹脂者。
10. 如申請專利範圍第1或2項之電子裝置，其中該電子元件為半導體晶片。
11. 如申請專利範圍第1或2項之電子裝置，其中該電子元件為被動元件。
12. 一種電子裝置之製造方法，係具有下列步驟，即：
 - 一體化步驟，係將形成有貫通孔之間隔件基材之表面與電子元件之表面直接接觸，俾使前述間隔件基材與前述電子元件呈一體化者；

柱電極形成步驟，係於該一體化步驟結束後，在前述貫通孔內且電子元件之電極上直接形成柱電極者；

再佈線形成步驟，係形成一可與前述柱電極做電性連接之再佈線層者；及

外部連接電極形成步驟，係於前述再佈線層上形成外部連接電極者。

- 5 13. 一種電子裝置之製造方法，係具有下列步驟，即：

柱電極形成步驟，係於電子元件之電極上直接形成柱電極者；

- 一體化步驟，係於該柱電極形成步驟結束後，將形成有貫通孔之間隔件基材之表面與電子元件之表面直接接觸，俾使前述間隔件基材與前述電子元件呈一體化者；
- 10

再佈線形成步驟，係形成一可與前述柱電極做電性連接之再佈線層者；及

外部連接電極形成步驟，係於前述再佈線層上形成外部連接電極者。

- 15 14. 如申請專利範圍第 13 項之電子裝置之製造方法，其係更具有一保護層形成步驟，藉該保護層形成步驟，於前述電子元件形成一用以保持前述柱電極且由絕緣材構成之保護層者。