

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-103253

(P2008-103253A)

(43) 公開日 平成20年5月1日(2008.5.1)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H05B 33/22 (2006.01)</b>	H05B 33/22 Z	3K107
<b>H01L 51/50 (2006.01)</b>	H05B 33/14 A	5C094
<b>H05B 33/10 (2006.01)</b>	H05B 33/10	
<b>G09F 9/30 (2006.01)</b>	G09F 9/30 365Z	
<b>H01L 27/32 (2006.01)</b>	G09F 9/30 338	

審査請求 未請求 請求項の数 3 O L (全 14 頁)

(21) 出願番号 特願2006-286304 (P2006-286304)  
 (22) 出願日 平成18年10月20日 (2006.10.20)

(71) 出願人 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 100103894  
 弁理士 冢入 健  
 (72) 発明者 竹口 徹  
 東京都千代田区丸の内二丁目7番3号 三  
 菱電機株式会社内  
 Fターム(参考) 3K107 AA01 BB01 CC27 CC29 CC33  
 DD89 DD90 DD91 EE03 FF15  
 5C094 AA02 AA03 AA32 AA42 BA03  
 BA27 DA13 DA15 DA20 EA04  
 GB10 JA07

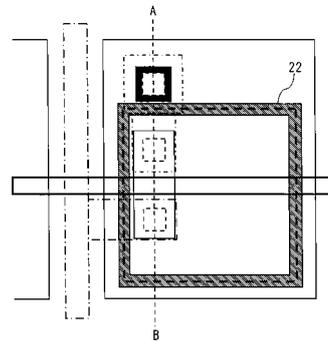
(54) 【発明の名称】 表示装置及びその製造方法

(57) 【要約】

【課題】表示品質の優れた表示装置及びその製造方法を提供すること。

【解決手段】本発明にかかる表示装置は、表面に凹凸を有するTFT108と、TFT108のパターン上に形成された平坦化膜15と、平坦化膜15上に形成されたアノード電極16と、アノード電極16上に開口部を有する分離膜17と、開口部においてアノード電極16上に設けられた有機EL層18bと、有機EL層18b上に形成されたカソード電極19とを備えるものである。そして、TFT108のパターン表面の凹凸によって生じる平坦化膜15の下層表面のパターンの段差をa、平坦化膜15の膜厚をbとすると、分離膜17と開口部との境界領域において、 $b/a \geq 3.5$ となる部分を有する。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

表面に凹凸を有する薄膜トランジスタと、  
 前記薄膜トランジスタのパターン上に形成された平坦化膜と、  
 前記平坦化膜上に形成された第 1 の電極と、  
 前記第 1 の電極上に開口部を有する分離膜と、  
 前記開口部において前記第 1 の電極上に設けられた発光層と、  
 前記発光層上に形成された第 2 の電極とを備える表示装置であって、  
 前記薄膜トランジスタのパターン表面の凹凸によって生じる前記平坦化膜の下層表面の  
 パターンの段差を  $a$ 、前記平坦化膜の膜厚を  $b$  とすると、  
 前記分離膜と前記開口部との境界領域において、 $b/a \geq 3.5$  となる部分を有する表  
 示装置。

10

## 【請求項 2】

前記開口部が前記薄膜トランジスタ上に配置されている請求項 1 に記載の表示装置。

## 【請求項 3】

表面に凹凸を有する薄膜トランジスタを形成する工程と、  
 前記薄膜トランジスタのパターン上に平坦化膜を形成する工程と、  
 前記平坦化膜上に第 1 の電極を形成する工程と、  
 前記第 1 の電極上に開口部を有する分離膜を形成する工程と、  
 前記開口部において前記第 1 の電極上に発光層を設ける工程と、  
 前記発光層上に第 2 の電極を形成する工程とを備え、  
 前記薄膜トランジスタのパターン表面の凹凸によって生じる前記平坦化膜の下層表面の  
 パターンの段差を  $a$ 、前記平坦化膜の膜厚を  $b$  とすると、  
 前記分離膜と前記開口部との境界領域において、 $b/a \geq 3.5$  となる部分を有する表  
 示装置の製造方法。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、表示装置およびその製造方法に関する。

## 【背景技術】

30

## 【0002】

有機 EL 素子とは、陽極電極（アノード電極ともいう）と陰極電極（カソード電極ともいう）との間に、有機 EL 層を含む電界発光層を挟んだ構造を基本構成とするものである。アノード電極とカソード電極の間に電圧を加えることで、アノード電極側から正孔（ホール）が、カソード電極側から電子が注入されることによって有機 EL 層の発光が得られる。

## 【0003】

このような有機 EL 素子を用いた表示装置である有機電界発光型表示装置（有機 EL 表示装置）は、スイッチング素子として薄膜トランジスタ（以後、TFT と呼ぶ）が配置された TFT アクティブマトリクス基板を備える。そして、TFT アクティブマトリクス  
 40  
 基板には、表示領域の各画素に有機 EL 素子が形成された構造を有している。有機 EL 素子は、アノード電極、電界発光層、カソード電極がこの順に積層された構造を有している。このような有機 EL 表示装置の構成は、例えば特許文献 1～5 に開示されている。

## 【0004】

従来からの一般的な有機 EL 表示装置は、下面発光型（ボトムエミッション型）とよばれる構造のものが用いられている。ボトムエミッション型構造では、ガラス等の透明絶縁性基板上に TFT や有機 EL 素子が形成されている。そして、有機 EL 素子の有機 EL 層から発生した光を裏側、つまり透明絶縁性基板側に放射させる方式で表示を行う。そして、放射された光は、TFT 等が形成されていない領域から出射される。

## 【0005】

50

しかしながら、ボトムエミッション型では、基板上的TFTパターンや配線パターン、あるいは駆動用回路パターン等が形成された領域では光を透過させることができない。このため、有効な発光面積が少なくなってしまうという問題がある。これらの問題を解決するために、発光面積を広く取ることのできる上面発光型（トップエミッション型）と呼ばれる構造のものが開発されている。トップエミッション型構造では、カソード電極が透明電極で形成されている。そして、このカソード電極を介して光を透明絶縁性基板上部へ放射させている。

#### 【0006】

さらに、トップエミッション型構造は、上記のアノード電極が光反射性を有する金属材料で形成されている。このため、有機EL層で発生した光をカソード電極を介して透明絶縁性基板上部へ放射させる際に、この金属材料による反射光も同時に透明絶縁性基板上部へ放射させることができ、明るい表示画像を得ることができる。

10

#### 【0007】

トップエミッション型の有機EL素子では、各画素のアノード電極毎に有機樹脂膜等で隔壁（以下、分離膜と呼ぶ）を設けて各画素を分離する。そして、分離膜に開口部を設けた後、その開口部にホール輸送層、発光層、電子輸送層を含む有機EL層を、蒸着やインクジェット法を用いて形成する。さらに、カソード電極としてITO（Indium Tin Oxide）などの透明電極膜を形成する構造をとる。

【特許文献1】特開昭63-295695号公報

【特許文献2】特開2001-291595号公報

20

【特許文献3】特開2003-77681号公報

【特許文献4】特開2003-288993号公報

【特許文献5】特開2004-31324号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0008】

上記のような有機EL表示装置において、その表示品質はまだ充分ではなく、ショートモードによる故障（以下、ショートモード故障という）によってダークスポットと呼ばれる黒点欠陥が発生し、歩留りの低下を招いている。特にカソード電極とアノード電極との間の電界発光層に欠損部分が存在する事によって発生するショートモード故障では、その画素は非点灯となり、黒点欠陥として視認される。このようなカソード電極/アノード電極間のショートは、主に分離膜端で発生している事が、本発明者らの解析によって明らかとなっている。分離膜は下地膜の凹凸の影響を受け、特にフッティング部分（分離膜と開口部との境界領域）においてうねりを有している。うねりの大きな箇所では、電界発光層の膜付きが薄く、カソード電極/アノード電極間のショートが発生する恐れがある。従って、従来の有機EL表示装置では、表示品質が低下するという問題点があった。

30

#### 【0009】

本発明は、上記のような課題に対してなされたものであり、表示品質の優れた表示装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

40

#### 【0010】

本発明にかかる表示装置は、表面に凹凸を有する薄膜トランジスタと、前記薄膜トランジスタのパターン上に形成された平坦化膜と、前記平坦化膜上に形成された第1の電極と、前記第1の電極上に開口部を有する分離膜と、前記開口部において前記第1の電極上に設けられた発光層と、前記発光層上に形成された第2の電極とを備える表示装置であって、前記薄膜トランジスタのパターン表面の凹凸によって生じる前記平坦化膜の下層表面のパターンの段差をa、前記平坦化膜の膜厚をbとすると、前記分離膜と前記開口部との境界領域において、 $b/a \geq 3.5$ となる部分を有するものである。

#### 【0011】

本発明にかかる表示装置の製造方法は、表面に凹凸を有する薄膜トランジスタを形成す

50

る工程と、前記薄膜トランジスタのパターン上に平坦化膜を形成する工程と、前記平坦化膜上に第1の電極を形成する工程と、前記第1の電極上に開口部を有する分離膜を形成する工程と、前記開口部において前記第1の電極上に発光層を設ける工程と、前記発光層上に第2の電極を形成する工程とを備え、前記薄膜トランジスタのパターン表面の凹凸によって生じる前記平坦化膜の下層表面のパターンの段差を $a$ 、前記平坦化膜の膜厚を $b$ とすると、前記分離膜と前記開口部との境界領域において、 $b/a \geq 3.5$ となる部分を有する方法である。

【発明の効果】

【0012】

本発明によれば、表示品質の優れた表示装置及びその製造方法を得ることができる。

10

【発明を実施するための最良の形態】

【0013】

実施の形態．

まず、本実施の形態にかかる表示装置及びその製造方法について説明する前に、TFTアクティブマトリクス基板（TFTアレイ基板）について図1を用いて説明する。TFTアレイ基板には、スイッチング素子として薄膜トランジスタ（TFT）が用いられる。図1は、TFTアレイ基板の構成を示す平面模式図である。TFTアレイ基板は、液晶表示装置やEL表示装置（電界発光型表示装置）等の平面型表示装置（フラットパネルディスプレイ）に用いられる。また、EL表示装置には、例えば有機EL表示装置、無機EL表示装置がある。なお、以下に説明する実施の形態で用いられる説明図において、同一又は相当部分には同一の符号を付して説明を省略する。

20

【0014】

TFTアレイ基板100には、表示領域101と表示領域101を囲むように設けられた額縁領域102とが設けられている。この表示領域101には、複数のゲート信号線（走査信号配線）109と複数のソース信号線（表示信号配線）110とが形成されている。複数のゲート信号線109は平行に設けられている。同様に、複数のソース信号線110は平行に設けられている。ゲート信号線109と、ソース信号線110とは、互いに交差するように形成されている。ゲート信号線109とソース信号線110とは直交している。そして、隣接するゲート信号線109とソース信号線110とで囲まれた領域が画素105となる。従って、TFTアレイ基板100では、画素105がマトリクス状に配列される。

30

【0015】

さらに、TFTアレイ基板100の額縁領域102には、走査信号駆動回路103と表示信号駆動回路104とが設けられている。ゲート信号線109は、表示領域101から額縁領域102まで延設されている。そして、ゲート信号線109は、TFTアレイ基板100の端部で、走査信号駆動回路103に接続される。ソース信号線110も同様に表示領域101から額縁領域102まで延設されている。そして、ソース信号線110は、TFTアレイ基板100の端部で、表示信号駆動回路104と接続される。走査信号駆動回路103の近傍には、外部配線106が接続されている。また、表示信号駆動回路104の近傍には、外部配線107が接続されている。外部配線106、107は、例えば、FPC（Flexible Printed Circuit）などの配線基板である。

40

【0016】

外部配線106、107を介して走査信号駆動回路103、及び表示信号駆動回路104に外部からの各種信号が供給される。走査信号駆動回路103は外部からの制御信号に基づいて、ゲート信号（走査信号）をゲート信号線109に供給する。このゲート信号によって、ゲート信号線109が順次選択されていく。表示信号駆動回路104は外部からの制御信号や、表示データに基づいて表示信号（表示電圧）をソース信号線110に供給する。これにより、表示データに応じた表示電圧を各画素105に供給することができる。なお、走査信号駆動回路103と表示信号駆動回路104は、TFTアレイ基板100上に配置される構成に限られるものではない。例えば、TCP（Tape Carrier Package）

50

により駆動回路を接続してもよい。

【0017】

画素105内には、少なくとも1つのTFTが形成されている。TFTはソース信号線110とゲート信号線109の交差点近傍に配置される。このTFTは、例えばスイッチング(SW)用TFTである。このTFTが駆動用のTFT108に表示電圧を供給する。そして、駆動用のTFT108が画素電極に表示電圧を供給する。すなわち、ゲート信号線109からのゲート信号によって、スイッチング用TFTがオンされる。これにより、ソース信号線110から、スイッチング用TFTのドレイン電極に接続された駆動用のTFT108に表示電圧が印加される。そして、駆動用のTFT108は電源電圧、及び画素電極に接続されており、表示電圧に応じた駆動電流を画素電極に供給する。つまり、ソース信号線110は、スイッチング用TFTにゲート信号を供給する信号配線であり、ソース信号線110は、ソース信号を供給する信号配線である。なお、これらのTFTは、表面に凹凸を有する。

10

【0018】

有機EL表示装置の場合、TFTアレイ基板100上に、画素電極であるアノード電極、対向電極であるカソード電極が設けられている。また、アノード電極とカソード電極との間には、電界発光層が配置される。なお、画素電極をカソード電極、対向電極をアノード電極としてもよい。画素電極をアノード電極とするか、カソード電極とするかは、光学的な設計により適宜選択する。

【0019】

アノード電極とカソード電極との間に電流を供給することによって、アノード電極からは正孔(ホール)が、カソード電極からは電子がそれぞれ有機EL層に注入されて再結合する。その際に生ずるエネルギーにより有機EL層内の発光性化合物の分子が励起される。励起された分子は基底状態に失活し、その過程において有機EL層が発光する。そして、有機EL層から発光された光は、視認側に出射する。各画素105が駆動回路からの信号に従って有機EL層の発光量を制御することによって、表示領域は画像表示を行う。

20

【0020】

次に、本発明にかかる表示装置の一例としてアクティブマトリクス方式のトップエミッション型構造の有機EL表示装置について図2及び図3を用いて説明する。図2は、有機EL表示装置の画素の構成を示す平面模式図である。つまり、図1における1画素を拡大した平面模式図である。図3は、図2の破線A-Bにおける有機EL表示装置の構成を示す断面模式図である。

30

【0021】

第1絶縁性基板1上に、透過性の絶縁膜であるSiN膜(シリコン窒化膜)2、SiO<sub>2</sub>膜(シリコン酸化膜)3の積層構造からなる下地膜が形成される。第1絶縁性基板1としては、ガラスや石英基板等の透明絶縁性基板を用いることができる。そして、下地膜の上層には、島状のポリシリコン膜7が形成される。これは、アモルファスシリコン膜にレーザー光を照射することにより形成されている。また、ポリシリコン膜7には、不純物を含む導電性領域があり、これがソース領域7b、ドレイン領域7cである。ソース・ドレイン領域は、ポリシリコン膜7の両端に形成され、ソース・ドレイン領域に挟まれる領域がチャンネル領域7aである。

40

【0022】

さらに、ポリシリコン膜7を覆うようにゲート絶縁膜5が形成される。つまり、ゲート絶縁膜5は、ポリシリコン膜7に接して形成される。そして、チャンネル領域7aと対向して、ゲート絶縁膜5上にゲート電極6が形成される。なお、ゲート電極6は、後述するコンタクトホール9及びコンタクトホール10の間を通るように形成されている。そして、ゲート電極6を覆うように、第1層間絶縁膜8が形成される。また、ソース領域7b、ドレイン領域7cに対応する第1層間絶縁膜8及びゲート絶縁膜5には、コンタクトホール9、10がそれぞれ設けられている。そして、第1層間絶縁膜8上には、ソース電極11及びドレイン電極12が形成されている。ソース電極11は、コンタクトホール9を介し

50

てソース領域 7 b に接続される。また、第 1 層間絶縁膜 8 上のドレイン電極 1 2 は、コンタクトホール 1 0 を介してドレイン領域 7 c に接続される。ソース電極 1 1 及びドレイン電極 1 2 は、ポリシリコン膜 7 の外側まで延設されている。そして、ソース電極 1 1 及びドレイン電極 1 2 を覆うように、第 2 層間絶縁膜 1 3、平坦化膜 1 5 が順次形成されている。すなわち、第 2 層間絶縁膜 1 3 及び平坦化膜 1 5 は、凹凸を有する T F T 1 0 8 のパターン上に形成されている。なお、ドレイン電極 1 2 上の第 2 層間絶縁膜 1 3 及び平坦化膜 1 5 には、コンタクトホール 1 4 が形成されている。コンタクトホール 1 4 は、ポリシリコン膜 7 の外側に形成されている。

#### 【 0 0 2 3 】

そして、平坦化膜 1 5 上には、第 1 の電極であるアノード電極 1 6 が形成されている。アノード電極 1 6 は、金属膜 1 6 a と導電膜 1 6 b との積層構造を有している。アノード電極 1 6 として光反射性を有する材料を用いることにより、アノード電極 1 6 によって反射した光が、有機 E L 表示装置の上部へ出射する。また、アノード電極 1 6 は、第 2 層間絶縁膜 1 3 及び平坦化膜 1 5 に形成されたコンタクトホール 1 4 によって、ドレイン電極 1 2 に接続される。そして、平坦化膜 1 5 上には、アノード電極 1 6 上に開口部を有する分離膜 1 7 が形成される。この開口部は、ゲート絶縁膜 5、ゲート電極 6、ポリシリコン膜 7、ソース電極 1 1、ドレイン電極 1 2 等から形成される T F T 1 0 8 上に設けられる。具体的には、分離膜 1 7 の開口部の内側に T F T 1 0 8 が形成されており、ソース電極 1 1 及びドレイン電極 1 2 のみが開口部の外側まで延設されている。また、コンタクトホール 9、1 0 上には、分離膜 1 7 が形成されていない。つまり、コンタクトホール 9、1 0 上に開口部が形成されている。そして、コンタクトホール 9、1 0 の外側に分離膜 1 7 が形成されている。なお、分離膜 1 7 の下には、コンタクトホール 1 4 が形成されている。つまり、図 2 に示される枠状の太い破線内には、分離膜 1 7 が形成されておらず、太い破線外には、分離膜 1 7 が形成されている。

#### 【 0 0 2 4 】

分離膜 1 7 の開口部には、ホール輸送層 1 8 a、有機 E L 層 1 8 b、電子輸送層 1 8 c が順次積層された電界発光層 1 8 が形成されている。また、分離膜 1 7 及び発光層としての電界発光層 1 8 の上には、第 2 の電極であるカソード電極 1 9 が形成される。カソード電極 1 9 としては、I T O 膜等の透明導電膜を用いることができる。これにより、電界発光層 1 8 によって発光された光が、カソード電極 1 9 を透過して、有機 E L 表示装置の上部に出射する。つまり、分離膜 1 7 の開口部には、アノード電極 1 6、電界発光層 1 8、カソード電極 1 9 が順次積層した有機 E L 素子が形成されている。そして、アノード電極 1 6 とカソード電極 1 9 が交差する位置、つまり有機 E L 素子が形成されている位置が画素 1 0 5 となる。すなわち、分離膜 1 7 の開口部は、画素 1 0 5 を画定する役割を果たしている。そして、カソード電極 1 9 上には、接着層 2 0 が形成され、接着層 2 0 上の第 2 絶縁性基板 2 1 を接着している。なお、第 2 絶縁性基板 2 1 としては、ガラスや石英基板等の透明絶縁性基板を用いることができる。第 2 絶縁性基板 2 1 が透過性を有することにより、電界発光層 1 8 によって発光された光が第 2 絶縁性基板 2 1 を透過して出射される。

#### 【 0 0 2 5 】

本実施の形態にかかる表示装置は、規定範囲を有し、この規定範囲の構成に特徴を有するものである。ここで、規定範囲について図 4 を用いて説明する。図 4 は、規定範囲 2 2 を示す平面模式図である。なお、図 4 は図 2 と同様の構成となっている。

#### 【 0 0 2 6 】

規定範囲 2 2 とは、分離膜 1 7 の開口部におけるアノード電極 1 6 と分離膜 1 7 との境界部からアノード電極 1 6 側に 1  $\mu$ m、分離膜 1 7 側に 1  $\mu$ m で囲まれた範囲のことである。従って、規定範囲 2 2 が分離膜 1 7 と分離膜 1 7 に設けられた開口部との境界領域となる。つまり、図 4 に示される枠状に形成された斜線部が規定範囲 2 2 である。この規定範囲 2 2 は、分離膜 1 7 のフッティング部分であり、分離膜 1 7 の膜厚が薄くなっている。つまり、分離膜 1 7 下層のうねりの影響を受けやすい部分である。このため、パターン

の段差を  $a$ 、平坦化膜 15 の膜厚を  $b$  としたとき  $b/a > 3.5$  を満たすパターンを規定範囲 22 に配置する。また、パターンの段差  $a$  の要因となるパターンとは、TF T パターン、配線パターンなど、具体的にはゲート絶縁膜 5、ゲート電極 6、ポリシリコン膜 7、第 1 層間絶縁膜 8、ソース電極 11、ドレイン電極 12 のことである。具体的に、パターンの段差  $a$  とは、TF T 108 等のパターン表面の凹凸によって生じる平坦化膜 15 の下層（ここでは、第 2 層間絶縁膜 13）表面のパターンの段差である。図 4 に示されるように、規定範囲 22 にはコンタクトホール 9、10 が形成されていない。具体的には、規定範囲 22 の内側にコンタクトホール 9、10 が形成されている。なお、コンタクトホール 14 は、規定範囲 22 の外側に形成されている。

#### 【0027】

次に、図 5 を用いてパターンの段差  $a$  と平坦化膜 15 の膜厚  $b$  について詳しく説明する。図 5 は、パターンの段差  $a$  と平坦化膜 15 の膜厚  $b$  との関係を示す断面模式図である。このパターンとは、上記のようにゲート絶縁膜 5、ゲート電極 6、ポリシリコン膜 7、第 1 層間絶縁膜 8、ソース電極 11、ドレイン電極 12 のことである。

#### 【0028】

図 5 に示されるように、平坦化膜 15 の下層に形成される第 2 層間絶縁膜 13 は、上面に凹凸を有している。つまり、第 2 層間絶縁膜 13 は、平坦化膜 15 と第 2 層間絶縁膜 13 との界面に凹凸を有する。これは、上記のパターンによるものである。パターンの段差  $a$  とは、この凹凸の最下端から最上端までの高さである。つまり、パターンの段差  $a$  は、上記のパターンが形成されていない部分に形成された第 2 層間絶縁膜 13 の上端から、上記のパターンが形成されている部分に形成された第 2 層間絶縁膜 13 の上端までの高さである。そして、平坦化膜 15 の膜厚  $b$  とは、規定範囲 22 内において、任意の箇所における平坦化膜 15 の膜厚  $b$  である。ここでは、ドレイン電極 12、ソース電極 11 が規定範囲 22 を横切る 2 箇所以外は  $b/a > 3.5$  を満たす。もちろん、平坦化膜 15 を十分厚くして規定範囲 22 全体で  $b/a > 3.5$  を満たしてもよい。つまり、上記の  $b/a > 3.5$  の条件を満たす部分では、平坦化膜 15 が第 2 層間絶縁膜 13 の上面に形成された凹凸の 3.5 倍以上高く形成されている。このため、第 2 層間絶縁膜 13 の上に形成される平坦化膜 15 の上面を比較的平坦にすることができる。

#### 【0029】

本実施の形態において、 $b/a > 3.5$  を満たさない部分、つまり  $b/a < 3.5$  の部分とは、例えばコンタクトホール 9、10 周辺 ( $b/a > 3.3$ ) である。この部分には、ポリシリコン膜 7 が形成され、さらにソース電極 11 あるいはドレイン電極 12 が形成されている。このため、図 3 から分かるように、第 2 層間絶縁膜 13 の上面が凸形状となっている。つまり、第 2 層間絶縁膜 13 上に形成される平坦化膜 15 の膜厚  $b$  は、他の部分に比べて薄くなる。従って、第 2 層間絶縁膜 13 の凹凸の影響を受けやすくなり、平坦化膜 15 の上面にも、凹凸が形成されてしまう。ここで、本実施の形態では、規定範囲 22 においては、コンタクトホール 9、10 を形成しない平面構造とする。すなわち、コンタクトホール 9、コンタクトホール 10 の外側に規定範囲 22 を配置する。ここでは、規定範囲 22 の外側に分離膜 17 を形成し、規定範囲 22 の内側に分離膜 17 の開口部を形成したがこれに限られない。つまり、規定範囲 22 の外側に開口部を形成し、規定範囲 22 の内側に分離膜 17 を形成してもよい。この場合、ゲート絶縁膜 5、ゲート電極 6、ポリシリコン膜 7、ソース電極 11、ドレイン電極 12 等から形成される TF T 108 上に分離膜 17 が形成される。

#### 【0030】

このように、規定範囲 22 に  $b/a > 3.5$  を満たすパターンを配置することにより、分離膜 17 のフッティング部分のうねりを改善することができる。そして、電界発光層 18 の被覆性を向上させ、カソード電極 19 とアノード電極 16 とのショートが抑制される。従って、ショートした画素が非点灯になることによる黒点欠陥（ダークスポット）が生じ難くなり、表示品質の低下、歩留の低下を抑制することができる。なお、カソード電極 19 / アノード電極 16 間がショートすることによって発生する故障、つまりショートモ

10

20

30

40

50

ードによる故障を以下ショートモード故障という。

【0031】

次に、上記の構成の有機EL表示装置の製造方法について図6、図7を用いて説明する。図6及び図7は、有機EL表示装置の製造方法を示す断面模式図である。ここで用いられるTFT108は、p型のみTFT108として説明する。

【0032】

まず、第1絶縁性基板1の主表面上に、プラズマCVD (Chemical vapor deposition) 法を用いて、下地膜を形成する。絶縁性基板1としては、ガラス基板や石英基板等を用いることができる。下地膜は、透過性絶縁膜であるSiN膜2やSiO<sub>2</sub>膜3である。これを、後に成膜されるシリコン膜の下地として成膜する。本実施の形態では、絶縁性基板1上に、SiN膜2、SiO<sub>2</sub>膜3を順次成膜する。つまり、下地膜がSiN膜2とSiO<sub>2</sub>膜3の積層構造となっている。このような下地膜は、例えばガラス基板からのNaなどの可動イオンがシリコン膜へ拡散することを防止する目的で設けられる。

10

【0033】

次に、下地膜の上にアモルファスシリコン膜4をプラズマCVD法により成膜する。なお、アモルファスシリコン膜4の成膜後に、高温中でアニール(熱処理)を行うことが好ましい。これは、プラズマCVD法によって成膜したアモルファスシリコン膜4の膜中に、多量に含有された水素(H)濃度を低減するために行う。この場合、後に続くレーザアニール工程において、アモルファスシリコン膜4中の水素突沸によるクラックが発生することを抑制することができる。つまり、このような処理を行っておくことにより、アモルファスシリコン膜4を結晶化する際に、温度が上昇しても水素の急激な脱離が起こらない。レーザアニール工程では、図6(a)に示されるように、アモルファスシリコン膜4上からレーザ光を照射する。本実施の形態では、レーザ光としてエキシマレーザ(波長308nm)のレーザ光を用いる。レーザ光は、所定の光学系を通して線状のビームプロファイルに変換された後、アモルファスシリコン膜4に向けて照射される。ここでは、絶縁性基板1に対して垂直方向、つまり図6(a)で示されるY方向にレーザ光を出射する。そして、線状ビームの幅方向、つまり図6(a)で示されるX方向にレーザ光を走査させる。このレーザアニール工程によって、アモルファスシリコン膜4を多結晶化し、ポリシリコン膜7を形成する。

20

【0034】

次に、ポリシリコン膜7上に感光性樹脂であるフォトレジスト膜(不図示)をスピコート法によって塗布し、塗布したフォトレジスト膜を露光、現像する写真製版法(フォトリソグラフィ法)を行う。これにより、所定の開口パターンを有するフォトレジスト膜が形成される。その後、フォトレジスト膜をマスクとしてポリシリコン膜7をエッチングし、ポリシリコン膜7を所定形状とする。そして、フォトレジスト膜を除去する。これにより、所望の形状にポリシリコン膜7がパターニングされる。また、ポリシリコン膜7を傾斜させて形成するため、RIE(リアクティブ・イオン・エッチング)モードを用いたレジスト後退法によるドライエッチングを実施する。従って、ポリシリコン膜7は、端部にテーパ形状を有する構造となる。

30

【0035】

続いてプラズマCVD法などを用いて、ポリシリコン膜7が被覆されるように厚さ100nm程度のゲート絶縁膜5を形成する。なお、ポリシリコン膜7パターンの端部をテーパ形状としているため、ゲート絶縁膜5の被覆性が高くなり、初期故障を抑制することができる。ゲート絶縁膜5は、例えば基板温度を約350℃に加熱した状態で、TEOSガスを流量0.17Pa・m<sup>3</sup>/sec(=0.1slm)、O<sub>2</sub>ガスを流量8.5Pa・m<sup>3</sup>/sec(=5slm)で真空チャンバ内に導入する。そして、その圧力を150Paになるように制御し、パワーを2000W投入して、プラズマ放電することにより、酸化シリコン膜を堆積する。

40

【0036】

次に、スパッタリング法を用いて、ゲート電極6及び配線を形成するための金属膜を厚

50

さ300nm程度に成膜する。そして、上記のような写真製版法を用いて、所望の形状にパターンングし、ゲート電極6及び配線を形成する。ここで形成されたゲート電極6は、後述するコンタクトホール9及びコンタクトホール10の間に形成される。そして、形成したゲート電極6をマスクとして、ポリシリコン膜7に不純物元素を導入する。これにより、不純物を含む導電性領域であるソース・ドレイン領域が、ポリシリコン膜7の両端に形成される。また、ソース・ドレイン領域に挟まれる領域がチャンネル領域7aである。ここでは、イオンドーピング法を用いて、ボロン(B)を所定のドーズ量でポリシリコン膜7に向けて注入する。以上の工程により、ゲート電極6、チャンネル領域7a、ソース領域7b、ドレイン領域7cが形成され、図6(b)に示す構成となる。

#### 【0037】

次に、ゲート絶縁膜5上にゲート電極6を覆う第1層間絶縁膜8を膜厚500nm程度に成膜する。そして、ポリシリコン膜7のソース・ドレイン領域にドーピングしたイオンをさらに活性化させるために、450程度の熱処理を施す。その後、上記のような写真製版法を用いて、第1層間絶縁膜8を所望の形状にパターンングする。ここでは、ポリシリコン膜7のソース領域7bに到達するコンタクトホール9、及びドレイン領域7cに到達するコンタクトホール10を形成する。つまり、コンタクトホール9、10では、ゲート絶縁膜5及び第1層間絶縁膜8が除去され、ポリシリコン膜7が露出している。以上の工程により、図4(c)に示す構成となる。

#### 【0038】

次に、ソース・ドレイン電極及び配線を形成するための金属膜を成膜する。そして、成膜した金属膜を上記のような写真製版法を用いて所望の形状にパターンングして、ソース・ドレイン電極及び配線を形成する。具体的には、図6(c)に示されるコンタクトホール9が金属膜によって充填され、ソース電極11が形成される。また、図6(c)に示されるコンタクトホール10が金属膜によって充填され、ドレイン電極12が形成される。ここでは、ソース・ドレイン電極を厚さ500nm程度に形成する。以上の工程により、ポリシリコン膜7のソース領域7bには、ソース電極11が接続される。また、ポリシリコン膜7のドレイン領域7cには、ドレイン電極12が接続される。そして、プラズマCVD法を用いて第1層間絶縁膜8上に、ソース電極11、ドレイン電極12などを覆う第2層間絶縁膜13を成膜する。そして、成膜した第2層間絶縁膜13を上記のような写真製版法を用いて所望の形状にパターンングして、ドレイン電極12に到達するコンタクトホール14を形成する。つまり、コンタクトホール14では、第2層間絶縁膜13が除去され、ドレイン電極12が露出している。このように、表面に凹凸を有するTF T108が形成される。また、コンタクトホール14は、TF T108が形成されている領域の外側に形成されている。以上の工程により、図6(d)に示す構成となる。

#### 【0039】

次に、第2層間絶縁膜13上に、平坦化膜15を成膜する。つまり、平坦化膜15は、TF T108のパターン上に形成される。平坦化膜15としては、有機樹脂膜、例えば光透過性のアクリル系感光樹脂膜であるJSR製の製品名PC335を用いることができる。そして、この有機樹脂膜を、TF Tパターン、配線パターン等を配置しない部分で膜厚が約2 $\mu$ mとなるように、スピンコート法を用いて塗布形成する。つまり、平坦化膜15の最も厚い膜厚が約2 $\mu$ mとなる。従って、平坦化膜15の膜厚bの最大値が約2 $\mu$ mなので、パターンの段差aは約0.57 $\mu$ m以下となる。その後、パターン露光及び現像を行って、平坦化膜15を所望の形状にパターンングして、開口部を形成する。この開口部は、第2層間絶縁膜13に形成されたコンタクトホール14の一部または全部と重なるように形成される。つまり、開口部では、第2層間絶縁膜13及び平坦化膜15が除去され、ドレイン電極12が露出している。そして、平坦化膜15をキュアするために、220 $^{\circ}$ Cのアニールを施す。平坦化膜15を形成することにより、TF Tパターン又は配線パターン表面の凹凸によって生じる第2層間絶縁膜13の表面の凹凸が被覆される。これにより、TF Tアレイ基板表面を比較的平坦にすることができる。しかしながら、コンタクトホール9、10や、配線を形成する膜の段差が大きい場合、有機樹脂膜から形成される平

10

20

30

40

50

平坦化膜 15 では、完全に平坦にすることは困難である。つまり、平坦化膜 15 表面も凹凸を持った形状となる。

#### 【0040】

次に、平坦化膜 15 上に金属膜 16 a、導電膜 16 b を順次成膜して、アノード電極 16 を約 100 nm の膜厚で形成する。金属膜 16 a は、後述する有機 EL 層 18 b で発光した光を反射させて、光を効率よく有機 EL 表示装置の上部へ出射するために設けられている。金属膜 16 a としては、Al、Ag、これらの合金膜等の高反射金属膜を用いることができる。導電膜 16 b は、有機 EL 層 18 b へ効率よくホールを注入するために設けられている。導電膜 16 b としては、ITO、IZO 等の高仕事関数導電膜を用いることができる。つまり、アノード電極 16 は、金属膜 16 a 及び導電膜 16 b の積層構造とな

10

#### 【0041】

次に、後述する電界発光層 18 を各画素 105 に分離して形成するための分離膜 17 を形成する。まず、ポリイミド等からなる有機樹脂膜を塗布形成し、上記のような写真製版法を用いて、分離膜 17 を所望の形状にパターニングする。これにより、アノード電極 16 上に開口部を有する分離膜 17 が形成される。なお、分離膜 17 の開口部に対応する位置が画素 105 である。すなわち、分離膜 17 は、それぞれの画素 105 を取り囲むように額縁形状となるよう設けられ、隣接する画素（不図示）間を分離するような土手状の凸部として形成されている。そして、分離膜 17 は、後述する電界発光層 18 の有機 EL 層 18 b 形成時に、隣接画素まで有機 EL 層 18 b が形成されないように色分離を行っている。ここで、本実施の形態では、分離膜 17 の形状はテーパ状である。これは、特に分離膜 17 端部における電界発光層 18 のガバレッジ不良を抑制し、アノード電極 16 とカソード電極 19 とがショートしにくくするためである。しかしながら、テーパ状としても、分離膜 17 のフッティング部分にうねり（凹凸）が発生していると電界発光層 18 のガバレッジ不良が発生する。これは、分離膜 17 の下層に形成された平坦化膜 15 表面のうねりが大きい場合、このうねりの影響を受け、分離膜 17 の特にフッティング部分にもうねりが発生してしまうためである。例えば、分離膜 17 形成用のマスク上では直線形状パターンであっても、実際に形成した分離膜 17 のフッティング部分においてはうねりを有する形状になる場合もある。このため、分離膜 17 のフッティング部分、つまり規定範囲 22 は、 $b/a = 3.5$  となるパターンを有する。これにより、分離膜 17 のうねりを改善することができる。また、分離膜 17 を形成する有機樹脂膜は、吸着水分の少ないポリイミド系の材料を用いるのが望ましい。これにより、有機 EL 層 18 b の特性や信頼性への悪影響を抑制することができる。本実施の形態では、東レ製の製品名 DL1600 を約 2  $\mu\text{m}$  の膜厚で塗布し、写真製版法により、額縁形状の分離膜 17 を形成する。なお、ここでは TFT108 上に開口部を形成する。以上の工程により、図 7 (f) に示す構成となる。

20

30

#### 【0042】

次に、蒸着法等を用いて電界発光層 18 となる有機材料を画素 105 領域に形成する。具体的には、電界発光層 18 を分離膜 17 の開口部においてアノード電極 16 上に形成する。本実施の形態では、電界発光層 18 として、ホール輸送層 18 a、有機 EL 層 18 b、電子輸送層 18 c を順次積層して形成する。ホール輸送層 18 a としては、公知のトリアールアミン類、芳香族ヒドラゾン類、芳香族置換ピラゾリン類、スチルベン類等の有機系材料から幅広く選択することができる。例えば、N, N - ジフェニル - N, N - ビス(3 - メチルフェニル) - 1, 1' - ジフェニル - 4, 4' - ジアミン (TPD) 等を 1 ~ 200 nm の膜厚で形成する。有機 EL 層 18 b としては、公知のジシアノメチレンピラン誘導体 (赤色発光)、クマリン系 (緑色発光)、キナクリドン系 (緑色発光)、テトラフェニルプタジエン系 (青色発光)、ジスチリルベンゼン系 (青色発光) 等の材料を 1 ~ 200 nm の膜厚で形成する。電子輸送層 18 c としては公知のオキサジアゾール誘導体

40

50

、トリアゾール誘導体、クマリン誘導体等から選ばれる材料を0.1~200nmの膜厚で形成する。

【0043】

上記の実施の形態では、電界発光層18をホール輸送層18a、有機EL層18b、電子輸送層18cを順次積層した構成としたが、さらに電界発光層18の発光効率を上げるために、ホール輸送層18aをホール注入層とホール輸送層の2層に、また電子輸送層18cを電子輸送層と電子注入層の2層にした公知の構成としてもよい。

【0044】

上記のように蒸着により形成した電界発光層18は、分離膜17のフッティング部分のうねりの影響を受ける。うねりが大きい場合、シャドー効果によって電界発光層18の膜付きが薄くなり、ガバレッジ不良が発生する。電界発光層18のガバレッジ不良が発生すると、続いて形成されるカソード電極19/アノード電極16間のショート発生割合が高くなる。このショートモード故障によって、非点灯の画素が発生する。これにより、ダークスポットとして視認され、表示品質の低下、歩留りの低下の要因となる。本実施の形態のように、規定範囲22に $b/a \geq 3.5$ となるパターンを有する場合、上記のように分離膜17のうねりが改善される。これに付随して、電界発光層18のガバレッジ不良が生じ難くなる。そして、カソード電極19/アノード電極16間のショートが抑制され、非点灯の画素によるダークスポットが生じ難くなる。

10

【0045】

次に、カソード電極19として、透明導電膜であるITO膜をスパッタリング法を用いて膜厚100nmで電界発光層18上に形成する。カソード電極19は、画素105領域において下層の電界発光層18に接続されると同時に、コンタクトホール(不図示)を介して下層の陰極接地用電極(不図示)にも接続されるように構成される。カソード電極19は、膜面が高い平坦性を有することが好ましい。従って、膜組織に結晶粒界がないアモルファスITO膜を形成することが好ましい。アモルファスITO膜は、例えばArガスにH<sub>2</sub>Oガスを混合させたガス中でのスパッタリングにより形成することができる。また、酸化インジウムと酸化亜鉛を混合させたIZO膜、あるいはITO膜に酸化亜鉛を混合させたITZO膜を用いることも可能である。以上の工程により、図7(g)に示す構成となる。

20

【0046】

最後に、カソード電極19と、対向配置される第2絶縁性基板21との間に、接着層20を形成する。これにより、電界発光層18が形成されている画素105領域全体が接着層20によって覆われ、水分や不純物による電界発光層18の発光特性の劣化が防止される。第2絶縁性基板21としては、第1絶縁性基板1と同じ材料を用いることができる。以上の工程により、図7(h)に示す構成となり、本実施の形態にかかる有機EL表示装置が完成する。

30

【0047】

上記のように、分離膜17は下層(ここでは、平坦化膜15)のうねりの影響を受け、特に膜厚が薄いフッティング部分においてうねりを有する場合がある。このようなうねりの大きな箇所では、電界発光層18の膜付きが薄く、カソード電極19/アノード16電極間のショートにつながる。このショートモード故障により、非点灯の画素によるダークスポットが発生し、歩留りの低下、表示品質の低下を招いてしまう。ここで、本実施の形態のように規定範囲22に $b/a \geq 3.5$ となるパターンを有する場合、これらの問題が改善され、歩留りの低下、表示品質の低下を抑制することができる。

40

【0048】

図8は、 $b/a$ 比による黒点欠陥率(%)を示すグラフである。図8の横軸は $b/a$ 比、縦軸は黒点欠陥率である。黒点欠陥率とは、ショートモード故障による非点灯画素欠陥、つまりダークスポットの割合である。図8に示されるように、 $b/a$ 比が3.5以上( $b/a \geq 3.5$ )のとき黒点欠陥率を大幅に低減することができる。つまり、分離膜17のフッティング部分の $b/a$ 比を3.5以上とすることにより、分離膜17のフッティン

50

グ部分のうねりが大幅に軽減される。そして、分離膜 17 のうねり起因による電界発光層 18 の被覆性低下、つまりガバレッジ不良が改善され、ショートモード故障による黒点欠陥率が大幅に改善される。そして、歩留向上、表示品質向上を達成することが可能となる。なお、本発明は、有機 EL 表示装置以外の表示装置、例えば無機 EL 表示装置に用いてもよい。

【図面の簡単な説明】

【0049】

【図1】実施の形態にかかる TFT アレイ基板の構成を示す平面模式図である。

【図2】実施の形態にかかる有機 EL 表示装置の画素の構成を示す平面模式図である。

【図3】実施の形態にかかる図2の破線 A - B における有機 EL 表示装置の構成を示す断面模式図である。 10

【図4】実施の形態にかかる規定範囲を示す平面模式図である。

【図5】実施の形態にかかるパターンの段差 a と平坦化膜 15 の膜厚 b との関係を示す断面図である。

【図6】実施の形態にかかる有機 EL 表示装置の製造方法を示す断面模式図である。

【図7】実施の形態にかかる有機 EL 表示装置の製造方法を示す断面模式図である。

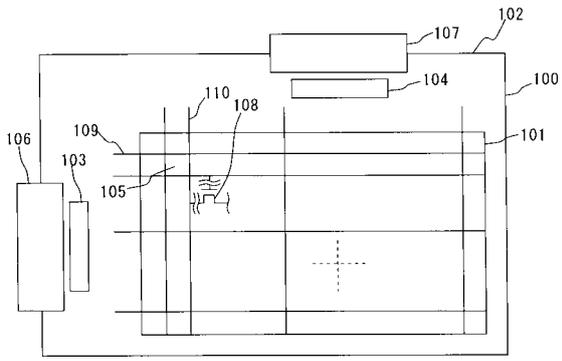
【図8】実施の形態にかかる b / a 比による黒点欠陥率を示すグラフである。

【符号の説明】

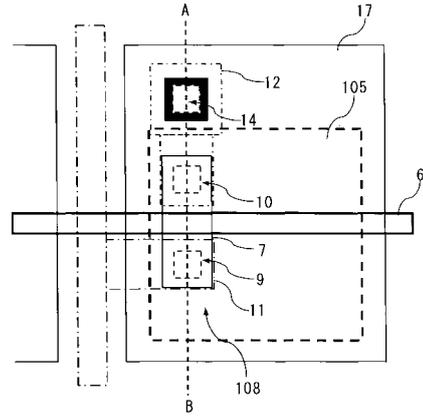
【0050】

1 第1絶縁性基板、2 SiN膜、3 SiO<sub>2</sub>膜、5 ゲート絶縁膜、 20  
 6 ゲート電極、7 ポリシリコン膜、7a チャンネル領域、7b ソース領域、  
 7c ドレイン領域、8 第1層間絶縁膜、9 コンタクトホール、  
 10 コンタクトホール、11 ソース電極、12 ドレイン電極、  
 13 第2層間絶縁膜、14 コンタクトホール、15 平坦化膜、  
 16 アノード電極、16a 金属膜、16b 導電膜、17 分離膜、  
 18 電界発光層、18a ホール輸送層、18b 有機EL層、18c 電子輸送層、  
 19 カソード電極、20 接着層、21 第2絶縁性基板、22 規定範囲、  
 100 TFTアレイ基板、101 表示領域、102 額縁領域、  
 103 走査信号駆動回路、104 表示信号駆動回路、105 画素、  
 106 外部配線、107 外部配線、108 TFT、109 ゲート信号線、 30  
 110 ソース信号線

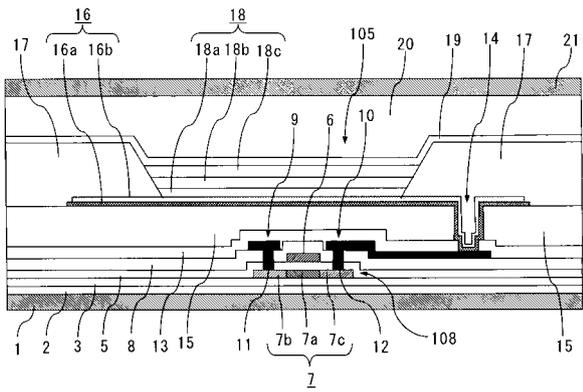
【 図 1 】



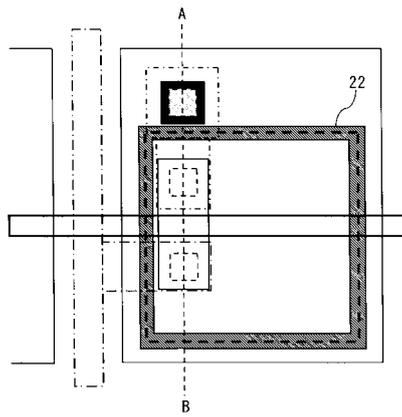
【 図 2 】



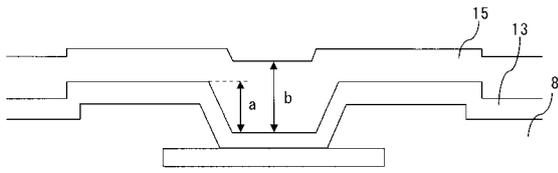
【 図 3 】



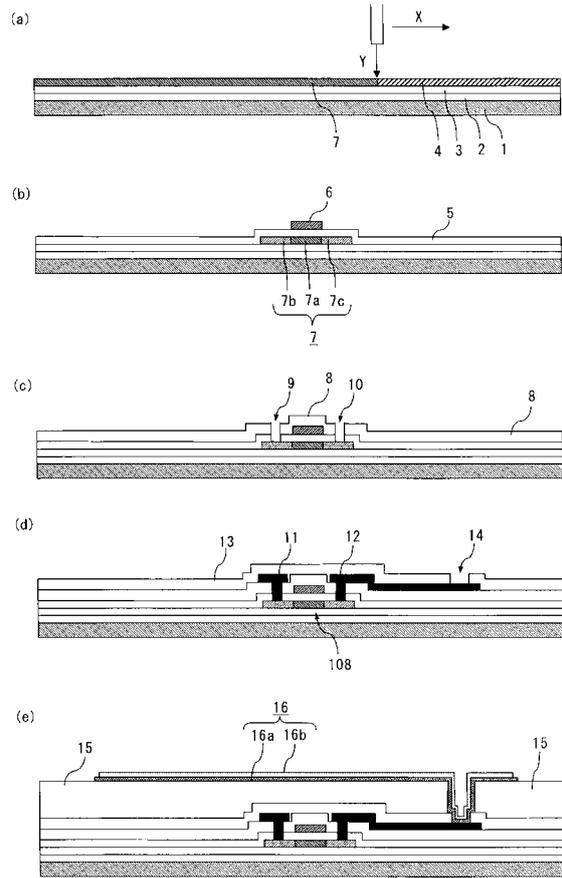
【 図 4 】



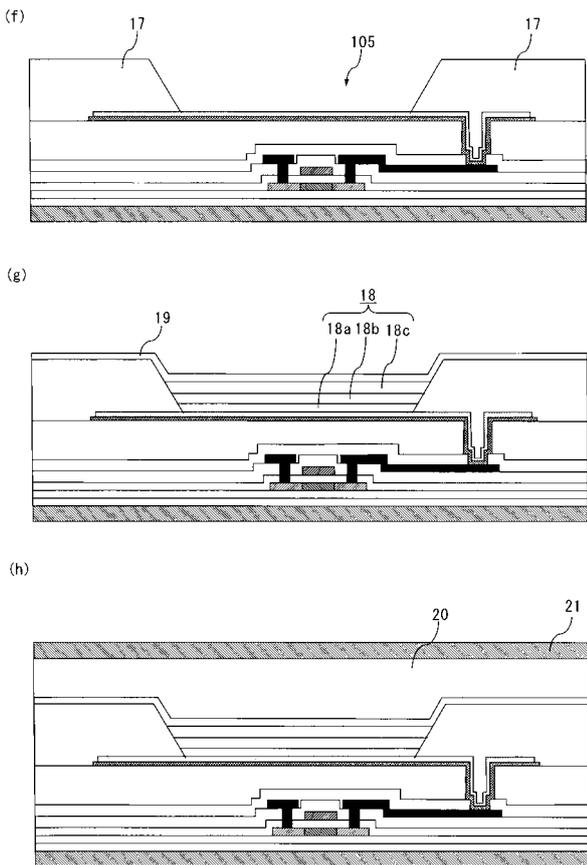
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

