

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94126263

※ 申請日期：2005 年 8 月 2 日

※IPC 分類：

H01L21/24, 21/20

(2006.01)

一、發明名稱：(中文/英文)

用以形成具較佳導熱性之應力矽材料的方法

METHOD OF FORMING STRAINED SILICON MATERIALS WITH
IMPROVED THERMAL CONDUCTIVITY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·萬國商業機器公司

International Business Machines Corporation

代表人：(中文/英文)

安德森黎恩 D

ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市

Armonk, New York 10504, U.S.A.

國 籍：(中文/英文)

美國/USA

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 貝卓史蒂芬 W/BEDELL, STEPHEN W.

2. 陳華傑/CHEN, HUAJIE

3. 福吉爾基斯/FOGEL, KEITH

4. 米契爾萊恩 M/MITCHELL, RYAN M.

5. 沙達那戴芬卓 K/SADANA, DEVENDRA K.

國 籍：(中文/英文)

1. 美國/USA
2. 中華人民共和國/PROC
3. 美國/USA
4. 美國/USA
5. 美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；2004年8月5日；10/710,826

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

國 籍：(中文/英文)

1. 美國/USA
2. 中華人民共和國/PROC
3. 美國/USA
4. 美國/USA
5. 美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；2004年8月5日；10/710,826

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明實施例係關於製造電子元件的方法，更特定關於用以生成拉緊的矽層及 SiGe 合金層的方法，其中該 SiGe 合金層具有較佳的熱傳導性。

【先前技術】

具有拉伸應力的矽層有利於用於高效能 CMOS 元件中。在拉緊的矽層中改善的電荷載子遷移率使得不需於元件中幾何尺度化，即可提高 FET 效能(較高的啟動態電流 (higher on-state current))。一拉緊的矽層典型係藉由在一放鬆的矽鍺 (SiGe) 層上生長一矽層來製造。視元件的應用而定，該矽鍺層可生長在一塊材矽基板上或一絕緣層上覆矽層 (SOI) 晶圓之頂部。在一放鬆的矽鍺層上之該拉緊的矽層可被看作是一 Si/SiGe 雙層結構。

無論該等基板是如何製造的，在製造一具有 Si/SiGe 雙層結構之元件的實際難題是該 SiGe 合金材料之熱傳導性不佳，已知此缺點會造成製造在該雙層結構上的電晶體 DC 特性劣變。因為其無法像在純矽狀況下將熱迅速導散開來，導致元件通道區域中的溫度上升，因而降低了電荷載子的遷移率。

一般來說，在一晶格中組成原子的質量之變異會降低晶體內的聲子生命期 (phonon lifetime)，因而導致熱傳導性降低。在一 SiGe 隨機型合金的情況中，Si 與 Ge 原子間及

Si 與 Ge 之各種同位素間質量的變異，都會導致熱傳導性降低。在一具有天然 Si 與 Ge 發生機率之典型隨機型 SiGe 合金(random SiGe alloy)中，Si 有三種同位素，分別為 ^{28}Si 、 ^{29}Si 及 ^{30}Si ，而 Ge 則有五種同位素，分別為 ^{70}Ge 、 ^{72}Ge 、 ^{73}Ge 、 ^{74}Ge 及 ^{76}Ge 。該 SiGe 材料之熱傳導性可藉由使用富含同位素的氣體源來生成 SiGe 而加以改善，該富含同位素的氣體源可使 Si 與 Ge 各自因為同位素所致之質量差異被降至最低。美國公開專利申請案 2004/0004271 (Fukuda 等人)建議可藉由使用 ^{28}Si 及 ^{70}Ge 同位素濃度均超過 95%的矽烷(SiH_4)及鍺烷(GeH_4)氣體，來沉積生成一 SiGe 層。一層 Si 層(其也可富含同位素)被沉積在此 SiGe 層上方。以此技術可在一塊矽基板或一 SOI 基板上獲得一同位素質量變異被減低之雙層結構(其係由在一放鬆的 SiGe 合金層上沉積一層拉緊的 Si 層而組成)。第 1 及 2 圖顯示此技術在一 SOI 基板上的應用。一典型的 SOI 基板 10 在 Si 基板 1 上具有絕緣層 2 及 Si 層 3(第 1 圖)。將富含同位素 Si 與 Ge 之氣體源 21、22 用於沉積製程中以生成隨機型 SiGe 合金層 4(第 2 圖)。富含同位素的氣體可用於降低該 SiGe 層中的質量變異，藉此可改善該 SiGe 層之熱傳導性。

可以熱混合製程來混合 Si 層 3 與該質量變異降低的 SiGe 合金層 4，以產生位於絕緣層 2 上之放鬆的 SiGe 層 5(第 3 圖)。因此，此結構可看作是一絕緣層上覆一放鬆的 SiGe 層(SGOI)基板，該 SGOI 基板上可生成 Si 層 6 以提供

一拉緊的 Si 層，如第 4 圖所示。

為了實現一拉緊的 Si 層在 CMOS 元件中的優點，需要提供在該 SiGe 合金層中具有較佳熱傳導性之 Si/SiGe 雙層結構。需要在不增加使用富含同位素 Si 與 Ge 之氣體源之複雜度與費用的情況下，能生成具有較低質量變異的放鬆 SiGe 層。

【發明內容】

本發明提供一種在一基板上形成一 SiGe 層的方法，其中該 SiGe 層具有較一隨機型 SiGe 合金層更高的熱傳導性。在此方法中，在第一沉積步驟中，於一基板上沉積一第一層的 Si 或 Ge 層；在第二沉積步驟中，於該第一層上沉積該 Si 或 Ge 之另一元素的一第二層；重複該第一及第二沉積步驟以形成一具有由複數層 Si 層及複數層 Ge 層組合而成的 SiGe 層。該 Si 層及 Ge 層之個別厚度係根據該組合的 SiGe 層之欲求的組成比(當每一層之 Si 層及 Ge 層約 10Å 厚時，典型可實現 1:1 的比例)。該組合的 SiGe 層之特徵為一 Si 及 Ge 的數位合金層，其具有較該 Si 及 Ge 的隨機合金層更高的熱傳導性。本發明方法可更包括在該組合的 SiGe 層上沉積一 Si 層的步驟；該組合的 SiGe 層的特徵為一放鬆的 SiGe 層，且該 Si 層為一拉緊的 Si 層。為了在該 SiGe 層中達到更高的熱傳導性，可沉積該第一及第二層，使得每一層實質上由單一種同位素組成。

依據本發明另一態樣，提供一種用來製造一半導體元

件的方法。此方法包括以下步驟：在一基板上生成一 SiGe 之數位合金層；及在該 SiGe 之數位合金層上生成一 Si 層。該 SiGe 之數位合金層具有較該 Si 及 Ge 的隨機合金層更高的熱傳導性。該數位合金層的特徵可為一放鬆的 SiGe 層，其中之 Si 層為一拉緊的 Si 層。

依據本發明一特定實施例，該數位合金層包括複數層、交替的 Si 及 Ge 子層。這些子層的厚度係依據該 SiGe 之數位合金層中一欲求的組成比例來生成。每一層子層可實質上由單一種同位素組成。

依據本發明更進一步態樣提供一半導體元件，其包括位於一基板上之一 SiGe 之數位合金層及位於該 SiGe 之數位合金層上之一 Si 層，其中該 SiGe 之數位合金層具有較該 Si 及 Ge 的隨機合金層更高的熱傳導性。該數位合金層的特徵可為一放鬆的 SiGe 層，且其中位於該 SiGe 層上之 Si 層可為一拉緊的 Si 層。該數位合金層包括複數層、交替的 Si 及 Ge 子層。該基板可以是一塊矽基板，或一 SOI 或 SGOI 基板。

【實施方式】

依據本發明，在一基板(典型為塊矽、SOI 或 SGOI)上生成一層 SiGe 合金層；該 SiGe 合金層具有較低的質量變異，因此具有較一層隨機 SiGe 合金層更高的熱傳導性。此係藉由將該 SiGe 層生成為一具有順序的數位合金而達成的(相對於一隨機合金層而言)。

第 5 圖示出一由本發明方法所生成的一 SiGe 數位合金層。將基板 10 (在此所示為一 SOI 結構，其在塊基板 1 上具有絕緣層 2 及 Si 層 3) 置於一處理室中，並以 Si 及 Ge 源 51、52 在該基板上沉積出多層之 Si 或 Ge 層。可使用多種沉積技術來進行沉積，包括超高真空 CVD (UHVCVD) 及低溫磊晶 (LTE)，較佳是在低於 650°C 的溫度下進行。

在該基板上沉積薄層的 Si 層 41，並在 Si 層 41 上沉積薄層的 Ge 層 42。交互沉積多層之 Si 或 Ge 層 43、44 直到達到一欲求的 Si/Ge 總厚度。如果欲求的 Si/Ge 組成比例為 1:1，則每一 Si 或 Ge 層厚度典型約為 10 Å。可依據欲求組成比例來調整該 Si 或 Ge 層的相對厚度。舉例來說，如果 SiGe 層整體厚度需為 90% 之 Si，則層 41、43 之矽層厚度可調整為 90 Å，而層 42、44 之鍺層厚度則仍為 10 Å。Si 或 Ge 層的總數量視組合層 50 的欲求厚度而定，其可從數百 Å 到數微米不等，視元件應用而定。舉例來說，如果該 SiGe 層需為 50% 之 Si 且層厚度需為 500 Å，則典型可形成 50 層之 Si 及 Ge 層 (Si 層及 Ge 層各為 25 層)，其厚度則各為 10 Å。

也想要限制基板層 3 (舉例來說，如果基板是 SGOI，則層 3 本身將成為一 SiGe 層) 中的質量變異之影響。此可藉由在沉積該 Si/Ge 子層 41、42 等之前，讓層 3 變薄 (例如，藉由研磨)，使得層 3 的厚度只為層 50 的極小部分，來達成。在此實施例中，層 50 的厚度如上給定為 500 Å，且包括 Si 及 Ge 層之子層各 25 層，層 3 厚度可變薄為 50 Å。

該組合層 50，包括所有交替的 Si 及 Ge 之子層，可被視為一起晶格，且更特定可被視為一具有順序的 SiGe 合金或 SiGe 數位合金。

須知，因每一子層僅有一種元素存在，在該組合層中的質量變異將小於一隨機合金層中的質量變異。因此，Si/Ge 組合層 50 的熱傳導性將大於以習知方法沉積的 SiGe 層。

在此實施例中，該基板之上方層 3 是一位於一 SOI 結構中的 Si 層，且該首先沉積的子層 41 也是一 Si 層。習知技藝者將能了解，此種排列具有可在基板及沉積層間提供一同型磊晶介面之優點，詳言之，矽的生長傾向降低在生長介面的氧，使得可獲得更高品質的結晶層。

或者，如果需要的話，該首先沉積的子層也可以是一 Ge 層。如上述，Si/Ge 層 50 也可被生成在一塊矽基板上或一 SGOI 基板上。

該子層 42、43、44 等之每一子層，因為與其下方鄰接的子層間晶格不匹配之故，因此係處於應力下。但是，組合層 50 整體有效應力為 0，且為了生成一拉緊的矽層，為一放鬆的 SiGe 層。因此，沉積在層 50 上的一層矽層 61 將是一層拉緊的矽層(參見第 6 圖)，且該 Si/SiGe 組合 61、50 將較一 SiGe 雙層(其中 SiGe 為一隨機合金)具有更高的熱傳導性。

在此實施例中，Si 及 Ge 係由本身並非富含同位素之氣體源 51、52 (例如，分別是 SiH_4 及 GeH_4 氣體)所供給。

但是，也可使用富合同位素之氣體源來達到個別 Si 及 Ge 子層中質量變異非常低的目的，因此可更改善 Si/Ge 層 50 之熱傳導性。

雖然本發明已用特定實施例來描述，但對熟習此技藝者而言，根據上述，眾多替代選擇、修改及變異為明顯可見的。因此，本發明意圖涵蓋落在本發明之範疇與精神及以下的申請專利範圍所界定的範圍內之所有如此的替代選擇、修改及變異。

【圖式簡單說明】

第 1 圖為圖示一典型 SOI 基板之示意圖。

第 2 圖圖示使用富合同位素的 Si 及 Ge 氣體源技術來生成 SiGe 層。

第 3 圖為圖示藉由熱混合 SiGe 及 Si 層而生成一絕緣層上覆 SiGe 層 (SGOI) 的結構之示意圖。

第 4 圖圖示在一 SGOI 基板上的一拉緊的 Si 層。

第 5 圖圖示依據本發明在一 SOI 或 SGOI 基板上形成一低質量變異數位 SiGe 合金層的方法。

第 6 圖圖示沉積在第 5 圖之 SiGe 合金層上的一拉緊的 Si 層。

【主要元件符號說明】

- | | |
|---|-------|
| 1 | Si 基板 |
| 2 | 絕緣層 |

3、6、41、43、61	Si 層
4	隨機型 SiGe 合金層
5	放鬆的 SiGe 層
10	SOI 基板
21、22	氣體源
42、44	Ge 層
50	組合層
51	Si 源
52	Ge 源

五、中文發明摘要：

在此揭示一種在 SiGe 上生成一應力 Si 層的方法，其中該 SiGe 層具有一改善的熱傳導性。在第一沉積步驟中，於一基板上沉積一第一層的 Si 或 Ge 層；在第二沉積步驟中，於該第一層上沉積前述 Si 或 Ge 之另一元素的一第二層；重複該第一及第二沉積步驟以形成一具有由複數層 Si 層及複數層 Ge 層組合而成的 SiGe 層。該 Si 層及 Ge 層之個別厚度係依據該組合的 SiGe 層之欲求的組成比而定（當每一層之 Si 層及 Ge 層約 10Å 厚時，典型可實現 1:1 的比例）。該組合的 SiGe 層之特徵為一 Si 及 Ge 的數位合金層，該 Si 及 Ge 的數位合金層具有較 Si 及 Ge 的隨機合金層更高的熱傳導性。本方法可更包括在該組合的 SiGe 層上沉積一 Si 層的步驟；該組合的 SiGe 層的特徵為一放鬆的 SiGe 層，且該 Si 層為一拉緊的 Si 層。為了在該 SiGe 層中達到更高的熱傳導性，可沉積該第一及第二層，使得每一層實質上由單一種同位素組成。

六、英文發明摘要：

A method is disclosed for forming a strained Si layer on SiGe, where the SiGe layer has improved thermal conductivity. A first layer of Si or Ge is disposed on a substrate in a first depositing step; a second layer of the other element is disposed on the first layer in a second depositing step; and the first and second depositing steps are repeated so as to form a combined SiGe layer having a plurality of Si layers and a plurality of Ge layers. The respective thickness of the Si layers and Ge layers are in accordance with a desire composition ratio of the combined SiGe layer (so that a 1:1 ratio typically is realized with Si and Ge layers each about 10Å thick). The combined SiGe layer is characterized as a digital alloy of Si and Ge having a thermal conductivity greater than that of a random alloy of Si and Ge. This method may further include the step of depositing a Si layer on the combined SiGe layer; the combined SiGe layer is characterized as a relaxed SiGe layer, and the Si layer is a strained Si layer. For still greater thermal conductivity in the SiGe layer, the first layer and second layer may be deposited so that each layer consists essentially of a single isotope.

101年1月18日修(更)正本

十、申請專利範圍：

1. 一種在一基板上生成一 SiGe 層的方法，該方法包含以下步驟：

在第一沉積步驟中，在該基板上沉積 Si 與 Ge 其中之一的一第一層；

在第二沉積步驟中，於該第一層上沉積 Si 與 Ge 其中之一的一第二層；以及

重複該第一沉積步驟及該第二沉積步驟，以形成一組合的 SiGe 層，該組合的 SiGe 層具有複數層 Si 層及複數層 Ge 層，

其中該等 Si 層及 Ge 層之個別厚度係依據該組合的 SiGe 層之欲求的組成比來定，該基板為一絕緣層上覆矽鍺層 (SGOI) 結構，且該組合的 SiGe 層的特徵為一 Si 及 Ge 之數位合金層，該 Si 及 Ge 之數位合金層之熱傳導性較一 Si 及 Ge 之隨機合金層之熱傳導性更高。

2. 如申請專利範圍第 1 項所述之方法，其中該等 Ge 層之一層或多層的厚度約為 10Å。

3. 如申請專利範圍第 1 項所述之方法，更包含以下步驟：

在該組合的 SiGe 層上沉積一層 Si 層；

其中該組合的 SiGe 層之特徵更為一放鬆的 SiGe 層，且

該 Si 層為一拉緊的 Si 層。

4. 如申請專利範圍第 1 項所述之方法，其中該基板具有一上方層，該方法更包含在該第一沉積步驟之前，研磨該上方層以降低其之厚度的步驟。

5. 如申請專利範圍第 1 項所述之方法，其中該第一層及該第二層其中之至少一層實質上由單一種同位素所組成。

6. 一種製造一半導體元件的方法，包含下列步驟：

在一基板上形成一層之 SiGe 數位合金層；及

在該 SiGe 數位合金層上方形成一 Si 層；

其中該基板為一絕緣層上覆矽鍺層 (SGOI) 結構，且該 SiGe 數位合金層的熱傳導性高於一 Si 及 Ge 之隨機合金層之熱傳導性。

7. 如申請專利範圍第 6 項所述之方法，其中該數位合金層的特徵為一放鬆的 SiGe 層，且該 Si 層為一拉緊的 Si 層。

8. 如申請專利範圍第 6 項所述之方法，其中該數位合金層包括複數層交替的 Si 及 Ge 之子層。

9. 如申請專利範圍第 8 項所述之方法，其中該等子層的厚度係依據該 SiGe 數位合金層之一欲求組成比例來生成。

10. 如申請專利範圍第 8 項所述之方法，其中該等子層之一層或多層實質上由單一種同位素所組成。

11. 一種半導體元件，包含：

一層 SiGe 之數位合金層，其位於一基板上；及

一 Si 層，其位於該 SiGe 數位合金層上；

其中該基板為一絕緣層上覆矽鍺層 (SGOI) 結構，且該 SiGe 數位合金層的熱傳導性高於一 Si 及 Ge 之隨機合金層的熱傳導性。

12. 如申請專利範圍第 11 項所述之元件，其中該數位合金層的特徵為一放鬆的 SiGe 層，且該 Si 層為一拉緊的 Si 層。

13. 如申請專利範圍第 11 項所述之元件，其中該數位合金層包括複數層交替的 Si 及 Ge 之子層。

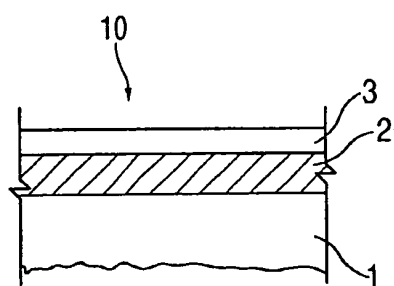
14. 如申請專利範圍第 13 項所述之元件，其中該等子層

的厚度係依據該 SiGe 數位合金層之一欲求組成比例來生成。

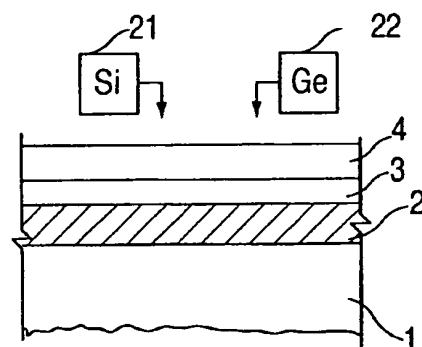
15. 如申請專利範圍第 13 項所述之元件，其中該等子層之一層或多層實質上由單一種同位素所組成。

16. 如申請專利範圍第 13 項所述之元件，其中該等鍺層之一層或多層的厚度約為 $10\text{\AA}$ 。

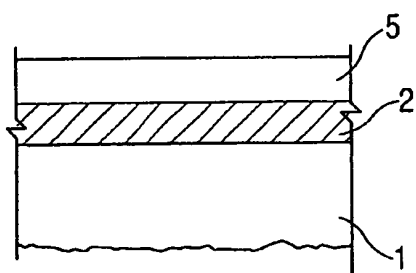
17. 如申請專利範圍第 13 項所述之元件，其中一矽的子層係位在該基板上。



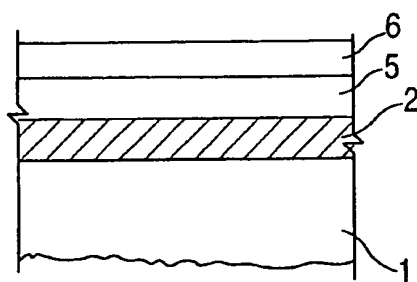
第1圖



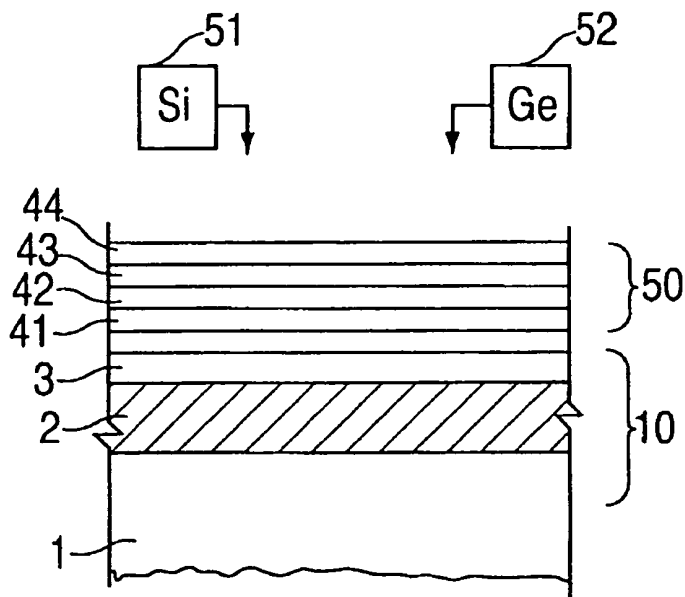
第2圖



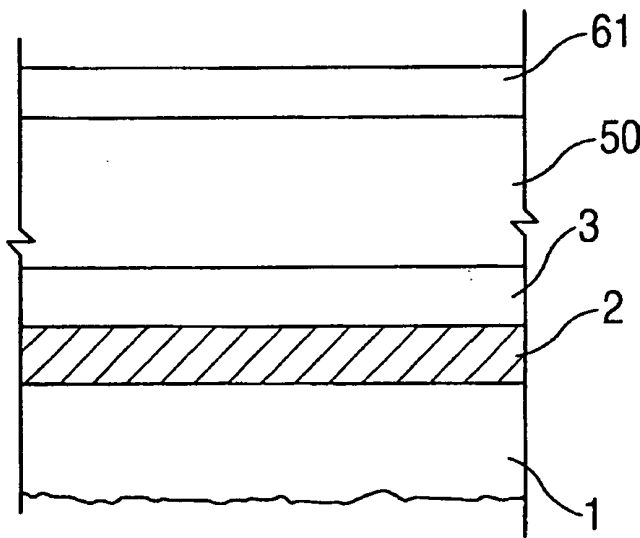
第3圖



第4圖



第5圖



第6圖

七、指定代表圖：

(一)、本案指定代表圖為：第 5 圖。

(二)、本代表圖之元件代表符號簡單說明：

1	Si 基板
2	絕緣層
3、41、43	Si 層
10	SOI 基板
42、44	Ge 層
50	組合層
51	Si 源
52	Ge 源

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無