

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-208636

(P2017-208636A)

(43) 公開日 平成29年11月24日(2017.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/22 (2006.01)	H03K 17/22	5J055
H03K 17/16 (2006.01)	H03K 17/16	D

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号	特願2016-98589 (P2016-98589)	(71) 出願人	000191238
(22) 出願日	平成28年5月17日 (2016. 5. 17)		新日本無線株式会社
			東京都中央区日本橋横山町 3 番 1 〇号
		(74) 代理人	100083194
			弁理士 長尾 常明
		(72) 発明者	佐藤 征幸
			埼玉県ふじみ野市福岡 2 丁目 1 番 1 号 新
			日本無線株式会社 川越製作所内
		F ターム (参考)	5J055 AX23 AX57 BX41 DX01 EY01
			EY02 EY10 EY21 EZ01 EZ03
			EZ04 EZ07 EZ11 EZ31 EZ65
			FX05 FX13 FX18 FX26 FX27
			FX38 GX01 GX04 GX05

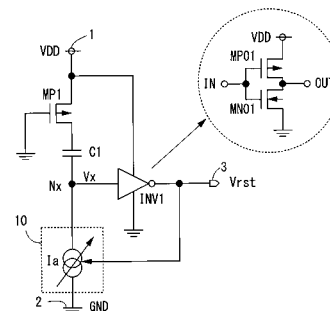
(54) 【発明の名称】 パワーオンリセット回路

(57) 【要約】

【課題】電源端子や接地端子に混入するノイズの影響を抑制し、且つ安定的にリセット状態を示す信号を出力できるようにする。

【解決手段】電源端子 1 にソースが接続されゲートが接地端子 2 に接続されたトランジスタ MP 1 と、トランジスタ MP 1 のドレインに一端が接続されたキャパシタ C 1 と、該キャパシタ C 1 の他端と接地端子 2 との間に接続された電流源回路 1 〇と、キャパシタ C 1 と電流源回路 1 〇の共通接続点のノード N x に入力端子が接続され電源端子 1 と接地端子 2 の電圧を電源とするインバータ I N V 1 とを備え、電流源回路 1 〇は、インバータ I N V 1 の出力電圧 V r s t が “ L ” のとき小さな電流に設定され、“ H ” のとき大きな電流に設定される。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

第 1 電源端子にソースが接続されゲートが第 2 電源端子に接続された第 1 導電型の第 1 トランジスタと、該第 1 導電型の第 1 トランジスタのドレインに一端が接続されたキャパシタと、該キャパシタの他端と第 2 電源端子との間に接続された電流源回路と、前記キャパシタと前記電流源回路の共通接続点に入力端子が接続され前記第 1 電源端子と前記第 2 電源端子の電圧を電源とする第 1 インバータとを備え、

前記電流源回路は、前記第 1 インバータの出力信号が第 1 論理のとき小さな電流に設定され、第 2 論理のとき大きな電流に設定されることを特徴とするパワーオンリセット回路。

10

【請求項 2】

請求項 1 に記載のパワーオンリセット回路において、

前記電流源回路は、第 1 カレントミラー回路と第 2 カレントミラー回路と第 2 インバータからなり、

前記第 1 カレントミラー回路は、前記第 1 電源端子にソースが接続された第 1 導電型の第 2 トランジスタと、該第 1 導電型の第 2 トランジスタのドレインとゲートが共通接続された第 2 導電型の第 1 トランジスタと、該第 2 導電型の第 1 トランジスタのソースにドレインが接続された第 2 導電型の第 2 トランジスタと、ゲートが該第 2 導電型の第 2 トランジスタのゲートとドレインに接続されソースが前記第 2 電源端子に接続されドレインが前記インバータの入力端子に接続された第 2 導電型の第 3 トランジスタとで構成され、

20

前記第 2 カレントミラー回路は、前記第 1 電源端子にソースが接続された第 1 導電型の第 3 トランジスタと、該第 1 導電型の第 3 トランジスタのドレインとゲートが共通接続された第 2 導電型の第 4 トランジスタと、該第 2 導電型の第 4 トランジスタのソースにドレインが接続された第 2 導電型の第 5 トランジスタと、ゲートが該第 2 導電型の第 5 トランジスタのゲートとドレインに接続されソースが第 2 電源端子に接続されドレインが前記インバータの入力端子に接続された第 2 導電型の第 6 トランジスタと、ドレインが該第 2 導電型の第 6 トランジスタのゲートに接続され、ソースが前記第 2 電源端子に接続された第 2 導電型の第 7 トランジスタとで構成され、

前記第 2 インバータは、前記入力端子が前記第 1 インバータの出力端子に接続され出力端子が前記第 2 導電型の第 7 トランジスタのゲートに接続され前記第 1 電源端子と前記第 2 電源端子の電圧を電源とする、

30

ことを特徴とするパワーオンリセット回路。

【請求項 3】

請求項 1 に記載のパワーオンリセット回路において、

前記電流源回路は可変抵抗からなり、該可変抵抗は、前記第 1 インバータの出力信号が第 1 論理のときに大きな抵抗値に設定され、第 2 論理のときに小さな抵抗値に設定されることを特徴とするパワーオンリセット回路。

【請求項 4】

請求項 1 に記載のパワーオンリセット回路において、

前記電流源回路は、第 1 抵抗と第 2 導電型の第 8 トランジスタの並列接続回路からなり、前記第 2 導電型の第 8 トランジスタは前記第 1 インバータの出力信号が第 1 論理のときは OFF し、第 2 論理のとき ON することを特徴とするパワーオンリセット回路。

40

【請求項 5】

請求項 1 に記載のパワーオンリセット回路において、

前記電流源回路は、電流源と前記インバータの出力信号の論理に応じて前記電流源の電流を切り替えるフリップフロップ回路とからなり、

該フリップフロップ回路は、前記第 1 インバータの出力信号が第 1 論理のとき前記電流源の電流を小さな値に設定し、第 2 論理のとき前記電流源の電流を大きな値に設定することを特徴とするパワーオンリセット回路。

【請求項 6】

50

請求項 1 乃至 5 のいずれか 1 つに記載のパワーオンリセット回路において、
前記第 1 導電型の第 1 トランジスタを第 2 抵抗に置き換えたことを特徴とするパワーオンリセット回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、充分なりセット時間を得ることができ且つノイズによる誤作動も抑制したパワーオンリセット回路に関する。

【背景技術】

10

【0002】

半導体集積回路を構成するフリップフロップ回路等の内部回路は、電源投入時に論理状態が定まらないため、動作開始前に所定の状態に初期化する必要がある。そのため、半導体集積回路には、電源投入時に内部回路をリセット状態にするパワーオンリセット回路が組み込まれている。

【0003】

<第 1 従来例>

図 7 に、第 1 従来例のパワーオンリセット回路を示す。このパワーオンリセット回路は、一端が電源端子 1 に接続されたキャパシタ C 1 1 と、そのキャパシタ C 1 1 の他端と接地端子 2 との間に接続されたダイオード接続の NMOS トランジスタ MN 1 1 と、キャパシタ C 1 1 とトランジスタ MN 1 1 のドレインの共通接続点のノード N x に入力端子が接続されたインバータ INV 1 1 とで構成されている。キャパシタ C 1 1 の容量値またはトランジスタ MN 1 1 の ON 抵抗値を大きくすることでノード N x の電圧 V x の上昇の時定数を大きくして、リセット時間を十分確保することが一般的に行われている。

20

【0004】

図 8 に、図 7 のパワーオンリセット回路の動作特性図を示す。時刻 t 0 において、電源が投入されると、電源端子 1 の電圧 V D D が上昇を開始し、ノード N x の電圧 V x もキャパシタ C 1 1 とトランジスタ MN 1 1 の寄生キャパシタとの容量分割で、上昇を開始する。このとき、インバータ INV 1 1 は不定状態である。

【0005】

30

時刻 t 1 において、電圧 V x がトランジスタ MN 1 1 の閾値電圧 V t h (MN 1 1) を超えると、トランジスタ MN 1 1 が線形領域で動作を開始し、電圧 V D D の上昇によるキャパシタ C 1 1 への充電量とトランジスタ MN 1 1 を経由しての放電量の差分だけ、その電圧 V x が上昇する。その後、電圧 V x が上昇を続け、時刻 t 2 において、キャパシタ C 1 1 への充電量とトランジスタ MN 1 1 による放電量が一致すると、電圧 V x が一定となる。時刻 t 4 において、電圧 V D D が一定となると、キャパシタ C 1 1 の充電がなくなるため、そのキャパシタ C 1 1 の電荷がトランジスタ MN 1 1 から接地端子 2 へ緩やかに放電して、電圧 V x が低下を開始する。

【0006】

インバータ INV 1 1 は、時刻 t 1 において不定状態を脱出し、このときは、電圧 V x がインバータ INV 1 1 の閾値電圧 V t h (INV 1 1) を超えているので、出力端子 3 の出力電圧 V rst を “L” にして、半導体集積回路の内部回路をリセット状態にする。

40

【0007】

さらに、電圧 V D D の上昇に比例して上昇しているインバータ INV 1 1 の閾値電圧 V t h (INV 1 1) が電圧 V x を超える時点（時刻 t 3）で、出力端子 3 の出力電圧 V rst を “H” にして、リセット解除状態になる。

【0008】

出力電圧 V rst が “L” であるリセット時間（t 1 ～ t 3）は、キャパシタ C 1 1 の容量と、トランジスタ MN 1 1 のサイズと、インバータ INV 1 1 の閾値電圧 V t h (INV 1 1) とを適宜設定することで、任意の時間に設定できる。このようにして、電源投入

50

時に自動的に“L”の出力電圧 V_{rst} を生成して、半導体集積回路の内部回路をリセットすることで、半導体集積回路に正常な動作を行わせることができる。上述した技術は、例えば特許文献1、2に記載されている。

【0009】

しかしながら、図7に記載のパワーオンリセット回路は、電源端子1あるいは接地端子2にノイズが混入した場合、誤動作が発生する問題がある。

【0010】

電源端子1に正パルスノイズが混入した時は、キャパシタ C_{11} とトランジスタ MN_{11} によってハイパスフィルタが構成されているので、その正パルスノイズが電圧 V_x に減衰することなく加算される。このため、リセット解除状態において、電圧 V_x がその正パルスによって上昇して、インバータ INV_{11} の閾値電圧 $V_{th}(INV_{11})$ より大きくなり、出力電圧 V_{rst} を“L”にして、リセット解除状態からリセット状態に変化させる誤動作が生じる。

10

【0011】

同様に接地端子2に負パルスノイズが混入した場合、キャパシタ C_{11} とトランジスタ MN_{11} によってローパスフィルタが構成されているが、接地端子2の電圧が下降すると、リセット状態において、電圧 V_x がインバータ INV_{11} の閾値電圧 $V_{th}(INV_{11})$ より低下すると、出力電圧 V_{rst} を“H”にして、リセット状態からリセット解除状態に変化させる誤動作が生じる。

20

【0012】

<第2従来例>

図9に、このような正、負のパルスノイズによる影響を抑制したパワーオンリセット回路として、第2従来例のパワーオンリセット回路を示す。このパワーオンリセット回路は、ソースが電源端子1に接続されたPMOSトランジスタ MP_{11} と、そのトランジスタ MP_{11} のドレインとドレインが接続されたデプレッション型のNMOSトランジスタ DMN_{11} と、それらトランジスタ MP_{11} 、 DMN_{11} の共通ドレインのノード N_x に入力端子が接続されたインバータ INV_{11} と、トランジスタ DMN_{11} のソースと接地端子2との間に直列接続された抵抗 R_{11} 、 R_{12} と、ドレインが抵抗 R_{11} 、 R_{12} の共通接続点に接続されソースが接地端子2に接続されゲートがインバータ INV_{11} の出力端子3に接続されたNMOSトランジスタ MN_{12} とで構成されている。インバータ INV_{11} はPMOSトランジスタ MP_{12} とNMOSトランジスタ MN_{13} で構成されている。トランジスタ MP_{11} 、 DMN_{11} のゲートは接地端子2に接続されている。このパワーオンリセット回路は、トランジスタ DMN_{11} と抵抗 R_{11} 、 R_{12} で電流源回路が構成されており、この電流源回路の電流は、インバータ INV_{11} の出力電圧 V_{rst} で制御されるトランジスタ MN_{12} によって切り替えられる。

30

【0013】

図10に、図9のパワーオンリセット回路の動作特性図を示す。時刻 t_0 において電源が投入されると、電源端子1の電圧 V_{DD} が上昇を開始する。ノード N_x の電圧 V_x は常時ON状態のトランジスタ DMN_{11} と直列抵抗 R_{11} 、 R_{12} を経由して接地端子2に接続されているので、低電圧になっている。

40

【0014】

時刻 t_1 において、インバータ INV_{11} が不定状態を脱出すると、そのとき、インバータ INV_{11} のトランジスタ MP_{12} のソース・ゲート間に、すでにそのトランジスタ MP_{12} の閾値電圧 $V_{th}(MP_{12})$ を超える電圧が印加しているので、そのインバータ INV_{11} がONして、出力端子3の出力電圧 V_{rst} を“H”にし、リセット状態(図7の回路とは論理が逆)が設定される。これにより、トランジスタ MN_{12} がONして抵抗 R_{12} が短絡されるため、ノード N_x と接地端子2の間の抵抗値が減少して電圧 V_x が低下し、出力電圧 V_{rst} の“H”状態をより強くする。つまり、ヒステリシスがかかり、正パルスノイズがリセット状態に及ぼす影響が抑制される。

【0015】

50

時刻 t_2 において、電圧 V_{DD} の上昇によってトランジスタ $MP11$ のソース・ゲート間にそのトランジスタ $MP11$ の閾値電圧 $V_{th}(MP11)$ を超える電圧が印加すると、そのトランジスタ $MP11$ が ON するので、電圧 V_x が一挙に持ち上げられて、インバータ $INV11$ の閾値 $V_{th}(INV11)$ (この閾値はトランジスタ $MN13$ の閾値) を超えるため、そのインバータ $INV11$ が反転して、出力端子 3 の出力電圧 V_{rst} を “L” にし、リセット解除状態 (図 7 の回路とは論理が逆) になる。また、このため、トランジスタ $MN12$ が OFF するので、抵抗 $R12$ が接続されるため、電圧 V_x が持ち上げられ、出力電圧 V_{rst} の “L” 状態をより強くする。つまり、ヒステリシスがかかり、負パルスノイズがリセット解除状態に及ぼす影響が抑制される。

【0016】

このように、図 9 のパワーオンリセット回路はヒステリシス特性を有するので、電源端子 1 や接地端子 2 に混入するパルスノイズへの耐性が向上し、誤動作を防止することが可能となる。上述した技術は、例えば特許文献 3 に記載されている。

【先行技術文献】

【特許文献】

【0017】

【特許文献 1】特開 2002-335148 号公報

【特許文献 2】特開 2014-116729 号公報

【特許文献 3】特開 2014-207615 号公報

【発明の概要】

【発明が解決しようとする課題】

【0018】

しかしながら、図 9 に記載のパワーオンリセット回路は、電源端子 1 や接地端子 2 に混入したノイズによる誤動作については耐性を有するが、リセット状態のパルス時間が短いという問題がある。

【0019】

図 9 のパワーオンリセット回路では、時刻 t_1 において、インバータ $INV11$ のトランジスタ $MP12$ のソース・ゲート間電圧が、その閾値電圧 $V_{th}(MP12)$ を超えることで、インバータ $INV11$ が動作して出力端子 3 の出力電圧 V_{rst} を “H” にする。その後、時刻 t_2 において、トランジスタ $MP11$ のソース・ゲート間電圧がそのトランジスタ $MP11$ の閾値電圧 $V_{th}(MP11)$ を超えることで、インバータ $INV11$ が反転して出力電圧 V_{rst} を “L” にする。

【0020】

このように、トランジスタ $MP11$ の閾値電圧 $V_{th}(MP11)$ と、インバータ $INV11$ のトランジスタ $MP12$ の閾値電圧 $V_{th}(MP12)$ の差分に応じてリセット状態である時刻 $t_1 \sim t_2$ の期間が決まる。ところが、トランジスタ $MP11$ 、 $MP12$ を同一プロセスで形成するときは、 $V_{th}(MP11) > V_{th}(MP12)$ となるので、時刻 $t_1 \sim t_2$ の期間は極めて短くなる問題がある。

【0021】

さらに、素子バラツキにより、 $V_{th}(MP11) < V_{th}(MP12)$ となった場合は、先にトランジスタ $MP11$ が ON し、その後にインバータ $INV11$ のトランジスタ $MP12$ が ON することになるので、出力電圧 $V_{rst} = “H”$ の状態を発生できない。つまり、安定してリセット状態を設定することができない。

【0022】

本発明の目的は、上記問題点を解消し、電源端子や接地端子に混入するノイズの影響を抑制し、且つ安定的にリセット状態を示す信号を出力することができるようにしたパワーオンリセット回路を提供することである。

【課題を解決するための手段】

【0023】

上記目的を達成するために、請求項 1 にかかる発明のパワーオンリセット回路は、第 1

10

20

30

40

50

電源端子にソースが接続されゲートが第 2 電源端子に接続された第 1 導電型の第 1 トランジスタと、該第 1 導電型の第 1 トランジスタのドレインに一端が接続されたキャパシタと、該キャパシタの他端と第 2 電源端子との間に接続された電流源回路と、前記キャパシタと前記電流源回路の共通接続点に入力端子が接続され前記第 1 電源端子と前記第 2 電源端子の電圧を電源とする第 1 インバータとを備え、前記電流源回路は、前記第 1 インバータの出力信号が第 1 論理のとき小さな電流に設定され、第 2 論理のとき大きな電流に設定されることを特徴とする。

【0024】

請求項 2 にかかる発明は、請求項 1 に記載のパワーオンリセット回路において、前記電流源回路は、第 1 カレントミラー回路と第 2 カレントミラー回路と第 2 インバータからなり、前記第 1 カレントミラー回路は、前記第 1 電源端子にソースが接続された第 1 導電型の第 2 トランジスタと、該第 1 導電型の第 2 トランジスタのドレインとゲートが共通接続された第 2 導電型の第 1 トランジスタと、該第 2 導電型の第 1 トランジスタのソースにドレインが接続された第 2 導電型の第 2 トランジスタと、ゲートが該第 2 導電型の第 2 トランジスタのゲートとドレインに接続されソースが前記第 2 電源端子に接続されドレインが前記インバータの入力端子に接続された第 2 導電型の第 3 トランジスタとで構成され、前記第 2 カレントミラー回路は、前記第 1 電源端子にソースが接続された第 1 導電型の第 3 トランジスタと、該第 1 導電型の第 3 トランジスタのドレインとゲートが共通接続された第 2 導電型の第 4 トランジスタと、該第 2 導電型の第 4 トランジスタのソースにドレインが接続された第 2 導電型の第 5 トランジスタと、ゲートが該第 2 導電型の第 5 トランジスタのゲートとドレインに接続されソースが第 2 電源端子に接続されドレインが前記インバータの入力端子に接続された第 2 導電型の第 6 トランジスタと、ドレインが該第 2 導電型の第 6 トランジスタのゲートに接続され、ソースが前記第 2 電源端子に接続された第 2 導電型の第 7 トランジスタとで構成され、前記第 2 インバータは、前記入力端子が前記第 1 インバータの出力端子に接続され出力端子が前記第 2 導電型の第 7 トランジスタのゲートに接続され前記第 1 電源端子と前記第 2 電源端子の電圧を電源とする、ことを特徴とする。

【0025】

請求項 3 にかかる発明は、請求項 1 に記載のパワーオンリセット回路において、前記電流源回路は可変抵抗からなり、該可変抵抗は、前記第 1 インバータの出力信号が第 1 論理のときに大きな抵抗値に設定され、第 2 論理のときに小さな抵抗値に設定されることを特徴とする。

【0026】

請求項 4 にかかる発明は、請求項 1 に記載のパワーオンリセット回路において、前記電流源回路は、第 1 抵抗と第 2 導電型の第 8 トランジスタの並列接続回路からなり、前記第 2 導電型の第 8 トランジスタは前記第 1 インバータの出力信号が第 1 論理のときは OFF し、第 2 論理のとき ON することを特徴とする。

【0027】

請求項 5 にかかる発明は、請求項 1 に記載のパワーオンリセット回路において、前記電流源回路は、電流源と前記インバータの出力信号の論理に応じて前記電流源の電流を切り替えるフリップフロップ回路とからなり、該フリップフロップ回路は、前記第 1 インバータの出力信号が第 1 論理のとき前記電流源の電流を小さな値に設定し、第 2 論理のとき前記電流源の電流を大きな値に設定することを特徴とする。

【0028】

請求項 6 にかかる発明は、請求項 1 乃至 5 のいずれか 1 つに記載のパワーオンリセット回路において、前記第 1 導電型の第 1 トランジスタを第 2 抵抗に置き換えたことを特徴とする。

【発明の効果】

【0029】

本発明によれば、第 1 導電型の第 1 トランジスタとキャパシタの直列接続や、電流源回

10

20

30

40

50

路と第 1 インバータのヒステリシス特性によって、第 1 及び第 2 電源端子に混入するパルスノイズによる影響を抑制できる。さらに、第 1 導電型の第 1 トランジスタのソース・ゲート間には第 1 電源端子と第 2 電源端子に印加する電源電圧が印加し、その電源電圧は第 1 インバータを構成するトランジスタのソース・ゲート間に印加する電圧よりも大きいいため、安定的にリセット状態を示す信号を出力することができる。

【図面の簡単な説明】

【0030】

【図 1】本発明の第 1 実施例のパワーオンリセット回路の回路図である。

【図 2】図 1 のパワーオンリセット回路の動作特性図である。

【図 3】図 1 のパワーオンリセット回路の詳細な回路図である。

10

【図 4】本発明の第 2 実施例のパワーオンリセット回路の回路図である。

【図 5】本発明の第 3 実施例のパワーオンリセット回路の回路図である。

【図 6】本発明の第 4 実施例のパワーオンリセット回路の回路図である。

【図 7】第 1 従来例のパワーオンリセット回路の回路図である。

【図 8】図 7 のパワーオンリセット回路の動作特性図である。

【図 9】第 2 従来例のパワーオンリセット回路の回路図である。

【図 10】図 9 のパワーオンリセット回路の動作特性図である。

【発明を実施するための形態】

【0031】

< 第 1 実施例 >

20

図 1 に本発明の第 1 実施例のパワーオンリセット回路を示す。このパワーオンリセット回路は、電源端子 1 にソースが接続されゲートが接地端子 2 に接続された PMOS トランジスタ MP1 と、そのトランジスタ MP1 のドレインに一端が接続され他端が電流源回路 10 の一端に接続されたキャパシタ C1 と、キャパシタ C1 と電流源回路 10 の共通接続点のノード Nx に入力端子が接続されたインバータ INV1 とで構成されている。電流源回路 10 の他端は接地端子 2 に接続されている。インバータ INV1 は PMOS トランジスタ MP01 と NMOS トランジスタ MN01 で構成されている。そして、電流源回路 10 はインバータ INV1 の出力端子 3 の電圧 Vrst によって、その電流 Ia が切り替えられるようになっている。つまり、後記するように、電流源回路 10 の電流 Ia は、出力電圧 Vrst = “L” のときは途中から電流 Ia1 となり、出力電圧 Vrst = “H” のときは電流 Ia2 (Ia2 > Ia1) に切り替わる。

30

【0032】

図 2 に、図 1 のパワーオンリセット回路の動作特性図を示す。時刻 t0 において電源が投入されると、電源端子 1 の電圧 VDD が上昇を開始するが、ノード Nx の電圧 Vx は上昇しない。このとき、インバータ INV1 は不定状態にある。

【0033】

時刻 t1 において、トランジスタ MP1 のソース・ゲート間の電圧がそのトランジスタ MP1 の閾値電圧 Vth (MP1) を超えると、そのトランジスタ MP1 が ON するので、ノード Nx の電圧 Vx が一挙に上昇し、そのときインバータ INV1 が不定状態を脱出していると、そのときの電圧 Vx はインバータ INV1 の閾値電圧 Vth (INV1) より高くなっており、インバータ INV1 が動作して、出力端子 3 から出力する電圧 Vrst は “L” となり、リセット状態となる。

40

【0034】

時刻 t2 において、電圧 VDD が電圧値 Va に達すると、後記するように電流源回路 10 が動作を開始して電流 Ia1 が流れ始め、電圧 Vx が低下を開始する。

【0035】

時刻 t3 になると、電圧 Vx がインバータ INV1 の閾値電圧 Vth (INV1) を下回って、インバータ INV1 の出力電圧 Vrst は “H” となり、リセット解除状態となる。そして、このときは出力電圧 Vrst によって、後記するように電流源回路 10 が電流 Ia1 より大きな電流 Ia2 を流すので、電圧 Vx はさらに低下し、インバータ INV1 が

50

反転することを防止するヒステリシス動作が実現される。

【0036】

リセット状態の期間 $t_1 \sim t_3$ ($V_{rst} = "L"$) は、キャパシタ C_1 の容量と電流源回路 10 の電流 I_a によって自由に設定できる。例えば、キャパシタ C_1 の容量を大きくすれば、時刻 t_2 から開始する電圧 V_x の低下が緩やかとなり、時刻 t_3 に至るまでの時間が長くなって、期間 $t_1 \sim t_3$ が長くなる。また、電流源回路 10 の電流 I_a を大きくすれば、逆に時刻 t_3 に至るまでの時間が短くなって、期間 $t_1 \sim t_3$ が短くなる。

【0037】

さらに、トランジスタ MP_1 の閾値電圧 $V_{th}(MP_1)$ とインバータ INV_1 のトランジスタ MP_12 の閾値電圧 $V_{th}(MP_{01})$ について、 $V_{th}(MP_{01}) > V_{th}(MP_1)$ であっても、あるいはバラツキが多少あっても、問題は発生しない。すなわち、時刻 $t_1 \sim t_3$ の期間において、トランジスタ MP_1 のソース・ゲート間電圧 $V_{sg}(MP_1)$ は電源電圧 V_{DD} と接地 GND の電位差であるのに対して、トランジスタ MP_{01} のソース・ゲート間電圧 $V_{sg}(MP_{01})$ は電源電圧 V_{DD} と電圧 V_x の電位であり、必ず後者が小さいので、トランジスタ MP_1 が ON する前にトランジスタ MP_{01} が ON する事態は発生しない。以上から、リセット状態の期間 $t_1 \sim t_3$ ($V_{rst} = "L"$) として適度の時間幅設定ができ、しかも安定したリセットパルスを供給できるメリットがある。

【0038】

また、リセット解除状態 ($V_{rst} = "H"$) のとき、電源端子 1 に正パルスノイズが混入した場合は、トランジスタ MP_1 のオン抵抗によりノイズが減衰されてノード N_x に到達するが、このときは、電流源回路 10 に電流 $I_{a2} (> I_{a1})$ が流れている。したがって、正パルスノイズによってキャパシタ C_1 を充電する電荷が電流源回路 10 の電流 I_{a2} によって吸収され、ノード N_x の電圧 V_x の上昇が抑制される。この結果、その電圧 V_x がインバータ INV_1 の閾値電圧 $V_{th}(INV_1)$ を超えることが防止される。

【0039】

さらに、リセット解除状態 ($V_{rst} = "H"$) のとき、接地端子 2 に負パルスノイズが混入した場合は、電流源回路 10 の電流 $I_{a2} (> I_{a1})$ によって、ノード N_x の電圧 V_x が接地端子 2 の電圧低下に追従して低下することで、その電圧 V_x がインバータ INV_1 の閾値電圧 $V_{th}(INV_1)$ を超えることが防止される。

【0040】

以上のように、本実施例では、安定したパルス幅をもったリセット状態を示すパルス ($t_1 \sim t_3$) を生成することができる。また、電源端子 1 や接地端子 2 に混入するノイズによる誤動作も抑制することができる。

【0041】

図 3 に図 1 のパワーオンリセット回路の詳細図を示す。電流源回路 10 は、第 1 カレントミラー回路 11 と第 2 カレントミラー回路 12 とインバータ INV_2 とで構成されている。第 1 カレントミラー回路 11 は、ドレインとゲートが共通接続された PMOS トランジスタ MP_2 及び NMOS トランジスタ MN_1 と、トランジスタ MN_1 のソース電流を入力するカレントミラー接続の NMOS トランジスタ MN_2 、 MN_3 とで構成され、トランジスタ MN_3 のドレイン電流が前記した電流 I_{a1} となる。

【0042】

第 2 カレントミラー回路 12 は、ドレインとゲートが共通接続された PMOS トランジスタ MP_3 及び NMOS トランジスタ MN_4 と、トランジスタ MN_4 のソース電流を入力するカレントミラー接続の NMOS トランジスタ MN_5 、 MN_6 と、ドレインがトランジスタ MN_5 、 MN_6 のゲート及びトランジスタ MN_5 のドレインに接続され、ソースが接地端子に接続された NMOS トランジスタ MN_7 とで構成されている。そして、トランジスタ MN_7 が OFF のときにトランジスタ MN_6 に電流 I_{a3} が流れる。よって、前記した I_{a2} は $I_{a2} = I_{a1} + I_{a3}$ となる。これにより、 $I_{a1} < I_{a2}$ が実現されている。

10

20

30

40

50

【0043】

インバータINV2は、入力端子がインバータINV1の出力端子3に接続され、出力端子がトランジスタMN7のゲートに接続されている。このため、トランジスタMN7は出力電圧 $V_{rst} = "L"$ のときONし、出力電圧 $V_{rst} = "H"$ のときOFFする。

【0044】

前記したように、 $VDD > V_a$ となったとき（図2の時刻 t_2 ）に、第1カレントミラー回路11に電流 I_{a1} が流れる。この電圧 V_a は、トランジスタMP2の閾値電圧を $V_{th}(MP2)$ 、トランジスタMN1の閾値電圧を $V_{th}(MN1)$ 、トランジスタMN2の閾値電圧を $V_{th}(MN2)$ とすると、 $V_a = V_{th}(MP2) + V_{th}(MN1) + V_{th}(MN2)$ である。なお、トランジスタMN3の閾値電圧 $V_{th}(MN3)$ は、閾値電圧 $V_{th}(MN2)$ と同じである。

10

【0045】

このとき、トランジスタMP3の閾値電圧を $V_{th}(MP3)$ 、トランジスタMN4の閾値電圧を $V_{th}(MN4)$ 、トランジスタMN5の閾値電圧を $V_{th}(MN5)$ とすると、 $V_{th}(MP3) + V_{th}(MN4) + V_{th}(MN5) = V_a$ であるが、インバータINV1の出力電圧 $V_{rst} = "L"$ であるので、インバータINV2の出力電圧は“H”になっており、トランジスタMN7がONしているので、トランジスタMN5、MN6はOFFしていて、電流 I_{a3} は流れない。

【0046】

そして、電流 I_{a1} が流れることで電圧 V_x が下降してインバータINV1が反転すると、出力電圧 $V_{rst} = "H"$ になってリセット解除状態になる。これにより、インバータINV2の出力が“L”になるので、トランジスタMN7がOFFし、トランジスタMN6に電流 I_{a3} が流れる。このため、ノードNxからは、電流 $I_{a2} = I_{a1} + I_{a3}$ が引き抜かれるので、電圧 V_x が低い電圧にホールドされ、ヒステリシス特性が発揮されるようになる。

20

【0047】

<第2実施例>

図4に第2実施例のパワーオンリセット回路を示す。この図4では、図1で説明した電流源回路10に代えて、可変抵抗R1を電流源回路20として使用するものである。この可変抵抗R1の値は、出力端子3の出力電圧 $V_{rst} = "L"$ のとき大きな値を示し、出力電圧 $V_{rst} = "H"$ になると小さな値を示すように切り替えられる。このため、第1実施例と同様にヒステリシス特性を実現でき高いノイズ耐性を実現できる。また、トランジスタMP1とキャパシタC1の回路は第1実施例と同様であるので、安定的にリセット状態を示す信号を出力することもできる。

30

【0048】

なお、第2実施例では電流源回路20が可変抵抗R1であるので、ノードNxの電圧 V_x は、トランジスタMP1がONしたときに一気に上昇し、その後、徐々に低下していく。そして、電圧 V_x がインバータINV1の閾値電圧 $V_{th}(INV1)$ より低下すると、そのインバータINV1の出力電圧 V_{rst} が“H”に反転する。

【0049】

<第3実施例>

図5に第3実施例のパワーオンリセット回路を示す。この図5では、図1で説明した電流源回路10に代えて、抵抗R2とNMOSトランジスタMN8を並列接続して構成した電流源回路30を使用するものである。トランジスタMN8は、出力端子3の出力電圧 $V_{rst} = "L"$ のときOFFとなって、ノードNxと接地端子2の間に抵抗R2が接続される。また、出力電圧 $V_{rst} = "H"$ になるとトランジスタMN8がONとなってそのトランジスタMN8のON抵抗が抵抗R2に並列接続される。このため、出力電圧 $V_{rst} = "H"$ のとき、全体の抵抗値が抵抗R2の抵抗値より小さくなるように切り替えられる。

40

【0050】

よって、第1実施例と同様にヒステリシス特性を実現でき高いノイズ耐性を実現できる

50

。また、トランジスタMP1とキャパシタC1の回路は第1実施例と同様であるので、安定的にリセット状態を示す信号を出力することもできる。

【0051】

なお、第3実施例では電流源回路30が当初は抵抗R2のみとなるので、ノードNxの電圧Vxは、トランジスタMP1がONしたときに一気に上昇し、その後、徐々に低下していく。そして、電圧VxがインバータINV1の閾値電圧Vth (INV1)より低下すると、そのインバータINV1の出力電圧Vrstが“H”に反転する。

【0052】

<第4実施例>

図6に第4実施例のパワーオンリセット回路を示す。この図6では、電流源41と、その電流源41の電流値をインバータINV1の出力電圧Vrstによって制御するフリップフロップ回路42で構成される電源源回路40を、図1の電流源回路10に代えて使用している。

10

【0053】

電流源41は、フリップフロップ回路42のQ端子が“L”のとき電流値を小さくし、“H”のときに高くする。フリップフロップ回路42は、インバータINV1の出力電圧Vrstが“L”のときリセットされてそのQ端子を“L”にし、出力電圧Vrstが“H”のときセットされてD端子を“H”にする。

【0054】

よって、第1実施例と同様にヒステリシス特性を実現でき高いノイズ耐性を実現できる。また、トランジスタMP1とキャパシタC1の回路は第1実施例と同様であるので、安定的にリセット状態を示す信号を出力することもできる。

20

【0055】

なお、第4実施例では電流源回路40が当初は小さい電流を吸い込む電流源41であるので、ノードNxの電圧Vxは、トランジスタMP1がONしたときに一気に上昇し、その後、徐々に低下していく。そして、電圧VxがインバータINV1の閾値電圧Vth (INV1)より低下すると、そのインバータINV1の出力電圧Vrstが“H”に反転する。

【0056】

<その他の実施例>

30

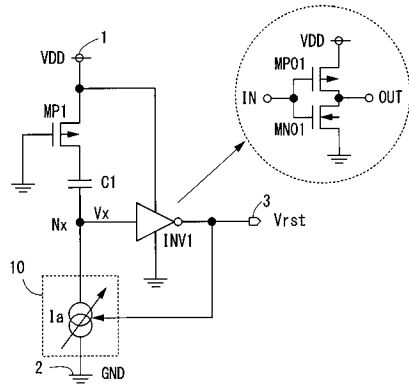
なお、図1、図4、図5、図6のパワーオンリセット回路において、トランジスタMP1はこれを固定抵抗に置き換えても、同様に動作する。

【符号の説明】

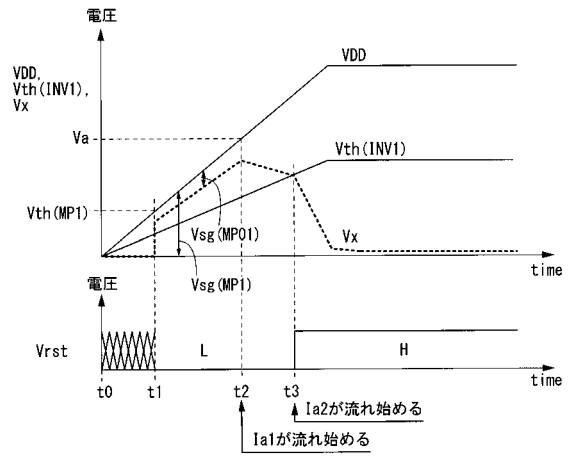
【0057】

10, 20, 30, 40: 電流源回路、11: 第1カレントミラー回路、12: 第2カレントミラー回路、41: 電流源、42: フリップフロップ回路

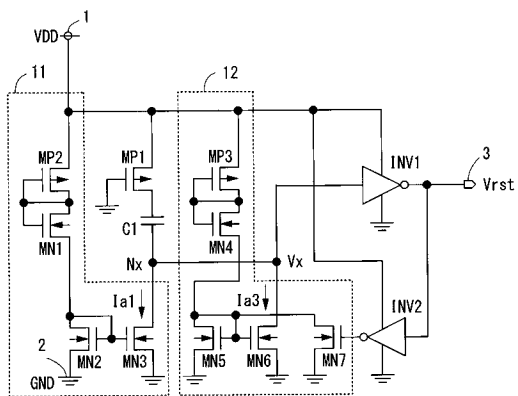
【図 1】



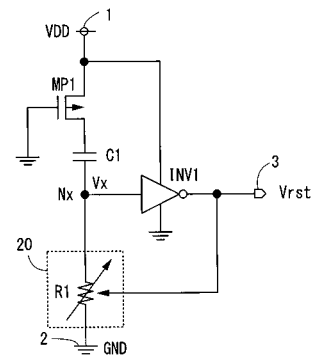
【図 2】



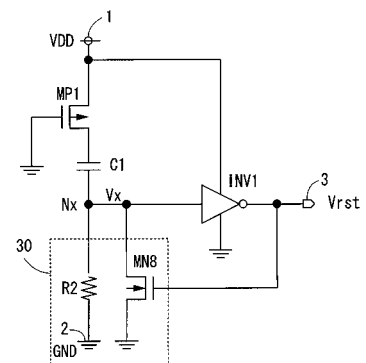
【図 3】



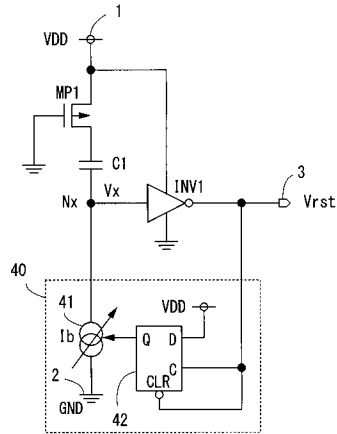
【図 4】



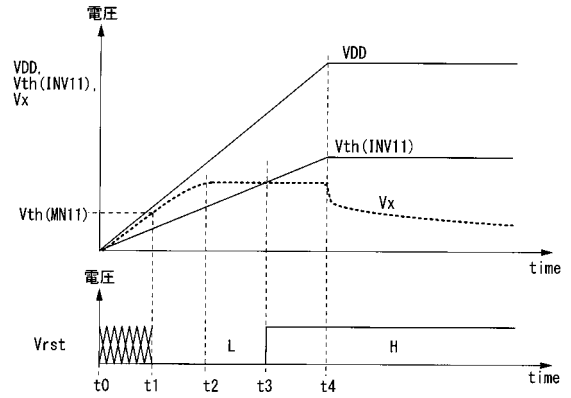
【図 5】



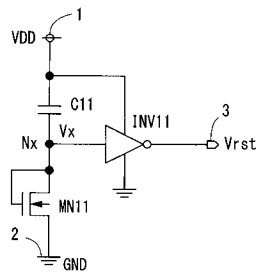
【図 6】



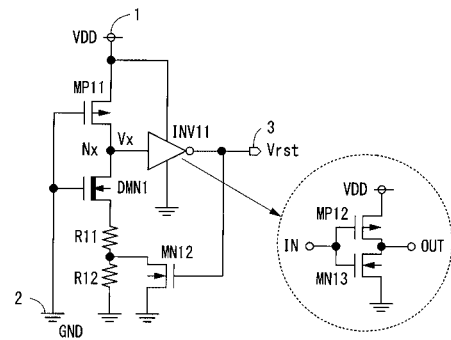
【図 8】



【図 7】



【図 9】



【図 10】

