

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6916448号  
(P6916448)

(45) 発行日 令和3年8月11日 (2021.8.11)

(24) 登録日 令和3年7月20日 (2021.7.20)

|                         |                     |
|-------------------------|---------------------|
| (51) Int. Cl.           | F I                 |
| G 1 1 C 29/02 (2006.01) | G 1 1 C 29/02 1 5 0 |
| G 1 1 C 7/06 (2006.01)  | G 1 1 C 7/06 1 2 0  |

請求項の数 20 (全 14 頁)

|                    |                               |           |                                                                                         |
|--------------------|-------------------------------|-----------|-----------------------------------------------------------------------------------------|
| (21) 出願番号          | 特願2018-547865 (P2018-547865)  | (73) 特許権者 | 507107291                                                                               |
| (86) (22) 出願日      | 平成28年11月30日 (2016.11.30)      |           | テキサス インストルメンツ インコーポ<br>レイテッド                                                            |
| (65) 公表番号          | 特表2019-500714 (P2019-500714A) |           | アメリカ合衆国 テキサス州 7 5 2 6 5<br>ー 5 4 7 4 ダラス メール ステイショ<br>ン 3 9 9 9 ビーオーボックス 6 5 5<br>4 7 4 |
| (43) 公表日           | 平成31年1月10日 (2019.1.10)        |           |                                                                                         |
| (86) 国際出願番号        | PCT/US2016/064183             | (74) 代理人  | 100098497                                                                               |
| (87) 国際公開番号        | W02017/095902                 |           | 弁理士 片寄 恭三                                                                               |
| (87) 国際公開日         | 平成29年6月8日 (2017.6.8)          | (72) 発明者  | ヴィノッド メネーجز                                                                             |
| 審査請求日              | 令和1年11月19日 (2019.11.19)       |           | インド 5 6 0 0 0 5 バンガロール,<br>クック タウニー, ロイド ロード 2<br>6                                     |
| (31) 優先権主張番号       | 14/954, 481                   |           |                                                                                         |
| (32) 優先日           | 平成27年11月30日 (2015.11.30)      |           |                                                                                         |
| (33) 優先権主張国・地域又は機関 | 米国 (US)                       | 審査官       | 後藤 彰                                                                                    |

最終頁に続く

(54) 【発明の名称】 低電力及び高性能 S R A M における感知増幅器

(57) 【特許請求の範囲】

【請求項 1】

スタティックランダムアクセスメモリ (S R A M) であって、  
 ロー及びコラムとして配されるストレージセルのアレイであって、前記ローに対応する  
 ワード線と前記コラムに対応するビットラインとを含む、前記ストレージセルのアレイと  
 、  
第 1 のトランジスタと第 2 のトランジスタとを含む第 1 の感知増幅器であって、  
前記ストレージセルのアレイの第 1 のストレージセルの第 1 の読み出しを提供し、  
 前記第 1 のストレージセルの前記第 1 の読み出しが前記第 1 のストレージセルにストア  
 されたデータを正しく読み出すことができないことに基づいて、前記第 1 のトランジスタ  
 のボディバイアスを第 1 の時間増分し、  
 前記第 1 のトランジスタの前記ボディバイアスが増分されることに応答して、前記第 1  
 のストレージセルの第 2 の読み出しを提供し、  
前記第 2 の読み出しが前記第 1 のストレージセルにストアされた前記データを正しく読  
 み出すことができないことに基づいて、前記第 1 のトランジスタの前記ボディバイアスが  
 最大レベルであるか否かを判定し、  
前記第 1 のトランジスタの前記ボディバイアスが前記最大レベルであることに基づいて  
、前記第 2 のトランジスタのボディバイアスを増分する、  
 ように構成される、前記第 1 の感知増幅器と、  
を含む、S R A M。

10

20

## 【請求項 2】

請求項 1 に記載の S R A M であって、

前記第 1 の感知増幅器が、前記第 1 のトランジスタの前記ボディバイアスが前記最大レベルより小さいことに基づいて、前記第 1 のトランジスタの前記ボディバイアスを第 2 の時間増分するように更に構成される、S R A M。

## 【請求項 3】

請求項 1 に記載の S R A M であって、

前記第 1 の感知増幅器が、前記第 2 の読み出しが前記第 1 のストレージセルにストアされた前記データを正しく読むことに基づいて、第 2 の読み出しの間に前記第 1 のトランジスタに印加された前記ボディバイアスを保存するように更に構成される、S R A M。

10

## 【請求項 4】

スタティックランダムアクセスメモリ (S R A M) であって、

ロー及びコラムとして配されるストレージセルのアレイであって、前記ローに対応するワード線と前記コラムに対応するビットラインとを含む、前記ストレージセルのアレイと

第 1 のトランジスタと第 2 のトランジスタとを含む第 1 の感知増幅器であって、  
前記ストレージセルのアレイの第 1 のストレージセルの第 1 の読み出しを提供し、  
前記第 1 のストレージセルの前記第 1 の読み出しが前記第 1 のストレージセルにストアされたデータを正しく読み出すことができないことに基づいて、前記第 1 のトランジスタのボディバイアスを第 1 の時間増分し、

20

前記第 1 のトランジスタの前記ボディバイアスが増分されることに応答して、前記第 1 のストレージセルの第 2 の読み出しを提供する、

ように構成される、前記第 1 の感知増幅器と、

第 3 のトランジスタと第 4 のトランジスタとを含む第 2 の感知増幅器であって、

前記第 2 の読み出しが前記第 1 のストレージセルにストアされた前記データを正しく読むことに基づいて、前記ストレージセルのアレイの前記第 1 のストレージセルとは異なるコラムにある前記ストレージセルのアレイの第 2 のストレージセルの第 3 の読み出しを実施し、

前記第 2 のストレージセルの前記第 3 の読み出しが前記第 2 のストレージセルにストアされたデータを正しく読み出すことができないことに基づいて、前記第 3 のトランジスタのボディバイアスを第 1 の時間増分する、

30

ように構成される、前記第 2 の感知増幅器と、

を含む、S R A M。

## 【請求項 5】

請求項 4 に記載の S R A M であって、

前記第 2 の感知増幅器が、

前記第 3 の読み出しが前記第 2 のストレージセルにストアされた前記データを正しく読み出すことができないことに基づいて、前記第 3 のトランジスタの前記ボディバイアスが最大レベルであるか否かを判定し、

前記第 3 のトランジスタの前記ボディバイアスが前記最大レベルであることに基づいて、前記第 4 のトランジスタのボディバイアスを増分する、

40

ように更に構成される、S R A M。

## 【請求項 6】

スタティックランダムアクセスメモリ (S R A M) において電力消費を低減して速度を高めるための方法であって、

ロー及びコラムとして配されるストレージセルのアレイの複数のストレージセルに既知のデータを書き込むことと、

第 1 の時間に前記複数のストレージセルの第 1 のストレージセルを読み出すことと、

前記第 1 の時間に前記第 1 のストレージセルを前記読み出すことが前記第 1 のストレージセルから前記既知のデータを正しく読み出すことができないことに基づいて、前記 S R

50

A Mの第1の感知増幅器の第1のトランジスタのボディバイアスを増分することと、  
前記第1のトランジスタの前記ボディバイアスが増分されることに応答して、第2の時間  
に前記第1のストレージセルを読み出すことと、

前記第2の時間に読み出すことが前記第1のストレージセルから前記既知のデータを正  
しく読み出すことができないことに基づいて、前記第1のトランジスタの前記ボディバイ  
アスが最大レベルであるか否かを判定することと、

前記第1のトランジスタの前記ボディバイアスが前記最大レベルであることに基づいて  
、前記第1の感知増幅器の第2のトランジスタのボディバイアスを増分することと、  
を含む、方法。

【請求項7】

請求項6に記載の方法であって、

前記第2の時間に読み出すことが、前記第1のストレージセルから前記既知のデータを  
正しく読むことに基づいて、前記第2の時間の前記読み出し時に前記第1及び第2のトラ  
ンジスタに印加された前記ボディバイアスを保存することを更に含む、方法。

【請求項8】

請求項6に記載の方法であって、

前記第1の時間に前記第1のストレージセルを読み出す前に、前記第1のトランジスタ  
と前記第2のトランジスタとの前記ボディバイアスをゼロに初期化することを更に含む、  
方法。

【請求項9】

請求項6に記載の方法であって、

前記第1及び第2のトランジスタがnチャネル金属酸化物半導体電界効果(MOS)ト  
ランジスタである、方法。

【請求項10】

スタティックランダムアクセスメモリ(SRAM)において電力消費を削減して速度を  
高める方法であって、

ロー及びコラムとして配されるストレージセルのアレイの複数のストレージセルに既知  
のデータを書き込むことと、

第1の時間に前記複数のストレージセルの第1のストレージセルを読み出すことと、

前記第1の時間に前記第1のストレージセルを前記読み出すことが前記第1のストレ  
ージセルから前記既知のデータを正しく読み出すことができないことに基づいて、前記SR  
AMの第1の感知増幅器の第1のトランジスタのボディバイアスを増分することと、

前記第1のトランジスタの前記ボディバイアスが増分されることに応答して、第2の時  
間に前記第1のストレージセルを読み出すことと、

前記第1の時間に前記第1のストレージセルを読み出す前に、前記SRAMのマージン  
モードを最速設定に設定することと、

を含む、方法。

【請求項11】

スタティックランダムアクセスメモリ(SRAM)において電力消費を削減して速度を  
高める方法であって、

ロー及びコラムとして配されるストレージセルのアレイの複数のストレージセルに既知  
のデータを書き込むことと、

第1の時間に前記複数のストレージセルの第1のストレージセルを読み出すことと、

前記第1の時間に前記第1のストレージセルを前記読み出すことが前記第1のストレ  
ージセルから前記既知のデータを正しく読み出すことができないことに基づいて、前記SR  
AMの第1の感知増幅器の第1のトランジスタのボディバイアスを増分することと、

前記第1のトランジスタの前記ボディバイアスが増分されることに応答して、第2の時  
間に前記第1のストレージセルを読み出すことと、

前記第2の時間に読み出すことが前記第1のストレージセルから前記既知のデータを正  
しく読むことに基づいて、前記ストレージセルのアレイの前記第1のストレージセルとは

10

20

30

40

50

異なるコラムにある前記複数のストレージセルの第2のストレージセルを読み出すことと  
、

前記第2のストレージセルを読み出すことが前記第2のストレージセルから前記既知のデータを正しく読み出すことができないことに基づいて、前記SRAMの第2の感知増幅器の第1のトランジスタのボディバイアスを増分することと、

を含む、方法。

【請求項12】

請求項11に記載の方法であって、

前記第2のストレージセルから前記既知のデータを正しく読み出すことに基づいて、前記第2の感知増幅器の第1のトランジスタに印加された前記ボディバイアスを保存することを更に含む、方法。

10

【請求項13】

スタティックランダムアクセスメモリ（SRAM）であって、

ストレージセルのアレイにおけるストレージセルと、

第1のトランジスタと第2のトランジスタとを含む感知増幅器であって、

マージンモードの最速の設定を用いて前記ストレージセルの第1の読み出しを実行し、

前記ストレージセルの第1の読み出しが前記ストレージセルに格納されているデータを正しく読みださないことに応答して、前記第1のトランジスタのボディバイアスを増大し、  
前記ストレージセルの第2の読み出しを実行する、

ように構成される、前記感知増幅器と、

を含む、SRAM。

20

【請求項14】

請求項13に記載のSRAMであって、

前記第1及び第2のトランジスタが、前記第1の読み出しを実行する前にゼロボディバイアスを受け取るように構成される、SRAM。

【請求項15】

請求項13に記載のSRAMであって、

前記ストレージセルに格納されているデータが既知のデータである、SRAM。

【請求項16】

請求項13に記載のSRAMであって、

前記ストレージセルの第1の読み出しが前記ストレージセルに格納されているデータを正しく読み出すことを判定することに応答して、前記感知増幅器が前記第1のトランジスタのボディバイアスと前記第2のトランジスタのボディバイアスとをメモリ内に格納するように更に構成される、SRAM。

30

【請求項17】

請求項13に記載のSRAMであって、

前記ストレージセルのアレイがロー及びコラムとして配置され、前記ストレージセルのアレイが前記ローに対応するワード線と前記コラムに対応するビット線とを含む、SRAM。

【請求項18】

請求項17に記載のSRAMであって、

前記コラムが感知増幅器と1対1で対応する、SRAM。

40

【請求項19】

請求項13に記載のSRAMであって、

前記感知増幅器が、前記第1及び第2のトランジスタを含む6つのトランジスタを含む、SRAM。

【請求項20】

スタティックランダムアクセスメモリ（SRAM）であって、

ストレージセルのアレイにおけるストレージセルと、

第1のトランジスタと第2のトランジスタとを含む感知増幅器であって、

50

前記ストレージセルの第1の読み出しを実行し、

前記ストレージセルの第1の読み出しが前記ストレージセルに格納されているデータを正しく読み出さないことを判定し、前記第1のトランジスタのボディバイアスが最大レベルであることを判定することに応答して、前記第1のトランジスタのボディバイアスをゼロに設定し、前記第2のトランジスタのボディバイアスを増大し、前記感知増幅器を用いて前記ストレージセルの第2の読み出しを実行する、

ように構成される、前記感知増幅器と、

を含む、SRAM。

【発明の詳細な説明】

【技術分野】

10

【0001】

スタティックランダムアクセスメモリ（SRAM）は、各ビットをストアするためにラッチすることを用いる。SRAMはスタティックであるのでメモリの周期的リフレッシュが不要であり、そのため、SRAMは典型的にダイナミックランダムアクセスメモリ（DRAM）よりも、速く、密度が低く、より高価である。SRAMの速度のため、SRAMは典型的に、中央処理装置（CPU）、外部バーストモードSRAMキャッシュ、ハードディスクバッファ、ルーターバッファ、及びCPUレジスタファイルのためのキャッシュメモリなど、高速メモリを必要とするコンピュータ応用例において用いられる。SRAMは、高速ではあるが、システムレベルのダイナミックパワーのかなりの部分を消費する。場合によっては、SRAMはシステムレベルダイナミックパワーの90%ほどを消費し得る。

20

【発明の概要】

【0002】

スタティックランダムアクセスメモリ（SRAM）において、電力消費を低減し、速度を高めるためのシステム及び方法の記載される例において、SRAMは、ストレージセルのアレイと、第1の感知増幅器とを含む。ストレージセルのアレイは、ロー及びコラムとして配される。ローはワード線に対応し、コラムはビットラインに対応する。第1の感知増幅器は、第1のトランジスタ及び第2のトランジスタを含む。第1の感知増幅器は、ストレージセルのアレイの第1のストレージセルの第1の読み出しを提供するように構成される。第1のストレージセルの第1の読み出しが、第1のストレージセルにストアされたデータを正しく読み出すことができないことに基づいて、第1の感知増幅器は、第1のトランジスタのボディバイアスを第1の時間（a first time）増分するように構成される。第1のトランジスタのボディバイアスが増分されることに応答して、第1の感知増幅器は、第1のストレージセルの第2の読み出しを提供するように構成される。

30

【0003】

SRAMにおいて電力消費を低減し速度を高めるための方法の一例において、この方法は、ロー及びコラムとして配されるストレージセルのアレイの複数のストレージセルに既知のデータを書き込むこと、複数のストレージセルの第1のストレージセルを第1の時間読み出すこと、第1のストレージセルを第1の時間読み出すことが、第1のストレージセルから既知のデータを正しく読み出すことができないことに基づいて、SRAMの第1の感知増幅器の第1のトランジスタのボディバイアスを増分すること、及び前記第1のトランジスタのボディバイアスが増分されることに応答して、第1のストレージセルを第2の時間読み出すことを含む。

40

【0004】

例示のSRAM感知増幅器が、第1のトランジスタ及び第2のトランジスタを含む。第2のトランジスタは、第1のトランジスタとクロス結合される。第1のトランジスタは、第1のトランジスタの電圧閾値が第2のトランジスタの電圧閾値にほぼ等しくなるように、ボディバイアスを受け取るように構成される。

【図面の簡単な説明】

【0005】

50

【図1】種々の実施例に従った集積回路のブロック図を示す。

【0006】

【図2】種々の実施例に従ったスタティックランダムアクセスメモリ（SRAM）のブロック図を示す。

【0007】

【図3】種々の実施例に従ったストレージセルアレイのブロック図を示す。

【0008】

【図4】種々の実施例に従った感知増幅器の回路図を示す。

【0009】

【図5】種々の実施例に従って、SRAMにおける電力消費を低減し速度を高めるための方法のフローチャートを示す。

10

【発明を実施するための形態】

【0010】

「結合する（couple）」という用語は、間接的又は直接的接続のいずれかを意味する。例えば、第1のデバイスが第2のデバイスに結合する場合、その接続は、直接的接続を介するものであり得、又は、他のデバイス及び接続を介する間接的接続を介するものであり得る。また、「に基づく」という表現は、「に少なくとも部分的に基づく」ことを意味する。例えば、XがYに基づく場合、Xは、Y及び任意の数のその他の要因に基づき得る。

【0011】

スタティックランダムアクセスメモリ（SRAM）は、各ビットをストアするためにラッチすることを用いるメモリである。SRAMはスタティックであるのでメモリの周期的リフレッシュが不要であり、そのため、SRAMは典型的にダイナミックランダムアクセスメモリ（DRAM）よりも、速く、密度が低く、より高価である。SRAMの速度に起因して、SRAMは典型的に、中央処理装置（CPU）、外部バーストモードSRAMキャッシュ、ハードディスクバッファ、ルーターバッファ、及びCPUレジスタファイルのためのキャッシュメモリなど、高速メモリを必要とするコンピュータ応用例において用いられる。従って、SRAMは、多くのシステムの基本的構成要素である。SRAMは、高速ではあるが、システムレベルのダイナミックパワーのかなりの部分を消費する。場合によっては、SRAMはシステムレベルダイナミックパワーの90%ほどを消費し得る。

20

【0012】

メモリのストレージセルアレイにおけるストレージセルが読み出されるべきときはいつも、ビットラインのプリチャージが開始される。従来のSRAMにおいてビットラインがプリチャージされた後、ストレージセルが読み出されるべきローに対応するワード線が、アクティブにされる。これは、読み出されているストレージセルを含むコラムに対応するビットラインの差動対における差動電圧をつくる。差動電圧を感知することによりストレージセルのコンテンツを読み出すために感知増幅器が用いられ得る。感知増幅器は、どのビットラインがHIGHであり、どのビットラインがLOWであるかを判定するため、ビットラインの差動対を比較する。この比較に基づいて、感知増幅器は、ストレージセルに何がストアされているかについて判定する。しかし、実際のオペレーションでは、感知増幅器への差動電圧入力に歪められ得、それにより、感知増幅器における不均衡又はオフセットが生じ得る。更に特定して言えば、多くの従来の感知増幅器は2つの感知トランジスタを含む。多くの要因に起因して、これら2つの感知トランジスタは、僅かに異なる電圧閾値を有し得る。例えば、一方の感知トランジスタの電圧閾値は、他の感知トランジスタより数mV高い又は低い可能性がある。この不均衡又はオフセットは、特に、差動対における電圧の差が非常に小さいときは常に、感知増幅器に、ストレージセルに何のデータがストアされているかについての不正確な判定を提供させ得る。感知増幅器におけるトランジスタのオフセットを相殺するために用いられる従来の手法には、オフセットを平衡させるために感知増幅器内のトランジスタをオン及び／又はオフにすること、又は、オフセットの影響を相殺するために感知増幅器の入力に対して個別の電圧を付加することが含まれる。しかし、これらの手法は、付加的なパワーを要し、及び／又は、メモリのアクセス時

30

40

50

間を遅らせる。従って、電力消費を低減し、速度を増大させる（即ち、アクセス時間を低減する）、メモリにおける感知増幅器をつくることが望ましい。

#### 【0013】

開示される原理に従って、感知増幅器が2つのトランジスタを含み得る。これら2つのトランジスタの電圧閾値は、トランジスタに適応性ボディバイアス（即ち、トランジスタのゲートのバックへの電圧）を提供することによって制御され得る。例えば、トランジスタがnチャネル金属酸化物半導体電界効果（NMOS）トランジスタである場合、正のボディバイアス電圧をトランジスタに印加することで、トランジスタの電圧閾値が低減され、一方、負のボディバイアス電圧をトランジスタに印加することで、トランジスタの電圧閾値が増大される。従って、適応性ボディバイアスをSRAMにおける感知増幅器の感知トランジスタに印加することにより、オフセットは低減されるか又は取り除かれ得る。感知増幅器により生成される必要があるスウィングがオフセットに関連する（即ち、オフセットが大きいほど、ストレージセルを読み出すために要求されるスウィングが大きい）ので、オフセットを低下させることにより電力が低減され得る。また、オフセットを低減することにより、感知増幅器は、一層小さな電圧差でビットラインの差動対の電圧間の差の正確な判定をすることが可能である。従って、低減されたオフセット感知増幅器が、ビットセル放電の間、オフセット感知増幅器よりも速い時間に電圧差動を感知し得る。そのため、感知増幅器の感知トランジスタに適応性ボディバイアスを提供することにより、電力及びアクセス時間が低減され得る。

10

#### 【0014】

20

図1は、種々の実施例に従った集積回路100のブロック図を示す。集積回路100は、プロセッサ102、及び、幾つかの実施例においてプロセッサ102に結合され得るSRAM104を含み得る。また、集積回路100は、トランシーバ、クロック生成器、及びポートなど、種々の付加的な構成要素を含み得る。しかし、これらの構成要素は明確にするため省略されている。プロセッサ102は、制御プロセッサ、信号プロセッサ、中央プロセッサ、又は任意の他のタイプのプロセッサであり得る。例えば、プロセッサ102は、汎用マイクロプロセッサ、デジタルシグナルプロセッサ、マイクロコントローラ、又はオペレーションを実施するための命令を実行するように構成されるその他の適切なデバイスであり得る。プロセッサアーキテクチャは、概して、実行ユニット（例えば、固定小数点、浮動小数点、整数）、命令デコーディング、周辺機器（例えば、割り込みコントローラ、タイマー、ダイレクトメモリアクセスコントローラ）、入力／出力システム（例えば、シリアルポート、パラレルポート）、及び種々のその他の構成要素及びサブシステムを含む。

30

#### 【0015】

SRAM104は、プロセッサ102によって処理され得るデータ及び／又は命令のストレージを提供し得る、スタティックランダムアクセスメモリである。SRAM104は、それが、データ残留磁気（remanence）を示し、データの各ビットをストアするためにラッチ回路要素を用いるように設計される。SRAM104は、プロセッサ102が、SRAM104からデータを読み出し得、及び／又は、ストレージのためSRAM104にデータ及び／又は命令を書き込み得るように、プロセッサ102に結合される。幾つかの実施例において、SRAM104はプロセッサ102の一部であり、代替の実施例において、SRAM104はプロセッサ102とは別個のものである。また、複数のSRAM104が集積回路100に含まれ得る。

40

#### 【0016】

図2は、種々の実施例に従ったSRAM104のブロック図を示す。SRAM104は、ストレージセルアレイ202、読み出しコントローラ204、コラムデコーダ206、及び感知増幅器208～210を含み得る。ストレージセルアレイ202は、ビットセルと称されることもある、ストレージセルのロー及びコラムとして配され得、各ストレージセルが1ビットのデータをストアする。

#### 【0017】

50

図3は、種々の実施例に従ったストレージセルアレイ202のブロック図を示す。ストレージセルアレイ202は、ワード線302～312を含み得、ワード線302～312は、ストレージセルアレイ202のロー、及びコラム322～328に対応する。コラム322～328の各々は、ビットラインの差動対を含み得る。例えば、コラム322は、ビットライン332～334を含み得、コラム324は、ビットライン336～338を含み得、コラム326は、ビットライン340～342を含み得、コラム328は、ビットライン344～346を含み得る。ワード線302～312とコラム322～328の各々の交差において、ストレージセル352、354、及び356などのストレージセルがあり、これらがストレージセルアレイ202を構成する。

#### 【0018】

例えば、ストレージセル352、354、及び356など、ストレージアレイ202におけるストレージセルの各々は、データの単一ビットをストアするように配され得る。幾つかの実施例において、ストレージセルの各々が、クロス結合されたインバータの対と共に形成される、6トランジスタ（「6T」）SRAMセルを含む。各インバータは、pチャネルトランジスタ及びnチャネルトランジスタを含む。第1のパスゲートトランジスタのソースは、第1のインバータのゲートノード及び第2のインバータのドレインノードに接続される。同様に、第2のパスゲートトランジスタのソースが、第2のインバータのゲートノード及び第1のインバータのドレインノードに接続される。パスゲートトランジスタのゲートは、ストレージセル352及び354のためのワード線302、及びストレージセル356のためのワード線308など、共通ワード線に接続され、一方、パスゲートトランジスタのドレインは、ストレージセル352及び356のためのビットライン332及び334、及びストレージセル354のためのビットライン336及び338など、ビットラインの差動対に接続される。代替の実施例において、ストレージアレイ202のストレージセルは、4トランジスタ（「4T」）SRAMセル、8トランジスタ（「8T」）SRAMセル、10トランジスタ（「10T」）SRAMセル、又は任意の他のSRAMストレージセルなど、任意のタイプのSRAMビットセルであり得る。

#### 【0019】

再び図2を参照すると、読み出しコントローラ204が、ストレージセルアレイ202に結合され、ストレージセルアレイ202に含まれるストレージセルの読み出しを管理するように構成される。読み出しコントローラ204は、ストレージセルアレイ202からの及びストレージセルアレイ202へのデータの流れを管理する任意のタイプのメモリコントローラであり得る。読み出しサイクルの始まりにおいて、読み出しコントローラ204は、ビットライン（正及び負両方の信号）の差動対の各々に、共通電圧へプリチャージさせるように構成される。ストレージセルのいずれかを読むため、読み出されるべきストレージセルに対応するワード線がアクティブにされる。例えば、ストレージセル352が読み出されるべき場合、ワード線302がアクティブにされる。幾つかの実施例において、ローコントローラ（図示せず）がワード線をアクティブにし得る。ワード線がアクティブにされた後、アクティブにされたワード線上のストレージセルの各々からのパスゲートトランジスタの各々がイネーブルされる。例えば、ワード線302がアクティブにされる場合、ストレージセル352及び354におけるパスゲートトランジスタがイネーブルされ、ワード線302に接続される任意の他のストレージセルのためのパスゲートトランジスタがイネーブルされる。これにより、ストレージセルの各々に接続されるビットラインの2つの差動対の一つに対するビットライン電圧が、差動対に接続されたストレージセルが0をストアするか又は1をストアするに基づいて低下される。例えば、ワード線302がアクティブにされた後、ビットライン332又は334に沿った電圧は、ストレージセル352が0をストアするか又は1をストアするかに基づいて低下し得る。同様に、ビットライン336又は338に沿った電圧は、ストレージセル354が0を含むか又は1を含むかに基づいて低下し得る。

#### 【0020】

コラムデコーダ206は、図3のコラム322～328のいずれが、読み出されるべき

10

20

30

40

50

ストレージセルを含むかを判定する。より具体的には、コラムデコーダ206は、コラム322～328の各々から出力信号を受信し、読み出されているストレージセルに対応するコラムを形成する出力信号を選択するように構成される。出力信号の各々は、ビットラインの差動対において搬送される差動電圧に対応する。例えば、ストレージセル352が読み出されるべき場合、コラムデコーダ206は、コラム322、及びビットライン332～334の差動対を選択する。その後、感知増幅器208は、ビットラインの選択された差動対のいずれが、増幅を介して一層高い電圧を有するかを感知し得、そのため、ストレージセルが0をストアするか又は1をストアするかを判定する。従って、感知増幅器208は、コラム電圧差動を感知することによって、選択されたコラムの状態を判定するように構成される。前の例を継続し、コラムデコーダ206がコラム322を選択した後、感知増幅器208は、ビットライン332及び334のいずれがより高い電圧を有するかを感知又は判定し得る。これが判定された後、ストレージセル352の状態が判定され得る。幾つかの実施例において、複数の感知増幅器208～210が存在し得る。明確にするため2つのみが示されているが、感知増幅器208～210間の省略符号は、任意の数の感知増幅器が存在し得ることを示す。例えば、各コラム322～328は、各々の感知増幅器を有し得る。他の例において、ストレージセルアレイ202の4コラム、8コラム、16コラム、32コラムなどに対して差動を感知するために、単一の感知増幅器が用いられ得る。

#### 【0021】

図4は、種々の実施例に従った感知増幅器208の例示の回路図を示す。感知増幅器208は、スイッチ402及び404、及びクロス結合されるトランジスタ406～412を含み得る。幾つかの実施例において、スイッチ402及び404は、感知増幅器208をオン及びオフにするように作用する。従って、感知されるべきコラムをコラムデコーダ206が選択した後、スイッチ402～404は、感知増幅器208がオンになり、ビットライン間の電圧差動を感知し始めるように、開及び／又は閉に切り替えられ得る。例えば、感知されるべきコラム322をコラムデコーダ206が選択した後、ストレージセル352を読むために、感知増幅器208のトランジスタ406～412など、残りの構成要素がビットライン332～334間の電圧差動を感知し得るように、スイッチ402～404が開及び／又は閉に切り替えられる。

#### 【0022】

感知トランジスタ410～412は、少なくとも一つのストレージセルにストアされたデータを読むように構成される。幾つかの実施例において、感知トランジスタ410～412はMOSトランジスタである。図4ではMOSトランジスタとして示されるが、幾つかの実施例において、感知トランジスタ410～412は、pチャネル金属酸化物半導体電界効果（PMOS）トランジスタ、p型接合ゲート電界効果トランジスタ（PJFET）、n型接合ゲート電界効果トランジスタ（NJFET）、及び／又はバイポーラ接合トランジスタ（BJT）（PNP及びNPNトランジスタを含む）であり得る。製造プロセス（及び多くの他の潜在的な理由）のため、感知トランジスタ410～412が同じ電圧閾値を有するように感知増幅器208が設計される場合でも、感知トランジスタ410～412は同じ電圧閾値を有さない可能性がある。そのため、これら2つの感知トランジスタ410～412間にオフセットが存在し得る。従って、一実施例において、感知トランジスタ410は、その電圧閾値が感知トランジスタ412の電圧閾値にほぼ等しく（即ち、+又は-50mV）なるように、ボディバイアスを受け取るように構成される。代替の実施例において、感知トランジスタ412は、その電圧閾値が感知トランジスタ410の電圧閾値にほぼ等しく（即ち、+又は-50mV）なるように、ボディバイアスを受け取るように構成される。

#### 【0023】

幾つかの実施例において、感知トランジスタ410及び／又は412に印加されるべきボディバイアスを判定するために反復較正プロセスが用いられ得る。例えば、データがストレージセルアレイ202に書き込まれ得る。幾つかの実施例において、既知のデータが

10

20

30

40

50

、ストレージセル 3 5 2 及び 3 5 4 などの特定のストレージセルに書き込まれる。従って、ストレージセル 3 5 2 及び 3 5 4 に含まれるデータは、それが読み出される前に既知である。初期的に、感知トランジスタ 4 1 0 及び 4 1 2 の各々のフォワードボディバイアスは、ゼロに設定され得る。従って、フォワードボディバイアスは初期的に感知トランジスタ 4 1 0 及び 4 1 2 に印加されない。感知増幅器のマージンモードは、その最速設定に設定され得る。マージンモードは、ビットラインにおける電圧差動を読むために感知増幅器 2 0 8 をトリガする又は感知増幅器 2 0 8 をオンにする前に経過することが許容される時間量又はビットセルにおける電圧放電の量である。そのため、マージンモードがより速いと、感知増幅器 2 0 8 は、他の動作モードより速く（即ち、より少ないビットセル放電の後）ビットラインの電圧差動を読み出す。その後、読み出しオペレーションが実施され得る。例えば、ビットセル 3 5 2 が読み出され得る。

10

#### 【0 0 2 4】

読み出しが失敗した場合（即ち、感知増幅器 2 0 8 が、ビットセル 3 5 2 にストアされた既知のデータを正しく読めない場合）、感知トランジスタ 4 1 0 のフォワードボディバイアスは、所定の電圧だけ増分され得、プロセスは、ストレージセル 3 5 2 にストアされたデータを感知増幅器 2 0 8 が正しく読み出すかを判定するため、ストレージセル 3 5 2 を読み出すことで反復する。従って、ストレージセル 3 5 2 の読み出しは、各読み出し失敗の後、感知トランジスタ 4 1 0 のフォワードボディバイアスが増分されることで反復され得る。しかし、感知トランジスタ 4 1 0 のための最大許容可能フォワードボディバイアスに達した場合、感知トランジスタ 4 1 0 のフォワードボディバイアスはゼロにリセットされ得る。付加的に、感知トランジスタ 4 1 2 のフォワードボディバイアスは、所定の電圧だけ増分され得る。ストレージセル 3 5 2 の読み出しは、各読み出し失敗の後、感知トランジスタ 4 1 2 のフォワードボディバイアスが増分されることで反復され得る。

20

#### 【0 0 2 5】

読み出しがパスした後（即ち、感知増幅器 2 0 8 が、ビットセル 3 5 2 にストアされた既知のデータを正しく読む場合）、フォワードボディバイアス較正は終了し得、フォワードボディバイアス設定（即ち、読み出しがパスするとき感知トランジスタ 4 1 0 ~ 4 1 2 の各々に印加されるフォワードボディバイアス）が、集積回路 1 0 0（図示せず）のメモリにストア又は保存され得、ストレージセル 3 5 4 を読み出すことにより感知増幅器 2 1 0 を較正するために同じプロセスが用いられ得る。幾つかの実施例において、感知増幅器 2 0 8 がストレージセル 3 5 2 を正しく読み出すことを検証するために、ストレージセル 3 5 2 の複数の読み出しが実施され得る。

30

#### 【0 0 2 6】

図 5 は、種々の実施例に従った、SRAM 1 0 4 において、電力消費を低減し、速度を高めるための方法 5 0 0 のフローチャートを示す。便宜上順次示されているが、方法 5 0 0 に示す動作の少なくとも幾つかが、異なる順で実施され得、及び／又は並列して実施され得る。また、幾つかの実施例は、示された動作の幾つかのみを実施し得、又は付加的な動作を実施し得る。幾つかの実施例において、方法 5 0 0 のオペレーションの少なくとも幾つか、及び本明細書に記載される他の動作が、非一時的（non-transitory）コンピュータ読み取り可能ストレージ媒体又は状態機械にストアされた命令を実行するプロセッサにより実装される、SRAM 1 0 4 及び／又は感知増幅器 2 0 8 ~ 2 1 0 により実施され得る。

40

#### 【0 0 2 7】

方法 5 0 0 は、データをストレージアレイ 2 0 2 などの SRAM アレイに書き込むブロック 5 0 2 において始まる。SRAM アレイに書き込まれるデータは、既知のデータであり得る。従って、SRAM アレイのストレージセルの内容は、アレイから読み出される前に既知である。ブロック 5 0 4 において、方法 5 0 0 は、感知増幅器 2 0 8 などの感知増幅器の、感知トランジスタ 4 1 0 ~ 4 1 2 などの第 1 及び第 2 のトランジスタのボディバイアスをゼロに初期化することで継続する。従って、初期化されるとき第 1 及び第 2 のトランジスタにフォワードボディバイアスは印加されない。方法 5 0 0 は、感知増幅器のマ

50

ージンモードを最速設定に設定することで継続する。そのため、感知増幅器は、可能な限り早い時間及び最少量のビットセル放電でトリガするように設定される。

#### 【0028】

ブロック508において、方法500は、SRAMアレイのストレージセル352などのストレージセルを読み出すことで継続する。方法500は、ブロック508からの読み出しがパスしたか否かを判定するブロック510において継続する。従って、ストレージセルにストアされた既知のデータを感知増幅器が正しく読むか否かについて判定が成される。ブロック510において、ブロック508からの読み出しがパスしたという判定が成される（即ち、ストレージセルにストアされた既知のデータを感知増幅器が正しく読んだという判定が成される）場合、ブロック512において、方法500は、ブロック508における読み出し時のボディバイアス設定（即ち、第1及び第2のトランジスタに印加されたボディバイアス）を保存することで継続する。ブロック514において、方法500は、感知増幅器210などの任意の他の感知増幅器が、SRAMにおいて較正されるべきままであるか否かを判定することで継続する。ブロック514において、これが、SRAMにおいて較正されるべき最後の感知増幅器であるという判定が成される場合、方法500はブロック516において終了する。しかし、ブロック514において、これが、SRAMにおいて較正されるべき最後の感知増幅器ではない（例えば、感知増幅器210が較正される必要がある）という判定が成される場合、この方法は、感知増幅器210などの新たな感知増幅器の第1及び第2のトランジスタのボディバイアスをゼロに初期化するブロック504において継続する。

#### 【0029】

ブロック510において、ブロック508からの読み出しがパスしていないという判定が成される（即ち、ストレージセルにストアされた既知のデータを感知増幅器が正しく読めなかったという判定が成される）場合、ブロック518において、方法500は、第1のトランジスタのボディバイアスが、所定であり得る最大レベルである否かを判定することで継続する。ブロック518において、第1のトランジスタのボディバイアスが最大レベルではないという判定が成される場合、方法500は、第1のトランジスタのボディバイアスを増分するブロック520において継続する。幾つかの実施例において、第1のトランジスタのボディバイアスが増分される量は所定である。方法500はアレイのストレージセルを読み出すブロック508において継続し得る。

#### 【0030】

ブロック518において、第1のトランジスタのボディバイアスが最大レベルであるという判定が成される場合、方法500は、第1のトランジスタのボディバイアスをゼロに設定するブロック522において継続する。ブロック524において、方法500は、トランジスタ412などの第2のトランジスタボディバイアスを増分することで継続する。幾つかの実施例において、第2のトランジスタのボディバイアスが増分される量は所定である。ブロック526において、方法500は、アレイのストレージセルを再び読み出すことで継続する。方法500は、ブロック528からの読み出しがパスしたか否か（即ち、ストレージセルにストアされた既知のデータを感知増幅器が正しく読むか否か）を判定するブロック528において継続する。ブロック528において、ブロック526からの読み出しがパスしたという判定が成される（即ち、ストレージセルにストアされた既知のデータを感知増幅器が正しく読んだという判定が成される）場合、ブロック530において、方法500は、ブロック526における読み出し時のボディバイアス設定（即ち、第1及び第2のトランジスタに印加されたボディバイアス）を保存することで継続する。ブロック532において、方法500は、感知増幅器210のなど任意の他の感知増幅器が、SRAMにおいて較正されるべきままであるか否かを判定することで継続する。ブロック532において、これが、SRAMにおいて較正されるべき最後の感知増幅器であるという判定が成される場合、方法500は、ブロック534において終了する。しかし、ブロック532において、これが、SRAMにおいて較正されるべき最後の感知増幅器ではない（例えば、感知増幅器210が較正される必要がある）という判定が成される場合、

この方法は、感知増幅器 210 などの新たな感知増幅器の第 1 及び第 2 のトランジスタのボディバイアスをゼロに初期化するブロック 504 において継続する。

【0031】

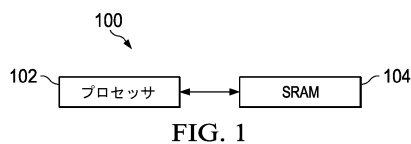
ブロック 528 において、ブロック 526 からの読み出しがパスしていないという判定が成される（即ち、ストレージセルにストアされた既知のデータを感知増幅器が正しく読めなかったという判定が成される）場合、ブロック 536 において、方法 500 は、第 2 のトランジスタのボディバイアスが、所定であり得る最大レベルであるか否かを判定することで継続する。ブロック 536 において、第 2 のトランジスタのボディバイアスが最大レベルではないという判定が成される場合、方法 500 は、第 2 のトランジスタのボディバイアスを増分するブロック 524 において継続する。幾つかの実施例において、第 2 のトランジスタのボディバイアスが増分される量は所定である。しかし、ブロック 536 において、第 2 のトランジスタのボディバイアスが最大レベルであるという判定が成される場合、この方法 500 は、第 2 のトランジスタのボディバイアスをゼロに設定するブロック 538 において継続する。

10

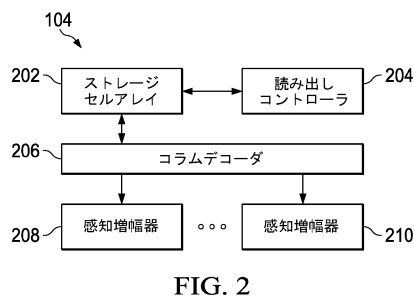
【0032】

本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得、他の実施例も可能である。

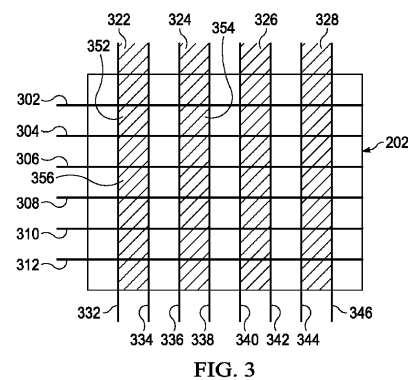
【図 1】



【図 2】



【図 3】



【図 4】

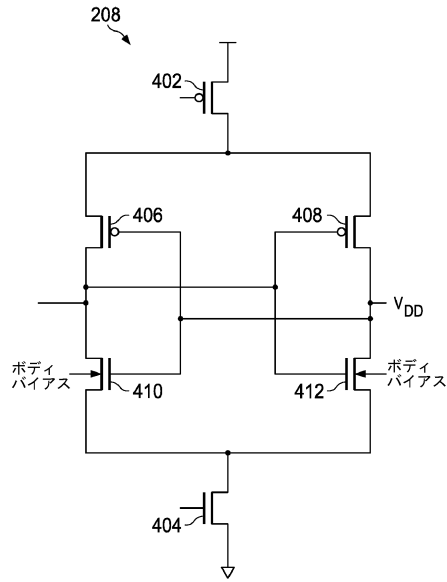


FIG. 4

【図 5】

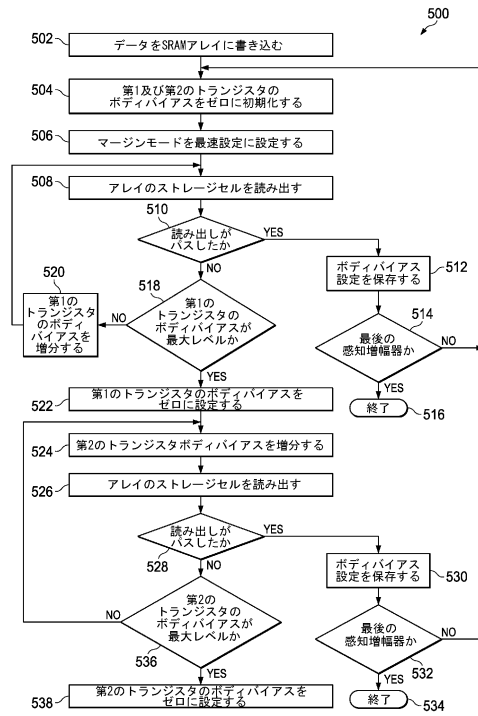


FIG. 5

---

フロントページの続き

(56)参考文献 米国特許出願公開第2012/0092072 (US, A1)  
米国特許出願公開第2007/0159899 (US, A1)  
米国特許第07330388 (US, B1)

(58)調査した分野(Int.Cl., DB名)  
G11C 29/02  
G11C 7/06