



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월30일
(11) 등록번호 10-1195886
(24) 등록일자 2012년10월24일

- (51) 국제특허분류(Int. Cl.)
H01L 23/485 (2006.01) *H01L 23/58* (2006.01)
(21) 출원번호 10-2006-0104331
(22) 출원일자 2006년10월26일
심사청구일자 2011년08월23일
(65) 공개번호 10-2007-0049957
(43) 공개일자 2007년05월14일
(30) 우선권주장
JP-P-2005-00325090 2005년11월09일 일본(JP)

(56) 선행기술조사문헌

JP평성06013385 A
JP평성10056253 A
JP평성02045996 A

전체 청구항 수 : 총 4 항

- (73) 특허권자
신꼬오덴기 고교 가부시키가이샤
일본국 나가노켄 나가노시 오시마다마치 80
(72) 발명자
오이 기요시
일본국 나가노켄 나가노시 오시마다마치 80 신꼬
오덴기 고교가부시키가이샤 내
(74) 대리인
문기상, 문두현

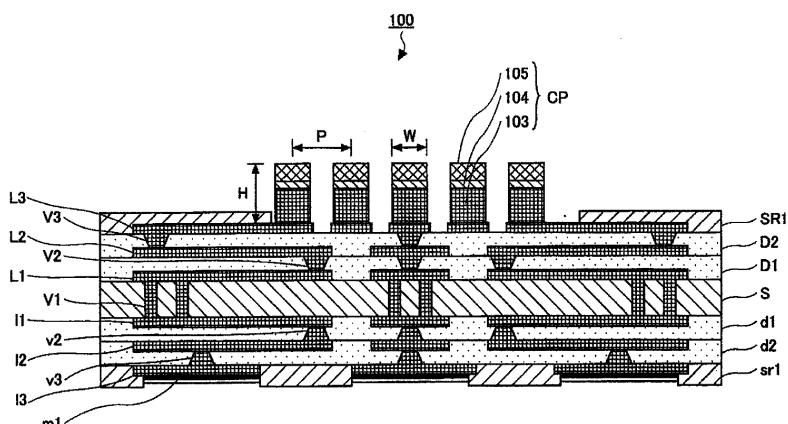
심사관 : 정성중

(54) 발명의 명칭 배선 기판의 제조 방법 및 반도체 장치의 제조 방법

(57) 요 약

본 발명은 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩을 실장하는 것이 가능한 배선 기판과, 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩이 배선 기판에 실장되어 이루어지는 반도체 장치를 제공하는 것을 과제로 한다.

상기 과제의 해결 수단으로서, 반도체 칩에 접속되는 접속부와, 상기 접속부를 통해서 상기 반도체 칩에 접속되는 패턴 배선을 갖는 반도체 칩을 실장하는 배선 기판의 제조 방법으로서, 상기 패턴 배선상에 상기 접속부를 전해 도금법에 의해 형성하기 위한 금전층을 형성하는 금전층 형성 공정과, 상기 금전층상에 마스크 패턴을 형성하는 마스크 공정과, 상기 마스크 패턴으로부터 노출되는 상기 금전층을 에칭하는 에칭 공정과, 상기 마스크 패턴으로부터 노출되는 상기 패턴 배선상에 전해 도금법에 의해 상기 접속부를 형성하는 전해 도금 공정을 갖는 것을 특징으로 하는 배선 기판의 제조 방법을 제공한다.

대 표 도

특허청구의 범위

청구항 1

반도체 칩에 접속되는 접속부와, 상기 접속부를 통해서 상기 반도체 칩에 접속되는 패턴 배선을 갖는 반도체 칩을 실장하는 배선 기판의 제조 방법으로서,

상기 패턴 배선상 및 상기 패턴 배선의 일부를 덮는 절연층상에, 상기 접속부를 전해 도금법에 의해 형성하기 위한 금속층으로 이루어지는 금전층을, 무전해 도금법에 의해 형성하는 금전층 형성 공정과,

상기 금전층상에 마스크 패턴을 형성하는 마스크 공정과,

상기 마스크 패턴으로부터 노출되는 상기 금전층을 에칭하는 에칭 공정과,

상기 마스크 패턴으로부터 노출되는 상기 패턴 배선상에 전해 도금법에 의해 상기 접속부를 형성하는 전해 도금 공정을 갖고,

상기 접속부는, 복수의 층이 전해 도금법에 의해 적층되어서, 상기 패턴 배선 상에 기립(起立)하도록 포스트 형상으로 형성되고, 상기 접속부의 직경이 상기 접속부의 높이보다 작고, 상기 금전층의 두께가 상기 접속부의 높이의 1/3 이하인 것 특징으로 하는 배선 기판의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 접속부는, 상기 패턴 배선을 구성하는 재료와 동일한 재료로 이루어지는 최하층을 포함하고, 상기 최하층이 상기 패턴 배선과 접하도록 형성되는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 3

제 1 또는 제 2 항에 있어서,

상기 전해 도금 공정 후에, 상기 마스크 패턴을 제거하는 동시에, 상기 마스크 패턴을 제거함으로써 노출된 상기 금전층을 에칭하는 공정을 더 갖는 것을 특징으로 하는 배선 기판의 제조 방법.

청구항 4

반도체 칩과, 상기 반도체 칩에 접속되는 접속부와, 상기 접속부를 통해서 상기 반도체 칩에 접속되는 패턴 배선을 갖는 배선 기판에 반도체 칩이 실장되어 이루어지는 반도체 장치의 제조 방법으로서,

상기 패턴 배선상 및 상기 패턴 배선의 일부를 덮는 절연층상에, 상기 접속부를 전해 도금법에 의해 형성하기 위한 금속층으로 이루어지는 금전층을, 무전해 도금법에 의해 형성하는 금전층 형성 공정과,

상기 금전층상에 마스크 패턴을 형성하는 마스크 공정과,

상기 마스크 패턴으로부터 노출되는 상기 금전층을 에칭하는 에칭 공정과,

상기 마스크 패턴으로부터 노출되는 상기 패턴 배선상에 전해 도금법에 의해 상기 접속부를 형성하는 전해 도금 공정과,

상기 접속부에 반도체 칩이 실장되는 실장 공정을 갖고,

상기 접속부는, 복수의 층이 전해 도금법에 의해 적층되어서, 상기 패턴 배선 상에 기립하도록 포스트 형상으로 형성되고, 상기 접속부의 직경이 상기 접속부의 높이보다 작고, 상기 금전층의 두께가 상기 접속부의 높이의 1/3 이하이고, 상기 반도체 칩에 접속되는 층과 상기 패턴 배선에 접속되는 층을 구성하는 재료가 다른 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- [0033] 본 발명은 반도체 칩을 실장하는 배선 기판, 및 상기 배선 기판에 반도체 칩이 실장되어 이루어지는 반도체 장치에 관한 것이다.
- [0034] 현재, 반도체 칩 등의 반도체 장치를 이용한 전자 기기의 고성능화가 진행되고 있어, 기판에 반도체 칩을 실장하는 경우의 고밀도화나, 또한 반도체 칩을 탑재한 기판의 소형화, 공간 절약화 등이 요구되고 있다.
- [0035] 이를 위해 반도체 칩측에 형성되는 전극의 설치 흐치가 협소화되면, 상기 전극에 형성되는 솔더 범프(solder bump)에 의해 배선 기판측의 접속부에 접속해서 실장을 행하는 경우에 실장의 신뢰성이 저하되는 다양한 문제가 발생하는 경우가 있었다.
- [0036] 예를 들면, 일례로서, 반도체 칩의 전극의 설치 흐치의 협소화에 대응하여 반도체 칩과 배선 기판 사이의 클리어런스(clearance)도 작아지기 때문에, 상기 클리어런스에 침투시키는 수지로 이루어지는 언더필(under fill)이 용이하게 침투하지 않고, 보이드(void)가 발생하는 등 반도체 칩의 실장의 신뢰성이 저하되는 문제가 발생하고 있었다.
- [0037] 이 때문에, 배선 기판측의 반도체 칩과의 접속부(실장용 패드)의 두께를 두껍게 형성해서, 반도체 칩의 실장시의 신뢰성을 향상시키는 방법이 제안되고 있다(예를 들면, 특허문헌 1 내지 특허문헌 3 참조)
- [0038] [특허문헌 1] 일본 공개특허 2000-315706호 공보
- [0039] [특허문헌 2] 일본 공개특허 2004-140248호 공보
- [0040] [특허문헌 3] 일본 공개특허 평10-163599호 공보

발명이 이루고자 하는 기술적 과제

- [0041] 그러나, 예를 들면 배선 기판측의 패턴 배선상에 형성되는 접속부(실장용 패드)의 두께를 두껍게 형성하면, 상기 접속부와 패턴 배선의 계면(界面)에 걸리는 응력이 커진다. 이 때문에, 상기 접속부가 패턴 배선으로부터 박리하기 쉬워져, 배선 기판에 반도체 칩을 실장하는 경우의 실장의 신뢰성이 저하될 우려가 발생하고 있었다.
- [0042] 특히, 상기한 접속부를 소위 세미애디티브법(semi-additive process)으로 형성한 경우(예를 들면, 특허문헌 1, 특허문헌 2 참조), 접속부의 박리가 발생하기 쉬워지는 문제가 발생할 가능성이 고려된다.
- [0043] 세미애디티브법이란, 우선, 무전해 도금법에 의해 이후의 전해 도금 공정에서 급전층을 얇게

형성한 후, 상기 급전층상에 마스크 패턴을 형성하고, 다음으로 전해 도금으로 원하는 패턴을 형성하는 방법이다. 상기한 세미애디티브법은 미세한 패턴을 효율적으로 구성할 수 있기 때문에, 최근 많이 이용되고 있는 방법이다.

[0044] 이 경우, 접속부는 무전해 도금법으로 형성된 급전층과 전해 도금법으로 형성된 층의 적층 구조로 구성되지만, 무전해 도금법으로 형성되는 급전층의 밀착력이 약해서 접속부가 박리할 우려가 있었다. 이 때문에, 접속부의 두께를 두껍게(접속부의 높이를 높게) 형성하는 것이 곤란해져, 미세한 접속 피치로 반도체 칩을 실장 기판에 실장할 경우의 실장의 신뢰성을 확보하는 것이 곤란해져 있었다.

[0045] 그래서, 본 발명에서는 상기한 문제를 해결한, 신규의 유용한 배선 기판의 제조 방법과, 반도체 장치의 제조 방법을 제공하는 것을 통괄적 과제로 하고 있다.

[0046] 본 발명의 구체적인 과제는 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩을 실장하는 것이 가능한 배선 기판과, 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩이 배선 기판에 실장되어 이루어지는 반도체 장치를 제공하는 것이다.

발명의 구성 및 작용

[0047] 본 발명의 제 1 관점에서는, 상기의 과제를, 반도체 칩에 접속되는 접속부와, 상기 접속부를 통해서 상기 반도체 칩에 접속되는 패턴 배선을 갖는 반도체 칩을 실장하는 배선 기판의 제조 방법으로서, 상기 패턴 배선상에 상기 접속부를 전해 도금법에 의해 형성하기 위한 급전층을 형성하는 급전층 형성 공정과, 상기 급전층상에 마스크 패턴을 형성하는 마스크 공정과, 상기 마스크 패턴으로부터 노출되는 상기 급전층을 예칭하는 예칭 공정과, 상기 마스크 패턴으로부터 노출되는 상기 패턴 배선상에 전해 도금법에 의해 상기 접속부를 형성하는 전해 도금 공정을 갖는 것을 특징으로 하는 배선 기판의 제조 방법에 의해 해결한다.

[0048] 본 발명에 의하면, 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩을 실장하는 것이 가능한 배선 기판을 제공하는 것이 가능해진다.

[0049] 또한, 상기 접속부는 복수의 층이 전해 도금법에 의해 적층됨으로써 형성되면, 상기 접속부에 대한 상기 패턴 배선 및 반도체 칩의 쌍방으로의 접속을 양호하게 하는 것이 가능해져, 바람직하다.

[0050] 또한, 상기 접속부는 상기 패턴 배선을 구성하는 재료와 동일한 재료로 이루어지는 최하층을 포함하고, 상기 최하층이 상기 패턴 배선과 접하도록 형성되면, 상기 접속부와 상기 패턴 배선의 접속이 양호해져, 바람직하다.

[0051] 또한, 상기 접속부는 상기 패턴 배선상에 기립(起立)하도록 형성되면, 미세한 피치로의 실장에 대응하는 것이 가능해져, 바람직하다.

[0052] 또한, 상기 접속부의 높이가 상기 접속부의 직경보다 크면, 더 미세한 피치로의 실장에 대응하는 것이 가능해져, 바람직하다.

[0053] 또한, 상기 급전층은 상기 패턴 배선상과 동시에 상기 패턴 배선의 일부를 덮는 절연층상에 형성되면, 전해 도금시에 상기 절연층상을 통해서 급전을 행하는 것이 가능해져, 바람직하다.

[0054] 또한, 상기 전해 도금 공정 후에, 상기 마스크 패턴을 제거하는 동시에, 상기 마스크 패턴을 제거함으로써 노출된 상기 급전층을 예칭하는 공정을 더 갖도록 해도 된다.

[0055] 또한, 본 발명의 제 2 관점에서는, 상기 과제를, 반도체 칩과, 상기 반도체 칩에 접속되는 접속부와, 상기 접속부를 통해서 상기 반도체 칩에 접속되는 패턴 배선을 갖는 배선 기판에 반도체 칩이 실장되어 이루어지는 반도체 장치의 제조 방법으로서, 상기 패턴 배선상에 상기 접속부를 전해 도금법에 의해 형성하기 위한 급전층을 형성하는 급전층 형성 공정과, 상기 급전층상에 마스크 패턴을 형성하는 마스크 공정과, 상기 마스크 패턴으로부터 노출되는 상기 급전층을 예칭하는 예칭 공정과, 상기 마스크 패턴으로부터 노출되는 상기 패턴 배선상에 전해 도금법에 의해 상기 접속부를 형성하는 전해 도금 공정과, 상기 접속부에 반도체 칩이 접속되는 실장 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법에 의해 해결한다.

[0056] 본 발명에 의하면, 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩이 배선 기판에 실장되어 이루어지는 반도체 장치를 제공하는 것이 가능해진다.

[0057] 또한, 상기 접속부는 상기 패턴 배선상에 기립하도록 형성되면, 미세한 피치로의 실장에 대응하는 것이 가능해져, 바람직하다.

- [0058] 또한, 상기 접속부는 복수의 층이 전해 도금법에 의해 적층됨으로써 형성되고, 상기 반도체 칩에 접속되는 층과 상기 패턴 배선에 접속되는 층을 구성하는 재료가 다르면, 상기 접속부에 대한 상기 패턴 배선 및 반도체 칩의 쌍방으로의 접속을 양호하게 하는 것이 가능해져, 바람직하다.
- [0059] 본 발명에 의하면, 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩을 실장하는 것이 가능한 배선 기판과, 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩이 배선 기판에 실장되어 이루어지는 반도체 장치를 제공하는 것이 가능해진다.
- [0060] 본 발명에 의한 배선 기판의 제조 방법은 반도체 칩이 실장되는 배선 기판을 제조하는 방법이며, 상기 배선 기판은 상기 반도체 칩에 접속되는 접속부와, 상기 접속부를 통해서 상기 반도체 칩에 접속되는 패턴 배선을 갖고 있다.
- [0061] 또한, 본 발명에 의한 배선 기판의 제조 방법은, 1) 상기 패턴 배선상에 상기 접속부를 전해 도금법에 의해 형성하기 위한 급전층을 형성하는 급전층 형성 공정과, 2) 상기 급전층상에 마스크 패턴을 형성하는 마스크 공정과, 3) 상기 마스크 패턴으로부터 노출되는 상기 급전층을 에칭하는 에칭 공정과, 4) 상기 마스크 패턴으로부터 노출되는 상기 패턴 배선상에 전해 도금법에 의해 상기 접속부를 형성하는 전해 도금 공정을 갖는 것을 특징으로 하고 있다.
- [0062] 종래의 세미애디티브법에서는 전해 도금을 위한 급전층을 형성한 후에, 상기 급전층상에 전해 도금으로 원하는 패턴(접속부) 등을 형성하고 있었다. 즉, 형성되는 접속부는 급전층과 전해 도금층의 적층 구조가 되어 있었다.
- [0063] 한편, 본 발명에 의한 배선 기판의 제조 방법에서는, 상기한 바와 같이, 급전층을 형성한 후에, 패턴 배선상의 일부(마스크 패턴으로부터의 노출부)의 급전층을 에칭에 의해 제거한 후, 전해 도금에 의해 접속부를 형성하고 있다. 이 경우, 전해 도금시의 급전은 에칭되어 있지 않은(마스크로부터 노출해 있지 않은) 급전층과, 상기 패턴 배선을 통해서 행해지기 때문에, 문제없이 전해 도금에 의해 접속부를 형성할 수 있다.
- [0064] 본 발명에 의한 배선 기판의 제조 방법에 의하면, 접속부의 전해 도금층이 직접 패턴 배선상에 접하도록 형성되기 때문에, 접속부의 패턴 배선에 대한 밀착력이 양호해지고, 배선 기판의 반도체 칩의 실장의 신뢰성이 향상되는 효과를 얻을 수 있다.
- [0065] 예를 들면, 상기한 제조 방법을 이용하면 접속부의 두께를 두껍게(높이를 높게), 예를 들면 접속부를 패턴 배선 상에 기립하도록 포스트(post) 형상으로 형성한 경우라도, 접속부와 패턴 배선의 박리의 발생을 억제해서 배선 기판의 신뢰성을 유지하는 것이 가능하다.
- [0066] 이처럼, 상기 접속부의 높이를 높게 해서 형성함으로써, 반도체 칩과 배선 기판의 접속부를 미세한 피치로 하여 실장하는 경우의 신뢰성을 향상시키는 것이 가능해진다.
- [0067] 또한, 상기한 배선 기판에 반도체 칩을 실장함으로써, 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩이 배선 기판에 실장되어 이루어지는 반도체 장치를 제공하는 것이 가능해진다.
- [0068] 다음으로, 상기한 배선 기판의 제조 방법, 및 반도체 장치의 제조 방법의 더 구체적인 예에 관해서 도면에 의거하여, 이하에 설명한다.
- [0069] [실시예 1]
- [0070] 도 1a 내지 도 1k는 본 발명의 실시예 1에 의한 배선 기판의 제조 방법을 순서에 따라 설명한 도면이다. 단, 이하의 도면 중에서는 앞서 설명한 부분에는 동일한 참조 부호를 붙여 설명을 생략하는 경우가 있다.
- [0071] 우선, 도 1a에 나타낸 공정에서, 코어 기판(S)에 비어 홀(via hole)을 형성하고, 예를 들면 세미애디티브법에 의해 상기 코어 기판(S)을 관통하는 비어 플러그(via plug)(V1)와, 상기 비어 플러그(V1)에 접속되는 패턴 배선(L1, 11)을 형성한다. 이 경우, 상기 패턴 배선(L1)은 상기 코어 기판(S)의, 후(後)공정에서 반도체 칩과의 접속부가 형성되는 측(이하, 명세서 중에서 제 1 측이라고 부르는 경우가 있음)에, 상기 패턴 배선(11)은 상기 코어 기판(S)의, 상기 제 1 측의 반대측인 제 2 측에 형성된다.
- [0072] 다음으로, 도 1b에 나타낸 공정에서, 상기 코어 기판(S1)의 제 1 측에 상기 패턴 배선(L1)을 덮도록 절연층(빌드업층)(D1)을 형성한다. 또한, 세미애디티브법에 의해 상기 패턴 배선(L1)에 접속되는 비어 플러그(V2)와, 상기 비어 플러그(V2)에 접속되는 패턴 배선(L2)을 형성한다.

- [0073] 마찬가지로, 상기 코어 기판(S1)의 제 2 측에 상기 패턴 배선(11)을 덮도록 절연층(빌드업층)(d1)을 형성한다. 또한, 세미애디티브법에 의해 상기 패턴 배선(11)에 접속되는 비어 플러그(v2)와, 상기 비어 플러그(v2)에 접속되는 패턴 배선(12)을 형성한다.
- [0074] 다음으로, 도 1c에 나타낸 공정에서는, 도 1b에 나타낸 공정과 동일한 공정을 되풀이한다. 즉, 상기 패턴 배선(L2)을 덮도록 절연층(빌드업층)(D2)을 형성하고, 세미애디티브법에 의해 상기 패턴 배선(L2)에 접속되는 비어 플러그(V3)와, 상기 비어 플러그(V3)에 접속되는 패턴 배선(L3)을 형성한다.
- [0075] 마찬가지로, 상기 패턴 배선(12)을 덮도록 절연층(빌드업층)(d2)을 형성하고, 세미애디티브법에 의해 상기 패턴 배선(12)에 접속되는 비어 플러그(v3)와, 상기 비어 플러그(v3)에 접속되는 패턴 배선(13)을 형성한다.
- [0076] 또한, 상기 절연층(D2)의 일부와 상기 패턴 배선(L3)의 일부를 덮도록 절연층(솔더 레지스트층)(SR1)을 형성하고, 마찬가지로, 상기 절연층(d2)과 상기 패턴 배선(13)의 일부를 덮도록 절연층(솔더 레지스트층)(sr1)을 형성한다. 이 경우, 상기 절연층(SR1)은 복수 형성되는 상기 패턴 배선(L3)의 사이에는 형성되지 않는다.
- [0077] 예를 들면, L1 내지 L3, v1 내지 v3, 11 내지 13 및 v2 내지 v3는 Cu로 이루어진다.
- [0078] 또한, 상기 절연층(sr1)으로부터 노출되는 상기 패턴 배선(13)에는, 예를 들면 Ni/Au의 도금층으로 이루어지는 접속층(m1)을 형성해도 된다.
- [0079] 다음으로, 이하에 도 1d 내지 도 1k에 나타낸 공정에서, 상기의 도 1c에 나타낸 구조에 대하여 반도체 칩을 실장하기 위한 접속부를 형성한다.
- [0080] 우선, 도 1d에 나타낸 공정에서, 상기 절연층(SR1)상과, 상기 절연층(SR1)의 개구부로부터 노출된 상기 패턴 배선(L3)상, 및 상기 패턴 배선(L3)의 사이에 노출된 상기 절연층(D2)상에, 예를 들면 무전해 도금법에 의해, 예를 들면 Cu로 이루어지는 금전층(101)을 형성한다. 상기 금전층(101)은, 후공정에서 형성되는 상기 패턴 배선(L3)을 반도체 칩에 접속하기 위한 접속부를 전해 도금법에 의해 형성하기 위한 금전층이다. 상기 금전층(101)은, 예를 들면 두께가 $10\mu\text{m}$ 이하로 형성된다.
- [0081] 다음으로, 도 1e에 나타낸 공정에서, 상기 금전층(101)상에, 예를 들면 드라이 필름 레지스트를 점착하고, 또한 상기 드라이 필름 레지스트를 포토리소그래피법에 의해 패터닝하여 개구부(102A)를 갖는 마스크 패턴(102)을 형성한다.
- [0082] 상기 개구부(102A)가 형성되는 위치는, 후공정(도 1g 내지 도 1i)에서 형성되는 상기 패턴 배선(L3)을 반도체 칩에 접속하기 위한 접속부가 형성되는 위치에 대응하고 있다. 이 경우, 상기 개구부(102A)로부터는 상기 패턴 배선(L3)상에 형성된 상기 금전층(101)이 노출되게 된다.
- [0083] 또한, 상기 마스크 패턴(102)은 드라이 필름 레지스트에 한정되지 않고, 예를 들면 도포에 의해 형성되는 레지스트층을 이용해서 형성해도 된다.
- [0084] 다음으로, 도 1f에 나타낸 공정에서, 예를 들면 산계(酸系) 에칠헥사(etchant)를 이용해서 상기 마스크 패턴(102)의 상기 개구부(102A)로부터 노출되는 상기 패턴 배선(L3)상의 상기 금전층(101)을 에칭해서 제거한다. 이 경우, 상기 개구부(102A)로부터 노출되는 상기 금전층(101)이 제거됨으로써, 상기 개구부(102A)로부터는 상기 패턴 배선(L3)이 노출되게 된다.
- [0085] 다음으로, 도 1g에 나타낸 공정에서, 전해 도금법에 의해 상기 개구부(102A)로부터 노출되는 상기 패턴 배선(L3)상에, 예를 들면 Cu로 이루어지는 접속부의 제 1 층(103)을 형성한다. 이 경우, 상기 제 1 층(103)은 상기 패턴 배선(L3)을 구성하는 재료와 동일한 재료(예를 들면 Cu)로 형성되면, 상기 패턴 배선(L3)과 상기 제 1 층(103)의 밀착성이 특히 양호해져, 바람직하다.
- [0086] 또한 이 경우, 전해 도금시의 금전은 에칭되어 있지 않은 상기 금전층(101)과, 상기 금전층(101)에 접속되는 상기 패턴 배선(L3)을 통해서 행해지기 때문에, 문제없이 전해 도금에 의해 제 1 층(103)을 형성할 수 있다. 이러한, 금전시의 상기 금전층(101)과 상기 패턴 배선(L3)의 위치 관계에 대해서는 도 3a 이하에서 설명한다.
- [0087] 다음으로, 도 1h에 나타낸 공정에서, 상기 제 1 층(103)상에 전해 도금법에 의해, 예를 들면 Ni로 이루어지는 제 2 층(104)을 형성한다. 상기 제 2 층(104)은 상기 제 2 층(104)상에 형성되는 제 3 층(105)(후술)과, 상기 제 1 층(103)의 밀착성을 양호하게 하는 기능을 가진다.
- [0088] 다음으로, 도 1i에 나타낸 공정에서, 상기 제 2 층(104)상에 전해 도금법에 의해, 예를 들면 솔더(예를 들면

SnAgCu)로 이루어지는 제 3 층(105)을 형성하고, 상기 제 1 층(103), 상기 제 2 층(104), 및 상기 제 3 층(105)이 적층되어 이루어지는 접속부(CP)가 형성된다. 상기 제 3 층(105)은 상기 접속부(CP)와 반도체 칩의 접속성을 양호하게 하는 기능을 갖고 있다.

[0089] 다음으로, 도 1j에 나타낸 공정에서, 예를 들면 NaOH 등의 약액(藥液)을 이용해서 상기 마스크 패턴(102)을 박리해서 제거한다.

[0090] 다음으로, 도 1k에 나타낸 공정에서, 상기 마스크 패턴(102)을 제거함으로써 노출된, 불필요한 상기 급전층(101)을, 예를 들면 산계의 에칠퐁트를 이용해서 에칭함으로써 제거한다.

[0091] 이렇게 하여, 반도체 칩을 실장 가능한 배선 기판(100)을 형성할 수 있다.

[0092] 또한, 도 1k에 나타낸 공정의 후, 도 2에 나타낸 공정을 더 실시함으로써 상기 배선 기판(100)에 반도체 칩이 실장되어 이루어지는 반도체 장치를 제조하는 것이 가능해진다. 단, 도면 중, 앞서 설명한 부분에는 동일한 참조 부호를 붙여, 설명을 생략한다.

[0093] 도 2에 나타낸 공정에서는, 상기 배선 기판(100)에 반도체 칩(201)을 실장한다. 상기 반도체 칩(201)은 전극 패드(도시 생략) 위에 솔더 범프(202)가 형성된 구조를 갖고, 상기 솔더 범프(202)와 상기 제 3 층(105)이 접속되도록 해서 실장된다. 이 경우, 예를 들면 솔더의 리플로우 또는 초음파 접합 등에 의해, 상기 제 3 층(105)과 상기 솔더 범프(202)가 전기적으로 확실하게 접속되도록 한다.

[0094] 이 후, 상기 반도체 칩(201)과 상기 배선 기판(100) 사이에 수지(樹脂)로 이루어지는 언더필(206)이 침투되어, 반도체 장치(300)를 형성할 수 있다.

[0095] 상기한 배선 기판(100)(반도체 장치(300))의 제조 과정에서는, 상기 패턴 배선(L3)상에서 상기 급전층(101)이 제거된 부분에 반도체 칩(201)과 접속하기 위한 상기 접속부(CP)가 전해 도금법에 의해 형성되어 있다. 그 때 문에, 상기 접속부(CP)와 상기 패턴 배선(L3)의 밀착성이 양호하고, 상기 접속부(CP)와 상기 패턴 배선(L3)의 박리가 억제되어 안정적인 구조가 되어 있다. 이 때문에, 상기한 배선 기판(100)(반도체 장치(300))은 반도체 칩(201)을 실장한 경우의 신뢰성이 양호한 특징을 갖고 있다.

[0096] 또한, 상기한 배선 기판(100)(반도체 장치(300))에서는 상기 접속부(CP)가 상기 패턴 배선(L3)상에 기립하도록 포스트 형상으로 형성되어 있다. 종래에는 접속부와 패턴 배선의 밀착력이 작았기 때문에, 이러한 접속부와 패턴 배선의 계면에 걸리는 응력이 커지는 구조에서 배선 기판(반도체 장치)의 실장의 신뢰성을 유지하는 것은 곤란했다.

[0097] 본 실시예에 의한 배선 기판(100)(반도체 장치(300))에서는, 상기한 제조 방법으로 형성됨으로써 접속부와 패턴 배선의 밀착력이 커지고, 상기 접속부(CP)를 상기 패턴 배선(L3)상에 기립하도록 포스트 형상으로 형성하는 동시에, 실장의 신뢰성을 유지하는 것이 가능하게 되어 있다. 이 때문에, 이하에 설명하는 바와 같이, 미세한 접속 피치로 반도체 칩을 실장하는 것이 가능하게 되어 있다.

[0098] 예를 들면, 반도체 칩과 배선 기판의 접속부의 피치가 미세화되면, 솔더 범프 등의 접속부도 작게 하지 않을 수 없어져, 이에 따라 반도체 칩과 배선 기판의 클리어런스가 작아진다. 이 때문에, 수지로 이루어지는 언더필의 침투가 곤란해져서, 예를 들면 언더필에 보이드가 발생하는 등, 실장의 신뢰성을 저하시키는 문제가 발생하고 있다. 상기한 배선 기판(100)(반도체 장치(300))에서는, 상기 접속부(CP)가 상기 패턴 배선(L3)상에 기립하도록 포스트 형상으로 형성되어 있기 때문에, 반도체 칩과 배선 기판의 클리어런스가 커진다. 그 때문에, 언더필의 침투가 용이해져, 언더필의 보이드의 발생이 억제되어 실장의 신뢰성이 양호해지는 효과를 얻을 수 있다.

[0099] 또한, 상기한 배선 기판(100)(반도체 장치(300))에서는, 예를 들면 솔더 범프 등, 용융해서 접속되는 부분(이하, 용융부)이 절연층이나 솔더 레지스트층으로부터 이간해 있는 특징이 있다. 그 때문에, 상기 용융부가 절연층이나 솔더 레지스트층상을 통해서 브리지(단락(短絡))할 가능성이 작아진다. 이 때문에, 특히 접속부를 미세 피치로 형성한 경우의 실장의 신뢰성이 양호해지는 효과를 얻을 수 있다. 또한, 솔더 등의 용융부의 체적을 종래에 비해서 저감할 수 있는 장점도 있다.

[0100] 상기한 배선 기판(100)(반도체 장치(300))의 경우, 예를 들면 도 1k에 나타낸 접속부(CP)의 설치 피치(P)를 100 μm 이하, 접속부(CP)의 직경(W)을 50 μm 이하, 접속부(CP)의 높이(H)를 30 μm 내지 100 μm 로 형성하는 것이 가능하다. 이 경우, 상기 접속부(CP)의 높이(H)가 상기 접속부(CP)의 직경(W)보다 크면, 앞서 설명한 접속부(CP)를 미세 피치로 형성한 경우의 실장의 신뢰성이 양호해지는 효과가 특히 커져, 바람직하다.

- [0101] 또한, 예를 들면 상기 제 1 층(103)의 두께는 $35\mu\text{m}$, 상기 제 2 층의 두께는 $1\mu\text{m}$, 상기 제 3 층의 두께는 $20\mu\text{m}$ 로 해서 형성되지만, 이 두께는 일례이며, 이에 한정되는 것은 아니다.
- [0102] 다음으로, 앞서 설명한 배선 기판(반도체 장치)의 제조 방법에 대해서, 배선 기판을 반도체 칩이 실장되는 측으로부터 본 도면에 의거하여 설명한다.
- [0103] 도 3a 내지 도 3g는 도 1a 내지 도 1k, 및 도 2에서 앞서 설명한 배선 기판(반도체 장치)의 제조 방법에 대해서 배선 기판을 반도체 칩이 실장되는 측으로부터 본 상태를 모식적으로 나타낸 도면이다. 단, 도면 중, 앞서 설명한 부분에는 동일한 참조 부호를 붙여 일부 설명을 생략한다. 또한, 이하의 도면에서는, 다수 형성되는 패턴 배선(L3) 중, 소정의 일부를 확대해서 모식적으로 도시하고, 일부 도시를 생략하고 있는 구조(예를 들면, 절연 층이나 주위의 구조 등)가 있다.
- [0104] 우선, 도 3a에 나타낸 공정은 도 1c에 나타낸 공정에 대응하고, 도면 중에서는 랜드가 형성된 상기 패턴 배선(L3)을 반도체 칩이 실장되는 측으로부터 본 도면으로 나타내고 있다.
- [0105] 다음으로, 도 3b에 나타낸 공정은 도 1d에 나타낸 공정에 대응하고, 본 공정에서는 상기 패턴 배선(L3)상에, 예를 들면 무전해 도금법에 의해, 예를 들면 Cu로 이루어지는 상기 급전층(101)을 형성한다.
- [0106] 다음으로, 도 3c에 나타낸 공정은 도 1e에 나타낸 공정에 대응하고, 본 공정에서는 상기 급전층(101)상에 개구부(102A)를 갖는 마스크 패턴(102)을 형성한다. 상기 개구부(102A)로부터는 상기 급전층(101)이 노출되어 있다.
- [0107] 다음으로, 도 3d에 나타낸 공정은 도 1f에 나타낸 공정에 대응하고, 본 공정에서는 상기 마스크 패턴(102)의 상기 개구부(102A)로부터 노출되는 상기 급전층(101)을 에칭해서 제거한다. 이 경우, 상기 급전층(101)이 제거됨으로써 상기 개구부(102A)로부터는 상기 패턴 배선(L3)이 노출되게 된다. 또한, 본 공정의 실시에 앞서, 상기 마스크 패턴(102)으로 커버되지 않는 상기 급전층(101)의 가장자리부(도 1f에서는 도시 생략)는 에칭 전에 마스크(M)(도 1f에서는 도시 생략)로 커버해두는 것이 바람직하다.
- [0108] 다음으로, 도 3e에 나타낸 공정은 도 1g 내지 도 1i에 나타낸 공정에 대응하고, 본 공정에서는 전해 도금법에 의해 상기 개구부(102A)로부터 노출되는 상기 패턴 배선(L3)상에 상기 접속부(CP)를 형성한다. 이 경우, 상기 개구부(102A)로부터는 상기 접속부(CP)의 최상층인 상기 제 3 층(105)이 보이고 있다.
- [0109] 또한, 본 공정의 실시에 앞서, 도 3d의 공정에서 형성된 상기 마스크(M)를 박리해서 상기 급전층(101)의 가장자리부를 노출시키고(도 1g 내지 도 1i에서는 도시 생략), 상기 가장자리부로부터 상기 급전층(101)에 전압을 인가한다.
- [0110] 본 공정에서는 앞서 설명한 바와 같이, 전해 도금시의 급전은 에칭되어 있지 않은 상기 급전층(101)과, 상기 급전층(101)에 접속되는(상기 급전층(101)과 일부 중첩되어 형성되어 있는) 상기 패턴 배선(L3)을 통해서 행해지기 때문에, 문제없이 전해 도금에 의해 상기 접속부(CP)를 형성할 수 있다.
- [0111] 다음으로, 도 3f에 나타낸 공정은 도 1j에 나타낸 공정에 대응하고, 본 공정에서는, 예를 들면 NaOH 등의 약액을 이용해서 상기 마스크 패턴(102)을 박리해서 제거한다. 이 때문에, 에칭되어 있지 않은 상기 급전층(101)이 노출되게 된다.
- [0112] 다음으로, 도 3g에 나타낸 공정은 도 1k에 나타낸 공정에 대응하고, 본 공정에서는 상기 마스크 패턴(102)을 제거함으로써 노출된, 불필요한 상기 급전층(101)을, 예를 들면 산계의 에천트를 이용해서 에칭함으로써 제거한다. 이렇게 하여 상기 배선 기판(101)을 형성할 수 있다.
- [0113] 다음으로, 상기한 제조 방법에 의해 형성된 배선 기판(반도체 장치)의 접속부의 신뢰성(밀착성)을 시험하기 위해, 이하의 도 4a, 도 4b에 나타내는 바와 같은, 각각의 테스트 샘플(SA1, SA2)을 제작하여 밀착력 시험을 행했다.
- [0114] 도 4a, 도 4b는 배선 기판(반도체 장치)의 접속부의 밀착력을 시험하기 위한 테스트 샘플을 모식적으로 나타낸 도면이다.
- [0115] 도 4a는 상기한 본 실시예에 의한 제조 방법에 의해 형성된 접속부를 상정해서 형성된 샘플(SA1)을 나타낸 도면이다.
- [0116] 도 4를 참조하면, 상기 샘플(SA1)은 Cu로 이루어지는 평판(A)(상기 패턴 배선(L3)을 상정)상에 전해 도금에 의

해 Cu로 이루어지는 제 1 층(B)(상기 제 1 층(103)을 상정), Ni로 이루어지는 제 2 층(C)(상기 제 2 층(104)을 상정), 및 솔더로 이루어지는 제 3 층(D)(상기 제 3 층(105)을 상정)이 적층되어 이루어지는 접속부(CP1)(상기 접속부(CP)를 상정)가 형성된 구조를 갖고 있다.

[0117] 또한, 도 4b는 샘플(SA1)과의 비교를 위한, 종래법에 의해 형성된 접속부를 상정한 샘플(SA2)을 나타낸 도면이다. 단, 도면 중, 앞서 설명한 부분에는 동일한 참조 부호를 붙여서 설명을 생략한다. 샘플(SA2)에서는 상기 접속부(CP1)에 상당하는 접속부(CP2)가 무전해 도금에 의해 형성된 하층(下層)(E)(상기 급전층(101)을 상정)을 갖고 있는 것이 샘플(SA1)과 다르게 되어 있다. 상기 하층(E)은 상기 제 1 층(B)과 상기 평판(A) 사이에 형성되어 있다.

[0118] 밀착력 시험에서는 샘플(SA1)과 샘플(SA2)을 복수 형성하고, 이들 샘플에 횡방향(평판(A)과 평행한 방향)의 힘을 가해, 접속부(CP1, CP2)가 평판으로부터 박리하는 힘(F)을 조사하고 있다. 그 결과로부터, 이하에 나타낸 바와 같이, 각각의 접속부의 밀착력을 비교하는 것이 가능해졌다.

[0119] 도 5는 상기의 밀착력 시험의 결과를 나타낸 것이다. 도면 중, 「에칭 처리 있음」은 샘플(SA1)에서의 결과를 나타내고, 「에칭 처리 없음」은 샘플(SA2)에서의 결과를 나타내고 있다. 또한, 종축은 샘플이 박리한 때의 힘(F)을 샘플 1개당으로 환산해서 나타낸 것이다.

[0120] 도 5를 참조하면, 결과에 편차는 있지만, 평균값으로 보면 샘플(SA1)에서의 밀착력이 샘플(SA2)에서의 밀착력을 상회하고 있는 것을 알 수 있다. 이로부터, 배선상에 접속부를 형성하는 경우에, 에칭에 의해 급전층을 제거해서 배선상에 직접 전해 도금에 의해 패터닝을 행하는 것을 특징으로 하는, 본 실시예에 의해 형성된 접속부의 밀착력은 양호하다는 것이 확인되었다.

[0121] 또한, 여기까지의 실시예에서는 배선 기판에 코어 기판을 이용한 것을 예로 들어 설명했지만, 본 발명은 이에 한정되는 것은 아니다. 예를 들면, 모든 층이 소위 빌드업법에 의해 형성되는 배선 기판에 대해서 본 발명을 적용 가능하다는 것은 명백하다. 또한, 배선층의 층 수나 배선 구조는 적당히 변형·변경하는 것이 가능하다.

[0122] 이상, 본 발명을 바람직한 실시예에 관하여 설명했지만, 본 발명은 상기한 특정 실시예에 한정되는 것은 아니고, 특히 청구 범위에 기재한 요지 내에서 다양한 변형·변경이 가능하다.

발명의 효과

[0123] 본 발명에 따르면, 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩을 실장하는 것이 가능한 배선 기판과, 실장의 신뢰성이 양호하면서 미세한 접속 피치로 반도체 칩이 배선 기판에 실장되어 이루어지는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0001] 도 1a는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(1).

[0002] 도 1b는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(2).

[0003] 도 1c는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(3).

[0004] 도 1d는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(4).

[0005] 도 1e는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(5).

[0006] 도 1f는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(6).

[0007] 도 1g는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(7).

[0008] 도 1h는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(8).

[0009] 도 1i는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(9).

[0010] 도 1j는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(10).

[0011] 도 1k는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(11).

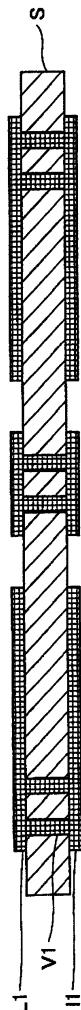
[0012] 도 2는 실시예 1에 의한 반도체 장치의 제조 방법을 나타내는 도면.

[0013] 도 3a는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(12).

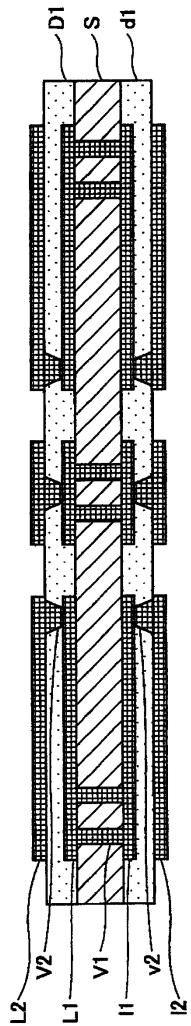
- [0014] 도 3b는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(13).
- [0015] 도 3c는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(14).
- [0016] 도 3d는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(15).
- [0017] 도 3e는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(16).
- [0018] 도 3f는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(17).
- [0019] 도 3g는 실시예 1에 의한 배선 기판의 제조 방법을 나타내는 도면(18).
- [0020] 도 4a는 밀착력 시험의 방법을 나타내는 도면(1).
- [0021] 도 4b는 밀착력 시험의 방법을 나타내는 도면(2).
- [0022] 도 5는 밀착력 시험의 결과를 나타내는 도면.
- [0023] 도면의 주요 부분에 대한 부호의 설명
- | | |
|---|-------------------|
| [0024] 100…배선 기판 | 101…급전총 |
| [0025] 102…마스크 패턴 | 102A…개구부 |
| [0026] 103…제 1 총 | 104…제 2 총 |
| [0027] 105…제 3 총 | 201…반도체 칩 |
| [0028] 202…솔더 범프 | 206…언더필 |
| [0029] V1, V2, V3, v2, v3…비어 플러그 L1, L2, L3, 11, 12, 13…패턴 배선 | |
| [0030] S…코어 기판 | SR1, sr1…솔더 레지스트총 |
| [0031] D1, D2, d1, d2…절연층 | CP…접속부 |
| [0032] M…마스크 | |

도면

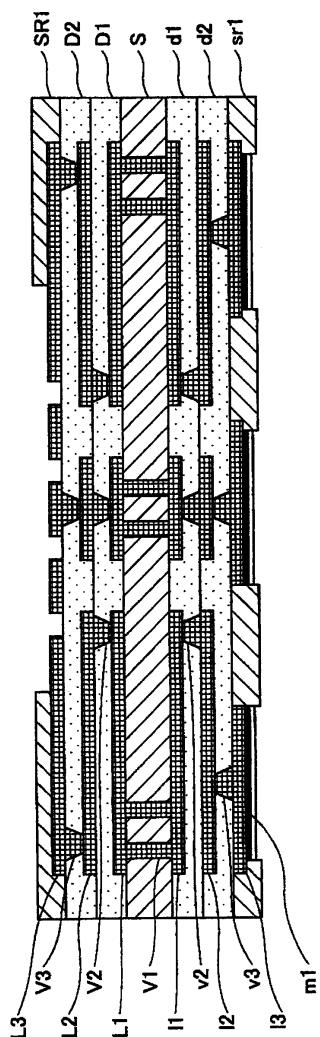
도면 1a



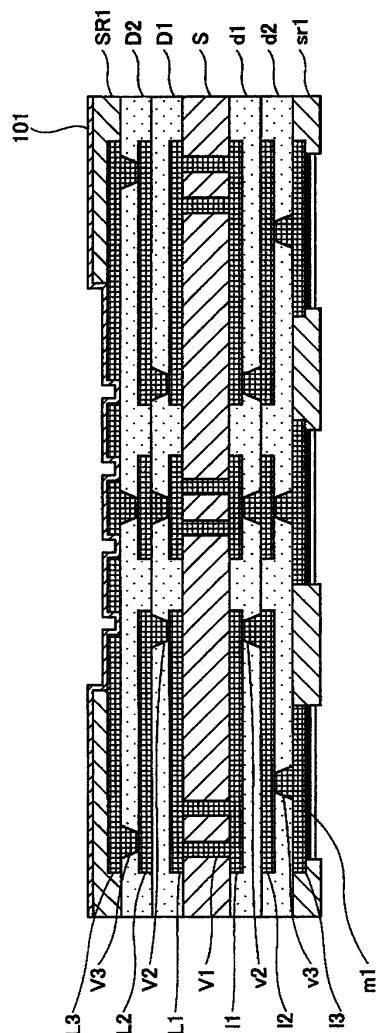
도면1b



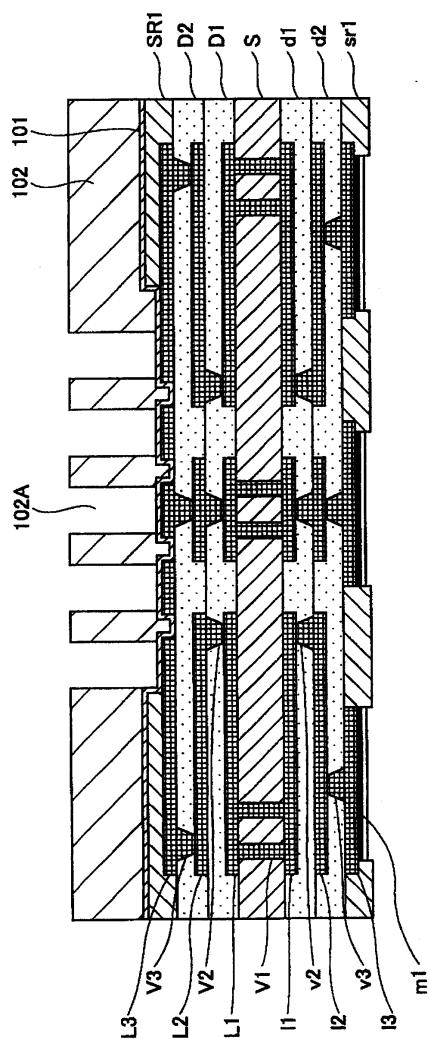
도면1c



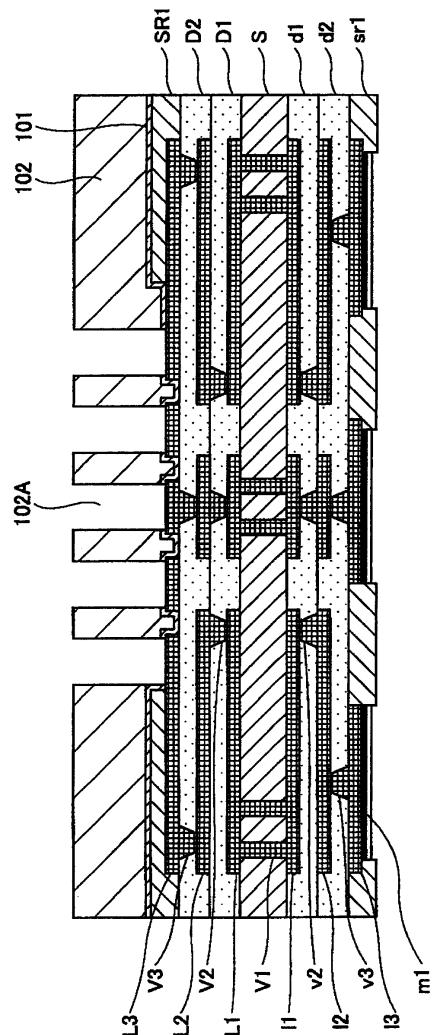
도면 1d



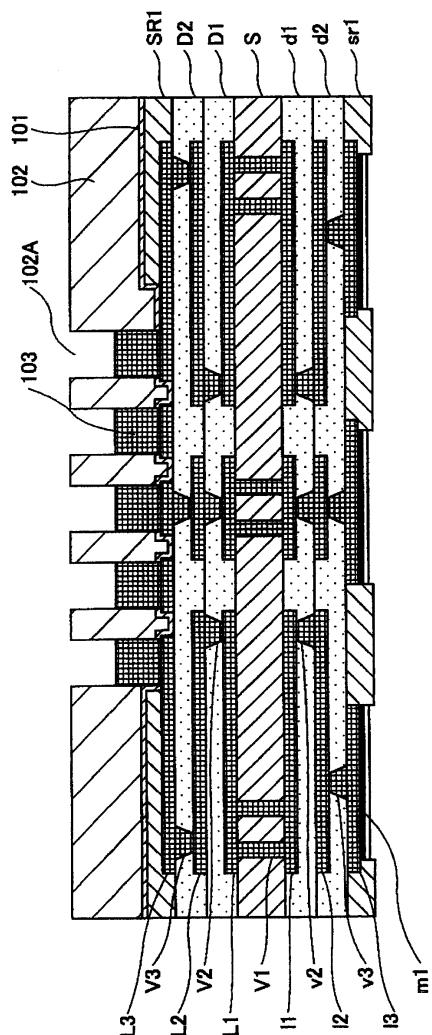
도면 1e



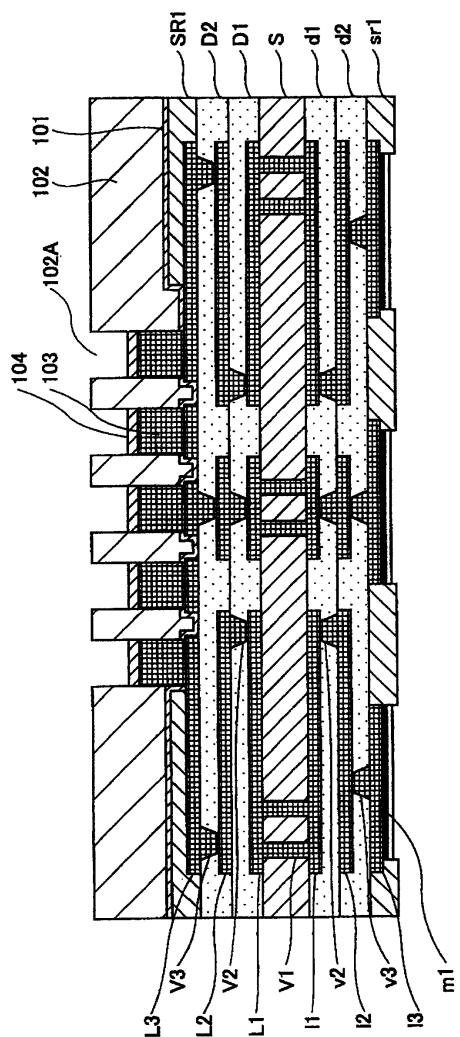
도면1f

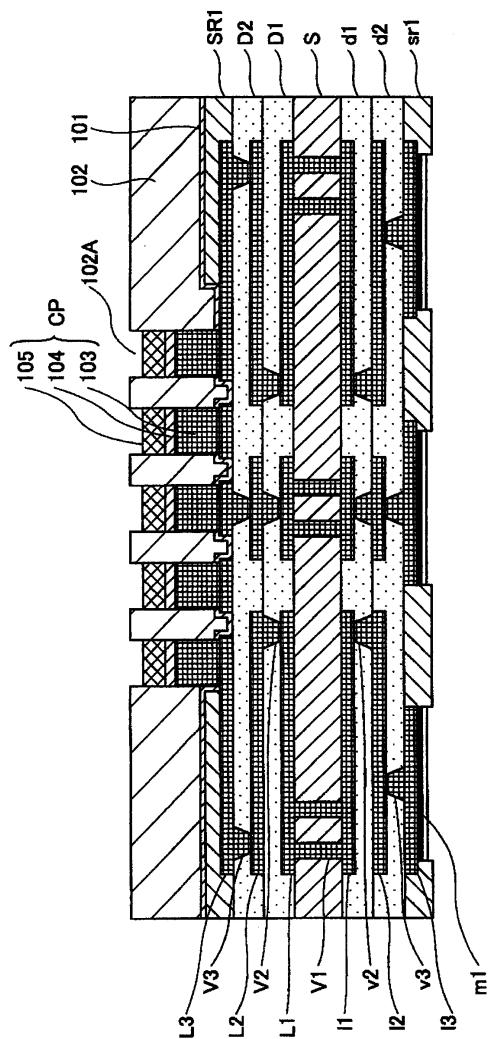


도면 1g

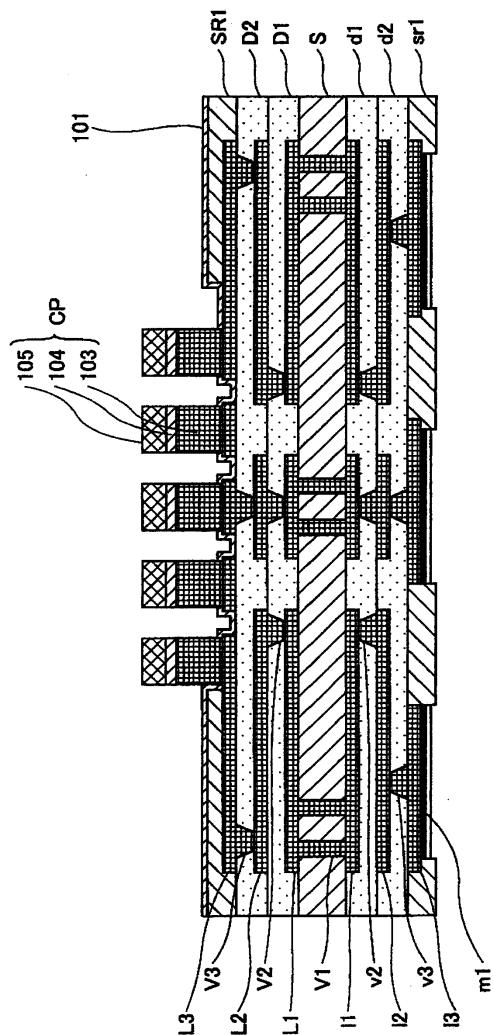


도면 1h

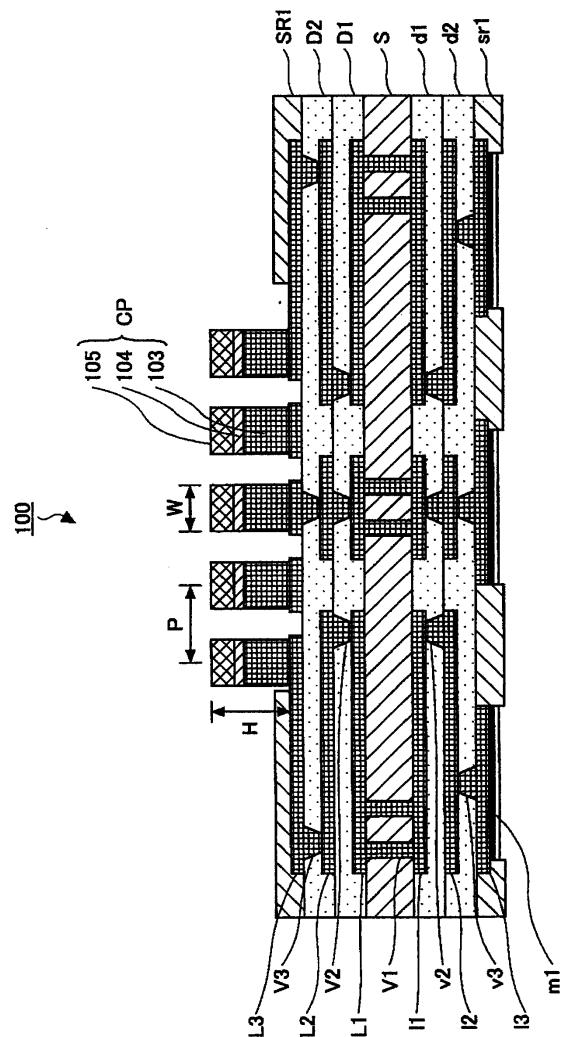


도면1*i*

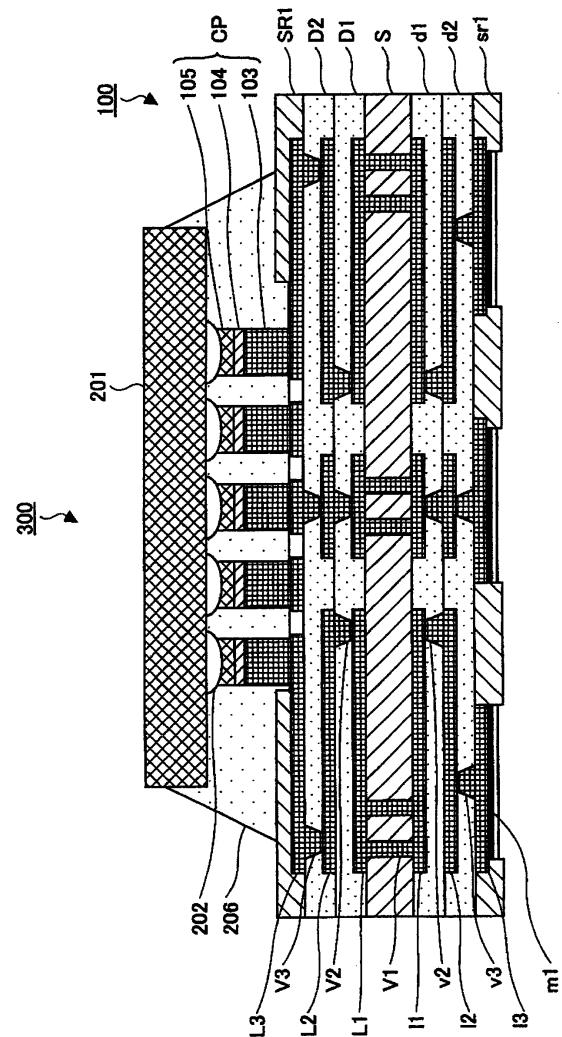
도면1j



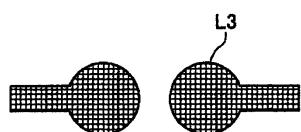
도면 1k



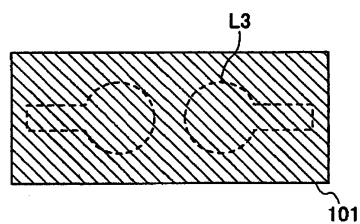
도면2



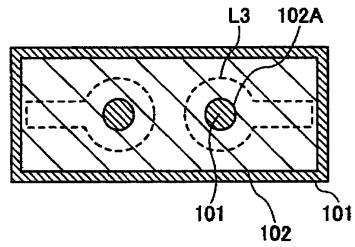
도면3a



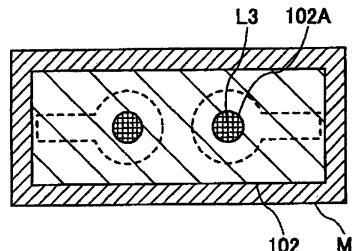
도면3b



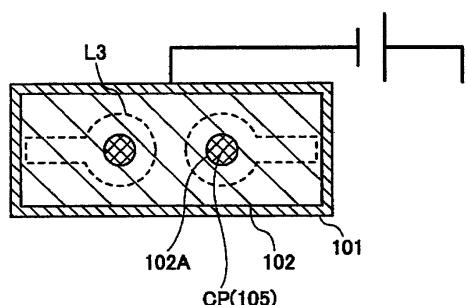
도면3c



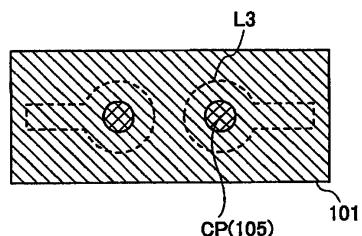
도면3d



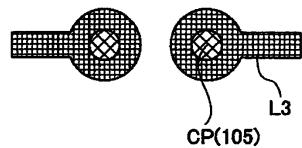
도면3e



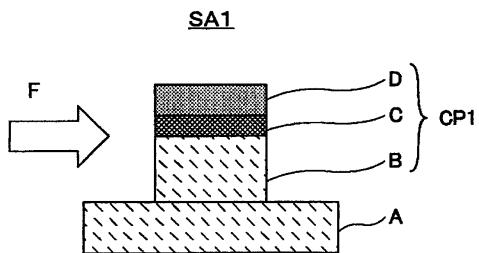
도면3f



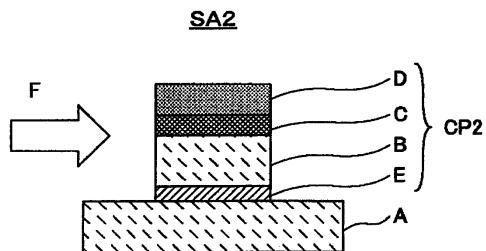
도면3g



도면4a



도면4b



도면5

