

(52) CPC특허분류

H03K 19/0016 (2013.01)

H03K 3/57 (2013.01)

명세서

청구범위

청구항 1

회로로서,

제 1 클럭 입력(first clock input)을 가진 트랜지스터를 포함하는 보유 스테이지(retention stage) — 상기 보유 스테이지는 외부 전압원에 의해 전력을 공급받음 —; 및

상기 보유 스테이지의 출력에 응답하는 인버터 — 상기 인버터는 내부 전압원에 의해 전력을 공급받음 — 를 포함하는,

회로.

청구항 2

제 1 항에 있어서,

상기 인버터의 출력은 제 1 보유 레지스터에 제공되는,

회로.

청구항 3

제 2 항에 있어서,

상기 제 1 보유 레지스터는 제 1 휘발성 구역 및 제 1 비 휘발성 구역을 포함하고, 상기 제 1 비 휘발성 구역은 보유 신호를 입력 신호로서 수신하는,

회로.

청구항 4

제 3 항에 있어서,

상기 제 1 보유 레지스터는 제 2 보유 레지스터를 포함하는 보유 레지스터 트레이(retention register tray)에 포함되고, 상기 제 2 보유 레지스터는 제 2 휘발성 구역 및 제 2 비 휘발성 구역을 포함하고, 상기 제 1 보유 레지스터는 상기 제 2 보유 레지스터에 커플링되는,

회로.

청구항 5

제 4 항에 있어서,

상기 제 1 비 휘발성 구역 및 상기 제 2 비 휘발성 구역은 상기 외부 전압원에 연결된 제 1 n-타입 웰(well)(n-웰)에 위치되고 상기 제 1 휘발성 구역 및 상기 제 2 휘발성 구역은 상기 내부 전압원에 연결된 제 2 n-웰에 위치되는,

회로.

청구항 6

제 2 항에 있어서,

상기 제 1 보유 레지스터는 제 2 보유 레지스터를 포함하는 보유 레지스터 트레이에 포함되고, 상기 인버터의 출력은 상기 제 2 보유 레지스터에 제공되고, 그리고 상기 제 1 보유 레지스터는 상기 제 2 보유 레지스터에 커플링되는,

회로.

청구항 7

제 1 항에 있어서,

상기 보유 스테이지는 보유 신호 및 인버트된 보유 신호를 입력들로서 수신하는,

회로.

청구항 8

제 7 항에 있어서,

상기 인버트된 보유 신호는 대기 모드에 진입하거나 상기 대기 모드를 빠져나오도록 제 1 보유 레지스터를 트리거하도록 구성되는,

회로.

청구항 9

제 1 항에 있어서,

상기 인버터는 p-채널 금속-산화물-반도체(PMOS) 트랜지스터 및 n-채널 금속-산화물-반도체(NMOS) 트랜지스터를 포함하는,

회로.

청구항 10

제 1 항에 있어서,

제 1 클럭 신호를 제 1 보유 레지스터의 제 2 클럭 입력에 공급하고 상기 제 1 클럭 신호를 제 2 보유 레지스터의 제 3 클럭 입력에 공급하도록 구성된 클럭 게이팅 회로(clock gating circuit)를 더 포함하고, 상기 제 1 보유 레지스터 및 상기 제 2 보유 레지스터는 보유 레지스터 트레이를 형성하고, 상기 클럭 게이팅 회로는 상기 보유 레지스터 트레이 외부에 있고, 상기 클럭 게이팅 회로는 상기 외부 전압원에 의해 전력을 공급받는 제 1 스테이지 및 상기 내부 전압원에 의해 전력을 공급받는 제 2 스테이지를 포함하는,

회로.

청구항 11

제 10 항에 있어서,

상기 제 1 스테이지는 상기 보유 스테이지를 포함하고, 그리고 상기 제 2 스테이지는 상기 인버터를 포함하는,

회로.

청구항 12

장치로서,

클럭 입력을 가진 게이트를 포함하는 데이터를 스위칭하기 위한 수단 - 상기 데이터를 스위칭하기 위한 수단은 외부 전압원에 의해 전력을 공급받음 -; 및

상기 데이터를 스위칭하기 위한 수단의 출력을 인버팅하기 위한 수단 - 상기 인버팅하기 위한 수단은 내부 전압원에 의해 전력을 공급받음 -

을 포함하는,

장치.

청구항 13

제 12 항에 있어서,

클럭 신호를, 제 1 비트를 유지하기 위한 수단 및 제 2 비트를 유지하기 위한 수단에 공급하기 위한 수단을 더 포함하고, 상기 제 1 비트를 유지하기 위한 수단 및 상기 제 2 비트를 유지하기 위한 수단은 데이터를 유지하기 위한 수단을 형성하고, 클럭 신호를 공급하기 위한 수단은 상기 데이터를 유지하기 위한 수단 외부에 있고, 그리고 상기 클럭 신호를 공급하기 위한 수단은 상기 외부 전압원에 의해 전력을 공급받는 제 1 스테이지 및 상기 내부 전압원에 의해 전력을 공급받는 제 2 스테이지를 포함하는,

장치.

청구항 14

제 13 항에 있어서,

상기 제 1 스테이지는 데이터를 스위칭하기 위한 수단을 포함하고 상기 제 2 스테이지는 인버팅하기 위한 수단을 포함하는,

장치.

청구항 15

방법으로서,

클럭 입력을 가진 트랜지스터를 포함하는 보유 스테이지에서 클럭 신호를 수신하는 단계 - 상기 보유 스테이지는 외부 전압원에 의해 전력을 공급받음 -; 및

상기 보유 스테이지로부터의 출력을 인버터에 제공하는 단계 - 상기 인버터는 내부 전압원에 의해 전력을 공급받음 -

를 포함하는,

방법.

청구항 16

제 15 항에 있어서,

상기 인버터로부터의 출력을 제 1 보유 레지스터에 제공하는 단계를 더 포함하는,

방법.

청구항 17

제 16 항에 있어서,

상기 인버터로부터의 출력을 제 2 보유 레지스터에 제공하는 단계를 더 포함하고, 상기 제 1 보유 레지스터 및 상기 제 2 보유 레지스터는 보유 레지스터 트레이를 형성하고, 그리고 상기 제 1 보유 레지스터는 상기 제 2 보유 레지스터에 커플링되는,

방법.

청구항 18

제 15 항에 있어서,

상기 보유 스테이지에서 보유 신호 및 인버트된 보유 신호를 수신하는 단계를 더 포함하는,

방법.

청구항 19

제 18 항에 있어서,

상기 인버트된 보유 신호에 기초하여 대기 모드에 진입하거나 상기 대기 모드를 빠져나오도록 제 1 보유 레지스터를 트리거링하는 단계를 더 포함하는,

방법.

청구항 20

컴퓨터-판독가능 스토리지 디바이스로서,
프로세서에 의해 실행될 때, 상기 프로세서로 하여금:
보유 신호를 보유 스테이지에 제공하는 것을 개시하게 하는 명령들을 포함하고,
상기 보유 스테이지는 외부 전압원에 의해 전력을 공급받고,
상기 보유 스테이지는 클럭 신호를 수신하도록 구성되고,
상기 보유 스테이지는 출력을 인버터에 제공하도록 구성되고, 그리고
상기 인버터는 내부 전압원에 의해 전력을 공급받는,
컴퓨터-판독가능 스토리지 디바이스.

청구항 21

회로로서,
제 1 비 휘발성 구역 및 제 1 휘발성 구역을 포함하는 제 1 보유 레지스터; 및
제 1 비 휘발성 구역 및 제 2 휘발성 구역을 포함하는 제 2 보유 레지스터
를 포함하고,
상기 제 1 보유 레지스터는 상기 제 2 보유 레지스터에 커플링되고, 상기 제 1 비 휘발성 구역 및 상기 제 2 비 휘발성 구역은 외부 전압원에 연결된 제 1 n-타입 웰(n-웰)에 위치되고, 그리고 상기 제 1 휘발성 구역 및 상기 제 2 휘발성 구역은 내부 전압원에 연결된 제 2 n-웰에 위치되는,
회로.

청구항 22

제 21 항에 있어서,
상기 제 1 보유 레지스터 및 상기 제 2 보유 레지스터는 보유 레지스터 트레이를 형성하는,
회로.

청구항 23

제 22 항에 있어서,
클럭 게이팅 회로는 클럭 신호를 상기 제 1 보유 레지스터에 공급하고 상기 클럭 신호를 제 2 보유 레지스터에 공급하도록 구성되고, 상기 클럭 게이팅 회로는 상기 제 1 n-웰에 위치되는,
회로.

청구항 24

방법으로서,
보유 신호를 수신하는 것에 응답하여,
보유 레지스터의 비 휘발성 스테이지에 상태 정보를 유지하는 단계; 및
상기 보유 레지스터의 휘발성 스테이지로의 전력을 감소시키는 단계
를 포함하고,
상기 비 휘발성 스테이지는 외부 전압원에 의해 전력을 공급받고 상기 휘발성 스테이지는 내부 전압원에 의해 전력을 공급받는,

방법.

청구항 25

제 24 항에 있어서,

상기 상태 정보는 적어도 내부 데이터 상태를 포함하는,

방법.

청구항 26

제 24 항에 있어서,

상기 휘발성 스테이지 내에 위치한 컴포넌트들은, 상기 휘발성 스테이지로의 전력이 감소될 때 플로팅 상태에 진입하는,

방법.

발명의 설명

기술 분야

[0001] 본 개시는 일반적으로 누설 전류 감소에 관련된다.

배경 기술

[0002] 저장된 전력원(예를 들어, 배터리들)에 의해 전력을 공급받는 전자 디바이스들(예를 들어, 모바일 폰들)은 비활성 기간들 동안 전력 소비를 보호하기 위하여 대기 모드에 놓여질 수 있다. 대기 모드에서, 전자 디바이스의 회로들은 턴 오프될 수 있고 회로들과 연관된 논리 상태들은 손실될 수 있다. 그러나, 몇몇 논리 상태들(예를 들어, 제어 정보)은, 전자 디바이스가 대기 모드를 빠져나간 후 적당하게 기능하도록 전자 디바이스에 대한 대기 모드 동안 유지되어야 한다. 그런 논리 상태들은 보유 레지스터(retention register)들에 저장될 수 있다. 다수의 보유 레지스터들은 보유 레지스터 트레이(retention register tray)를 형성하기 위하여 함께 커플링될 수 있다. 보유 레지스터 트레이를 구동하는 특정 회로들은 그런 회로들의 트랜지스터들과 연관된 누설 전류로 인해 대기 모드에서 전력을 소비할 수 있다. 누설 전류는 전자 디바이스의 전체 전력 소비에 기여하여, 전자 디바이스의 이용 가능한 동작 시간이 감소된다.

발명의 내용

[0003] 특정 실시예에서, 회로는 대기 모드(예를 들어, 내부 전력원이 파워 다운(power down)된 모드)에서 상태 정보를 보존하는 보유 레지스터 트레이 및 클럭 게이팅 회로를 포함한다. 클럭 게이팅 회로 및 보유 레지스터 트레이 각각의 일부분은 내부 전력원에 의해 전력을 공급받고 클럭 게이팅 회로 및 보유 레지스터 트레이 각각의 일부분은 외부 전력원에 의해 전력을 공급받는다. 내부 전력원은 보유 레지스터 트레이를 포함하는 디바이스의 구역 내부에 있을 수 있고, 외부 전력원은 보유 레지스터 트레이를 포함하는 디바이스의 구역 외부에 있을 수 있다. 클럭 게이팅 회로 및 보유 레지스터 트레이는, 클럭 게이팅 회로 및 보유 레지스터 트레이가 대기 모드에 진입할 때 누설 전류를 감소시키도록 구성될 수 있다. 따라서, 클럭 게이팅 회로, 보유 레지스터 트레이, 또는 둘 다를 포함하는 전자 디바이스의 이용 가능한 동작 시간은, 전자 디바이스가 저장된 전력에서 실행될 때 증가될 수 있다.

[0004] 특정 실시예에서, 회로는 제 1 클럭 입력을 가진 트랜지스터를 포함하는 보유 스테이지를 포함한다. 보유 스테이지는 외부 전압원에 의해 전력을 공급받을 수 있다. 회로는 보유 스테이지의 출력에 응답하는 인버터를 더 포함한다. 인버터는 내부 전압원에 의해 전력을 공급받을 수 있다.

[0005] 다른 특정 실시예에서, 장치는 데이터를 스위칭하기 위한 수단을 포함한다. 데이터를 스위칭하기 위한 수단은 클럭 입력을 가진 게이트를 포함할 수 있다. 데이터를 스위칭하기 위한 수단은 외부 전압원에 의해 전력을 공급받을 수 있다. 장치는 데이터를 스위칭하기 위한 수단의 출력을 인버팅하기 위한 수단을 더 포함한다. 인버팅을 위한 수단은 내부 전압원에 의해 전력을 공급받을 수 있다.

[0006] 다른 특정 실시예에서, 방법은 보유 스테이지에서 클럭 신호를 수신하는 것을 포함한다. 보유 스테이지

는 클럭 입력을 가진 트랜지스터를 포함할 수 있다. 보유 스테이지는 외부 전압원에 의해 전력을 공급받을 수 있다. 방법은 보유 스테이지로부터 인버터로 출력을 제공하는 것을 더 포함한다. 인버터는 내부 전압원에 의해 전력을 공급받을 수 있다.

[0007] 다른 특정 실시예에서, 컴퓨터-관독가능 스토리지 디바이스는, 프로세서에 의해 실행될 때, 프로세서로 하여금 보유 신호를 보유 스테이지에 제공하는 것을 개시하게 하는 명령들을 포함한다. 보유 스테이지는 외부 전압원에 의해 전력을 공급받을 수 있고, 그리고 보유 스테이지는 클럭 신호를 수신하도록 구성될 수 있다. 보유 스테이지는 출력을 인버터에 제공하도록 구성될 수 있다. 인버터는 내부 전압원에 의해 전력을 공급받을 수 있다.

[0008] 다른 특정 실시예에서, 회로는 제 1 비 휘발성 구역 및 제 1 휘발성 구역을 포함하는 제 1 보유 레지스터를 포함한다. 회로는 제 2 비 휘발성 구역 및 제 2 휘발성 구역을 포함하는 제 2 보유 레지스터를 더 포함한다. 제 1 보유 레지스터는 제 2 보유 레지스터에 커플링될 수 있다. 제 1 비 휘발성 구역 및 제 2 비 휘발성 구역은 제 1 n-타입 웰(n-웰)에 위치될 수 있다. 제 1 n-웰은 외부 전압원에 연결될 수 있다. 제 1 휘발성 구역 및 제 2 휘발성 구역은 제 2 n-웰에 위치될 수 있다. 제 2 n-웰은 내부 전압원에 연결될 수 있다.

[0009] 다른 특정 실시예에서, 방법은 보유 신호를 수신하는 것을 포함한다. 보유 신호에 응답하여, 방법은 보유 레지스터의 비 휘발성 스테이지 내 상태 정보를 유지하고 보유 레지스터의 휘발성 스테이지로의 전력을 감소시키는 것을 포함한다. 비 휘발성 스테이지는 외부 전압원에 의해 전력을 공급받을 수 있다. 휘발성 스테이지는 내부 전압원에 의해 전력을 공급받을 수 있다.

[0010] 개시된 실시예들 중 적어도 하나에 의해 제공된 하나의 특정 장점은, 내부 전력원에 의해 전력을 공급받는 클럭 게이팅 회로의 부분 및 외부 전력원에 의해 전력을 공급받는 클럭 게이팅 회로의 부분을 가지지 않는 회로들에 비교될 때, 클럭 게이팅 회로가 대기 모드에 있을 때 클럭 게이팅 회로와 연관된 누설 전류가 감소될 수 있다는 것이다. 따라서, 클럭 게이팅 회로를 포함하는 전자 디바이스의 이용 가능한 동작 시간은 증가될 수 있다.

[0011] 개시된 실시예들 중 적어도 하나에 의해 제공된 다른 특정 장점은, 내부 전력원에 의해 전력을 공급받는 보유 레지스터 트레이의 부분 및 외부 전력원에 의해 전력을 공급받는 보유 레지스터 트레이의 부분을 가지지 않는 회로들에 비교될 때, 보유 레지스터 트레이가 대기 모드에 있을 때 보유 레지스터 트레이와 연관된 누설 전류가 감소될 수 있다는 것이다. 따라서 보유 레지스터 트레이를 포함하는 전자 디바이스의 이용 가능한 동작 시간은 증가될 수 있다.

[0012] 개시된 실시예들 중 적어도 하나에 의해 제공된 다른 특정 장점은, 보유 레지스터 트레이가 제조 동안 적어도 두 개의 보유 레지스터들의 비 휘발성 구역을 함께 함침으로써 전자 디바이스의 제조 복잡성을 감소시킬 수 있다는 것이다.

[0013] 개시된 실시예들 중 적어도 하나에 의해 제공된 다른 특정 장점은, 보유 레지스터 트레이가 제조 동안 적어도 두 개의 보유 레지스터들의 휘발성 구역을 함께 함침으로써 전자 디바이스의 제조 복잡성을 감소시킬 수 있다는 것이다.

[0014] 본 개시의 다른 양상들, 장점들, 및 피쳐들은 다음 섹션들(도면들의 간단한 설명, 상세한 설명, 및 청구항들)을 포함하는 전체 출원의 검토 후 명백하게 될 것이다.

도면의 간단한 설명

[0015] 도 1은 클럭 게이팅 회로의 특정 실시예의 도면이다.

[0016] 도 2는 보유 레지스터 트레이의 특정 실시예의 도면이다.

[0017] 도 3은 1-비트 보유 레지스터의 특정 실시예의 도면이다.

[0018] 도 4는 도 3의 보유 레지스터의 기능들의 특정 실시예를 예시하는 진리표이다.

[0019] 도 5는 도 3의 보유 레지스터의 대기 모드의 특정 실시예를 예시하는 타이밍 도이다.

[0020] 도 6은 보유 레지스터 트레이의 특정 실시예의 레이아웃 도면이다.

[0021] 도 7은 클럭 게이팅 회로를 동작시키는 방법의 특정 실시예를 예시하는 흐름도이다.

[0022] 도 8은 보유 레지스터의 동작의 특정 실시예를 예시하는 흐름도이다.

[0023] 도 9는 클럭 게이팅 회로 및 보유 레지스터 트레이를 포함하는 통신 디바이스의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0016]

[0024] 도 1을 참조하여, 클럭 게이팅 회로(100)의 특정 예시적 실시예가 도시된다. 클럭 게이팅 회로(100)는 제 1 스테이지 및 제 2 스테이지를 포함한다. 제 1 스테이지는 보유 스테이지(102)를 포함할 수 있다. 제 1 스테이지는 내부 전압원(vddx)(130)보다 높은 전압을 가진 외부 전압원(Vdd_ext)(116)에 의해 전력을 공급받을 수 있다. 외부 전압원(116)은 대기 모드 동안 계속 켜진 채로 있을 수 있다. 제 2 스테이지는 인버터(104)를 포함할 수 있다. 제 2 스테이지는 내부 전압원(130)에 의해 전력을 공급받을 수 있다. 보유 스테이지(102)에서 외부 전압원(116)의 사용은 내부 전압원(130)을 사용하여 보유 스테이지(102)에 전력을 공급하는 것에 비교될 때 보유 스테이지(102)와 연관된 벌크 누설 전류(bulk leakage current)를 감소시킬 수 있다.

[0017]

[0025] 보유 스테이지(102)는 보유 신호(ret)(118), 인버트된 보유 신호(nret)(120), 및 외부 클럭 신호(clk)(106)를 입력들로서 수신할 수 있다. 보유 신호(118) 및 인버트된 보유 신호(120)는 클럭 게이팅 회로(100) 외부에 있고 도 2를 참조하여 설명된 보유 레지스터 트레이(200) 외부의 하나 또는 그 초과 회로들에 의해 제공될 수 있다. 예를 들어, 보유 신호(118) 및 인버트된 보유 신호(120)는 대기 모드에 진입하기 위한 프로세서에 의한 결정에 기초하여 프로세서로부터 수신될 수 있다. 외부 클럭 신호(106)는 클럭 게이팅 회로(100) 외부에 있고 보유 레지스터 트레이(200) 외부의 하나 또는 그 초과 회로들(예를 들어, 수정 발진기)에 의해 제공될 수 있다. 보유 스테이지(102)는 인버트된 내부 클럭 신호(nclk_net)(124)를 데이터 라인(134)을 통해 인버터(104)에 출력할 수 있다. 보유 스테이지(102)는 n-채널 금속-산화물 반도체(NMOS) 트랜지스터 스택에 커플링된 p-채널 금속-산화물-반도체(PMOS) 트랜지스터 스택을 포함할 수 있다. PMOS 트랜지스터 스택은 직렬로 커플링된 제 1 PMOS 트랜지스터(108) 및 제 2 PMOS 트랜지스터(110)를 포함할 수 있다. NMOS 트랜지스터 스택은 제 2 PMOS 트랜지스터(110)와 직렬로 커플링된 제 1 NMOS 트랜지스터(112) 및 제 1 NMOS 트랜지스터(112)와 직렬로 커플링된 제 2 NMOS 트랜지스터(114)를 포함할 수 있다. 보유 신호(118)가 높고(즉, 논리 하이(high) 값과 연관된 상태에 있음) 인버트된 보유 신호(120)가 낮을 때(즉, 논리 로우(low) 값과 연관된 상태에 있음), 보유 스테이지(102)는 대기 모드에 진입하도록 구성될 수 있고 여기서 데이터 라인(134)은 보유 스테이지(102)에 의해 외부 전압원(116) 및 접지로부터 전기적으로 분리된다. 보유 신호(118)가 로우이고 인버트된 보유 신호(120)가 하이일 때, 보유 스테이지(102)는 외부 클럭 신호(106)의 인버스를 인버트된 내부 클럭 신호(124)로서 출력할 수 있다. PMOS 스택 및 NMOS 스택은 자체-반전 바이어싱 효과들로 인해 보유 스테이지(102)와 연관된 누설 전류를 감소시킬 수 있다.

[0018]

[0026] 외부 전압원(116)은, 도 2를 참조하여 추가로 설명되는 바와 같이, 보유 레지스터 트레이(200)를 포함하는 구역 외부에 있는 전압원일 수 있다. 외부 전압원(116)은 보유 신호(118)를 통해 인에이블된 대기 모드 동안 계속 켜진 채로 있을 수 있다. 제 1 PMOS 트랜지스터(108)에 대한 벌크 연결 및 제 2 PMOS 트랜지스터(110)에 대한 벌크 연결은 외부 전압원(116)에 연결될 수 있다. 보유 스테이지(102)에서 외부 전압원(116)의 사용은, 외부 전압원(116)이 내부 전압원(130)보다 높은 전압을 가지며, 그리고 보유 신호(118)가 외부 전압원(116)에 의해 전력을 공급받기 때문에, 내부 전압원(130)을 사용하여 보유 스테이지(102)에 전력을 공급하는 것에 비교될 때, 제 1 PMOS 트랜지스터(108)와 연관된 벌크 누설 전류(예를 들어, 게이트 대 벌크 누설 전류)를 감소시킬 수 있다. 외부 전압원(116)은 제 1 PMOS 트랜지스터(108)의 게이트 단자와 바디 단자 사이의 감소된 전위차를 유발할 수 있어서, 감소된 벌크 누설 전류를 초래한다. 보유 스테이지(102)에서 외부 전압원(116)의 사용은 유사한 이유들 때문에 제 2 PMOS 트랜지스터(110)와 연관된 벌크 누설 전류를 감소시킬 수 있다.

[0019]

[0027] 인버터(104)는 제 3 NMOS 트랜지스터(128)와 직렬로 커플링된 제 3 PMOS 트랜지스터(126)를 포함할 수 있다. 인버터(104)는 인버트된 내부 클럭 신호(124)를 인버팅하고 내부 클럭 신호(clk_net)(122)를 출력하도록 구성될 수 있다.

[0020]

[0028] 인버터(104)는 내부 전압원(130)에 의해 전력을 공급받을 수 있다. 내부 전압원(130)은 외부 전압원(116)으로부터 유도될 수 있고 외부 전압원(116)보다 작은 전압 값을 가질 수 있다. 내부 전압원(130)은, 도 2를 참조하여 추가로 설명된 바와 같이, 보유 레지스터 트레이(200)를 포함하는 디바이스의 구역 내부에 있을 수 있다. 내부 전압원(130)은, 보유 신호(118)가 인에이블되는 대기 모드 동안 디스에이블될 수 있다. 예를 들어, 대기 모드 동안, 내부 전압원(130)은 외부 전압원(116)으로부터 내부 전압원(130)을 연결해제 함으로써 턴 오프될 수 있다. 인버터(104)에서 내부 전압원(130)의 사용은 제 3 PMOS 트랜지스터(126)와 연관된 서브-임

계 누설 전류를 감소시킴으로써 인버터(104)와 연관된 누설 전류를 감소시킬 수 있다.

- [0021] [0029] 제 4 PMOS 트랜지스터(132)는 외부 전압원(116)에 연결될 수 있다. 제 4 PMOS 트랜지스터(132)는 또한 데이터 라인(134)에 연결될 수 있다. 제 4 PMOS 트랜지스터(132)는 대기 모드 동안 데이터 라인(134)을 외부 전압원(116)에 커플링함으로써 인버트된 내부 클럭 신호(124)를 하이로 설정(즉, 논리 하이 값과 연관된 상태로)하도록 구성된 풀-업(pull-up) 디바이스일 수 있다. 결과적으로, 내부 클럭 신호(122)는 대기 모드 동안 로우로 설정된다.
- [0022] [0030] 따라서, 클럭 게이팅 회로(100)가 대기 모드에 있을 때 클럭 게이팅 회로(100)와 연관된 누설 전류는 감소될 수 있다. 따라서, 클럭 게이팅 회로(100)를 포함하는 전자 디바이스의 이용 가능한 동작 시간은 증가될 수 있다.
- [0023] [0031] 도 2를 참조하여, 보유 레지스터 트레이(200)의 특정 실시예가 도시된다. 보유 레지스터 트레이(200)는 대표 보유 레지스터(204) 같은 하나 또는 그 초과와 1-비트 보유 레지스터들을 포함할 수 있다. 비록 8개의 보유 레지스터들(204, 206, 208, 210, 212, 214, 216, 및 218)이 도 2에 도시되지만, 보유 레지스터 트레이(200)는 8개보다 많은 보유 레지스터들 또는 8개보다 적은 보유 레지스터들을 포함할 수 있다. 보유 레지스터 트레이(200)는 8 비트들의 데이터를 저장하도록 구성될 수 있다. 보유 레지스터들은 인버트된 보유 신호(nret)(120)에 기초하여 대기 모드에 진입하거나 빠져나오도록 구성될 수 있다. 도 6에 관하여 설명된 바와 같이, 보유 레지스터 트레이(200)의 보유 레지스터들(204-218)은, 보유 레지스터들(204-218)의 비 휘발성 구역들이 단일 n-타입 웰(n-웰)에서 제조될 수 있도록 구성될 수 있다.
- [0024] [0032] 보유 레지스터(204)는 도 1의 인버트된 보유 신호(120), 내부 클럭 신호(clk_net)(122) 및 인버트된 내부 클럭 신호(nclk_net)(124), 시프트 데이터 신호(sin)(220), 데이터 입력 신호(d0)(230), 시프트 신호(shift)(250), 인버트된 시프트 신호(nshift)(252), 및 리셋 신호(rst)(254)를 입력들로서 수신하도록 구성될 수 있다. 보유 레지스터(204)는 데이터 출력 신호(q0)(240) 또는 시프트 데이터 출력 신호(soutb0)(221)를 출력하도록 구성될 수 있다. 내부 클럭 신호(122) 및 인버트된 내부 클럭 신호(124)는 도 1의 클럭 게이팅 회로(100) 같은 클럭 게이팅 회로에 의해 제공될 수 있다. 클럭 게이팅 회로(100)는 보유 레지스터 트레이(200)와 통합될 수 있거나 보유 레지스터 트레이(200)로부터 분리될 수 있다. 인버트된 보유 신호(120), 시프트 데이터 신호(220), 데이터 입력 신호(230), 시프트 신호(250), 인버트된 시프트 신호(252), 및 리셋 신호(254)는 클럭 게이팅 회로(100) 및 보유 레지스터 트레이(200) 외부의 하나 또는 그 초과와 회로들에 의해 제공될 수 있다.
- [0025] [0033] 보유 레지스터 트레이(200)의 각각의 보유 레지스터(204-218)는 데이터 입력 신호(230-237) 및 시프트 데이터 신호(220-227)를 입력들로서 받아들이고 데이터 출력 신호(240-247) 및 시프트 데이터 출력 신호(221-228)를 출력하도록 구성될 수 있다. 보유 레지스터들(204-218)은 다른 보유 레지스터로부터의 시프트 데이터 출력 신호(220-227)를 시프트 데이터 신호(220-227)로서 수신하도록 구성될 수 있다. 따라서, 보유 레지스터들(204-218)은 함께 커플링될 수 있다. 커플링된 보유 레지스터들의 최종 보유 레지스터의 시프트 데이터 출력 신호(예를 들어, 보유 레지스터(218)의 시프트 데이터 출력 신호(228))는 보유 트레이 출력(nsout)(258)을 생성하기 위하여 사용될 수 있다. 예를 들어, 보유 트레이 출력(258)은 보유 레지스터(218)의 시프트 데이터 출력 신호 및 시프트 신호(250)를 NAND 게이트(256)에 입력함으로써 생성될 수 있다. 보유 레지스터들(204-218)의 입력 신호들과 출력 신호들 사이의 관계는 도 3을 참조하여 추가로 설명된다. 비록 도 2가 NAND 게이트(256)를 도시하지만, 다른 논리 게이트들 또는 스위칭 어레이먼트들은 보유 트레이 출력(258)을 생성하기 위하여 사용될 수 있다.
- [0026] [0034] 도 3을 참조하여, 1-비트 보유 레지스터(300)의 특정 예시적인 실시예가 도시된다. 보유 레지스터(300)는 도 2의 보유 레지스터 트레이(200)의 보유 레지스터들(204-218) 중 하나에 대응할 수 있다. 보유 레지스터(300)는 비 휘발성 구역(302)(예를 들어, 대기 모드 동안 전력이 온되는 보유 레지스터(300)의 부분) 및 휘발성 구역(304)(예를 들어, 대기 모드 동안 전력 오프되는 보유 레지스터(300)의 부분)을 포함할 수 있다. 비 휘발성 구역(302) 내에 위치한 컴포넌트들은 외부 전압원(vdd_ext)(116)에 의해 전력을 공급받을 수 있다. 휘발성 구역(304) 내에 위치한 컴포넌트들은 내부 전압원(vddx)(130)에 의해 전력을 공급받을 수 있다. 휘발성 구역(304) 내에 위치한 컴포넌트들은 대기 모드 동안 플로팅 상태에 진입하도록 구성될 수 있다.
- [0027] [0035] 보유 레지스터(300)는 인버트된 보유 신호(nret)(120), 내부 클럭 신호(clk_net)(122), 인버트된 내부 클럭 신호(nclk_net)(124), 시프트 데이터 신호(sin)(308), 데이터 입력 신호(d)(306), 시프트 신호(shift)(250), 인버트된 시프트 신호(nshift)(252), 및 리셋 신호(rst)(254)를 입력들로서 수신하도록 구성될 수 있다. 보유 레지스터(300)는 데이터 출력 신호(q)(312) 및 시프트 데이터 출력 신호(sout)(314)를 출력하도록

록 구성될 수 있다. 내부 클럭 신호(122) 및 인버트된 내부 클럭 신호(124)는 도 1의 클럭 게이팅 회로(100) 같은 클럭 게이팅 회로에 의해 제공될 수 있다.

[0028]

[0036] 보유 레지스터(300)는 멀티플렉서(316)에서 시프트 신호(250)를 사용하여 데이터 입력 신호(306) 또는 시프트 데이터 신호(308)를 선택하도록 구성될 수 있다. 멀티플렉서(316)는 인버트된 선택된 데이터 신호(예를 들어, 데이터 입력 신호(306)의 인버스 또는 시프트 데이터 신호(308)의 인버스)를 제 1 송신 게이트(318)에 출력하도록 구성될 수 있다. 데이터 입력 신호(306)는 도 2의 데이터 입력 신호들(230-237) 중 하나에 대응할 수 있다. 시프트 데이터 신호(308)는 도 2의 시프트 데이터 신호들(220-227) 중 하나에 대응할 수 있다. 멀티플렉서(316)는 내부 전압원(130)에 의해 전력을 공급받을 수 있다. 제 1 송신 게이트(318)는 인버트된 내부 클럭 신호(124)에 응답하여 인버트된 선택된 데이터 신호를 휘발성 보유 스테이지(356)에 제공하도록 구성될 수 있다.

[0029]

[0037] 휘발성 보유 스테이지(356)는 내부 클럭 신호(122), 인버트된 내부 클럭 신호(124), 및 리셋 신호(254)를 입력들로서 수신할 수 있다. 인버트된 선택된 데이터 신호 및 리셋 신호(254)는 제 2 송신 게이트(330)에 제공된 휘발성 보유 스테이지(356)의 출력을 생성하기 위해 사용될 수 있다. 예를 들어, 휘발성 보유 스테이지(356)의 출력은 선택된 데이터 신호의 인버스 및 리셋 신호(254)를 NOR 게이트(328)에 입력함으로써 생성될 수 있다. NOR 게이트(328)는, 인버트된 선택된 데이터 신호를 인버트하고 리셋 신호(254)가 로우일 때(즉, 논리 로우 값과 연관된 상태에 있음) 선택된 데이터 신호를 제 2 송신 게이트(330)에 제공하도록 구성될 수 있다. NOR 게이트(328)는 또한, 리셋 신호(254)가 하이일 때(즉, 논리 하이 값과 연관된 상태에 있음) 휘발성 보유 스테이지(356)의 출력이 로우이게 할 수 있다. NOR 게이트(328)의 출력은 제 1 PMOS 트랜지스터(320)의 입력 및 제 2 NMOS 트랜지스터(326)의 입력에 커플링될 수 있다. NOR 게이트(328)는 내부 전압원(130)에 의해 전력을 공급받을 수 있다. 비록 도 3이 NOR 게이트(328)를 도시하지만, 다른 논리 게이트들 또는 스위칭 어레이먼트들은 휘발성 보유 스테이지(356)의 출력을 생성하기 위하여 사용될 수 있다. 휘발성 보유 스테이지(356)는 내부 전압원(130)에 의해 전력을 공급받을 수 있다.

[0030]

[0038] 휘발성 보유 스테이지(356)는 제 1 n-채널 금속-산화물-반도체(NMOS) 트랜지스터 스택에 커플링된 제 1 p-채널 금속-산화물-반도체(PMOS) 트랜지스터 스택을 포함한다. 제 1 PMOS 트랜지스터 스택은 직렬로 커플링된 제 1 PMOS 트랜지스터(320) 및 제 2 PMOS 트랜지스터(322)를 포함할 수 있다. 제 1 NMOS 트랜지스터 스택은 제 2 PMOS 트랜지스터(322)와 직렬로 커플링된 제 1 NMOS 트랜지스터(324) 및 제 1 NMOS 트랜지스터(324)와 직렬로 커플링된 제 2 NMOS 트랜지스터(326)를 포함할 수 있다. 제 1 PMOS 트랜지스터 스택 및 제 1 NMOS 트랜지스터 스택은 인버트된 내부 클럭 신호(124) 및 내부 클럭 신호(122)에 응답하여 NOR 게이트(328)의 출력을 인버트하도록 구성될 수 있다. 휘발성 보유 스테이지(356)는, 리셋 신호(254)가 디스에이블되고 내부 클럭 신호(122)가 하이일 때, 선택된 데이터 신호를 보존하고 선택된 데이터 신호를 제 2 송신 게이트(330)에 전송하도록 구성될 수 있다. 제 1 PMOS 트랜지스터 스택 및 제 1 NMOS 트랜지스터 스택은 대기 모드 동안 자가-반전 바이어싱 효과들로 인해 휘발성 보유 스테이지(356)와 연관된 누설 전류를 감소시킬 수 있다.

[0031]

[0039] 제 2 송신 게이트(330)는 내부 클럭 신호(122)에 응답하여 휘발성 보유 스테이지(356)의 출력을 내부 데이터 노드(q_{internal})(310)에 전송하도록 구성될 수 있다. 내부 데이터 노드(310)는 출력 인버터들의 체인(chain) 및 비 휘발성 구역(302)에 커플링될 수 있다. 출력 인버터들의 체인은 직렬로 커플링된 제 1 출력 인버터(332) 및 제 2 출력 인버터(334)를 포함할 수 있다. 출력 인버터들의 체인은 내부 전압원(130)에 의해 전력을 공급받을 수 있다. 비록 두 개의 인버터들이 도 3의 출력 인버터들의 체인으로 도시되지만, 출력 인버터들의 체인은 두 개보다 많은 인버터들을 포함할 수 있다. 출력 인버터들의 체인은 지연된 내부 노드 신호를 데이터 출력 신호(312)로서 출력하도록 구성될 수 있다. 데이터 출력 신호(312)는 도 2의 데이터 출력 신호들(240-247) 중 하나에 대응할 수 있다.

[0032]

[0040] 출력 인버터들의 체인은 지연된 내부 데이터 노드 신호를 논리 게이트에 제공하도록 추가로 구성될 수 있다. 예를 들어, 출력 인버터들의 체인은 지연된 내부 데이터 노드 신호를 OR 게이트(336)에 제공하도록 구성될 수 있다. OR 게이트(336)는, 인버트된 시프트 신호(252)가 인에이블될 때 하이 신호를 시프트 데이터 출력 신호(314)로서 출력하도록 구성될 수 있다. OR 게이트(336)는, 인버트된 시프트 신호(252)가 인에이블되지 않을 때 지연된 내부 데이터 노드 신호를 시프트 데이터 출력 신호(314)로서 출력하도록 추가로 구성될 수 있다. 시프트 데이터 출력 신호(312)는 도 2의 시프트 데이터 출력 신호(221-228)에 대응할 수 있다. OR 게이트(336)는 내부 전압원(130)에 의해 전력을 공급받을 수 있다. 비록 도 3이 OR 게이트를 도시하지만, 다른 논리 게이트들 또는 스위칭 어레이먼트들은 시프트 데이터 출력 신호(314)를 생성하기 위하여 사용될 수 있다.

- [0033] [0041] 비 휘발성 구역(302)은, 보유 레지스터(300)가 대기 모드에 있을 때 데이터 신호(예를 들어, 내부 데이터 노드(310)의 상태)를 보존하도록 구성될 수 있다. 비 휘발성 구역(302)은 인버트된 보유 신호(120), 리셋 신호(254), 내부 클럭 신호(122), 및 인버트된 내부 클럭 신호(124)를 입력들로서 수신할 수 있다. 비 휘발성 구역(302)은 외부 전압원(116)에 의해 전력을 공급받을 수 있다. 비 휘발성 구역(302)은 입력을 제 2 PMOS 트랜지스터 스택에 공급하도록 구성된 비 휘발성 인버터(338)를 포함할 수 있다. 비 휘발성 인버터(338)는 입력을 제 2 NMOS 트랜지스터 스택에 공급하도록 추가로 구성될 수 있다.
- [0034] [0042] 제 2 PMOS 트랜지스터 스택은 제 2 NMOS 트랜지스터 스택에 커플링될 수 있다. 제 2 PMOS 트랜지스터 스택은 제 3 PMOS 트랜지스터(340), 제 4 PMOS 트랜지스터(342), 제 5 PMOS 트랜지스터(344), 및 제 6 PMOS 트랜지스터(346)를 포함할 수 있다. 제 3 PMOS 트랜지스터(340) 및 제 4 PMOS 트랜지스터(342)의 드레인들은 제 5 PMOS 트랜지스터(344)의 소스에 커플링될 수 있다. 제 5 PMOS 트랜지스터는 제 6 PMOS 트랜지스터(346)와 직렬로 커플링될 수 있다. 제 2 NMOS 트랜지스터 스택은 제 6 PMOS 트랜지스터(346)와 직렬로 커플링된 제 3 NMOS 트랜지스터(348)를 포함할 수 있고 제 3 NMOS 트랜지스터(348)와 직렬로 커플링된 제 4 NMOS 트랜지스터(352)를 포함할 수 있다. 제 3 NMOS 트랜지스터(348) 및 제 6 PMOS 트랜지스터(346)는 내부 데이터 노드(310)에 추가로 커플링될 수 있다. 비 휘발성 인버터(338), 제 2 PMOS 트랜지스터 스택, 및 제 2 NMOS 트랜지스터 스택은, 보유 레지스터(300)가 리셋 모드에 있지 않을 때 내부 데이터 노드(310)의 값을 보존하도록 구성될 수 있다. 제 2 PMOS 트랜지스터 스택 및 제 2 NMOS 트랜지스터 스택은 리셋 모드 동안 자가-반전 바이어싱 효과들로 인해 비 휘발성 구역(302)과 연관된 누설 전류를 감소시킬 수 있다.
- [0035] [0043] 제 2 PMOS 트랜지스터 스택 및 제 2 NMOS 트랜지스터 스택은 제 3 NMOS 트랜지스터 스택에 추가로 커플링될 수 있다. 제 3 NMOS 트랜지스터 스택은 제 6 NMOS 트랜지스터(354)와 직렬로 커플링된 제 5 NMOS 트랜지스터(350)를 포함할 수 있다. 제 5 NMOS 트랜지스터(350)는 제 3 NMOS 트랜지스터(348), 제 6 PMOS 트랜지스터(346), 및 내부 데이터 노드(310)에 추가로 커플링될 수 있다. 제 3 NMOS 트랜지스터 스택은, 보유 레지스터(300)가 리셋 모드에 있고 대기 모드에 있지 않을 때 내부 데이터 노드(310)의 값을 로우로 설정하도록 구성될 수 있다. 인버트된 보유 신호(120) 또는 리셋 신호(254)가 로우일 때, 내부 데이터 노드(310)의 상태는, 내부 클럭 신호(122)가 하이일 때 유지될 수 있고, 비 휘발성 구역(302)은 내부 클럭 신호(122)가 로우일 때 플로팅(하이-Z) 신호를 출력할 수 있다. 인버트된 보유 신호(120) 및 리셋 신호(254)가 하이일 때, 내부 데이터 노드(310)의 값은 로우로 풀 다운(pull down)될 수 있다.
- [0036] [0044] 동작 동안, 멀티플렉서(316)는 인버트된 선택된 데이터 신호를 제 1 송신 게이트(318)에 출력하도록 구성될 수 있다. 제 1 송신 게이트(318)는 인버트된 내부 클럭 신호(124)에 응답하여 인버트된 선택된 데이터 신호를 휘발성 보유 스테이지(356)에 제공하도록 구성될 수 있다. 리셋 신호(254)가 로우일 때, 휘발성 보유 스테이지(356)는 인버트된 선택된 데이터 신호를 유지하고 선택된 데이터 신호를 제 2 송신 게이트(330)에 제공하도록 구성될 수 있다. 리셋 신호(254)가 하이일 때, 휘발성 보유 스테이지(356)는 로우 값을 유지하고 로우 값을 제 2 송신 게이트(330)에 제공하도록 구성될 수 있다. 제 2 송신 게이트(330)는 내부 클럭 신호(122)에 응답하여 휘발성 보유 스테이지의 출력(예를 들어, 선택된 데이터 신호 또는 로우 값)을 내부 데이터 노드(310)에 제공하도록 구성될 수 있다. 내부 데이터 노드(310)는 출력 인버터들의 체인 및 비 휘발성 구역(302)에 연결될 수 있다. 비 휘발성 구역(302)은, 보유 레지스터(300)가 대기 모드에 있고 휘발성 구역(304)이 업 파워(uppowered)될 때 내부 데이터 노드(310)의 상태를 유지하도록 구성될 수 있다. 비 휘발성 구역(302)은, 리셋 신호(254)가 하이일 때 내부 데이터 노드(310)의 값을 로우로 설정하도록 추가로 구성될 수 있다. 출력 인버터들의 체인은 지연된 내부 노드 신호를 데이터 출력 신호(312)로서 출력하도록 구성될 수 있다. 출력 인버터들의 체인은 시프트 데이터 출력 신호(314)를 선택적으로 출력하기 위하여 지연된 내부 데이터 노드 신호를 논리 게이트에 제공하도록 추가로 구성될 수 있다.
- [0037] [0045] 따라서, 대기 모드 동안 보유 레지스터(300)의 휘발성 보유 스테이지(356)와 연관된 누설 전류 및 리셋 모드 동안 보유 레지스터(300)의 비 휘발성 구역(302)과 연관된 누설 전류는 자가-반전 바이어싱 효과들로 인해 감소될 수 있다. 따라서, 보유 레지스터(300)를 포함하는 전자 디바이스의 이용 가능한 동작 시간은, 전자 디바이스가 저장된 전력에 의해 실행될 때 증가될 수 있다.
- [0038] [0046] 도 4는 특정 실시예에 따라 도 3의 보유 레지스터(300) 같은 보유 레지스터의 기능을 예시하는 진리표(400)이다. 도 4는 데이터 입력들(ret, d, rst, sin 및 shift)의 값들에 기초하여 출력들(q 및 sout)의 값을 예시한다. 기능 모드에서, q의 값은 d의 값과 동일하고 sout의 값은 1(즉, 논리 하이 값과 연관된 상태에 있음)과 동일하다. 리셋 모드에서, rst의 값은 1과 동일하고, q의 값은 0(즉, 논리 로우 값과 연관된 상태에 있음)과 동일하고 sout의 값은 1과 동일하다. 스캔 모드에서, 시프트의 값은 1과 동일하고, q 및 sout의 값들

은 sin의 값과 동일하다. 대기 모드에서, ret의 값은 1과 동일하고, 내부 전압원(vddx)은 오프이고, q의 이전 값은 도 3의 비 휘발성 구역(302) 같은 비 휘발성 구역에 저장되고, 그리고 q 및 sout의 값들은 사용되지 않는다. 도 3의 휘발성 구역(304) 내에 위치한 컴포넌트들은, 대기 모드에서 휘발성 구역(304)으로의 전력이 감소될 때, 도 4의 X에 의해 표현된 플로팅 상태(즉, 실패된 도메인에 의해 유도된 값)에 진입하도록 구성될 수 있다. 도 4는 또한, 내부 전압원(vddx)이 온이고 ret의 값이 하이인 다수의 코너 케이스(corner case)들을 예시한다.

[0039] [0047] 도 5는 도 3의 보유 레지스터(300) 같은 보유 레지스터의 샘플 동작을 예시한다. 도 5는 보유 레지스터(300) 같은 보유 레지스터의 파워 다운 시퀀스(power down sequence), 대기 모드, 및 파워 업 시퀀스(power up sequence) 동안 내부 클럭 신호(CLK_NET), 내부 전압(VDDX), 리셋 신호(RST), 보유 신호(RET), 데이터 출력 값(Output Data), 및 내부 데이터 값(Internal Data)의 그래프(500)를 예시한다. 내부 클럭 신호는 도 3의 내부 클럭 신호(122)에 대응할 수 있다. 내부 전압은 도 3의 내부 전압원(130)의 전압에 대응할 수 있다. 리셋 신호는 도 3의 리셋 신호(254)에 대응할 수 있다. 보유 신호는 도 3의 인버트된 보유 신호(120)의 인버스에 대응할 수 있다. 데이터 출력 값은 도 3의 시프트 데이터 출력 신호(314) 또는 데이터 출력 신호(312)에 대응할 수 있다. 내부 데이터 값은 도 3의 내부 데이터 노드(310)의 값에 대응할 수 있다.

[0040] [0048] 그래프(500)에 의해 예시된 바와 같이, 보유 신호는, 보유 레지스터가 대기 모드에 진입하기 전에 하이로 설정될 수 있다. 추후, 내부 전압은 감소될 수 있다. 내부 클럭 신호의 값들, 리셋 신호, 및 데이터 출력 값은 대기 모드 동안 사용되지 않는다. 그러나, 내부 데이터 값은 대기 모드 동안 보존될 수 있다.

[0041] [0049] 보유 레지스터가 대기 모드를 벗어나려고 준비할 때, 내부 전압은 증가될 수 있다. 보유 신호는, 내부 전압이 안정화된 후 로우로 설정될 수 있다. 데이터 출력 값은 내부 데이터 값을 반영할 수 있다. 보유 레지스터가 리셋 신호를 수신할 때, 보유 레지스터는 내부 데이터 값 및 데이터 출력 값을 로우로 설정할 수 있다.

[0042] [0050] 도 6을 참조하여, 보유 레지스터 트레이(600)의 특정 실시예의 레이아웃 도면이 도시된다. 보유 레지스터 트레이(600)는 도 2의 보유 레지스터 트레이(200)에 대응할 수 있다. 보유 레지스터 트레이(600)는 제 1 반도체 디바이스 구역(602)에 포함될 수 있다. 보유 레지스터 트레이(600)는 하나 또는 그 초과 1-비트 보유 레지스터들을 포함할 수 있다. 8개의 보유 레지스터들이 도 6의 제 1 반도체 디바이스 구역(602)에 도시되고, 이는 파선들에 의해 분리된 영역들에 대응한다. 다른 실시예들에서, 보유 레지스터 트레이(600)는 8개보다 많은 보유 레지스터들 또는 8개보다 적은 보유 레지스터들을 포함할 수 있다. 보유 레지스터 트레이(600)의 각각의 보유 레지스터는 도 3의 보유 레지스터(300)에 대응할 수 있다.

[0043] [0051] 제 1 반도체 디바이스 구역(602)에 보유 레지스터 트레이(600)의 제조 동안, 각각의 보유 레지스터의 비 휘발성 구역들은 제 1 n-타입 웰(n-웰)(604)에서 함께 그룹화될 수 있다. 제 1 n-웰(604)은 외부 전압원(116)에 의해 전력을 공급받을 수 있다. 각각의 보유 레지스터의 비 휘발성 구역은 도 3의 비 휘발성 구역(302)에 대응할 수 있다. 게다가, 제 1 n-웰(604)은 도 1의 클럭 게이팅 회로(100)를 포함할 수 있다. 비록 외부 전압원(116)에 의해 전력을 공급받은 하나의 n-웰(예를 들어, 제 1 n-웰(604))이 도 6에 도시되지만, 다른 실시예들에서, 보유 레지스터 트레이(600)는 외부 전압원(116)에 의해 전력을 공급받는 하나보다 많은 n-웰을 포함할 수 있다. 제조 복잡성은 제조 동안 하나보다 많은 보유 레지스터의 비 휘발성 구역들을 단일 n-웰로 합침으로써 감소될 수 있다. 또한, 내부 클럭 신호(예를 들어, 도 1의 내부 클럭 신호(122)) 및 인버트된 내부 클럭 신호(예를 들어, 도 1의 인버트된 내부 클럭 신호(124))의 라우팅은 다수의 n-웰들에 비교될 때 단일 n-웰에서 보다 컴팩트(즉, 더 적은 전력을 사용하고 보다 적은 지연을 가짐)할 수 있다.

[0044] [0052] 각각의 보유 레지스터의 휘발성 구역들은 제 1 n-웰(예를 들어, 제 2 n-웰(606), 제 3 n-웰(608), 제 4 n-웰(610), 및 제 5 n-웰(612))로부터 분리된 n-웰들에 배치될 수 있다. 제 1 n-웰(604)로부터 분리된 n-웰들은 내부 전압원(130)에 의해 전력을 공급받을 수 있다. 각각의 보유 레지스터의 휘발성 구역은 도 3의 휘발성 구역(304)에 대응할 수 있다. 제 2 n-웰(606), 제 3 n-웰(608), 제 4 n-웰(610), 및 제 5 n-웰(612)이 도 6의 두 개의 보유 레지스터들에 의해 각각 공유되지만, 다른 실시예들에서, n-웰들(606-612)은 두 개보다 많은 보유 레지스터들 또는 두 개보다 적은 보유 레지스터들의 휘발성 구역들을 각각 포함할 수 있다. 제조 복잡성은 제조 동안 하나보다 많은 보유 레지스터의 휘발성 구역들을 단일 n-웰로 합침으로써 감소될 수 있다.

[0045] [0053] 제조 설계 제한들에 따라, 제 1 n-웰(604)은 다른 n-웰(예를 들어, 제 2 n-웰(606), 제 3 n-웰(608), 제 4 n-웰(610), 및 제 5 n-웰(612))로부터 떨어진 특정 거리에 배치될 수 있다. 게다가, 제 1 반도체 디바이스 구역(602)에 인접하게 제 2 반도체 디바이스 구역(614)을 배치하는 것이 바람직할 수 있다. 제 2 반도체 디바이스 구역(614)은 제 1 반도체 디바이스 구역(602)을 포함하는 반도체 다이의 부분일 수 있거나, 제 2 반도체

디바이스 구역(614)은 제 1 반도체 디바이스 구역(602)을 포함하는 반도체 다이와 상이한 반도체 다이의 부분일 수 있다. 제 2 반도체 디바이스(614)는 하나 또는 그 초과 n -웰들(예를 들어, 제 6 n -웰(616) 및 제 7 n -웰(618))을 포함할 수 있다. 개시된 실시예들 중 적어도 하나에 의해 제공된 하나의 특정 장점은, n -웰을 포함하는 제 2 반도체 디바이스 구역이 비 휘발성 구역의 설계 제한들을 위반함이 없이 비 휘발성 구역을 포함하는 제 1 반도체 디바이스 구역에 인접하게 배치될 수 있도록 설계 복잡성이 각각의 비 휘발성 구역(예를 들어, 제 1 n -웰(604))을 반도체 디바이스의 에지들로부터 떨어진 거리에 배치함으로써 감소될 수 있다는 것이다.

[0046] [0054] 따라서, 보유 레지스터 트레이(600)와 연관된 제조 복잡성 및 설계 복잡성은 감소될 수 있다. 따라서, 보유 레지스터 트레이(600)를 포함하는 반도체다이들은 보다 쉽게 제조될 수 있다.

[0047] [0055] 도 7은 클럭 게이팅 회로를 동작시키는 방법(700)의 특정 실시예를 예시하는 흐름도이다. 일 실시예에서, 클럭 게이팅 회로는 도 1의 클럭 게이팅 회로(100)에 대응한다. 방법(700)은, 702에서, 클럭 입력을 가진 트랜지스터를 포함하는 보유 스테이지에서 클럭 신호를 수신하는 것을 포함한다. 보유 스테이지는 외부 전압원에 의해 전력을 공급받을 수 있다. 클럭 게이팅 회로(100)의 보유 스테이지(102)는 제 2 PMOS 트랜지스터(110) 또는 제 1 NMOS 트랜지스터(112) 같은, 클럭 입력을 가진 트랜지스터에서 외부 클럭 신호(106)를 수신할 수 있다. 보유 스테이지(102)는 외부 전압원(116)에 의해 전력을 공급받을 수 있다. 방법(700)은, 704에서, 보유 스테이지로부터 인버터로 출력을 제공하는 것을 더 포함하고, 여기서 인버터는 내부 전압원에 의해 전력을 공급받는다. 예를 들어, 보유 스테이지(102)는 데이터 라인(134)을 통해 출력을 인버터(104)에 제공할 수 있다. 인버터(104)는 내부 전압원(130)에 의해 전력을 공급받을 수 있다.

[0048] [0056] 방법(700)의 인버터의 출력은 제 1 보유 레지스터 또는 제 1 보유 레지스터 및 제 2 보유 레지스터에 제공될 수 있고, 여기서 제 1 보유 레지스터 및 제 2 보유 레지스터는 보유 레지스터 트레이를 형성하고, 그리고 제 1 보유 레지스터는 제 2 보유 레지스터에 커플링된다. 예를 들어, 도 1의 인버터(104)의 출력은 도 2의 보유 레지스터(204) 및 보유 레지스터(206)에 제공될 수 있고, 여기서 보유 레지스터(204) 및 보유 레지스터(206)는 보유 레지스터 트레이(200)를 형성하고, 그리고 보유 레지스터(204)는 데이터 출력 신호(south0)(221)를 전송하기 위하여 사용된 데이터 라인을 따라 보유 레지스터(206)에 커플링된다. 보유 스테이지는 보유 신호 및 인버트된 보유 신호를 수신할 수 있다. 예를 들어, 보유 스테이지(102)는 보유 신호(118) 및 인버트된 보유 신호(120)를 수신할 수 있다. 제 1 보유 레지스터는 인버트된 보유 신호에 기초하여 대기 모드에 진입하거나 대기 모드를 빠져나오도록 트리거될 수 있다.

[0049] [0057] 따라서, 방법(700)은, 비록 보유 스테이지 및 인버트된 보유 스테이지가 상이한 전압원들에 의해 전력을 공급받지만 클럭 게이팅 회로가 클럭 신호 및 인버트된 클럭 신호를 발행하게 한다. 따라서, 클럭 게이팅 회로가 대기 모드에 있을 때 클럭 게이팅 회로와 연관된 누설 전류는 감소될 수 있다. 그러므로, 클럭 게이팅 회로를 포함하는 전자 디바이스의 이용 가능한 동작 시간은, 전자 디바이스가 저장된 전력에 의해 실행될 때 증가될 수 있다.

[0050] [0058] 도 8은 보유 레지스터를 동작시키는 방법(800)의 특정 실시예를 예시하는 흐름도이다. 일 실시예에서, 보유 레지스터는 도 3의 보유 레지스터(300)에 대응한다. 방법(800)은, 802에서, 보유 신호를 수신하는 것에 응답하여, 보유 레지스터의 비휘발성 스테이지에서 상태 정보를 유지하는 것을 포함하고, 여기서 비휘발성 스테이지는 외부 전압원에 의해 전력을 공급받는다. 예를 들어, 보유 레지스터(300)는 인버트된 보유 신호(120)를 수신할 수 있다. 인버트된 보유 신호(120)는 클럭 게이팅 회로(100) 및 보유 레지스터 트레이(200) 외부의 하나 또는 그 초과 회로들(예를 들어, 대기 모드에 진입하기 위한 결정에 기초하여 프로세서로부터)에 의해 제공될 수 있다. 인버트된 보유 신호(120)에 응답하여, 보유 레지스터(300)의 비 휘발성 구역(302)은 상태 정보를 유지할 수 있다. 상태 정보는 적어도 내부 데이터 상태(예를 들어, 내부 데이터 노드(310)에서의 값)를 포함할 수 있다. 비 휘발성 구역(302)은 외부 전압원(116)에 의해 전력을 공급받을 수 있다.

[0051] [0059] 방법(800)은, 804에서, 보유 레지스터의 휘발성 스테이지로의 전력을 감소시키는 것을 더 포함하고, 여기서 휘발성 스테이지는 내부 전압원에 의해 전력을 공급받는다. 예를 들어, 보유 레지스터(300)의 휘발성 구역(304)로의 전력은 감소될 수 있다. 휘발성 구역(304)은 내부 전압원(130)에 의해 전력을 공급받을 수 있다.

[0052] [0060] 방법(800)은, 보유 레지스터의 휘발성 구역으로의 전력이 감소될 때 보유 레지스터가 데이터를 유지하게 할 수 있다.

[0053] [0061] 도 7 및 도 8의 방법들은 필드-프로그램 가능 게이트 어레이(FPGA) 디바이스, 주문형 집적 회로(ASIC), 프로세싱 유닛(예를 들어, 중앙 프로세싱 유닛(CPU)), 디지털 신호 프로세서(DSP), 제어기, 다른 하드웨어 디바

이스, 펌웨어 디바이스, 또는 이들의 임의의 결합 같은 다양한 디바이스들에 의해 구현될 수 있다. 예로서, 도 7 및 도 8의 방법들은 도 9를 참조하여 추가로 설명되는 바와 같이, 명령들을 실행하는 하나 또는 그 초과 프로세서들에 의해 수행될 수 있다. 예시하기 위하여, 도 7의 방법은 보유 신호를 클럭 게이팅 회로의 보유 스테이지에 발행하도록 구성된 프로세서에 의해 개시될 수 있다. 보유 스테이지는 외부 전압원에 의해 전력을 공급받을 수 있고 클럭 신호를 수신하고 출력을 인버터에 제공하도록 구성될 수 있다. 인버터는 내부 전압원에 의해 전력을 공급받을 수 있다.

[0054]

[0062] 도 9를 참조하여, 보유 레지스터 트레이 및 클럭 게이팅 회로를 포함하는 통신 디바이스의 특정 예시적 실시예의 블록도가 묘사되고 일반적으로 900으로 표기된다. 통신 디바이스(900), 또는 이들의 컴포넌트들은 각각이 도 7 및 도 8의 방법들 중 하나 또는 그 초과를 실행하도록 구성될 수 있는, 이동국, 액세스 포인트, 셋톱박스, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 개인용 정보 단말기(PDA), 고정된 로케이션 데이터 유닛, 모바일 로케이션 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 테블릿, 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 비디오 플레이어, 디지털 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 또는 휴대용 디지털 비디오 플레이어 같은 디바이스를 포함하거나, 구현하거나, 상기 디바이스 내에 포함될 수 있다. 일 실시예에서, 통신 디바이스(900)는 도 1의 적어도 하나의 클럭 게이팅 회로(100) 및 도 2의 적어도 하나의 보유 레지스터 트레이(200)를 포함한다.

[0055]

[0063] 통신 디바이스(900)는 메모리(932)에 커플링된, 디지털 신호 프로세서(DSP) 같은 프로세서(910)를 포함한다. 특정 실시예에서, 프로세서(910)는 보유 레지스터 트레이(952)(예를 들어, 도 2의 보유 레지스터 트레이(200))에 연결된 클럭 게이팅 회로(950)(예를 들어, 도 1의 클럭 게이팅 회로(100))를 포함한다. 예로서, 메모리(932)는 랜덤 액세스 메모리(RAM), 자기저항 랜덤 액세스 메모리(MRAM), 스핀-토크 전달 MRAM(STT-MRAM), 플래시 메모리, 판독 전용 메모리(ROM), 프로그램 가능 판독 전용 메모리(PROM), 소거 가능 프로그램 가능 판독 전용 메모리(EPROM), 레지스터들, 하드 디스크(disk), 제거 가능 디스크(disk), 또는 컴팩트 디스크(compact disc) 판독 전용 메모리(CD-ROM) 같은 메모리 디바이스일 수 있다. 메모리 디바이스는, 프로세서(예를 들어, 프로세서(910)), 디스플레이 제어기(926), 또는 무선 제어기(940)에 의해 실행될 때, 프로세서로 하여금 보유 스테이지(예를 들어, 도 1의 보유 스테이지(102))에 제공된 보유 신호를 발행하게 할 수 있는 명령들을 포함할 수 있다. 보유 스테이지는 외부 전압원(예를 들어, 도 1의 외부 전압원(116))에 의해 전력을 공급받을 수 있고, 클럭 신호(예를 들어, 도 1의 외부 클럭 신호(106))를 수신하도록 구성될 수 있고, 그리고 출력을 인버터(예를 들어, 도 1의 인버터(104))에 제공하도록 구성될 수 있다. 인버터는 내부 전압원(예를 들어, 도 1의 내부 전압원(130))에 의해 전력을 공급받을 수 있다.

[0056]

[0064] 통신 디바이스(900)는 프로세서(910) 및 디스플레이(928)에 커플링된 디스플레이 제어기(926)를 포함할 수 있다. 특정 실시예에서, 디스플레이 제어기(926)는 보유 레지스터 트레이(948)(예를 들어, 도 2의 보유 레지스터 트레이(200))에 연결된 클럭 게이팅 회로(946)(예를 들어, 도 1의 클럭 게이팅 회로(100))를 포함한다. 코더/디코더(CODEC: 코덱)(934)는 또한 프로세서(910)에 커플링될 수 있다. 스피커(936) 및 마이크로폰(938)는 코덱(934)에 커플링될 수 있다. 무선 제어기(940)(예를 들어, 수신기, 송신기, 또는 트랜시버)는 프로세서(910) 및 안테나(942)에 커플링될 수 있다. 특정 실시예에서, 무선 제어기(940)는 보유 레지스터 트레이(956)(예를 들어, 도 2의 보유 레지스터 트레이(200))에 연결된 클럭 게이팅 회로(954)(예를 들어, 도 1의 클럭 게이팅 회로(100))를 포함한다.

[0057]

[0065] 설명된 실시예들과 함께, 장치는 데이터를 스위칭하기 위한 수단을 포함한다. 데이터를 스위칭하기 위한 수단은 클럭 입력을 가진 게이트를 포함할 수 있다. 데이터를 스위칭하기 위한 수단은 외부 전압원에 의해 전력을 공급받을 수 있다. 일 실시예에서, 프로세서(910), 디스플레이 제어기(926), 또는 무선 제어기(940)는 도 1의 클럭 게이팅 회로(100)에 대응하는 클럭 게이팅 회로를 포함하고, 데이터를 스위칭하기 위한 수단은 클럭 게이팅 회로(100)의 보유 스테이지(102)에 대응한다. 장치는 데이터를 스위칭하기 위한 수단의 출력을 인버팅하기 위한 수단을 더 포함할 수 있다. 인버팅하기 위한 수단은 내부 전압원에 의해 전력을 공급받을 수 있다. 예를 들어, 인버팅하기 위한 수단은 도 1의 클럭 게이팅 회로(100)의 인버터(104)에 대응할 수 있다.

[0058]

[0066] 설명된 실시예들과 함께, 장치는 제 1 비트를 유지하기 위한 수단을 포함한다. 일 실시예에서, 프로세서(910), 디스플레이 제어기(926), 또는 무선 제어기(940)는 도 2의 보유 레지스터 트레이(200)에 대응하는 보유 레지스터를 포함하고, 제 1 비트를 유지하기 위한 수단은 보유 레지스터 트레이(200)의 보유 레지스터(204)에 대응한다. 장치는 제 2 비트를 유지하기 위한 수단을 더 포함할 수 있다. 예를 들어, 제 2 비트를 유지하기 위한 수단은 보유 레지스터 트레이(200)의 보유 레지스터(206)에 대응할 수 있다. 제 1 비트를 유지하기 위

한 수단 및 제 2 비트를 유지하기 위한 수단은 데이터를 유지하기 위한 수단을 형성할 수 있다. 예를 들어, 데이터를 유지하기 위한 수단은 보유 레지스터 트레이(200)에 대응할 수 있다.

[0059]

[0067] 설명된 실시예들과 함께, 장치는 클럭 신호를, 제 1 비트를 유지하기 위한 수단 및 제 2 비트를 유지하기 위한 수단에 공급하기 위한 수단을 포함한다. 일 실시예에서, 프로세서(910), 디스플레이 제어기(926), 또는 무선 제어기(940)는 도 1의 클럭 게이팅 회로(100)에 대응하는 클럭 게이팅 회로를 포함하고 클럭 신호를 공급하기 위한 수단은 도 1의 클럭 게이팅 회로(100)에 대응한다. 클럭 신호를 공급하기 위한 수단은 데이터를 유지하기 위한 수단 외부에 있을 수 있다. 예를 들어, 클럭 게이팅 회로(100)는 도 2의 보유 레지스터 트레이(200) 외부에 있을 수 있다. 클럭 신호를 공급하기 위한 수단은 외부 전압원에 의해 전력을 공급받는 제 1 스테이지 및 내부 전압원에 의해 전력을 공급받는 제 2 스테이지를 포함한다. 예를 들어, 클럭 게이팅 회로(100)는 외부 전압원(116)에 의해 전력을 공급받는 보유 스테이지(102) 및 내부 전압원(130)에 의해 전력을 공급받는 인버터(104)를 포함한다.

[0060]

[0068] 특정 실시예에서, 프로세서(910), 디스플레이 제어기(926), 메모리(932), 코텍(934), 및 무선 제어기(940)는 패키지형 시스템 또는 시스템-온-칩(system-on-chip) 디바이스(922)에 포함된다. 특정 실시예에서, 입력 디바이스(930) 및 전원(944)은 시스템-온-칩 디바이스(922)에 커플링된다. 게다가, 특정 실시예에서, 도 9에 예시된 바와 같이, 디스플레이(928), 입력 디바이스(930), 스피커(936), 마이크로폰(938), 안테나(942), 및 전원(944)은 시스템-온-칩 디바이스(922) 외부에 있다. 그러나, 디스플레이(928), 입력 디바이스(930), 스피커(936), 마이크로폰(938), 안테나(942), 및 전원(944)의 각각은 인터페이스 또는 제어기 같은 시스템-온-칩 디바이스(922)의 컴포넌트에 커플링될 수 있다.

[0061]

[0069] 당업자들은 추가로, 본원에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 논리 블록들, 구성들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 프로세서에 의해 실행되는 컴퓨터 소프트웨어, 또는 둘다의 결합들로서 구현될 수 있다는 것을 인식할 것이다. 다양한 예시적 컴포넌트들, 블록들, 구성들, 모듈들, 회로들, 및 단계들은 그들의 기능성 측면에서 일반적으로 상기 설명되었다. 그런 기능성이 하드웨어로 구현되든 프로세서로 구현되든, 실행 가능한 명령들은 전체 시스템에 부과된 특정 애플리케이션 및 설계 제약들에 따른다. 당업자들은 각각의 특정 애플리케이션에 대하여 가변하는 방식으로 설명된 기능성을 구현할 수 있지만, 그런 구현 판정들은 본 개시의 범위에서 벗어남을 유발하는 것으로 해석되지 않아야 한다.

[0062]

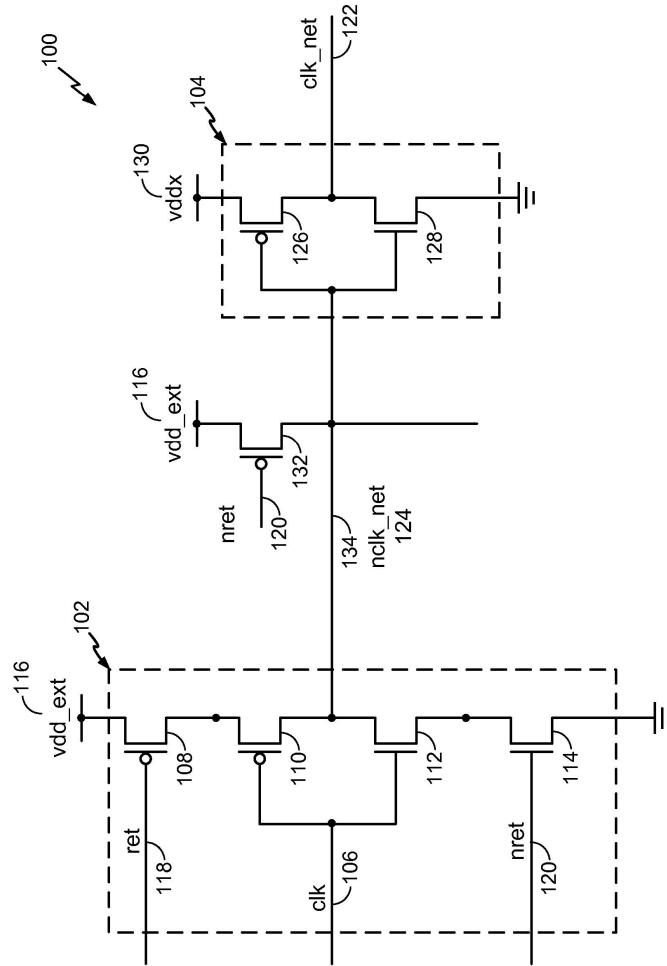
[0070] 본원에 개시된 실시예들과 관련하여 설명된 방법 또는 알고리즘의 단계들은 하드웨어, 프로세서에 의해 실행되는 소프트웨어 모듈, 또는 두 개의 결합들로 직접 구현될 수 있다. 소프트웨어 모듈은 랜덤 액세스 메모리(RAM), 플래시 메모리, 판독-전용 메모리(ROM), 프로그램 가능 판독-전용 메모리(PROM), 소거 가능 프로그램 가능 판독-전용 메모리(EPROM), 전기적 소거 가능 프로그램 가능 판독-전용 메모리(EEPROM), 레지스터들, 하드 디스크(disk), 제거 가능 디스크(disk), 콤팩트 디스크 판독-전용 메모리(CD-ROM), 또는 기술 분야에서 알려진 비-일시적 스토리지 매체의 임의의 다른 형태에 상주할 수 있다. 예시적인 스토리지 매체는, 프로세서가 스토리지 매체로부터 정보를 판독할 수 있고 스토리지 매체에 정보를 기록할 수 있도록 프로세서에 커플링된다. 대안으로, 스토리지 매체는 프로세서에 일체될 수 있다. 프로세서 및 스토리지 매체는 주문형 집적 회로(ASIC)에 상주할 수 있다. ASIC는 컴퓨팅 디바이스 또는 사용자 단말에 상주할 수 있다. 대안으로, 프로세서 및 스토리지 매체는 컴퓨팅 디바이스 또는 사용자 단말에 별개의 컴포넌트들로서 상주할 수 있다.

[0063]

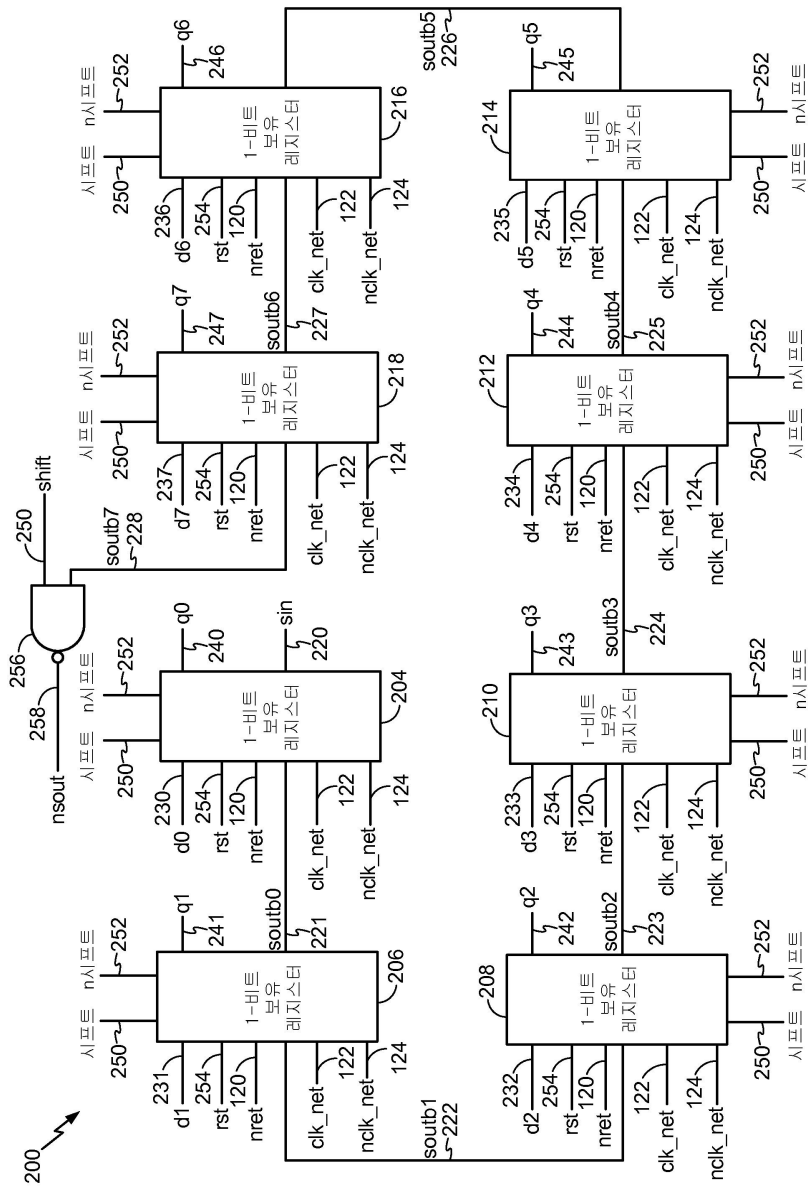
[0071] 개시된 실시예들의 이전 설명은 당업자가 개시된 실시예들을 만들거나 사용하게 하도록 제공된다. 이들 실시예들에 대한 다양한 변형들은 당업자들에게 쉽게 명백할 것이고, 본원에 정의된 원리들은 본 개시의 범위에서 벗어남이 없이 다른 실시예들에 적용될 수 있다. 따라서, 본 개시는 본원에 도시된 실시예들로 제한되도록 의도되는 것이 아니라 다음 청구항들에 의해 정의된 바와 같은 원리들 및 신규 피처들과 일치하는 가능한 한 최광의 범위에 포함될 것이다.

도면

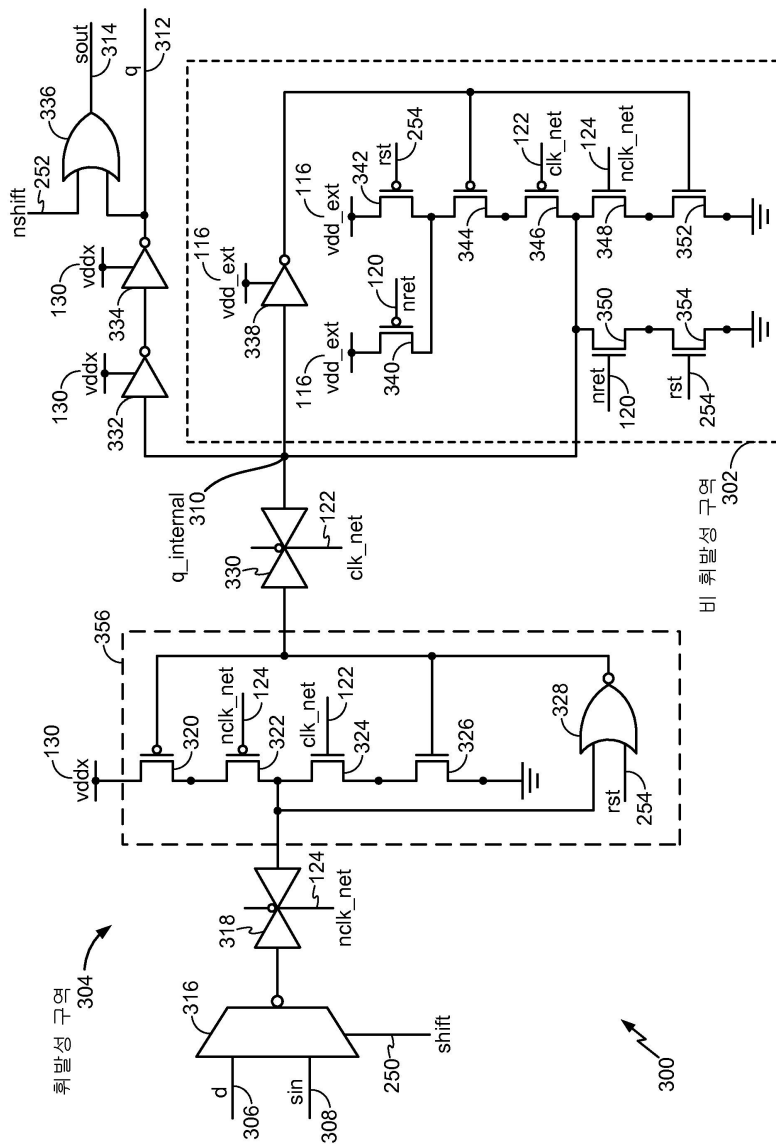
도면1



도면2



도면3

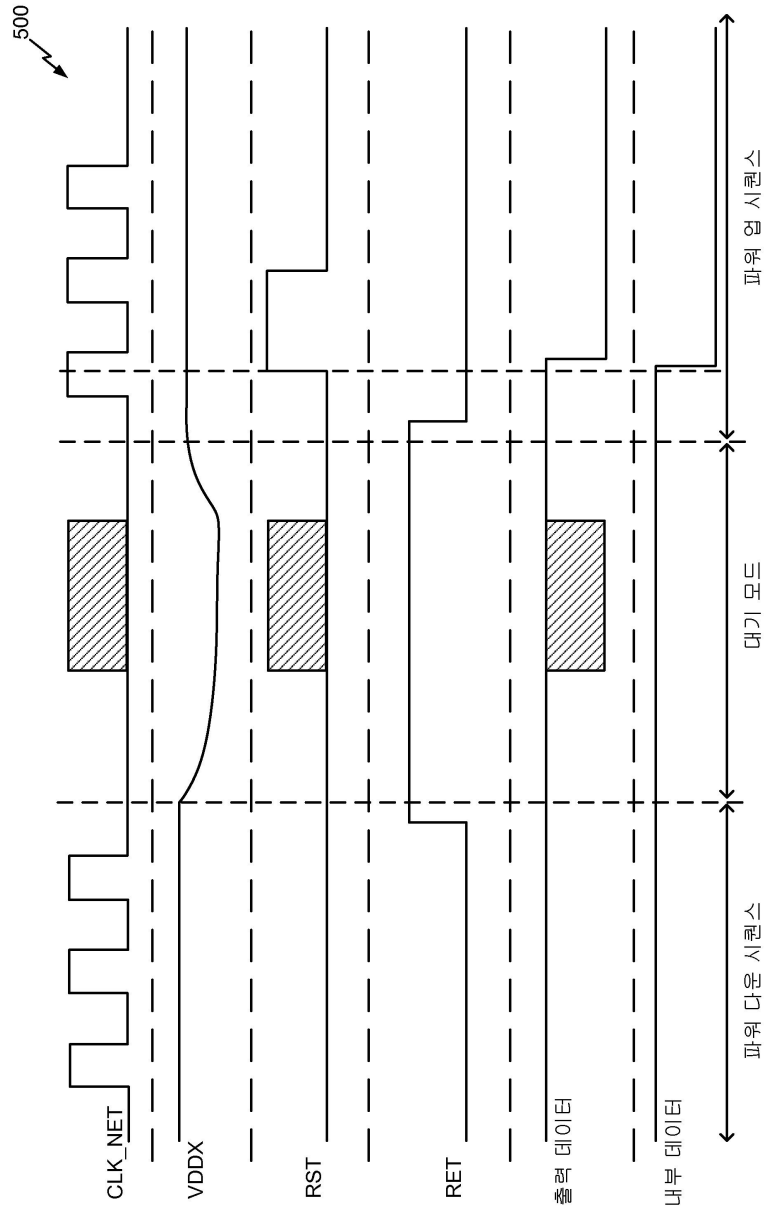


도면4
400

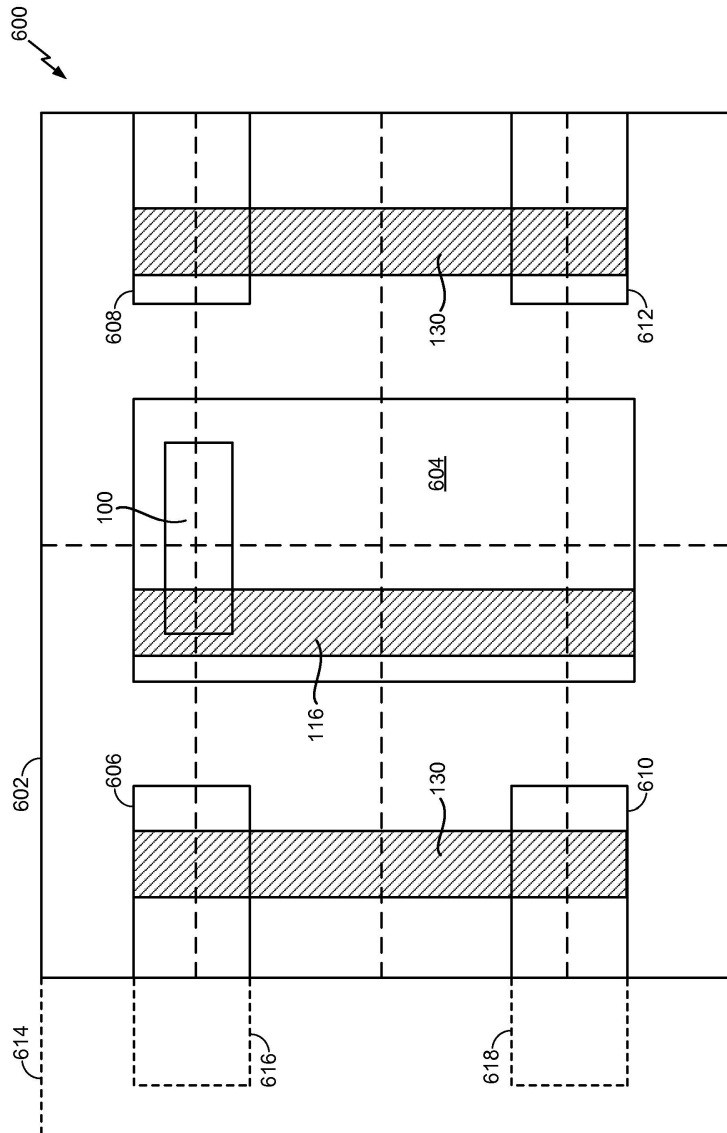
코멘트들	데이터 입력들					전력 입력들		출력들		내부 노드들		
	ret	d	rst	sin	시프트	vddx	vdd_ext	q	sout	q_internal	clk_net	nclk_net
기능 모드	0	D	0	0	0	온	온	D	1	D	clk	nclk
리셋 동작	0	D	1	0	0	온	온	0	1	0	clk	nclk
스캔 모드	0	D	0	S	1	온	온	S	S	S	clk	nclk
대기 모드	1	X	X	X	X	오프	온	X	X	Qslave	0	1
코너 케이스들	1	D	0	0	0	온	온	Qslave	1	Qslave	0	1
	1	D	1	0	0	온	온	Qslave	1	Qslave	0	1
	1	D	0	S	1	온	온	Qslave	Qslave	Qslave	0	1

D	데이터 입력 1 또는 0
S	스캔 데이터 1 또는 0
X	영두에 두지 않음(실패된 도메인에 의해 유도된 1 또는 0)
clk, nclk	toggleing clocks
Qslave	비후발성 구역에 저장된 값

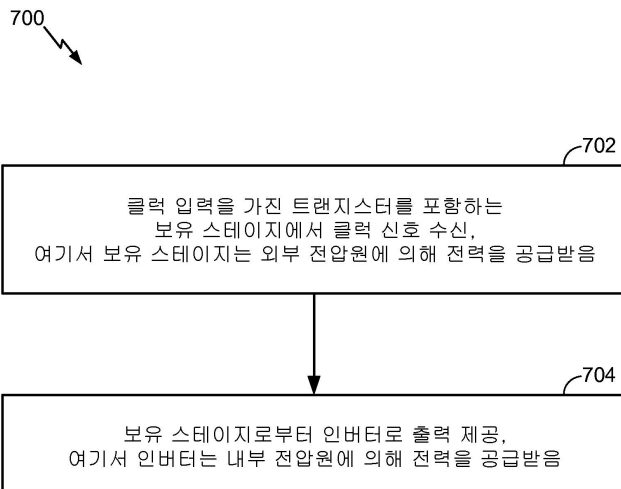
도면5



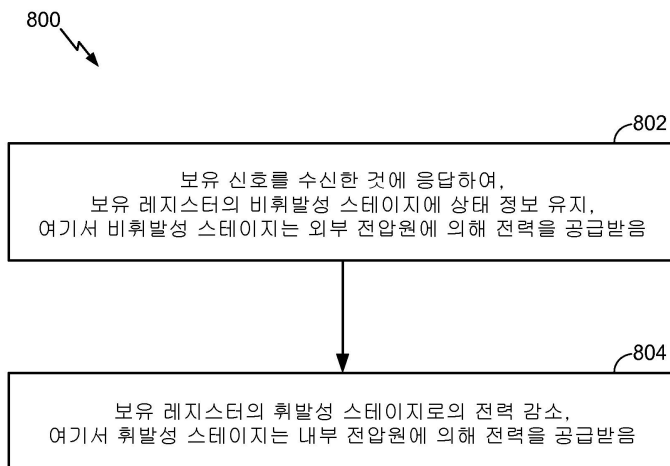
도면6



도면7



도면8



도면9

