



등록특허 10-2332626



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년11월30일
(11) 등록번호 10-2332626
(24) 등록일자 2021년11월25일

- (51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G09G 3/32* (2016.01)
G09G 3/36 (2006.01)
- (52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3225 (2013.01)
- (21) 출원번호 10-2015-0124043
- (22) 출원일자 2015년09월02일
심사청구일자 2020년08월11일
- (65) 공개번호 10-2016-0028388
- (43) 공개일자 2016년03월11일
- (30) 우선권주장
JP-P-2014-178698 2014년09월03일 일본(JP)
- (56) 선행기술조사문헌
US07038653 B
US07098882 B

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
우메자키 아츠시
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
장훈

전체 청구항 수 : 총 5 항

심사관 : 박정근

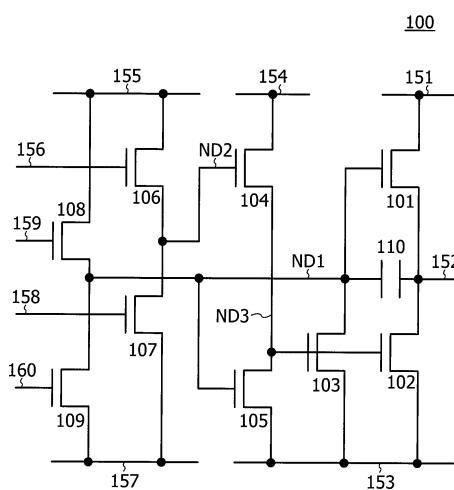
(54) 발명의 명칭 반도체 장치, 및 전자 기기

(57) 요 약

[과제] 반전 표시할 수 있는, 신규 구성의 반도체 장치 등을 제공하는 것. 트랜지스터의 특성 열화를 억제할 수 있는, 신규 구성의 반도체 장치 등을 제공하는 것. 동작 속도의 향상을 도모할 수 있는, 신규 구성의 반도체 장치 등을 제공하는 것. 트랜지스터의 절연 파괴를 저감시킬 수 있는, 신규 구성의 반도체 장치 등을 제공하는 것.

[해결수단] 배선의 전위를 전환함으로써, 제 1 동작과 제 2 동작이라는 2개의 동작을 전환하는 것이 가능한 회로 구성으로 한다. 이 2개의 동작을 전환함으로써, 간편하게 주사 방향의 전환을 행한다. 주사 방향의 전환을 행할 수 있다.

대 표 도 - 도1



(52) CPC특허분류

G09G 3/3648 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2320/043 (2013.01)

명세서

청구범위

청구항 1

제 1 내지 제 7 트랜지스터를 갖고,

상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 하나는 제 1 배선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 제 2 배선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 하나는 제 3 배선과 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 3 배선과 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터의 게이트 또는 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 하나는 상기 제 4 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 3 배선과 전기적으로 접속되고,

상기 제 5 트랜지스터의 게이트는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 6 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 6 트랜지스터의 소스 및 드레인 중 다른 하나는 제 4 배선과 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 다른 하나는 제 5 배선과 전기적으로 접속되고,

상기 제 4 트랜지스터의 게이트에는 하이 레벨 및 로우 레벨의 신호가 입력되고,

상기 제 1 배선은 클록 신호를 전달할 수 있는 기능을 갖고,

상기 제 2 배선은 출력 신호를 전달할 수 있는 기능을 갖고,

상기 제 4 배선은 제 1 동작 시에 제 1 전위 및 제 2 전위 중 어느 하나를 전달하고, 제 2 동작 시에 상기 제 1 전위 및 상기 제 2 전위 중 어느 다른 하나를 전달할 수 있는 기능을 갖고,

상기 제 5 배선은 상기 제 1 동작 시에 상기 제 1 전위 및 상기 제 2 전위 중 어느 다른 하나를 전달하고, 상기 제 2 동작 시에 상기 제 1 전위 및 상기 제 2 전위 중 어느 하나를 전달할 수 있는 기능을 갖는, 반도체 장치.

청구항 2

제 1 내지 제 7 트랜지스터를 갖고,

상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 하나는 제 1 배선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 제 2 배선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 하나는 제 3 배선과 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 3 배선과 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터의 게이트 또는 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 하나는 상기 제 4 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 3 배선과 전기적으로 접속되고,

상기 제 5 트랜지스터의 게이트는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 6 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 6 트랜지스터의 소스 및 드레인 중 다른 하나는 제 4 배선과 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 다른 하나는 제 5 배선과 전기적으로 접속되고,

상기 제 4 트랜지스터는 상기 제 2 트랜지스터의 게이트의 전위를 제어하는 기능을 갖고,

상기 제 1 배선은 클록 신호를 전달할 수 있는 기능을 갖고,

상기 제 2 배선은 출력 신호를 전달할 수 있는 기능을 갖고,

상기 제 4 배선은 제 1 동작 시에 제 1 전위 및 제 2 전위 중 어느 하나를 전달하고, 제 2 동작 시에 상기 제 1 전위 및 상기 제 2 전위 중 어느 다른 하나를 전달할 수 있는 기능을 갖고,

상기 제 5 배선은 상기 제 1 동작 시에 상기 제 1 전위 및 상기 제 2 전위 중 어느 다른 하나를 전달하고, 상기 제 2 동작 시에 상기 제 1 전위 및 상기 제 2 전위 중 어느 하나를 전달할 수 있는 기능을 갖는, 반도체 장치.

청구항 3

제 1 내지 제 7 트랜지스터를 갖고,

상기 제 1 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 하나는 제 1 배선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 하나는 제 2 배선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 하나는 제 3 배선과 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 3 배선과 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 트랜지스터의 게이트 또는 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 하나는 상기 제 4 트랜지스터의 소스 및 드레인 중 하나와 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 하나는 상기 제 3 배선과 전기적으로 접속되고,

상기 제 5 트랜지스터의 게이트는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 6 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 6 트랜지스터의 소스 및 드레인 중 다른 하나는 제 4 배선과 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 7 트랜지스터의 소스 및 드레인 중 다른 하나는 제 5 배선과 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트의 전위는 하이 레벨의 기간과 로우 레벨의 기간을 갖고,

상기 제 1 배선은 클록 신호를 전달할 수 있는 기능을 갖고,

상기 제 2 배선은 출력 신호를 전달할 수 있는 기능을 갖고,

상기 제 4 배선은 제 1 동작 시에 제 1 전위 및 제 2 전위 중 어느 하나를 전달하고, 제 2 동작 시에 상기 제 1 전위 및 상기 제 2 전위 중 어느 다른 하나를 전달할 수 있는 기능을 갖고,

상기 제 5 배선은 상기 제 1 동작 시에 상기 제 1 전위 및 상기 제 2 전위 중 어느 다른 하나를 전달하고, 상기 제 2 동작 시에 상기 제 1 전위 및 상기 제 2 전위 중 어느 하나를 전달할 수 있는 기능을 갖는, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

제 1 용량 소자를 갖고,

상기 제 1 용량 소자의 하나의 전극은 상기 제 1 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제 1 용량 소자의 다른 전극은 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터의 W (W 는 채널 폭)/ L (L 은 채널 길이)는 상기 제 2 내지 제 7 트랜지스터의 W/L 보다 큰, 반도체 장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는, 반도체 장치, 및 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는, 상기의 기술 분야로 한정되지 않는다. 본 명세서 등에서 개시하는 발명의 기술 분야는, 물건, 방법, 또는, 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는, 프로세스, 기계(machine), 제품(manufacture), 또는, 조성물(composition of matter)에 관한 것이다. 이로 인해, 보다 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술 분야로서는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 촬상 장치, 기억 장치, 이들의 구동 방법, 또는, 이들의 제조 방법을 일례로서 들 수 있다.

[0003] 또한, 본 명세서 등에 있어서, 반도체 장치는, 반도체 특성을 이용함으로써 기능할 수 있는 소자, 회로, 또는 장치 등을 가리킨다. 일례로서는, 트랜지스터, 다이오드 등의 반도체 소자는 반도체 장치이다. 또한 다른 일례로서는, 반도체 소자를 갖는 회로는, 반도체 장치이다. 또한 다른 일례로서는, 반도체 소자를 갖는 회로를 구비한 장치는, 반도체 장치이다.

배경 기술

[0004] 표시 기능을 갖는 반도체 장치에서는, 텔레비전 수상기로 대표되는 바와 같이, 표시되는 표시의 방향이 고정화되어 있다.

[0005] 이러한 반도체 장치를 구동하기 위한 구동 회로에는, 시프트 레지스터가 탑재되어 있다(특허문현 1 참조).

선행기술문헌

특허문현

[0006] (특허문현 0001) 미국 특허출원공개 제 2010/0201659호 명세서

발명의 내용

해결하려는 과제

- [0007] 최근 스마트폰 등의 보급에 의해, 상하 또는 좌우의 반전 표시를 행하는 반도체 장치가 요구되고 있다.
- [0008] 본 발명의 일 형태는, 신규 반도체 장치, 신규 전자 기기 등을 제공하는 것을 과제의 하나로 한다.
- [0009] 또는, 본 발명의 일 형태는, 반전 표시할 수 있는, 신규 구성의 반도체 장치 등을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는, 트랜지스터의 특성 열화를 억제할 수 있는, 신규 구성의 반도체 장치 등을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는, 동작 속도의 향상을 도모할 수 있는, 신규 구성의 반도체 장치 등을 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는, 트랜지스터의 절연 파괴를 저감시킬 수 있는, 신규 구성의 반도체 장치 등을 제공하는 것을 과제의 하나로 한다.
- [0010] 또한 본 발명의 일 형태의 과제는, 상기 열거한 과제로 한정되지 않는다. 상기 열거한 과제는, 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는, 이하의 기재에서 서술하는, 본 항목에 언급하고 있지 않은 과제이다. 본 항목에서 언급하고 있지 않은 과제는, 당업자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이며, 이러한 기재로부터 적절히 추출할 수 있다. 또한, 본 발명의 일 형태는, 상기 열거한 기재, 및/또는 다른 과제 중, 적어도 하나의 과제를 해결하는 것이다.

과제의 해결 수단

- [0011] 본 발명의 일 형태는, 제 1 내지 제 9 트랜지스터를 가지며, 제 1 트랜지스터의 소스 또는 드레인의 한쪽은, 제 2 트랜지스터의 소스 또는 드레인의 한쪽과 전기적으로 접속되고, 제 1 트랜지스터의 소스 또는 드레인의 다른 쪽은, 제 1 배선과 전기적으로 접속되고, 제 2 트랜지스터의 소스 또는 드레인의 한쪽은, 제 2 배선과 전기적으로 접속되고, 제 2 트랜지스터의 소스 또는 드레인의 다른쪽은, 제 3 배선과 전기적으로 접속되고, 제 3 트랜지스터의 소스 또는 드레인의 한쪽은, 제 1 트랜지스터의 게이트와 전기적으로 접속되고, 제 3 트랜지스터의 소스 또는 드레인의 다른쪽은, 제 3 배선과 전기적으로 접속되고, 제 4 트랜지스터의 소스 또는 드레인의 한쪽은, 제 2 트랜지스터의 게이트 또는 제 3 트랜지스터의 게이트와 전기적으로 접속되고, 제 4 트랜지스터의 소스 또는 드레인의 다른쪽은, 제 4 배선과 전기적으로 접속되고, 제 5 트랜지스터의 소스 또는 드레인의 한쪽은, 제 4 트랜지스터의 소스 또는 드레인의 다른쪽은, 제 5 배선과 전기적으로 접속되고, 제 5 트랜지스터의 소스 또는 드레인의 다른쪽은, 제 5 트랜지스터의 게이트는, 제 1 트랜지스터의 게이트와 전기적으로 접속되고, 제 6 트랜지스터의 소스 또는 드레인의 다른쪽은, 제 6 배선과 전기적으로 접속되고, 제 6 트랜지스터의 게이트는, 제 6 배선과 전기적으로 접속되고, 제 7 트랜지스터의 소스 또는 드레인의 한쪽은, 제 4 트랜지스터의 게이트와 전기적으로 접속되고, 제 7 트랜지스터의 소스 또는 드레인의 다른쪽은, 제 7 배선과 전기적으로 접속되고, 제 7 트랜지스터의 게이트는, 제 8 배선과 전기적으로 접속되고, 제 8 트랜지스터의 소스 또는 드레인의 한쪽은, 제 1 트랜지스터의 게이트와 전기적으로 접속되고, 제 8 트랜지스터의 소스 또는 드레인의 다른쪽은, 제 5 배선과 전기적으로 접속되고, 제 8 트랜지스터의 게이트는, 제 9 배선과 전기적으로 접속되고, 제 9 트랜지스터의 소스 또는 드레인의 한쪽은, 제 1 트랜지스터의 게이트와 전기적으로 접속되고, 제 9 트랜지스터의 소스 또는 드레인의 다른쪽은, 제 7 배선과 전기적으로 접속되고, 제 9 트랜지스터의 게이트는, 제 10 배선과 전기적으로 접속되고, 제 5 배선은, 제 1 동작시에 있어서, 제 1 전위 또는 제 2 전위 중 어느 한쪽을 전달하고, 제 2 동작시에 있어서, 제 1 전위 또는 제 2 전위 중 다른쪽을 전달할 수 있는 기능을 가지며, 제 7 배선은, 제 1 동작시에 있어서, 제 1 전위 또는 제 2 전위 중 다른쪽을 전달하고, 제 2 동작시에 있어서, 제 1 전위 또는 제 2 전위 중 어느 한쪽을 전달할 수 있는 기능을 갖는 반도체 장치이다.
- [0012] 본 발명의 일 형태에 있어서, 제 1 배선은, 제 1 클록 신호를 전달할 수 있는 기능을 가지며, 제 6 배선은, 제 2 클록 신호를 전달할 수 있는 기능을 가지며, 제 8 배선은, 제 3 클록 신호를 전달할 수 있는 기능을 갖는 반도체 장치가 바람직하다.
- [0013] 본 발명의 일 형태에 있어서, 제 2 배선은, 출력 신호를 전달할 수 있는 기능을 가지며, 제 10 배선은, 전단의 출력 신호를 전달할 수 있는 기능을 가지며, 제 9 배선은, 후단의 출력 신호를 전달할 수 있는 기능을 갖는 반도체 장치가 바람직하다.
- [0014] 본 발명의 일 형태에 있어서, 제 4 배선은, 제 1 전위를 전달할 수 있는 기능을 가지며, 제 3 배선은, 제 2 전위를 전달할 수 있는 기능을 갖는 반도체 장치가 바람직하다.
- [0015] 본 발명의 일 형태에 있어서, 제 1 용량 소자를 가지며, 제 1 용량 소자의 한쪽의 전극은, 제 1 트랜지스터의

소스 또는 드레인의 한쪽에 전기적으로 접속되고, 제 1 용량 소자의 다른쪽의 전극은, 제 1 트랜지스터의 게이트에 전기적으로 접속되는 반도체 장치가 바람직하다.

[0016] 본 발명의 일 형태에 있어서, 제 2 용량 소자를 가지며, 제 2 용량 소자의 한쪽의 전극은, 제 4 트랜지스터의 소스 또는 드레인의 한쪽에 전기적으로 접속되고, 제 2 용량 소자의 다른쪽의 전극은, 제 4 트랜지스터의 게이트에 전기적으로 접속되는 반도체 장치가 바람직하다.

[0017] 본 발명의 일 형태에 있어서, 제 1 트랜지스터의 W (W 는 채널 폭)/ L (L 은 채널 길이)은, 제 2 내지 제 9 트랜지스터의 W/L 보다 큰 반도체 장치가 바람직하다.

[0018] 본 발명의 일 형태에 있어서, 제 6 트랜지스터의 W (W 는 채널 폭)/ L (L 은 채널 길이)은, 제 7 트랜지스터의 W/L 의 0.8배 이상 또한 1.2배 이하인 반도체 장치가 바람직하다.

[0019] 본 발명의 일 형태에 있어서, 제 8 트랜지스터의 W (W 는 채널 폭)/ L (L 은 채널 길이)은, 제 9 트랜지스터의 W/L 의 0.8배 이상 또한 1.2배 이하인 반도체 장치가 바람직하다.

[0020] 본 발명의 일 형태에 있어서, 제 1 내지 제 9 트랜지스터는, 채널 형성 영역에 산화물 반도체를 갖는 반도체 장치가 바람직하다.

[0021] 본 발명의 일 형태는, 상기 반도체 장치와, FPC를 갖는 표시 모듈이다.

[0022] 본 발명의 일 형태는, 상기 반도체 장치, 또는 상기 표시 모듈과, 스피커, 조작 버튼, 및/또는 안테나를 갖는 전자 기기이다.

[0023] 또한 그 밖의 본 발명의 일 형태에 관해서는, 이하에서 서술하는 실시형태에 있어서의 설명, 및 도면에 기재되어 있다.

발명의 효과

[0024] 본 발명의 일 형태는, 신규 반도체 장치, 신규 전자 기기 등을 제공할 수 있다.

[0025] 또는, 본 발명의 일 형태는, 반전 표시할 수 있는, 신규 구성의 반도체 장치 등을 제공할 수 있다. 또는, 본 발명의 일 형태는, 트랜지스터의 특성 열화를 억제할 수 있는, 신규 구성의 반도체 장치 등을 제공할 수 있다. 또는, 본 발명의 일 형태는, 동작 속도의 향상을 도모할 수 있는, 신규 구성의 반도체 장치 등을 제공할 수 있다. 또는, 본 발명의 일 형태는, 트랜지스터의 절연 파괴를 저감시킬 수 있는, 신규 구성의 반도체 장치 등을 제공할 수 있다.

[0026] 또한 본 발명의 일 형태의 효과는, 상기 열거한 효과로 한정되지 않는다. 상기 열거한 효과는, 다른 효과의 존재를 방해하는 것은 아니다. 또한 다른 효과는, 이하의 기재에서 서술하는, 본 항목에서 언급하고 있지 않은 효과이다. 본 항목에서 언급하고 있지 않은 효과는, 당업자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이며, 이들의 기재로부터 적절히 추출할 수 있다. 또한, 본 발명의 일 형태는, 상기 열거한 효과, 및/또는 다른 효과 중, 적어도 1개의 효과를 갖는 것이다. 따라서 본 발명의 일 형태는, 경우에 따라서는, 상기 열거한 효과를 갖지 않는 경우도 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 형태를 설명하기 위한 회로도.

도 2는 본 발명의 일 형태를 설명하기 위한 타이밍 차트.

도 3은 본 발명의 일 형태를 설명하기 위한 타이밍 차트.

도 4는 본 발명의 일 형태를 설명하기 위한 회로도.

도 5는 본 발명의 일 형태를 설명하기 위한 회로도.

도 6은 본 발명의 일 형태를 설명하기 위한 회로도.

도 7은 본 발명의 일 형태를 설명하기 위한 회로도.

도 8은 본 발명의 일 형태를 설명하기 위한 회로도.

도 9는 본 발명의 일 형태를 설명하기 위한 회로도.

도 10은 본 발명의 일 형태를 설명하기 위한 회로도.

도 11은 본 발명의 일 형태를 설명하기 위한 회로도.

도 12는 본 발명의 일 형태를 설명하기 위한 회로도.

도 13은 본 발명의 일 형태를 설명하기 위한 회로도.

도 14는 본 발명의 일 형태를 설명하기 위한 회로도.

도 15는 본 발명의 일 형태를 설명하기 위한 회로도.

도 16은 본 발명의 일 형태를 설명하기 위한 회로도.

도 17은 본 발명의 일 형태를 설명하기 위한 회로도.

도 18은 본 발명의 일 형태를 설명하기 위한 회로도.

도 19는 본 발명의 일 형태를 설명하기 위한 회로도.

도 20은 본 발명의 일 형태를 설명하기 위한 회로도.

도 21은 본 발명의 일 형태를 설명하기 위한 회로도.

도 22는 본 발명의 일 형태를 설명하기 위한 타이밍 차트.

도 23은 본 발명의 일 형태를 설명하기 위한 회로도.

도 24는 본 발명의 일 형태를 설명하기 위한 상면도 및 단면도.

도 25는 본 발명의 일 형태를 설명하기 위한 단면도.

도 26은 본 발명의 일 형태를 설명하기 위한 단면도.

도 27은 본 발명의 일 형태를 설명하기 위한 단면도.

도 28은 본 발명의 일 형태를 설명하기 위한 상면도.

도 29는 본 발명의 일 형태를 설명하기 위한 단면도.

도 30은 본 발명의 일 형태를 설명하기 위한 투영도.

도 31은 본 발명의 일 형태를 설명하기 위한 단면도.

도 32는 본 발명의 일 형태에 따른 전자 기기를 설명하는 도면.

도 33은 본 발명의 일 형태를 설명하기 위한 레이아웃도.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 실시형태에 관해서 도면을 참조하면서 설명한다. 단, 실시형태는 많은 상이한 형태로 실시하는 것이 가능하며, 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은, 이하의 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.

[0029] 또한 본 명세서 등에 있어서, 「제 1」, 「제 2」, 「제 3」이라는 서수사는, 구성 요소의 혼동을 피하기 위해서 불인 것이다. 따라서, 구성 요소의 수를 한정하는 것이 아니다. 또한, 구성 요소의 순서를 한정하는 것이 아니다. 또한 예를 들면, 본 명세서 등의 실시형태의 하나에 있어서 「제 1」에 언급된 구성 요소가, 다른 실시형태, 또는 특허청구의 범위에 있어서 「제 2」에 언급된 구성 요소라고 하는 경우도 있을 수 있다. 또한 예를 들면, 본 명세서 등의 실시형태의 하나에 있어서 「제 1」에 언급된 구성 요소를, 다른 실시형태, 또는 특허청구의 범위에 있어서 생략하여 언급하는 것도 있을 수 있다.

[0030] 또한 도면에 있어서, 동일한 요소 또는 같은 기능을 갖는 요소, 동일한 재질의 요소, 또는 동시에 형성되는 요소 등에는 동일한 부호를 붙이는 경우가 있고, 그 반복 설명은 생략하는 경우가 있다.

[0031] (실시형태 1)

- [0032] 본 발명의 일 형태에 따른 반도체 장치의 구성에 관해서 도 1을 참조하여 설명한다.
- [0033] 도 1에 도시하는 반도체 장치는, 회로(100)를 가진다. 회로(100)는, 배선(152)의 전위를 제어하는 기능을 가진다. 회로(100)는, 논리 회로, 또는 순서 회로라고 부르는 경우가 있다.
- [0034] 회로(100)는, 접속되는 배선(155, 157)의 전위를 전환함으로써, 제 1 동작과 제 2 동작이라고 하는 2개의 동작을 전환하는 것이 가능하다. 이 2개의 동작을 전환하는 것이 가능한 회로(100)를 갖는 반도체 장치는, 간편하게 주사 방향의 전환을 행할 수 있다. 주사 방향의 전환을 행하는 기능을 구비한, 표시 기능을 갖는 반도체 장치는, 반전 표시를 행할 수 있다.
- [0035] 회로(100)는, 트랜지스터(101 내지 109) 및 용량 소자(110)를 가진다. 또한 도 1에 있어서, 트랜지스터(101)의 게이트를 노드 ND1로 나타낸다. 마찬가지로, 트랜지스터(104)의 게이트를 노드 ND2로 나타낸다. 마찬가지로, 트랜지스터(102)의 게이트를 노드 ND3으로 나타낸다.
- [0036] 트랜지스터(101 내지 109) 및 용량 소자(110)의 접속에 관해서 설명한다.
- [0037] 트랜지스터(101)의 소스 또는 드레인의 한쪽은, 배선(151)과 접속된다. 트랜지스터(101)의 소스 또는 드레인의 다른쪽은, 배선(152)과 접속된다.
- [0038] 트랜지스터(102)의 소스 또는 드레인의 한쪽은, 배선(153)과 접속된다. 트랜지스터(102)의 소스 또는 드레인의 다른쪽은, 배선(152)과 접속된다.
- [0039] 트랜지스터(103)의 게이트는, 노드 ND3과 접속된다. 트랜지스터(103)의 소스 또는 드레인의 한쪽은, 배선(153)과 접속된다. 트랜지스터(103)의 소스 또는 드레인의 다른쪽은, 노드 ND1과 접속된다.
- [0040] 트랜지스터(104)의 소스 또는 드레인의 한쪽은, 배선(154)과 접속된다. 트랜지스터(104)의 소스 또는 드레인의 다른쪽은, 노드 ND3과 접속된다.
- [0041] 트랜지스터(105)의 게이트는, 노드 ND1과 접속된다. 트랜지스터(105)의 소스 또는 드레인의 한쪽은, 배선(153)과 접속된다. 트랜지스터(105)의 소스 또는 드레인의 다른쪽은, 노드 ND3과 접속된다.
- [0042] 트랜지스터(106)의 게이트는, 배선(156)과 접속된다. 트랜지스터(106)의 소스 또는 드레인의 한쪽은, 배선(155)과 접속된다. 트랜지스터(106)의 소스 또는 드레인의 다른쪽은, 노드 ND2와 접속된다.
- [0043] 트랜지스터(107)의 게이트는, 배선(158)과 접속된다. 트랜지스터(107)의 소스 또는 드레인의 한쪽은, 배선(157)과 접속된다. 트랜지스터(107)의 소스 또는 드레인의 다른쪽은, 노드 ND2와 접속된다.
- [0044] 트랜지스터(108)의 게이트는, 배선(159)과 접속된다. 트랜지스터(108)의 소스 또는 드레인의 한쪽은, 배선(155)과 접속된다. 트랜지스터(108)의 소스 또는 드레인의 다른쪽은, 노드 ND1과 접속된다.
- [0045] 트랜지스터(109)의 게이트는, 배선(160)과 접속된다. 트랜지스터(109)의 소스 또는 드레인의 한쪽은, 배선(157)과 접속된다. 트랜지스터(109)의 소스 또는 드레인의 다른쪽은, 노드 ND1과 접속된다.
- [0046] 용량 소자(110)의 제 1 전극은, 노드 ND1과 접속된다. 용량 소자(110)의 제 2 전극은, 배선(152)과 접속된다.
- [0047] 또한 트랜지스터(101 내지 109)는, 동일한 극성인 것이 바람직하다. 즉, 트랜지스터(101 내지 109)는 N채널형인 것이 바람직하다. 또는, 트랜지스터(101 내지 109)는 P채널형인 것이 바람직하다. 이것에 의해, 제조 공정의 간략화를 도모할 수 있기 때문에, 제조 수율의 향상, 및/또는 비용의 삭감을 도모할 수 있다.
- [0048] 트랜지스터(101 내지 109)가 N채널형인 경우에는, 트랜지스터(101 내지 109)로서 채널 형성 영역에 산화물 반도체를 갖는 트랜지스터(OS 트랜지스터라고도 한다)를 각각 사용할 수 있다. OS 트랜지스터는, 채널 형성 영역에 비정질 실리콘을 갖는 트랜지스터보다 이동도가 높고, 또한 오프 전류가 매우 작다. 이로 인해, 트랜지스터(101 내지 109)의 사이즈를 작게 하여, 노드 ND1 내지 ND3에 있어서의 전위를 유지하기 쉽게 할 수 있다.
- [0049] 트랜지스터(101)의 W(채널 폭)/L(채널 길이)은, 트랜지스터(102 내지 109)의 W/L보다 큰 것이 바람직하다. 이 것에 의해, 트랜지스터(101)의 전류 공급 능력을 크게 할 수 있기 때문에, 배선(152)에 전달하는 신호의 상승 시간 및 하강 시간을 짧게 할 수 있다.
- [0050] 또한, 트랜지스터가 복수의 트랜지스터에 의해 구성되는 경우, 트랜지스터의 W/L은, 복수의 트랜지스터의 W/L의 각각을 합계한 값이다. 예를 들면, 복수의 트랜지스터가 병렬 접속되는 경우, W는 복수의 트랜지스터의 W의 합

이며, L은 복수의 트랜지스터의 L의 평균값이 된다.

[0051] 트랜지스터(106)의 W/L은, 트랜지스터(107)의 W/L과 동일 또는 대략 동일한 것이 바람직하다. 마찬가지로 트랜지스터(108)의 W/L은, 트랜지스터(109)의 W/L과 동일 또는 대략 동일한 것이 바람직하다. 트랜지스터의 W/L이 대략 동일하다란, 한쪽의 트랜지스터의 W/L이 다른쪽의 트랜지스터의 W/L의 0.8배 이상, 1.2배 이하인 것을 말한다. 보다 바람직하게는, 0.9배 이상, 1.1배 이하이다. 이것에 의해, 회로(100)는, 제 1 동작과 제 2 동작을 전환한 경우에도, 동일 또는 대략 동일한 전류 공급 능력을 가지고 동작을 행할 수 있다.

[0052] 배선(151 내지 160), 노드 ND1 내지 ND3의 신호 또는 전위에 관해서 설명한다.

[0053] 배선(151)에는, 하이 레벨과 로우 레벨을 갖는 신호를 전달하는 기능을 가진다. 구체적인 일례로서는, 클록 신호를 전달하는 기능을 가진다. 배선(151)이 전달하는 클록 신호는, 제 1 클록 신호라고 하는 경우가 있다.

[0054] 배선(152)에는, 하이 레벨과 로우 레벨을 갖는 신호를 전달하는 기능을 가진다. 구체적인 일례로서는, 출력 신호를 전달하는 기능을 가진다. 배선(152)이 전달하는 출력 신호는, 주사 신호, 선택 신호, 또는 펄스 신호라고 하는 경우가 있다.

[0055] 배선(153)에는, 로우 레벨의 전위를 전달하는 기능을 가진다. 로우 레벨의 전위를 VL로 하면, 배선(153)은, 전위 VL로 설정되는 기능을 가진다.

[0056] 배선(154)에는, 하이 레벨의 전위를 전달하는 기능을 가진다. 하이 레벨의 전위를 VH(>VL)로 하면, 배선(154)은, 전위 VH로 설정되는 기능을 가진다.

[0057] 배선(155)에는, 하이 레벨과 로우 레벨을 갖는 신호를 전달하는 기능을 가진다. 구체적인 일례로서는, 배선(155)은 제 1 동작시에 있어서 전위 VH로 설정되고, 제 2 동작시에 있어서 전위 VL로 설정되는 기능을 가진다.

[0058] 배선(156)에는, 하이 레벨과 로우 레벨을 갖는 신호를 전달하는 기능을 가진다. 구체적인 일례로서는, 클록 신호를 전달하는 기능을 가진다. 배선(156)이 전달하는 클록 신호는, 제 2 클록 신호라고 하는 경우가 있다. 제 2 클록 신호는, 제 1 클록 신호와 위상이 상이하다.

[0059] 배선(157)에는, 하이 레벨과 로우 레벨을 갖는 신호를 전달하는 기능을 가진다. 구체적인 일례로서는, 배선(157)은 제 1 동작시에 있어서 전위 VL로 설정되고, 제 2 동작시에 있어서 전위 VH로 설정되는 기능을 가진다.

[0060] 배선(158)에는, 하이 레벨과 로우 레벨을 갖는 신호를 전달하는 기능을 가진다. 구체적인 일례로서는, 클록 신호를 전달하는 기능을 가진다. 배선(158)이 전달하는 클록 신호는, 제 3 클록 신호라고 하는 경우가 있다. 제 3 클록 신호는, 제 1 클록 신호 또는 제 2 클록 신호와 위상이 상이하다.

[0061] 배선(159)에는, 하이 레벨과 로우 레벨을 갖는 신호를 전달하는 기능을 가진다. 구체적인 일례로서는, 배선(159)은 제 1 동작시에 있어서 전단의 회로(100)의 출력 신호, 제 2 동작시에 있어서 후단의 회로(100)의 출력 신호를 전달하는 기능을 가진다. 또한 배선(159)이 전달하는 출력 신호는, 외부에서 전달되는 경우, 스타트 펄스라고 하는 경우가 있다.

[0062] 배선(160)에는, 하이 레벨과 로우 레벨을 갖는 신호를 전달하는 기능을 가진다. 구체적인 일례로서는, 배선(160)은 제 1 동작시에 있어서 후단의 회로(100)의 출력 신호, 제 2 동작시에 있어서 전단의 회로(100)의 출력 신호를 전달하는 기능을 가진다. 또한 배선(160)이 전달하는 출력 신호는, 외부에서 전달되는 경우, 스타트 펄스라고 하는 경우가 있다.

[0063] 회로(100)는, 상기한 바와 같이, 접속되는 배선(155, 157)의 전위를 전환함으로써, 제 1 동작과 제 2 동작이라고 하는 2개의 동작을 전환하는 것이 가능하다. 회로(100)를 갖는 반도체 장치는, 제 1 동작시에는 제 1 주사 방향에 있는 후단의 회로(100)에 출력 신호를 전달하고, 제 2 동작시에는 제 2 주사 방향에 있는 후단의 회로(100)에 출력 신호를 전달할 수 있다. 이 전환의 동작은, 배선(155, 157)의 전위를 전환하기만 하면 되기 때문에, 간편하게 주사 방향의 전환을 행할 수 있다. 그 결과, 표시 기능을 갖는 반도체 장치는, 반전 표시를 행할 수 있다.

[0064] (실시형태 2)

[0065] 본 발명의 일 형태에 따른 반도체 장치의 동작에 관해서 도 2, 도 3을 예로 하여 설명한다. 또한 도 2, 도 3에

서 설명하는 동작은, 실시형태 1에서 설명한 회로(100)의 동작에 상당한다. 또한, 본 실시형태에 있어서, 트랜지스터(101 내지 109)는, N채널형의 트랜지스터로서 설명을 한다.

[0066] 본 발명의 일 형태에 따른 반도체 장치는, 제 1 동작시에는 제 1 주사 방향에 있는 후단의 회로(100)에 출력 신호를 전달하고, 제 2 동작시에는 제 2 주사 방향에 있는 후단의 회로(100)에 출력 신호를 전달하는 것이 가능하다. 도 2는, 제 1 동작을 실현 가능한 타이밍 차트의 일례이며, 도 3은, 제 2 동작을 실현 가능한 타이밍 차트의 일례이다.

[0067] 도 2 및 도 3에는, 회로(100)의 동작을 설명하기 위해서, 배선(155), 배선(157), 배선(158), 배선(151), 배선(156), 배선(159), 배선(160), 노드 ND1, 노드 ND2, 노드 ND3 및 배선(152)의 전위를 도시한다.

[0068] <제 1 동작에 관해서>

[0069] 우선 제 1 동작에 관해서, 도 2를 참조하여 설명한다. 제 1 동작은, 배선(155)의 전위를 VH로 설정하고, 배선(157)을 VL의 전위로 설정함으로써, 행해진다. 제 1 동작은, 기간 T1 내지 T6으로 나누어서 동작을 설명한다. 또한 각 기간의 동작은, 노드 ND1 내지 ND3의 전위의 변화, 및 출력 신호를 전달하는 배선(152)의 전위의 변화를 쫓아감으로써, 설명할 수 있다.

[0070] 또한 각 배선, 노드가 전달하는 신호의 전위는, 설명을 간략화하기 위해서, 하이 레벨의 전위 VH 및 로우 레벨의 전위 VL의 2종류의 전위를 사용하여 설명을 행한다. 각 배선, 노드가 전달하는 전위를 VH, VL의 2종류의 전위로 함으로써, 생성되는 전위의 수를 삭감할 수 있다. 이로 인해, 전위를 생성하는 회로 규모를 축소시킬 수 있다. 단, 본 실시형태에 있어서, 배선의 전위를 동일한 VH로 설명해도, 반드시 등전위라고는 한정하지 않으며, 상이한 전위로 해도 좋다. 마찬가지로, 배선의 전위를 동일한 VL로 설명해도, 반드시 등전위라고는 한정하지 않으며, 상이한 전위로 해도 좋다. 또한 후술하는, 제 2 동작시의 설명에 있어서도 마찬가지이다.

[0071] 기간 T1에 있어서의 동작에 관해서 설명한다.

[0072] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VH가 되기 때문에, 트랜지스터(108)가 도통 상태가 된다. 배선(160)의 전위가 VL이 되기 때문에, 트랜지스터(109)가 비도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VL이 되기 때문에, 트랜지스터(103)가 비도통 상태가 된다. 따라서, 배선(155)의 전위인 VH가 트랜지스터(108)를 개재하여 노드 ND1에 전달되기 때문에, 노드 ND1의 전위가 VL로부터 상승한다. 그 후, 노드 ND1의 전위가 트랜지스터(108)의 게이트의 전위인 VH에서 트랜지스터(108)의 임계값 전압(Vth108)을 뺀 값(VH-Vth108)이 되면, 트랜지스터(108)가 비도통 상태가 된다. 따라서, 노드 ND1이 부유 상태가 되어, 노드 ND1의 전위가 VH-Vth108로 유지된다.

[0073] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VL이 되기 때문에, 트랜지스터(106)가 비도통 상태가 된다. 배선(158)의 전위가 VH가 되기 때문에, 트랜지스터(107)가 도통 상태가 된다. 따라서, 배선(157)의 전위인 VL이 트랜지스터(107)를 개재하여 노드 ND2에 전달되기 때문에, 노드 ND2의 전위가 VL이 된다.

[0074] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 VL이 되기 때문에, 트랜지스터(104)가 비도통 상태가 된다. 노드 ND1의 전위가 (VH-Vth108)이 되기 때문에, 트랜지스터(105)가 도통 상태가 된다. 따라서, 배선(153)의 전위가 트랜지스터(105)를 개재하여 노드 ND3에 전달되기 때문에, 노드 ND3의 전위가 VL이 된다.

[0075] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 VH-Vth108이 되기 때문에, 트랜지스터(101)가 도통 상태가 된다. 노드 ND3의 전위가 VL이 되기 때문에, 트랜지스터(102)가 비도통 상태가 된다. 따라서, 배선(151)의 VL의 전위가 트랜지스터(101)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL이 된다. 즉, 회로(100)의 출력 신호가 VL이 된다.

[0076] 기간 T2에 있어서의 동작에 관해서 설명한다.

[0077] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VL이 되기 때문에, 트랜지스터(108)가 비도통 상태가 된다. 배선(160)의 전위가 VL이 되기 때문에, 트랜지스터(109)가 비도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VL이 되기 때문에, 트랜지스터(103)가 비도통 상태가 된다. 따라서, 노드 ND1이 부유 상태가 되고, 노드 ND1의 전위가 (VH-Vth108)로 유지된다.

[0078] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VL이 되기 때문에, 트랜지스터(106)가 비도통 상태가 된다. 배선(158)의 전위가 VL이 되기 때문에, 트랜지스터(107)가 비도통 상태가 된다. 따라서, 노드 ND2가 부유 상태가 되기 때문에, 노드 ND2의 전위가 VL로 유지된다.

- [0079] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 VL이 되기 때문에, 트랜지스터(104)가 비도통 상태가 된다. 노드 ND1의 전위가 (VH-Vth108)이 되기 때문에, 트랜지스터(105)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(105)를 개재하여 노드 ND3에 전달되기 때문에, 노드 ND3의 전위가 VL이 된다.
- [0080] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 (VH-Vth108)이 되기 때문에, 트랜지스터(101)가 도통 상태가 된다. 노드 ND3의 전위가 VL이 되기 때문에, 트랜지스터(102)가 비도통 상태가 된다. 따라서, 배선(151)의 VH의 전위가 트랜지스터(101)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL로부터 상승하기 시작한다. 이 때, 용량 소자(110)가 배선(152)과 노드 ND1의 전위차를 유지하고 있고, 또한 노드 ND1이 부유 상태로 되어 있다. 이로 인해, 배선(152)의 전위의 상승에 따라, 노드 ND1의 전위가 (VH-Vth108)부터 상승한다. 노드 ND1의 전위가 트랜지스터(101)의 소스 또는 드레인의 한쪽의 전위(배선(151)의 전위인 VH)와 트랜지스터(101)의 임계값 전압(Vth101)의 합(VH+Vth101)보다 높아지면, 배선(152)의 전위가 VH까지 상승한다. 즉, 회로(100)의 출력 신호가 VH가 된다.
- [0081] 기간 T3에 있어서의 동작에 관해서 설명한다.
- [0082] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VL이 되기 때문에, 트랜지스터(108)가 비도통 상태가 된다. 배선(160)의 전위가 VH가 되기 때문에, 트랜지스터(109)가 도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(103)가 도통 상태가 된다. 따라서, 배선(157)의 전위인 VL이 트랜지스터(109)를 개재하여 노드 ND1에 전달되는 동시에, 배선(153)의 전위인 VL이 트랜지스터(103)를 개재하여 노드 ND1에 전달되기 때문에, 노드 ND1의 전위가 VL이 된다.
- [0083] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VH가 되기 때문에, 트랜지스터(106)가 도통 상태가 된다. 배선(158)의 전위가 VL이 되기 때문에, 트랜지스터(107)가 비도통 상태가 된다. 따라서, 배선(155)의 전위인 VH가 트랜지스터(106)를 개재하여 노드 ND2에 전달되기 때문에, 노드 ND2의 전위가 VL로부터 상승한다. 그 후, 노드 ND2의 전위가 트랜지스터(106)의 게이트의 전위(배선(156)의 전위인 VH)로부터 트랜지스터(106)의 임계값 전압(Vth106)을 뛴 값(VH-Vth106)이 되면, 트랜지스터(106)가 비도통 상태가 된다. 따라서, 노드 ND2가 부유 상태가 되어, 노드 ND2의 전위가 (VH-Vth106)으로 유지된다.
- [0084] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 (VH-Vth106)이 되기 때문에, 트랜지스터(104)가 도통 상태가 된다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(105)가 비도통 상태가 된다. 따라서, 배선(154)의 전위가 트랜지스터(104)를 개재하여 노드 ND3에 전달되기 때문에, 노드 ND3의 전위가 상승한다. 이 때, 노드 ND3과 노드 ND2의 전위차가 트랜지스터(104)의 게이트와 소스 또는 드레인의 다른쪽 사이의 기생 용량에 의해 유지되고 있고, 또한 노드 ND2가 부유 상태로 되어 있다. 따라서, 노드 ND3의 전위의 상승에 따라, 노드 ND2의 전위가 상승한다. 노드 ND2의 전위가 트랜지스터(104)의 소스 또는 드레인의 한쪽의 전위(배선(154)의 전위인 VH)와 트랜지스터(104)의 임계값 전압(Vth104)의 합(VH+Vth104)보다 높아지면, 노드 ND3의 전위가 VH까지 상승한다.
- [0085] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(101)가 비도통 상태가 된다. 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(102)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(102)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL이 된다. 즉, 회로(100)의 출력 신호가 VL이 된다.
- [0086] 기간 T4에 있어서의 동작에 관해서 설명한다.
- [0087] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VL이 되기 때문에, 트랜지스터(108)가 비도통 상태가 된다. 배선(160)의 전위가 VL이 되기 때문에, 트랜지스터(109)가 비도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(103)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(103)를 개재하여 노드 ND1에 전달되기 때문에, 노드 ND1의 전위가 VL이 된다.
- [0088] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VL이 되기 때문에, 트랜지스터(106)가 비도통 상태가 된다. 배선(158)의 전위가 VH가 되기 때문에, 트랜지스터(107)가 도통 상태가 된다. 따라서, 배선(157)의 전위인 VL이 트랜지스터(107)를 개재하여 노드 ND2에 전달되기 때문에, 노드 ND2의 전위가 VL이 된다.
- [0089] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 VL이 되기 때문에, 트랜지스터(104)가 비도통 상태가 된다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(105)가 비도통 상태가 된다. 따라서, 노드 ND3이 부

유 상태가 되어, 노드 ND3의 전위가 VH로 유지된다. 단, 노드 ND2의 전위가 하강하기 때문에, 노드 ND3의 전위가 VH보다 하강하는 경우가 많다.

[0090] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(101)가 비도통 상태가 된다. 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(102)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(102)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL이 된다. 즉, 회로(100)의 출력 신호가 VL이 된다.

[0091] 기간 T5에 있어서의 동작에 관해서 설명한다.

[0092] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VL이 되기 때문에, 트랜지스터(108)가 비도통 상태가 된다. 배선(160)의 전위가 VL이 되기 때문에, 트랜지스터(109)가 비도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(103)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(103)를 개재하여 노드 ND1에 전달되기 때문에, 노드 ND1의 전위가 VL이 된다.

[0093] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VL이 되기 때문에, 트랜지스터(106)가 비도통 상태가 된다. 배선(158)의 전위가 VL이 되기 때문에, 트랜지스터(107)가 비도통 상태가 된다. 따라서, 노드 ND2가 부유 상태가 되기 때문에, 노드 ND2의 전위가 VL로 유지된다.

[0094] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 VL이 되기 때문에, 트랜지스터(104)가 비도통 상태가 된다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(105)가 비도통 상태가 된다. 따라서, 노드 ND3이 부유 상태가 되어, 노드 ND3의 전위가 VH로 유지된다.

[0095] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(101)가 비도통 상태가 된다. 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(102)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(102)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL이 된다. 즉, 회로(100)의 출력 신호가 VL이 된다.

[0096] 기간 T6에 있어서의 동작에 관해서 설명한다.

[0097] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VL이 되기 때문에, 트랜지스터(108)가 비도통 상태가 된다. 배선(160)의 전위가 VL이 되기 때문에, 트랜지스터(109)가 비도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(103)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(103)를 개재하여 노드 ND1에 전달되기 때문에, 노드 ND1의 전위가 VL이 된다.

[0098] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VH가 되기 때문에, 트랜지스터(106)가 도통 상태가 된다. 배선(158)의 전위가 VL이 되기 때문에, 트랜지스터(107)가 비도통 상태가 된다. 따라서, 배선(155)의 전위인 VH가 트랜지스터(106)를 개재하여 노드 ND2에 전달되기 때문에, 노드 ND2의 전위가 VL로부터 상승한다. 그 후, 노드 ND2의 전위가 트랜지스터(106)의 게이트의 전위(배선(156)의 전위인 VH)에서 트랜지스터(106)의 임계값 전압을 뺀 값(VH-Vth106)이면, 트랜지스터(106)가 비도통 상태가 된다. 따라서, 노드 ND2가 부유 상태가 되고, 노드 ND2의 전위가 VH-Vth106으로 유지된다.

[0099] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 (VH-Vth106)이 되기 때문에, 트랜지스터(104)가 도통 상태가 된다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(105)가 비도통 상태가 된다. 따라서, 배선(154)의 전위인 VH가 트랜지스터(104)를 개재하여 노드 ND3에 전달되기 때문에, 노드 ND3의 전위가 상승한다. 이 때, 노드 ND3과 노드 ND2의 전위차가 트랜지스터(104)의 게이트와 소스 또는 드레인의 다른쪽 사이의 기생 용량에 의해 유지되고 있고, 또한 노드 ND2가 부유 상태로 되어 있다. 따라서, 노드 ND3의 전위의 상승에 따라, 노드 ND2의 전위가 상승한다. 노드 ND2의 전위가 트랜지스터(104)의 소스 또는 드레인의 한쪽의 전위(배선(154)의 전위인 VH)와 트랜지스터(104)의 임계값 전압(Vth104)의 합(VH+Vth104)보다 높아지면, 노드 ND3의 전위가 VH까지 상승한다.

[0100] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(101)가 비도통 상태가 된다. 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(102)가 도통 상태가 된다. 따라서, 배선(153)의 전위가 트랜지스터(102)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL이 된다. 즉, 회로(100)의 출력 신호가 VL이 된다.

[0101] 이상이 제 1 동작에 관한 설명이다. 복수의 회로(100)를 갖는 반도체 장치에서는, 제 1 주사 방향으로 출력 신호를 전달할 수 있다. 예를 들면, (n-1)단계, n단계, (n+1)단계(n은 2 이상의 자연수)의 회로(100)가 순차적으로

로 설치된 반도체 장치에서는, 제 1 주사 방향, 즉 (n-1)단째, n단째, (n+1)단째의 순으로 출력 신호를 출력할 수 있다.

[0102] 구체적으로 n단째의 회로(100)는, 배선(155)의 전위를 VH, 배선(157)의 전위를 VL로 설정하고, 배선(159)에 전달되는 신호를 전단(n-1단)의 회로(100)의 출력 신호로 하고, 배선(160)에 전달되는 신호를 후단(n+1단)의 회로(100)의 출력 신호로 함으로써, 제 1 주사 방향으로 출력 신호를 출력할 수 있다.

[0103] <제 2 동작에 관해서>

[0104] 계속해서, 제 2 동작에 관해서, 도 3을 참조하여 설명한다. 제 2 동작은, 배선(155)의 전위를 VL로 설정하고, 배선(157)의 전위를 VH로 설정함으로써, 행해진다. 제 2 동작은, 기간 t1 내지 t6으로 나누어 동작을 설명한다. 또한 각 기간의 동작은, 노드 ND1 내지 ND3의 전위의 변화, 및 출력 신호를 전달하는 배선(152)의 전위의 변화를 쫓아감으로써, 설명할 수 있다.

[0105] 기간 t1에 있어서의 동작에 관해서 설명한다.

[0106] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VL이 되기 때문에, 트랜지스터(108)가 비도통 상태가 된다. 배선(160)의 전위가 VH가 되기 때문에, 트랜지스터(109)가 도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VL이 되기 때문에, 트랜지스터(103)가 비도통 상태가 된다. 따라서, 배선(157)의 전위인 VH가 트랜지스터(109)를 개재하여 노드 ND1에 전달되기 때문에, 노드 ND1의 전위가 VL로부터 상승한다. 그 후, 노드 ND1의 전위가 트랜지스터(109)의 게이트의 전위(배선(160)의 전위인 VH)로부터 트랜지스터(109)의 임계값 전압(Vth109)을 뺀 값(VH-Vth109)이 되면, 트랜지스터(109)가 비도통 상태가 된다. 따라서, 노드 ND1이 부유 상태가 되어, 노드 ND1의 전위가 VH-Vth109로 유지된다.

[0107] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VH가 되기 때문에, 트랜지스터(106)가 도통 상태가 된다. 배선(158)의 전위가 VL이 되기 때문에, 트랜지스터(107)가 비도통 상태가 된다. 따라서, 배선(155)의 전위인 VL이 트랜지스터(106)를 개재하여 노드 ND2에 전달되기 때문에, 노드 ND2의 전위가 VL이 된다.

[0108] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 VL이 되기 때문에, 트랜지스터(104)가 비도통 상태가 된다. 노드 ND1의 전위가 (VH-Vth109)가 되기 때문에, 트랜지스터(105)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(105)를 개재하여 노드 ND3에 전달되기 때문에, 노드 ND3의 전위가 VL이 된다.

[0109] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 (VH-Vth109)가 되기 때문에, 트랜지스터(101)가 도통 상태가 된다. 노드 ND3의 전위가 VL이 되기 때문에, 트랜지스터(102)가 비도통 상태가 된다. 따라서, 배선(151)의 전위인 VL이 트랜지스터(101)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL이 된다. 즉, 회로(100)의 출력 신호가 VL이 된다.

[0110] 기간 t2에 있어서의 동작에 관해서 설명한다.

[0111] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VL이 되기 때문에, 트랜지스터(108)가 비도통 상태가 된다. 배선(160)의 전위가 VL이 되기 때문에, 트랜지스터(109)가 비도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VL이 되기 때문에, 트랜지스터(103)가 비도통 상태가 된다. 따라서, 노드 ND1이 부유 상태가 되어, 노드 ND1의 전위가 (VH-Vth109)로 유지된다.

[0112] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VL이 되기 때문에, 트랜지스터(106)가 비도통 상태가 된다. 배선(158)의 전위가 VL이 되기 때문에, 트랜지스터(107)가 비도통 상태가 된다. 따라서, 노드 ND2가 부유 상태가 되기 때문에, 노드 ND2의 전위가 VL로 유지된다.

[0113] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 VL이 되기 때문에, 트랜지스터(104)가 비도통 상태가 된다. 노드 ND1의 전위가 (VH-Vth109)가 되기 때문에, 트랜지스터(105)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(105)를 개재하여 노드 ND3으로 전달되기 때문에, 노드 ND3의 전위가 VL이 된다.

[0114] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 (VH-Vth109)가 되기 때문에, 트랜지스터(101)가 도통 상태가 된다. 노드 ND3의 전위가 VL이 되기 때문에, 트랜지스터(102)가 비도통 상태가 된다. 따라서, 배선(151)의 전위인 VH가 트랜지스터(101)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL로부터 상승하기 시작한다. 이 때, 용량 소자(110)가 배선(152)과 노드 ND1의 전위차를 유지하고 있고, 또한 노드 ND1

이 부유 상태로 되어 있다. 이로 인해, 배선(152)의 전위의 상승에 따라, 노드 ND1의 전위가 (VH-Vth109)로부터 상승한다. 노드 ND1의 전위가 트랜지스터(101)의 소스 또는 드레인의 한쪽의 전위(배선(151)의 전위인 VH)와 트랜지스터(101)의 임계값 전압(Vth101)의 합(VH+Vth101)보다 높아지면, 배선(152)의 전위가 VH까지 상승한다. 즉, 회로(100)의 출력 신호가 VH가 된다.

[0115] 기간 t3에 있어서의 동작에 관해서 설명한다.

[0116] 노드 ND1의 전위에 관해서 설명한다. 배선(159)이 VH가 되기 때문에, 트랜지스터(108)가 도통 상태가 된다. 배선(160)의 전위가 VL이 되기 때문에, 트랜지스터(109)가 비도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(103)가 도통 상태가 된다. 따라서, 배선(155)의 VL의 전위가 트랜지스터(108)를 개재하여 노드 ND1에 공급되는 동시에, 배선(153)의 전위인 VL이 트랜지스터(103)를 개재하여 노드 ND1에 공급되기 때문에, 노드 ND1의 전위가 VL이 된다.

[0117] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VL이 되기 때문에, 트랜지스터(106)가 비도통 상태가 된다. 배선(158)의 전위 VH가 되기 때문에, 트랜지스터(107)가 도통 상태가 된다. 따라서, 배선(157)의 전위인 VH가 트랜지스터(107)를 개재하여 노드 ND2에 전달되기 때문에, 노드 ND2의 전위가 VL로부터 상승한다. 그 후, 노드 ND2의 전위가 트랜지스터(107)의 게이트의 전위(배선(158)의 전위인 VH)로부터 트랜지스터(107)의 임계값 전압(Vth107)을 뺀 값(VH-Vth107)이 되면, 트랜지스터(107)가 비도통 상태가 된다. 따라서, 노드 ND2가 부유 상태가 되어, 노드 ND2의 전위가 (VH-Vth107)로 유지된다.

[0118] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 VH-Vth107이 되기 때문에, 트랜지스터(104)가 도통 상태가 된다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(105)가 비도통 상태가 된다. 따라서, 배선(154)의 전위인 VH가 트랜지스터(104)를 개재하여 노드 ND3에 전달되기 때문에, 노드 ND3의 전위가 상승한다. 이로 인해, 노드 ND3과 노드 ND2의 전위차가 트랜지스터(104)의 게이트와 소스 또는 드레인의 다른쪽 사이의 기생 용량에 의해 유지되고 있고, 또한 노드 ND2가 부유 상태로 되어 있다. 따라서, 노드 ND3의 전위의 상승에 따라, 노드 ND2의 전위가 상승한다. 노드 ND2의 전위가 트랜지스터(104)의 소스 또는 드레인의 한쪽의 전위(배선(154)의 전위인 VH)와 트랜지스터(104)의 임계값 전압(Vth104)의 합(VH+Vth104)보다 높아지면, 노드 ND3의 전위가 VH까지 상승한다.

[0119] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(101)가 비도통 상태가 된다. 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(102)가 도통 상태가 된다. 따라서, 배선(153)의 전위가 트랜지스터(102)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL이 된다. 즉, 회로(100)의 출력 신호가 VL이 된다.

[0120] 기간 t4에 있어서의 동작에 관해서 설명한다.

[0121] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VL이 되기 때문에, 트랜지스터(108)가 비도통 상태가 된다. 배선(160)의 전위가 VL이 되기 때문에, 트랜지스터(109)가 비도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(103)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(103)를 개재하여 노드 ND1에 전달되기 때문에, 노드 ND1의 전위가 VL이 된다.

[0122] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VH가 되기 때문에, 트랜지스터(106)가 도통 상태가 된다. 배선(158)의 전위가 VL이 되기 때문에, 트랜지스터(107)가 비도통 상태가 된다. 따라서, 배선(155)의 전위인 VL이 트랜지스터(106)를 개재하여 노드 ND2에 전달되기 때문에, 노드 ND2의 전위가 VL이 된다.

[0123] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 VL이 되기 때문에, 트랜지스터(104)가 비도통 상태가 된다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(105)가 비도통 상태가 된다. 따라서, 노드 ND3이 부유 상태가 되어, 노드 ND3의 전위가 VH로 유지된다. 단, 노드 ND2의 전위가 하강하기 때문에, 노드 ND3의 전위가 VH보다 하강하는 경우가 많다.

[0124] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(101)가 비도통 상태가 된다. 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(102)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(102)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL이 된다. 즉, 회로(100)의 출력 신호가 VL이 된다.

[0125] 기간 t5에 있어서의 동작에 관해서 설명한다.

[0126] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VL이 되기 때문에, 트랜지스터(108)가 비도통 상태가

된다. 배선(160)의 전위가 VL이 되기 때문에, 트랜지스터(109)가 비도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(103)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(103)를 개재하여 노드 ND1에 전달되기 때문에, 노드 ND1의 전위가 VL이 된다.

[0127] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VL이 되기 때문에, 트랜지스터(106)가 비도통 상태가 된다. 배선(158)의 전위가 VL이 되기 때문에, 트랜지스터(107)가 비도통 상태가 된다. 따라서, 노드 ND2가 부유 상태가 되기 때문에, 노드 ND2의 전위가 VL로 유지된다.

[0128] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 VL이 되기 때문에, 트랜지스터(104)가 비도통 상태가 된다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(105)가 비도통 상태가 된다. 따라서, 노드 ND3이 부유 상태가 되어, 노드 ND3의 전위가 VH로 유지된다.

[0129] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(101)가 비도통 상태가 된다. 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(102)가 도통 상태가 된다. 따라서, 배선(153)의 전위가 트랜지스터(102)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL이 된다. 즉, 회로(100)의 출력 신호가 VL이 된다.

[0130] 기간 t6에 있어서의 동작에 관해서 설명한다.

[0131] 노드 ND1의 전위에 관해서 설명한다. 배선(159)의 전위가 VL이 되기 때문에, 트랜지스터(108)가 비도통 상태가 된다. 배선(160)의 전위가 VL이 되기 때문에, 트랜지스터(109)가 비도통 상태가 된다. 후술하는 바와 같이, 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(103)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(103)를 개재하여 노드 ND1에 전달되기 때문에, 노드 ND1의 전위가 VL이 된다.

[0132] 노드 ND2의 전위에 관해서 설명한다. 배선(156)의 전위가 VL이 되기 때문에, 트랜지스터(106)가 비도통 상태가 된다. 배선(158)의 전위가 VH가 되기 때문에, 트랜지스터(107)가 도통 상태가 된다. 따라서, 배선(157)의 전위인 VH가 트랜지스터(107)를 개재하여 노드 ND2에 전달되기 때문에, 노드 ND2의 전위가 VL로부터 상승한다. 그 후, 노드 ND2의 전위가 트랜지스터(107)의 게이트의 전위(배선(158)의 전위인 VH)에서 트랜지스터(107)의 임계값 전압을 뺀 값(VH-Vth107)이 되면, 트랜지스터(107)가 비도통 상태가 된다. 따라서, 노드 ND2가 부유 상태가 되어, 노드 ND2의 전위가 VH-Vth107로 유지된다.

[0133] 노드 ND3의 전위에 관해서 설명한다. 노드 ND2의 전위가 VH-Vth107이 되기 때문에, 트랜지스터(104)가 도통 상태가 된다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(105)가 비도통 상태가 된다. 따라서, 배선(154)의 전위인 VH가 트랜지스터(104)를 개재하여 노드 ND3에 전달되기 때문에, 노드 ND3의 전위가 상승한다. 이 때, 노드 ND3과 노드 ND2의 전위차가 트랜지스터(104)의 게이트와 소스 또는 드레인의 다른쪽 사이의 기생 용량에 의해 유지되고 있고, 또한 노드 ND2가 부유 상태로 되어 있다. 따라서, 노드 ND3의 전위의 상승에 따라, 노드 ND2의 전위가 상승한다. 노드 ND2의 전위가 트랜지스터(104)의 소스 또는 드레인의 한쪽의 전위(배선(154)의 전위인 VH)와 트랜지스터(104)의 임계값 전압(Vth104)의 합(VH+Vth104)보다 높아지면, 노드 ND3의 전위가 VH까지 상승한다.

[0134] 배선(152)의 전위에 관해서 설명한다. 노드 ND1의 전위가 VL이 되기 때문에, 트랜지스터(101)가 비도통 상태가 된다. 노드 ND3의 전위가 VH가 되기 때문에, 트랜지스터(102)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(102)를 개재하여 배선(152)에 전달되기 때문에, 배선(152)의 전위가 VL이 된다. 즉, 회로(100)의 출력 신호가 VL이 된다.

[0135] 이상이 제 2 동작에 관한 설명이다. 복수의 회로(100)를 갖는 반도체 장치에서는, 제 2 주사 방향으로 출력 신호를 전달할 수 있다. 예를 들면, (n-1)단째, n단째, (n+1)단째(n은 2 이상의 자연수)의 회로(100)가 순차적으로 설치된 반도체 장치에서는, 제 1 주사 방향과는 반대의 제 2 주사 방향, 즉 (n+1)단째, n단째, (n-1)단째의 순으로 출력 신호를 출력할 수 있다.

[0136] 구체적으로 n단째의 회로(100)는, 배선(157)의 전위를 VH, 배선(155)의 전위를 VL로 설정하고, 배선(159)에 전달되는 신호를 전단(n-1단)의 회로(100)의 출력 신호로 하고, 배선(160)에 전달되는 신호를 후단(n+1단)의 회로(100)의 출력 신호로 함으로써, 제 2 주사 방향으로 출력 신호를 출력할 수 있다.

[0137] <결론>

[0138] 이상 설명한 회로(100)의 동작은, 배선(155, 157)의 전위를 전환함으로써, 회로(100)를 갖는 반도체 장치에 있어서의 주사 방향의 전환을 행할 수 있다. 주사 방향의 전환을 행하는 기능을 구비한, 표시 기능을 갖는 반도

체 장치는, 반전 표시를 행할 수 있다.

[0139] 회로(100)의 동작에서는, 노드 ND1을 부유 상태로 하고, 배선(152)의 전위를 상승시키는 구성으로 할 수 있다. 이로 인해, 노드 ND1의 전위가 VH보다 작아도 배선(152)의 전위를 VH로 승압하여 출력할 수 있다. 따라서 배선(152)에 전달하는 출력 신호에 의해 동작하는 회로의 오동작을 저감시킬 수 있다.

[0140] 마찬가지로 회로(100)의 동작에서는, 노드 ND2를 부유 상태로 하고, 노드 ND3의 전위를 상승시키는 구성으로 할 수 있다. 이로 인해, 노드 ND2의 전위가 VH보다 작아도 노드 ND3의 전위를 VH로 승압하여 출력할 수 있다. 따라서 노드 ND3의 전위에 따라 도통 상태와 비도통 상태가 전환되는 트랜지스터(102, 103)의 오동작을 저감시킬 수 있다.

[0141] (실시형태 3)

[0142] 본 실시형태에서는, 실시형태 1 및 2의 변형예에 관해서 설명한다.

[0143] 실시형태 1 및 2에서 회로의 일례, 동작의 일례로서, 트랜지스터(101 내지 109), 및 용량 소자(110)를 구비한 회로 구성을 나타내고 있지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 또 다른 트랜지스터, 및/또는 다른 용량 소자를 갖는 회로 구성을 할 수도 있다. 또한 본 발명의 일 형태는, 별도의 배선을 설치하거나, 또는 생략함으로써, 다양한 회로 구성을 할 수 있다. 이하에서는, 그 일례인 변형예에 관해서 설명한다.

[0144] 또한 본 실시형태에 있어서, 실시형태 1 및 2에서의 설명과 중복되는 경우, 설명을 생략한다.

[0145] <변형예 1>

[0146] 도 4에 도시하는 반도체 장치는, 회로(100)가 트랜지스터(111)를 갖는 점에서, 도 1과 상이하다.

[0147] 트랜지스터(111)의 게이트는, 배선(154)과 접속된다. 트랜지스터(111)의 소스 또는 드레인의 한쪽은, 트랜지스터(101)의 게이트 및 용량 소자(110)의 제 1 전극과 접속된다. 트랜지스터(111)의 소스 또는 드레인의 다른쪽은, 트랜지스터(103)의 소스 또는 드레인의 다른쪽, 트랜지스터(105)의 게이트, 트랜지스터(108)의 소스 또는 드레인의 다른쪽, 및 트랜지스터(109)의 소스 또는 드레인의 다른쪽과 접속된다.

[0148] 도 4에 도시하는 반도체 장치는, 기간 T2, t2에 있어서, 트랜지스터(111)가 비도통 상태가 되기 때문에, 트랜지스터(111)의 소스 또는 드레인의 다른쪽(트랜지스터(108)의 소스 또는 드레인의 다른쪽)의 전위는, 배선(152)의 전위의 상승에 따라 상승하지 않는다. 따라서, 트랜지스터(111)의 소스 또는 드레인의 다른쪽과 접속되는 트랜지스터(103), 트랜지스터(105), 트랜지스터(108) 및 트랜지스터(109)에 큰 전압이 인가되는 것을 방지할 수 있어, 이들 트랜지스터의 파괴의 방지, 및 특성 변화의 억제를 도모할 수 있다.

[0149] 또는 도 4에 도시하는 반도체 장치는, 도 5와 같이 해도 좋다. 도 5에서는 트랜지스터(111)의 게이트는, 배선(154)과는 다른 배선(154A)에 접속한다. 도 5에 있어서 배선(154A)이 전달하는 전위는, 배선(154)이 전달하는 전위 VH보다 낮게 한다. 이와 같이 함으로써, 기간 T1, t1에 있어서, 트랜지스터(111)의 소스 또는 드레인의 한쪽이 VH-Vth108 또는 VH-Vth109보다 낮은 시점에서, 트랜지스터(111)를 비도통 상태로 할 수 있다. 따라서, 트랜지스터(101)의 게이트를 부유 상태로 하는 타이밍을 빠르게 할 수 있어, 동작 속도의 향상을 도모할 수 있다.

[0150] <변형예 2>

[0151] 도 6에 도시하는 반도체 장치는, 회로(100)가 트랜지스터(112)를 갖는 점에서, 도 1과 상이하다.

[0152] 트랜지스터(112)의 게이트는, 배선(151)과 접속된다. 트랜지스터(112)의 소스 또는 드레인의 한쪽은, 배선(153)과 접속된다. 트랜지스터(112)의 소스 또는 드레인의 다른쪽은, 노드 ND3과 접속된다.

[0153] 기간 T1, 기간 T3, 기간 T4 및 기간 T6, 및 기간 t1, 기간 t3, 기간 t4 및 기간 t6에 있어서, 배선(151)의 전위가 VL이 되면, 트랜지스터(112)가 비도통 상태가 된다. 기간 T2 및 기간 T5, 및 기간 t2 및 기간 t5에 있어서, 배선(151)의 전위가 VH가 되면, 트랜지스터(112)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(112)를 개재하여 노드 ND3에 전달되기 때문에, 노드 ND3의 전위가 VL이 된다. 그리고, 트랜지스터(102, 103)가 비도통 상태가 된다. 이와 같이, 기간 T5 및 기간 t5에 있어서 트랜지스터(102, 103)를 비도통 상태로 할 수 있기 때문에, 트랜지스터(102, 103)의 특성 열화를 억제할 수 있다.

[0154] <변형예 3>

- [0155] 도 7에 도시하는 반도체 장치는, 회로(100)가 트랜지스터(113)를 갖는 점에서, 도 1과 상이하다.
- [0156] 트랜지스터(113)의 게이트는, 배선(151)과 접속된다. 트랜지스터(113)의 소스 또는 드레인의 한쪽은, 배선(153)과 접속된다. 트랜지스터(113)의 소스 또는 드레인의 다른쪽은, 노드 ND2와 접속된다.
- [0157] 기간 T1, 기간 T3, 기간 T4 및 기간 T6, 및 기간 t1, 기간 t3, 기간 t4 및 기간 t6에 있어서, 배선(151)의 전위가 VL이 되면, 트랜지스터(113)가 비도통 상태가 된다. 기간 T2 및 기간 T5, 및 기간 t2 및 기간 t5에 있어서, 배선(151)의 전위가 VH가 되면, 트랜지스터(113)가 도통 상태가 된다. 따라서, 배선(153)의 전위인 VL이 트랜지스터(113)를 개재하여 노드 ND2에 전달되기 때문에, 노드 ND2의 전위가 VL이 된다. 그리고, 트랜지스터(104)가 비도통 상태가 된다. 이와 같이, 기간 T5 및 기간 t5에 있어서 트랜지스터(104)를 비도통 상태로 할 수 있기 때문에, 트랜지스터(104)의 특성 열화를 억제할 수 있다.
- [0158] <변형 예 4>
- [0159] 도 8에 도시하는 반도체 장치는, 회로(100)가 용량 소자(114)를 갖는 점에서, 도 1과 상이하다.
- [0160] 용량 소자(114)의 제 1 전극은, 노드 ND2와 접속된다. 용량 소자(114)의 제 2 전극은, 노드 ND3과 접속된다.
- [0161] 기간 T3, 및 기간 t3에 있어서, 노드 ND2가 부유 상태가 되고, 또한 노드 ND3과 노드 ND2의 전위차가 유지된 상태에서 노드 ND3의 전위를 상승시키기 때문에, 노드 ND2의 전위가 상승한다. 이 때, 트랜지스터(104)의 게이트와 소스 또는 드레인의 다른쪽 사이의 기생 용량이 작으면, 노드 ND2의 전위가 상승하기 어려워진다. 따라서, 트랜지스터(104)의 게이트와 소스 또는 드레인의 다른쪽 사이에 용량 소자(114)를 설치함으로써, 노드 ND2의 전위를 상승하기 쉽게 할 수 있다. 따라서, 노드 ND3의 전위를 보다 확실하게 VH로 하여 트랜지스터(102)를 도통 상태로 할 수 있기 때문에, 회로(100)의 출력 신호의 오동작을 저감시킬 수 있다.
- [0162] <변형 예 5>
- [0163] 도 9에 도시하는 반도체 장치는, 트랜지스터(102)의 게이트가 배선(161)에 접속되는 점에서, 도 1과 상이하다. 마찬가지로, 도 10에 도시하는 반도체 장치는, 트랜지스터(103)의 게이트가 배선(161)에 접속되는 점에서, 도 1과 상이하다.
- [0164] 배선(161)은, 하이 레벨과 로우 레벨을 갖는 신호를 전달하는 기능을 가진다. 구체적인 일례로서는, 배선(161)은 제 1 동작 및 제 2 동작시에 있어서, 배선(152)의 전위가 VH인 것 이외의 기간에 트랜지스터(102 또는 103)를 도통 상태로 하기 위한 신호를 전달하는 기능을 가진다. 예를 들면, 기간 T4 내지 T6, 및 기간 t4 내지 t6에 있어서, 임의의 타이밍에 VH가 되는 신호를 배선(161)에 전달하면 좋다. 이러한 신호로서는, 제 1 내지 제 3 클록 신호와는 위상이 상이한 클록 신호인 것이 바람직하다. 배선(161)이 전달하는 클록 신호는, 제 4 클록 신호라고 하는 경우가 있다. 도 9 및 도 10의 구성으로 함으로써, 배선(152)의 전위를 보다 확실하게 VL로 할 수 있기 때문에, 회로(100)의 출력 신호의 오동작을 저감시킬 수 있다.
- [0165] 또는 도 9에 도시하는 반도체 장치에 있어서, 트랜지스터(102)의 게이트가 배선(156) 또는 배선(158)과 접속되어도 좋다.
- [0166] <변형 예 6>
- [0167] 도 11에 도시하는 반도체 장치는, 트랜지스터(105 내지 109)를 스위치(105A 내지 109A)로 하는 점에서, 도 1과 상이하다. 또한, 도 12에 도시하는 반도체 장치는, 트랜지스터(102)를 스위치(102A)로 하는 점에서, 도 1과 상이하다. 마찬가지로, 도 13에 도시하는 반도체 장치는, 트랜지스터(103)를 스위치(103A)로 하는 점에서, 도 1과 상이하다.
- [0168] 스위치(102A, 103A, 105A 내지 109A)는, 트랜지스터로 한정하지 않고, 전기적 스위치 또는 기계적 스위치를 사용할 수 있기 때문에, 설계의 자유도를 높일 수 있다.
- [0169] <변형 예 7>
- [0170] 도 14에 도시하는 반도체 장치는, 용량 소자(110)를 생략한 점에서, 도 1과 상이하다.
- [0171] 도 14에 도시하는 반도체 장치는, 트랜지스터(101)의 게이트와 소스 또는 드레인의 다른쪽 사이의 기생 용량이 커지도록 설계해 둠으로써, 용량 소자(110)를 생략할 수 있다. 용량 소자를 생략할 수 있음으로써 설계의 자유도를 높일 수 있고, 또한 회로(100)가 차지하는 면적을 축소시킬 수 있다.

[0172] <변형 예 8>

도 15에 도시하는 반도체 장치는, 트랜지스터(101 내지 109)를 P채널형으로 하여 나타낸 점에서, 도 1과 상이하다.

도 15에 도시하는 반도체 장치는, P채널형밖에 만들 수 없는 반도체 재료로 트랜지스터를 작성하고, 회로(100)에 적용할 수 있다.

[0175] <변형 예 9>

도 16에 도시하는 반도체 장치는, 상기한 변형 예 1 내지 3을 조합하여, 트랜지스터(111, 112), 및 트랜지스터(113)를 갖는 점에서, 도 1과 상이하다.

도 16에 도시하는 반도체 장치는, 일례로서 나타내는 상기한 변형 예 1 내지 3을 조합함으로써, 상기한 각 변형 예에서의 이점을 구비한 회로(100)로 할 수 있다.

[0178] <변형 예 10>

도 17에 도시하는 반도체 장치는, 트랜지스터(101 내지 109)를, 백 게이트를 갖는 트랜지스터로서 나타내고, 백 게이트가 배선(162)에 접속되는 점에서, 도 1과 상이하다. 또한, 도 18에 도시하는 반도체 장치는, 트랜지스터(101, 104, 106, 108)를, 백 게이트를 갖는 트랜지스터로서 나타내고, 백 게이트가 배선(162)에 접속되는 점에서, 도 1과 상이하다. 또한, 도 19에 도시하는 반도체 장치는, 트랜지스터(101 내지 109)를, 백 게이트를 갖는 트랜지스터로서 나타내고, 트랜지스터(101, 104, 106, 108)의 백 게이트가 배선(162)에 접속되고, 트랜지스터(102, 103, 105, 107, 109)의 백 게이트가 배선(163)에 접속되는 점에서, 도 1과 상이하다. 또한, 도 20에 도시하는 반도체 장치는, 트랜지스터(101 내지 109)를, 백 게이트를 갖는 트랜지스터로서 나타내고, 트랜지스터(101 및 102)의 백 게이트가 게이트에 접속되고, 트랜지스터(103 내지 109)의 백 게이트가 배선(162)에 접속되는 점에서, 도 1과 상이하다.

배선(162)은, 하이 레벨 또는 로우 레벨의 전위를 전달하는 기능을 가진다. 구체적인 일례로서는, 배선(162)은 제 1 동작 및 제 2 동작시에 있어서, 트랜지스터의 임계값 전압을 제어할 수 있는 전위를 전달하는 기능을 가진다. 또한 배선(163)은, 하이 레벨 또는 로우 레벨의 전위를 전달하는 기능을 가진다. 구체적인 일례로서는, 배선(163)은 제 1 동작 및 제 2 동작시에 있어서, 배선(162)의 전위와는 상이한, 트랜지스터의 임계값 전압을 제어할 수 있는 전위를 전달하는 기능을 가진다. 예를 들면, 트랜지스터의 임계값 전압을 제어할 수 있는 전위로서는, VH 이하의 전위, 또는 VL 이상의 전위인 것이 바람직하다.

도 17 내지 도 19에 도시하는 반도체 장치는, VH로 설정되는 배선과, VL로 설정되는 배선 사이의 관통 전류를 저감시킬 수 있다. 따라서, 소비 전력의 저감을 도모할 수 있다. 또한 도 20에 도시하는 반도체 장치는, 트랜지스터(101, 102)의 백 게이트에 인가하는 전위를 게이트와 등전위로 하고, 트랜지스터(101, 102)의 전류 공급 능력을 크게 할 수 있다. 따라서, 배선(152)에 전달하는 신호의 상승 시간 및 하강 시간을 짧게 할 수 있다.

[0182] <결론>

이상 설명한 바와 같이 본 발명의 일 형태는, 실시형태 1 및 2에서 회로의 일례, 동작의 일례로 한정하지 않는다. 본 발명의 일 형태는, 다른 트랜지스터, 및/또는 다른 용량 소자, 별도의 배선을 설치하거나, 또는 생략함으로써, 다양한 회로 구성으로 할 수 있다.

[0184] (실시형태 4)

본 실시형태에서는, 상기 실시형태 1 내지 3에서 설명한, 회로(100)를 사용한 시프트 레지스터의 일례에 관해서 설명한다.

도 21에 도시하는 시프트 레지스터(200)는, 상기 실시형태 1 내지 3에서 설명한 회로(100)에 상당하는, 회로(201[i]) 내지 회로(201[i+2])(i는 3 이상의 자연수)를 가진다. 회로(201[i]) 내지 회로(201[i+2])는, 각각 트랜지스터(101 내지 109), 및 용량 소자(110)를 가진다.

또한 도 21에서는, 회로(201[i] 내지 201[i+2])의 출력 신호를 OUT[i] 내지 OUT[i+2]로서 도시하고 있다. 또한 OUT[i] 내지 OUT[i+2]를 전달하는 배선은, 배선(218[i] 내지 218[i+2])으로서 도시하고 있다. 배선(218[i] 내지 218[i+2])은, 상기 실시형태 1 내지 3에서 설명한 배선(152)에 상당한다. 또한, 회로(201[i])의 전단에

해당하는 회로(201[i-1])(도시 생략)의 출력 신호(OUT[i-1])를 전달하는 배선은, 배선(218[i-1])으로서 도시하고 있다. 마찬가지로, 회로(201[i+2])의 후단에 해당하는 회로(201[i+3])(도시 생략)의 출력 신호(OUT[i+3])를 전달하는 배선은, 배선(218[i+3])으로서 도시하고 있다.

[0188] 도 21에서는, 회로(201[i])에 전달하는 배선의 일례로서, 배선(211 내지 217)을 도시하고 있다.

[0189] 배선(211)은, 예를 들면 회로(201[i])에서는, 상기 실시형태 1 내지 3에서 설명한 배선(158)에 상당한다. 배선(211)은, 일례로서, 신호 CK1을 전달하는 기능을 가진다. 신호 CK1은, 제 1 내지 제 3 클록 신호 중 어느 하나에 상당한다.

[0190] 배선(212)은, 예를 들면 회로(201[i])에서는, 상기 실시형태 1 내지 3에서 설명한 배선(151)에 상당한다. 배선(212)은, 일례로서, 신호 CK2를 전달하는 기능을 가진다. 신호 CK2는, 신호 CK1과는 상이한, 제 1 내지 제 3 클록 신호 중 어느 하나에 상당한다.

[0191] 배선(213)은, 예를 들면 회로(201[i])에서는, 상기 실시형태 1 내지 3에서 설명한 배선(156)에 상당한다. 배선(213)은, 일례로서, 신호 CK3을 전달하는 기능을 가진다. 신호 CK3은, 신호 CK1, CK2와는 상이한, 제 1 내지 제 3 클록 신호 중 어느 하나에 상당한다.

[0192] 배선(214)은, 예를 들면 회로(201[i])에서는, 상기 실시형태 1 내지 3에서 설명한 배선(154)에 상당한다. 배선(214)은, 일례로서, VDD로 설정되는 기능을 가진다. VDD는, VH에 상당한다.

[0193] 배선(215)은, 예를 들면 회로(201[i])에서는, 상기 실시형태 1 내지 3에서 설명한 배선(153)에 상당한다. 배선(215)은, 일례로서, VSS로 설정되는 기능을 가진다. VSS는, VL에 상당한다.

[0194] 배선(216)은, 예를 들면 회로(201[i])에서는, 상기 실시형태 1 내지 3에서 설명한 배선(155)에 상당한다. 배선(216)은, 일례로서, 신호 SEL1을 전달하는 기능을 가진다. 신호 SEL1은, 제 1 기간에서 하이 레벨, 예를 들면 VDD가 되고, 제 2 기간에서 로우 레벨, 예를 들면 VSS가 되는 신호이다.

[0195] 배선(217)은, 예를 들면 회로(201[i])에서는, 상기 실시형태 1 내지 3에서 설명한 배선(157)에 상당한다. 배선(217)은, 일례로서, 신호 SEL2를 전달하는 기능을 가진다. 신호 SEL2는, 제 1 기간에서 로우 레벨, 예를 들면 VSS가 되고, 제 2 기간에서 하이 레벨, 예를 들면 VDD가 되는 신호이다.

[0196] 시프트 레지스터(200)는, 제 1 동작시에 있어서, 예를 들면 회로(201[i])에서는, 회로(201[i-1])(도시 생략)의 출력 신호(OUT[i-1])를 시프트한, 출력 신호(OUT[i])를 배선(218[i])에 전달하는 기능을 가진다. 마찬가지로, 예를 들면 회로(201[i+1])에서는, 회로(201[i])의 출력 신호(OUT[i])를 시프트한, 출력 신호(OUT[i+1])를 배선(218[i+1])에 전달하는 기능을 가진다. 도 22에, 제 1 동작시에 있어서의, 신호의 과정에 관해서 도시한다. 회로(201[i-1] 내지 201[i+3])에서의, 제 1 동작에 의한 각 트랜지스터의 동작에 관해서는, 실시형태 2의 기재를 참조하면 좋다.

[0197] 또한, 시프트 레지스터(200)는, 제 2 동작시에 있어서, 예를 들면 회로(201[i+1])에서는, 회로(201[i+2])의 출력 신호(OUT[i+2])를 시프트한, 출력 신호(OUT[i+1])를 배선(218[i+1])에 전달하는 기능을 가진다. 마찬가지로, 예를 들면 회로(201[i])에서는, 회로(201[i+1])의 출력 신호(OUT[i+1])를 시프트한, 출력 신호(OUT[i])를 배선(218[i])에 전달하는 기능을 가진다. 도 22에, 제 2 동작시에 있어서의, 신호의 과정에 관해서 도시한다. 회로(201[i-1] 내지 201[i+3])에서의, 제 2 동작에 의한 각 트랜지스터의 동작에 관해서는, 실시형태 2의 기재를 참조하면 좋다.

[0198] 도 22에 예시하는 바와 같이 시프트 레지스터(200)는, 제 1 동작시에 있어서, 배선(218[i])으로부터 배선(218[i+1])을 향하는 제 1 방향으로, 펄스를 시프트 하도록 동작할 수 있다. 마찬가지로, 제 2 동작시에 있어서, 배선(218[i+1])에서 배선(218[i])으로 향하는 제 2 방향으로, 펄스를 시프트 하도록 동작할 수 있다. 이와 같이, 시프트 레지스터(200)는, 특히 쌍방향으로 펄스를 순차적으로 출력할 수 있는, 시프트 레지스터로서의 기능을 가진다. 그리고 시프트 레지스터(200)에서는, 펄스의 시프트 방향을, 신호 SEL1 또는 신호 SEL2의, 하이 레벨 또는 로우 레벨로 하는 전환에 의해 변경할 수 있다. 단, 시프트 레지스터(200)가 갖는 기능은, 이것으로 한정되지 않는다.

[0199] 또한 도 33에는, 도 21에서 도시한 회로(201[i])의 레이아웃도의 일례를 도시한다. 도 33에서는, 게이트 전극과 동일한 층에 설치되는 제 1 배선(401), 소스 전극 및 드레인 전극과 동일한 층에 설치되는 제 2 배선(402), 반도체층(403), 제 1 배선(401)과 제 2 배선(402)을 접속하기 위한 개구부(404)의 배치예에 관해서 도시하고 있

다.

[0200] 반도체층(403)과 제 1 배선(401)이 중첩되고, 반도체층의 양 단부에 있어서 제 2 배선(402)이 중첩되는 영역이, 트랜지스터가 차지하는 영역이 된다. 또한, 제 1 배선(401)과 제 2 배선(402)이 중첩되는 영역이, 용량 소자가 차지하는 영역이 된다. 도 33에서는, 도 21에서 설명한 트랜지스터(101 내지 109), 용량 소자(110)의 배치를 도시하고 있다. 또한 도 33에서는, 배선(211 내지 217), 배선(218 [i-1] 내지 배선(218[i+1])의 배치를 도시하고 있다.

[0201] 또한 도 33에 도시하는 레이아웃의 예에서는, 배선 및 반도체층의 상하 관계에 관해서, 하층으로부터 반도체층(403), 제 1 배선(401), 제 2 배선(402)의 순으로 중첩하는 예를 도시했지만, 이들로 한정하지 않고, 제 1 배선(401)을 하층으로 해도 좋고, 제 2 배선(402)을 하층으로 해도 좋다. 또한 반도체층(403)은, 제 1 배선(401) 및 제 2 배선(402)보다 폭이 커지도록 형성해도 좋고, 반대로 반도체층(403)은, 제 1 배선(401) 및 제 2 배선(402)보다 폭이 작아지도록 형성해도 좋다.

[0202] (실시형태 5)

[0203] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치를 적용 가능한, 표시 장치에 관해서 설명한다.

[0204] 도 23의 (A)에 예시하는 표시 장치는, 회로(300) 및 화소부(130)를 가진다. 화소부(130)에는, N개(N은 3 이상의 자연수)의 배선 GL(GL[1] 내지 GL[N]이라고도 나타낸다) 및 M(M은 자연수)개의 배선 SL(배선 SL[1] 내지 SL[M]이라고도 나타낸다)이 설치된다. 그리고, N개의 배선 GL 및 M개의 배선 SL에 대응하여 화소(131)가 설치된다. 회로(300)는, 게이트 드라이버(게이트선 구동 회로, 게이트 신호선 구동 회로, 주사선 구동 회로라고도 한다)로서의 기능을 가진다. N개의 배선 GL은, 게이트선(게이트 신호선, 주사선이라고도 한다)으로서의 기능을 가진다. M개의 배선 SL은, 비디오 신호를 전달하는 기능을 가진다. 즉, M개의 배선 SL은, 소스선(소스 신호선, 신호선이라고도 한다)으로서의 기능을 가진다. 또한, M개의 배선 SL은, 소스 드라이버(소스선 구동 회로, 소스 신호선 구동 회로 또는 신호선 구동 회로라고도 한다)로서의 기능을 갖는 회로와 접속된다.

[0205] 또한, 회로(300)로서는, 실시형태 4에 있어서 설명한 시프트 레지스터(200)를 사용하는 것이 가능하다. 그 경우, N개의 배선 GL은, 배선(218)에 상당한다. 또한, 회로(300)가 갖는 N개의 회로(301)(회로(301)[1] 내지 301[N]이라고도 나타낸다)로서는, 실시형태 1 내지 3에 있어서 설명한 회로(100)를 사용하는 것이 가능하다. 그 경우, N개의 배선 GL은, 배선(152)에 상당한다.

[0206] 화소(131)의 선택 또는 비선택은 배선 GL의 전위에 기초하여 제어된다. 즉, 화소(131)의 선택 또는 비선택은 회로(300)에 의해 제어된다. 화소(131)가 선택되면, 비디오 신호가 배선 SL로부터 화소(131)에 기록된다. 그리고, 비디오 신호가 화소(131)에 유지되는 동시에, 화소(131)가 비디오 신호에 따른 표시를 행한다. 그 후, 화소(131)가 비선택이 되면, 화소(131)는 유지한 비디오 신호에 따른 표시를 계속한다.

[0207] 다음에, 화소(131)의 구체적인 구성예에 관해서 설명한다.

[0208] 도 23의 (B)에 예시하는 화소(131)는, 트랜지스터(132), 액정 소자(133) 및 용량 소자(134)를 가진다. 트랜지스터(132)는, 제 1 단자가 배선 SL과 접속되고, 제 2 단자가 액정 소자(133)의 제 1 전극(화소 전극이라고도 한다) 및 용량 소자(134)의 제 1 전극과 전기적으로 접속되고, 게이트가 배선 GL과 접속된다. 액정 소자(133)의 제 2 전극(코몬 전극이라고도 한다)은, 복수의 화소(131)의 전체 또는 2개 이상에 있어서 공통된다. 즉, 제 1 화소(131)의 액정 소자(133)의 제 2 전극이 되는 영역을 갖는 도전체는, 제 2 화소(131)의 액정 소자(133)의 제 2 전극이 되는 영역을 가진다. 용량 소자(134)의 제 2 전극은, 용량선으로서의 기능을 갖는 배선과 접속된다. 용량 소자(134)의 제 2 전극은, 복수의 화소(131)의 전체 또는 2개 이상에 있어서 동일한 배선과 접속된다. 단, 용량 소자(134)의 제 2 전극은, 액정 소자(133)의 제 2 전극과 접속되어도 좋다. 트랜지스터(132)는, 배선 GL의 전위에 의해 온 또는 오프가 제어된다. 트랜지스터(132)가 온이 되면, 배선 SL의 비디오 신호가 화소(131)에 입력된다. 액정 소자(133)는, 액정 재료를 가진다. 액정 재료의 배향은, 액정 소자(133)의 제 1 전극과 액정 소자(133)의 제 2 전극의 전위차에 의해 제어된다. 용량 소자(134)는, 비디오 신호에 따른 전하를 축적하는 기능을 가진다. 즉, 용량 소자(134)는, 액정 소자(133)의 제 1 전극의 전위를 비디오 신호에 따른 값으로 유지하는 기능을 가진다.

[0209] 도 23의 (C)에 예시하는 화소(131)는, 트랜지스터(135), 트랜지스터(136), EL 소자(137)를 가진다. 트랜지스터(135)는, 제 1 단자가 배선 SL과 접속되고, 제 2 단자가 트랜지스터(136)의 게이트와 접속되고, 게이트가 배선 GL과 접속된다. 트랜지스터(136)는, 제 1 단자가 EL 소자(137)에 흐르는 전류를 공급하는 기능을 갖는 배선과 접속되고, 제 2 단자가 EL 소자(137)의 제 1 전극(화소 전극이라고도 한다)과 접속된다. EL 소자(137)의 제 2

전극(공통 전극이라고도 한다)은, 복수의 화소(131)의 전체 또는 2개 이상에 있어서 공통된다. 즉, 제 1 화소(131)의 EL 소자(137)의 제 2 전극이 되는 영역을 갖는 도전체는, 제 2 화소(131)의 EL 소자(137)의 제 2 전극이 되는 영역을 가진다. 트랜지스터(135)는, 배선 GL의 전위에 의해 온 또는 오프가 제어된다. 트랜지스터(135)가 온이 되면, 배선 SL의 비디오 신호가 화소(131)에 입력된다. 트랜지스터(136)는, EL 소자(137)에 전류를 공급하는 기능을 가진다. 트랜지스터(136)가 EL 소자(137)에 공급하는 전류는, 비디오 신호에 따른 값이 된다. EL 소자(137)는, 트랜지스터(136)로부터 공급되는 전류에 따라 발광하는 기능을 가진다.

[0210] 화소(131)의 구성은, 도 23의 (B) 및 도 23의 (C)로 한정되지 않는다. 화소(131)는, 게이트가 배선 GL과 접속되고, 제 1 단자가 배선 SL과 접속되는 트랜지스터와, 상기 트랜지스터를 개재하여 입력되는 비디오 신호에 기초하여 표시를 행하는 표시 소자를 가지고 있으면 좋다. 또는, 화소(131)는, 게이트가 배선 GL과 접속되고, 제 1 단자가 배선 SL과 접속되는 트랜지스터와, 상기 트랜지스터를 개재하여 입력되는 비디오 신호에 기초한 전위 또는 전류가 공급되는 화소 전극을 가지고 있으면 좋다. 또는, 화소(131)는 게이트가 배선 GL과 접속되고, 제 1 단자가 배선 SL과 접속되는 트랜지스터와, 상기 트랜지스터를 개재하여 입력되는 비디오 신호에 기초한 전류를 표시 소자 또는 화소 전극에 공급하는 트랜지스터를 가지고 있으면 좋다.

[0211] (실시형태 6)

[0212] 본 실시형태에서는, 상기 회로(100)의 트랜지스터(101 내지 109)에 적용 가능한 트랜지스터의 구성예에 관해서, 도면을 참조하여 설명한다.

[0213] <트랜지스터의 구성예>

[0214] 도 24의 (A)에, 이하에서 예시하는 트랜지스터(600)의 상면 개략도를 도시한다. 또한 도 24의 (B)에 도 24의 (A) 중에 나타내는 절단선 A-B에 있어서의 트랜지스터(600)의 단면 개략도를 도시한다. 도 24의 (A)(B)에서 예시하는 트랜지스터(600)는 보텀 게이트형의 트랜지스터이다.

[0215] 트랜지스터(600)는, 기판(601) 위에 설치되는 게이트 전극(602)과, 기판(601) 및 게이트 전극(602) 위에 설치되는 절연층(603)과, 절연층(603) 위에 게이트 전극(602)과 중첩되도록 설치되는 산화물 반도체층(604)과, 산화물 반도체층(604)의 상면에 접하는 한 쌍의 전극(605a, 605b)을 가진다. 또한, 절연층(603), 산화물 반도체층(604), 한 쌍의 전극(605a, 605b)을 피복하는 절연층(606)과, 절연층(606) 위에 절연층(607)이 설치되어 있다.

[0216] 기판(601)의 재질 등에 큰 제한은 없지만, 적어도, 나중의 열처리에 견딜 수 있을 정도의 내열성을 갖는 재료를 사용한다. 예를 들면, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판, YSZ(산화이트륨 안정화 지르코니아) 기판 등을, 기판(601)으로서 사용해도 좋다. 또한, 실리콘이나 탄화실리콘을 재료로 한 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄을 재료로 한 화합물 반도체 기판, SOI 기판 등을 적용하는 것도 가능하다. 또한, 이러한 기판 위에 반도체 소자가 설치된 것을, 기판(601)으로서 사용해도 좋다.

[0217] 또한, 기판(601)으로서, 플라스틱 등의 가요성 기판을 사용하여, 상기 가요성 기판 위에 직접, 트랜지스터(600)를 형성해도 좋다. 또는, 기판(601)과 트랜지스터(600) 사이에 박리층을 설치해도 좋다. 박리층은, 그 상층에 트랜지스터의 일부 또는 전부를 형성한 후, 기판(601)으로부터 분리하여, 다른 기판으로 전재하는데도 사용할 수 있다. 그 결과, 트랜지스터(600)는 내열성이 떨어지는 기판이나 가요성의 기판으로도 전재할 수 있다.

[0218] 게이트 전극(602)은, 알루미늄, 크롬, 구리, 탄탈럼, 티타늄, 몰리브덴, 텉스텐으로부터 선택된 금속, 또는 상기한 금속을 성분으로 하는 합금이나, 상기한 금속을 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 망간, 지르코늄 중 어느 하나 또는 복수로부터 선택된 금속을 사용해도 좋다. 또한, 게이트 전극(602)은, 단층 구조라도, 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 함유하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화티타늄막 위에 텉스텐막을 적층하는 2층 구조, 질화탄탈럼막 또는 질화텅스텐막 위에 텉스텐막을 적층하는 2층 구조, 티타늄막과, 그 티타늄막 위에 알루미늄막을 적층하고, 또한 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄에, 티타늄, 탄탈럼, 텉스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 하나 또는 복수의 금속을 조합한 합금막, 또는 질화막을 사용해도 좋다.

[0219] 또한, 게이트 전극(602)은, 인듐주석 산화물, 산화텅스텐을 함유하는 인듐 산화물, 산화텅스텐을 함유하는 인듐아연 산화물, 산화티타늄을 함유하는 인듐 산화물, 산화티타늄을 함유하는 인듐주석 산화물, 인듐아연 산화물, 산화실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광

성을 갖는 도전성 재료와, 상기 금속의 적층 구조로 할 수도 있다.

[0220] 또한, 게이트 전극(602)과 절연층(603) 사이에, In-Ga-Zn계 산질화물 반도체막, In-Sn계 산질화물 반도체막, In-Ga계 산질화물 반도체막, In-Zn계 산질화물 반도체막, Sn계 산질화물 반도체막, In계 산질화물 반도체막, 금속 질화막(InN, ZnN 등) 등을 설치해도 좋다. 이들 재료는 5eV 이상, 바람직하게는 5.5eV 이상의 일함수이며, 트랜지스터의 임계값 전압을 플러스로 할 수 있어, 소위 노멀리 오프의 스위칭 소자를 실현할 수 있다. 예를 들면, In-Ga-Zn계 산질화물 반도체막을 사용하는 경우, 적어도 산화물 반도체층(604)보다 높은 질소 농도, 구체적으로는 7원자% 이상의 In-Ga-Zn계 산질화물 반도체막을 사용한다.

[0221] 절연층(603)은, 게이트 절연막으로서 기능한다. 산화물 반도체층(604)의 하면과 접하는 절연층(603)은, 산화물 절연막인 것이 바람직하다.

[0222] 절연층(603)은, 예를 들면 산화실리콘, 산화질화실리콘, 질화산화실리콘, 질화실리콘, 산화알루미늄, 산화하프늄, 산화갈륨 또는 Ga-Zn계 금속 산화물 등을 사용하면 좋으며, 적층 또는 단층으로 설치한다.

[0223] 또한, 절연층(603)으로서, 하프늄실리케이트(HfSiO_x), 질소가 첨가된 하프늄실리케이트(HfSi_xO_yN_z), 질소가 첨가된 하프늄알루미네이트(HfAl_xO_yN_z), 산화하프늄, 산화이트륨 등의 high-k 재료를 사용함으로써 트랜지스터의 게이트 리크를 저감시킬 수 있다.

[0224] 한 쌍의 전극(605a 및 605b)은, 트랜지스터의 소스 전극 또는 드레인 전극으로서 기능한다.

[0225] 한 쌍의 전극(605a, 605b)은, 도전 재료로서, 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈럼, 또는 텉스텐 등의 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로서 사용할 수 있다. 예를 들면, 실리콘을 함유하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 텉스텐막 위에 티타늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화티타늄막과, 그 티타늄막 또는 질화티타늄막 위에 중첩하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 티타늄막 또는 질화티타늄막을 형성하는 3층 구조, 몰리브덴막 또는 질화몰리브덴막과, 그 몰리브덴막 또는 질화몰리브덴막 위에 중첩하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 몰리브덴막 또는 질화몰리브덴막을 형성하는 3층 구조 등이 있다. 또한, 산화인듐, 산화주석 또는 산화아연을 함유하는 투명 도전 재료를 사용해도 좋다.

[0226] 절연층(606)은, 화학량론적 조성을 충족시키는 산소보다 많은 산소를 함유하는 산화물 절연막을 사용하는 것이 바람직하다. 화학량론적 조성을 충족시키는 산소보다 많은 산소를 함유하는 산화물 절연막은, 가열에 의해 일부의 산소가 탈리된다. 화학량론적 조성을 충족시키는 산소보다 많은 산소를 함유하는 산화물 절연막은, 승온탈리 가스 분광법(TDS: Thermal Desorption Spectroscopy) 분석으로, 산소 원자로 환산했을 때의 산소의 탈리량이 1.0×10^{18} atoms/cm² 이상, 바람직하게는 3.0×10^{20} atoms/cm² 이상인 산화물 절연막이다. 또한, 상기 TDS 분석시에 있어서의 막의 표면 온도로서는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위가 바람직하다.

[0227] 절연층(606)으로서는, 산화실리콘, 산화질화실리콘 등을 사용할 수 있다.

[0228] 또한, 절연층(606)은, 나중에 형성하는 절연층(607)을 형성할 때의, 산화물 반도체층(604)으로의 대미지 완화막으로서도 기능한다.

[0229] 또한, 절연층(606)과 산화물 반도체층(604) 사이에, 산소를 투과하는 산화물막을 설치해도 좋다.

[0230] 산소를 투과하는 산화물막으로서는, 산화실리콘, 산화질화실리콘 등을 사용할 수 있다. 또한, 본 명세서 중에 있어서, 산화질화실리콘막이란, 그 조성으로서, 질소보다 산소의 함유량이 많은 막을 가리키고, 질화산화실리콘막이란, 그 조성으로서, 산소보다 질소의 함유량이 많은 막을 가리킨다.

[0231] 절연층(607)은, 산소, 수소, 물 등의 블로킹 효과를 갖는 절연막을 사용할 수 있다. 절연층(606) 위에 절연층(607)을 설치함으로써, 산화물 반도체층(604)으로부터의 산소의 외부로의 확산과, 외부로부터 산화물 반도체층(604)으로의 수소, 물 등의 침입을 방지할 수 있다. 산소, 수소, 물 등의 블로킹 효과를 갖는 절연막으로서는, 질화실리콘, 질화산화실리콘, 산화알루미늄, 산화질화알루미늄, 산화갈륨, 산화질화갈륨, 산화이트륨, 산화질화이트륨, 산화하프늄, 산화질화하프늄 등이 있다.

[0232] <트랜지스터의 제작 방법예>

- [0233] 계속해서, 도 24에 예시하는 트랜지스터(600)의 제작 방법의 일례에 관해서 설명한다.
- [0234] 우선, 도 25의 (A)에 도시하는 바와 같이, 기판(601) 위에 게이트 전극(602)을 형성하고, 게이트 전극(602) 위에 절연층(603)을 형성한다.
- [0235] 여기에서는, 기판(601)으로서 유리 기판을 사용한다.
- [0236] 게이트 전극(602)의 형성 방법을 이하에 나타낸다. 처음에, 스퍼터링법, CVD법, 증착법 등에 의해 도전막을 형성하고, 도전막 위에 제 1 포토마스크를 사용하여 포토리소그래피 공정에 의해 레지스트 마스크를 형성한다. 다음에, 상기 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여, 게이트 전극(602)을 형성한다. 그 후, 레지스트 마스크를 제거한다.
- [0237] 또한, 게이트 전극(602)은, 상기 형성 방법 대신, 전해 도금법, 인쇄법, 잉크젯법 등으로 형성해도 좋다.
- [0238] 절연층(603)은, 스퍼터링법, PECVD법, 증착법 등으로 형성한다.
- [0239] 절연층(603)으로서 산화실리콘막, 산화질화실리콘막, 또는 질화산화실리콘막을 형성하는 경우, 원료 가스로서는, 실리콘을 함유하는 퇴적성 기체 및 산화성 기체를 사용하는 것이 바람직하다. 실리콘을 함유하는 퇴적성 기체의 대표예로서는, 실란, 디실란, 트리실란, 불화실란 등이 있다. 산화성 기체로서는, 산소, 오존, 일산화이질소, 이산화질소 등이 있다.
- [0240] 또한, 절연층(603)으로서 질화실리콘막을 형성하는 경우, 2단계의 형성 방법을 사용하는 것이 바람직하다. 처음에, 실란, 질소, 및 암모니아의 혼합 가스를 원료 가스로서 사용한 플라즈마 CVD법에 의해, 결합이 적은 제 1 질화실리콘막을 형성한다. 다음에, 원료 가스를, 실란 및 질소의 혼합 가스로 전환하여, 수소 농도가 적고, 또한 수소를 블로킹하는 것이 가능한 제 2 질화실리콘막을 성막한다. 이러한 형성 방법에 의해, 절연층(603)으로서, 결합이 적고, 또한 수소 블로킹성을 갖는 질화실리콘막을 형성할 수 있다.
- [0241] 또한, 절연층(603)으로서 산화갈륨막을 형성하는 경우, MOCVD(Metal Organic Chemical Vapor Deposition)법을 사용하여 형성할 수 있다.
- [0242] 다음에, 도 25의 (B)에 도시하는 바와 같이, 절연층(603) 위에 산화물 반도체층(604)을 형성한다.
- [0243] 산화물 반도체층(604)의 형성 방법을 이하에 나타낸다. 처음에, 산화물 반도체막을 형성한다. 계속해서, 산화물 반도체막 위에 제 2 포토마스크를 사용하여 포토리소그래피 공정에 의해 레지스트 마스크를 형성한다. 다음에, 상기 레지스트 마스크를 사용하여 산화물 반도체막의 일부를 에칭하여, 산화물 반도체층(604)을 형성한다. 그 후, 레지스트 마스크를 제거한다.
- [0244] 이후, 가열 처리를 행해도 좋다. 가열 처리를 행하는 경우에는, 산소를 함유하는 분위기 하에서 행하는 것이 바람직하다. 또한, 상기 가열 처리의 온도로서는, 예를 들면, 150°C 이상 600°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하면 좋다.
- [0245] 다음에, 도 25의 (C)에 도시하는 바와 같이, 한 쌍의 전극(605a, 605b)을 형성한다.
- [0246] 한 쌍의 전극(605a, 605b)의 형성 방법을 이하에 나타낸다. 처음에, 스퍼터링법, PECVD법, 증착법 등으로 도전막을 형성한다. 다음에, 상기 도전막 위에 제 3 포토마스크를 사용하여 포토리소그래피 공정에 의해 레지스트 마스크를 형성한다. 다음에, 상기 레지스트 마스크를 사용하여 도전막의 일부를 에칭하여, 한 쌍의 전극(605a, 605b)을 형성한다. 그 후, 레지스트 마스크를 제거한다.
- [0247] 또한, 도 25의 (C)에 도시하는 바와 같이, 도전막의 에칭시에 산화물 반도체층(604) 상부의 일부가 에칭되어, 박막화되는 경우가 있다. 이로 인해, 산화물 반도체층(604) 형성시, 산화물 반도체막의 두께를 미리 두껍게 설정해 두는 것이 바람직하다.
- [0248] 다음에, 도 25의 (D)에 도시하는 바와 같이, 산화물 반도체층(604) 및 한 쌍의 전극(605a, 605b) 위에, 절연층(606)을 형성하고, 계속해서 절연층(606) 위에 절연층(607)을 형성한다.
- [0249] 절연층(606)으로서 산화실리콘막 또는 산화질화실리콘막을 형성하는 경우, 원료 가스로서는, 실리콘을 함유하는 퇴적성 기체 및 산화성 기체를 사용하는 것이 바람직하다. 실리콘을 함유하는 퇴적성 기체의 대표예로서는, 실란, 디실란, 트리실란, 불화실란 등이다. 산화성 기체로서는, 산소, 오존, 일산화이질소, 이산화질소 등이 있다.

- [0250] 예를 들면, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 180°C 이상 260°C 이하, 더욱 바람직하게는 200°C 이상 240°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에 있어서의 압력을 100Pa 이상 250Pa 이하, 더욱 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리실 내에 설치되는 전극에 0.17W/cm² 이상 0.5W/cm² 이하, 더욱 바람직하게는 0.25W/cm² 이상 0.35W/cm² 이하의 고주파 전력을 공급하는 조건에 의해, 산화실리콘막 또는 산화질화실리콘막을 형성한다.
- [0251] 성막 조건으로서, 상기 압력의 처리실에 있어서 상기 파워 밀도의 고주파 전력을 공급함으로써, 플라즈마 중에서 원료 가스의 분해 효율이 높아져, 산소 라디칼이 증가하고, 원료 가스의 산화가 진행되기 때문에, 산화물 절연막 중에 있어서의 산소 함유량이 화학량론비보다 많아진다. 그러나, 기판 온도가, 상기 온도이면, 실리콘과 산소의 결합력이 약하기 때문에, 가열에 의해 산소의 일부가 탈리된다. 이 결과, 화학량론적 조성을 충족시키는 산소보다 많은 산소를 함유하고, 가열에 의해 산소의 일부가 탈리되는 산화물 절연막을 형성할 수 있다.
- [0252] 또한, 산화물 반도체층(604)과 절연층(606) 사이에 산화물 절연막을 설치하는 경우에는, 절연층(606)의 형성 공정에 있어서, 상기 산화물 절연막이 산화물 반도체층(604)의 보호막이 된다. 이 결과, 산화물 반도체층(604)으로의 대미지를 저감시키면서, 파워 밀도가 높은 고주파 전력을 사용하여 절연층(606)을 형성할 수 있다.
- [0253] 예를 들면, PECVD 장치의 진공 배기된 처리실 내에 재치된 기판을 180°C 이상 400°C 이하, 더욱 바람직하게는 200°C 이상 370°C 이하로 유지하고, 처리실에 원료 가스를 도입하여 처리실 내에 있어서의 압력을 20Pa 이상 250Pa 이하, 더욱 바람직하게는 100Pa 이상 250Pa 이하로 하고, 처리실 내에 설치되는 전극에 고주파전력을 공급하는 조건에 의해, 산화물 절연막으로서 산화실리콘막 또는 산화질화실리콘막을 형성할 수 있다. 또한, 처리실의 압력을 100Pa 이상 250Pa 이하로 함으로써, 상기 산화물 절연막을 성막할 때에, 산화물 반도체층(604)으로의 대미지를 저감시키는 것이 가능하다.
- [0254] 산화물 절연막의 원료 가스로서는, 실리콘을 함유하는 퇴적성 기체 및 산화성 기체를 사용하는 것이 바람직하다. 실리콘을 함유하는 퇴적성 기체의 대표예로서는, 실란, 디실란, 트리실란, 불화실란 등이 있다. 산화성 기체로서는, 산소, 오존, 일산화이질소, 이산화질소 등이 있다.
- [0255] 절연층(607)은, 스퍼터링법, PECVD법 등으로 형성할 수 있다.
- [0256] 절연층(607)으로서 질화실리콘막, 또는 질화산화실리콘막을 형성하는 경우, 원료 가스로서는, 실리콘을 함유하는 퇴적성 기체, 산화성 기체, 및 질소를 함유하는 기체를 사용하는 것이 바람직하다. 실리콘을 함유하는 퇴적성 기체의 대표예로서는, 실란, 디실란, 트리실란, 불화실란 등이 있다. 산화성 기체로서는, 산소, 오존, 일산화이질소, 이산화질소 등이 있다. 질소를 함유하는 기체로서는, 질소, 암모니아 등이 있다.
- [0257] 이상의 공정에 의해, 트랜지스터(600)를 형성할 수 있다.
- [0258] <트랜지스터의 변형 예>
- [0259] 이하에서는, 트랜지스터(600)와 일부가 상이한 트랜지스터의 구성 예에 관해서 설명한다.
- [0260] 도 26의 (A)에, 이하에서 예시하는 트랜지스터(610)의 단면 개략도를 도시한다. 트랜지스터(610)는, 산화물 반도체층의 구성이 상이한 점에서, 트랜지스터(600)와 상이하다.
- [0261] 트랜지스터(610)가 갖는 산화물 반도체층(614)은, 산화물 반도체층(614a)과 산화물 반도체층(614b)이 적층되어 구성된다.
- [0262] 또한, 산화물 반도체층(614a)과 산화물 반도체층(614b)의 경계는 불명료한 경우가 있기 때문에, 도 26의 (A) 등의 도면 중에는, 이들의 경계를 파선으로 나타내고 있다.
- [0263] 산화물 반도체층(614a)은, 대표적으로는 In-Ga 산화물, In-Zn 산화물, In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)을 사용한다. 또한, 산화물 반도체층(614a)이 In-M-Zn 산화물일 때, Zn 및 O를 제외한 In 및 M의 원자수 비율은, 바람직하게는, In이 50atomic% 미만, M이 50atomic% 이상, 더욱 바람직하게는, In이 25atomic% 미만, M이 75atomic% 이상으로 한다. 또한 예를 들면, 산화물 반도체층(614a)은, 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상인 재료를 사용하다.
- [0264] 산화물 반도체층(614b)은 In 또는 Ga를 함유하고, 대표적으로는, In-Ga 산화물, In-Zn 산화물, In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd 또는 Hf)이며, 또한 산화물 반도체층(614a)보다 전도대 하단의 에너지가 진공 준위에 가까우며, 대표적으로는, 산화물 반도체층(614b)의 전도대 하단의 에너지와, 산화물 반도체층(614a)의 전도대 하단의 에너지의 차이가, 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상, 또한

2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하로 하는 것이 바람직하다.

[0265] 또한, 산화물 반도체층(614b)이 In-M-Zn 산화물일 때, Zn 및 O를 제외한 In과 M의 원자수 비율은, 바람직하게는, In이 25atomic% 이상, M이 75atomic% 미만, 더욱 바람직하게는, In이 34atomic% 이상, M이 66atomic% 미만으로 한다.

[0266] 예를 들면, 산화물 반도체층(614a)으로서 In:Ga:Zn=1:1:1, In:Ga:Zn=1:1:1.2, 또는 In:Ga:Zn=3:1:2의 원자수비의 In-Ga-Zn 산화물을 사용할 수 있다. 또한, 산화물 반도체층(614b)으로서 In:Ga:Zn=1:3:2, 1:6:4, 또는 1:9:6의 원자수비의 In-Ga-Zn 산화물을 사용할 수 있다. 또한, 산화물 반도체층(614a), 및 산화물 반도체층(614b)의 원자수비는 각각, 오차로서 상기의 원자수비의 플러스마이너스 20%의 변동을 포함한다.

[0267] 상층에 설치되는 산화물 반도체층(614b)에, 스태빌라이저로서 기능하는 Ga의 함유량이 많은 산화물을 사용함으로써, 산화물 반도체층(614a), 및 산화물 반도체층(614b)으로부터의 산소의 방출을 억제할 수 있다.

[0268] 또한, 이들로 한정되지 않으며, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 임계값 전압 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 트랜지스터의 반도체 특성을 얻기 위해서, 산화물 반도체층(614a), 산화물 반도체층(614b)의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0269] 또한, 상기에서는 산화물 반도체층(614)으로서, 2개의 산화물 반도체층이 적층된 구성을 예시했지만, 3개 이상의 산화물 반도체층을 적층하는 구성을 해도 좋다.

[0270] 도 26의 (B)에, 이하에서 예시하는 트랜지스터(620)의 단면 개략도를 도시한다. 트랜지스터(620)는, 산화물 반도체층의 구성이 상이한 점에서, 트랜지스터(600) 및 트랜지스터(610)와 상이하다.

[0271] 트랜지스터(620)가 갖는 산화물 반도체층(624)은, 산화물 반도체층(624a), 산화물 반도체층(624b), 산화물 반도체층(624c)이 순차적으로 적층되어 구성된다.

[0272] 산화물 반도체층(624a) 및 산화물 반도체층(624b)은, 절연층(603) 위에 적층하여 설치된다. 또한 산화물 반도체층(624c)은, 산화물 반도체층(624b)의 상면, 및 한 쌍의 전극(605a, 605b)의 상면 및 측면에 접하여 설치된다.

[0273] 예를 들면, 산화물 반도체층(624b)으로서, 상기 <트랜지스터의 변형예>에서 예시한 산화물 반도체층(614a)과 같은 구성을 사용할 수 있다. 또한 예를 들면, 산화물 반도체층(624a, 624c)으로서, 상기 <트랜지스터의 변형예>에서 예시한 산화물 반도체층(614b)과 같은 구성을 사용할 수 있다.

[0274] 예를 들면, 산화물 반도체층(624b)의 하층에 설치되는 산화물 반도체층(624a), 및 상층에 설치되는 산화물 반도체층(624c)에, 스태빌라이저로서 기능하는 Ga의 함유량이 많은 산화물을 사용함으로써, 산화물 반도체층(624a), 산화물 반도체층(624b), 및 산화물 반도체층(624c)으로부터의 산소의 방출을 억제할 수 있다.

[0275] 또한, 예를 들면 산화물 반도체층(624b)에 주로 채널이 형성되는 경우에, 산화물 반도체층(624b)에 In의 함유량이 많은 산화물을 사용하고, 산화물 반도체층(624b)과 접하여 한 쌍의 전극(605a, 605b)을 설치함으로써, 트랜지스터(620)의 온 전류를 증대시킬 수 있다.

[0276] <트랜지스터의 다른 구성예>

[0277] 이하에서는, 본 발명의 일 형태의 산화물 반도체막을 적용 가능한, 톱 게이트형의 트랜지스터의 구성예에 관해서 설명한다.

[0278] 또한, 이하에서는, 상기와 같은 구성, 또는 같은 기능을 갖는 구성 요소에 있어서는, 동일한 부호를 붙이고, 중복되는 설명은 생략한다.

[0279] 도 27의 (A)에, 이하에서 예시하는 톱 게이트형의 트랜지스터(650)의 단면 개략도를 도시한다.

[0280] 트랜지스터(650)는, 절연층(651)이 설치된 기판(601) 위에 설치되는 산화물 반도체층(604)과, 산화물 반도체층(604)의 상면에 접하는 한 쌍의 전극(605a, 605b)과, 산화물 반도체층(604), 한 쌍의 전극(605a, 605b) 위에 설치되는 절연층(603)과, 절연층(603) 위에 산화물 반도체층(604)과 중첩되도록 설치되는 게이트 전극(602)을 가진다. 또한, 절연층(603) 및 게이트 전극(602)을 폐복하여 절연층(652)이 설치되어 있다.

[0281] 절연층(651)은, 기판(601)으로부터 산화물 반도체층(604)으로의 불순물의 확산을 억제하는 기능을 가진다. 예를 들면, 상기 절연층(607)과 같은 구성을 사용할 수 있다. 또한, 절연층(651)은, 불필요하면 설치하지 않아도

좋다.

[0282] 절연층(652)에는, 상기 절연층(607)과 같이, 산소, 수소, 물 등의 블로킹 효과를 갖는 절연막을 적용할 수 있다. 또한, 절연층(607)은 불필요하면 설치하지 않아도 좋다.

[0283] 이하에서는, 트랜지스터(650)와 일부가 상이한 트랜지스터의 구성예에 관해서 설명한다.

[0284] 도 27의 (B)에, 이하에서 예시하는 트랜지스터(660)의 단면 개략도를 도시한다. 트랜지스터(660)는, 산화물 반도체층의 구성이 상이한 점에서, 트랜지스터(650)와 상이하다.

[0285] 트랜지스터(660)가 갖는 산화물 반도체층(664)은, 산화물 반도체층(664a), 산화물 반도체층(664b), 및 산화물 반도체층(664c)이 순차적으로 적층되어 구성되어 있다.

[0286] 산화물 반도체층(664a), 산화물 반도체층(664b), 산화물 반도체층(664c) 중, 어느 하나, 또는 어느 2개, 또는 전부에, 먼저 설명한 산화물 반도체막을 적용할 수 있다.

[0287] 예를 들면, 산화물 반도체층(664b)으로서, 상기 <트랜지스터의 변형예>에서 예시한 산화물 반도체층(614a)과 같은 구성을 사용할 수 있다. 또한 예를 들면, 산화물 반도체층(664a, 664c)으로서, 상기 <트랜지스터의 변형예>에서 예시한 산화물 반도체층(614b)과 같은 구성을 사용할 수 있다.

[0288] 또한, 산화물 반도체층(664b)의 하층에 설치되는 산화물 반도체층(664a), 및 상층에 설치되는 산화물 반도체층(664c)에, 스태빌라이저로서 기능하는 Ga의 함유량이 많은 산화물을 사용함으로써, 산화물 반도체층(664a), 산화물 반도체층(664b), 산화물 반도체층(664c)으로부터의 산소의 방출을 억제할 수 있다.

[0289] 이하에서는, 트랜지스터(650)와 일부가 상이한 트랜지스터의 구성예에 관해서 설명한다.

[0290] 도 27의 (C)에, 이하에서 예시하는 트랜지스터(670)의 단면 개략도를 도시한다. 트랜지스터(670)는, 산화물 반도체층(604)에 접하는 한 쌍의 전극(605a, 605b)의 형상, 및 게이트 전극(602)의 형상 등에서, 트랜지스터(650)와 상이하다.

[0291] 트랜지스터(670)는, 절연층(651)이 설치된 기판(601) 위에 설치되는 산화물 반도체층(604)과, 산화물 반도체층(604) 위의 절연층(603)과, 절연층(603) 위의 게이트 전극(602)과, 절연층(651) 및 산화물 반도체층(604) 위의 절연층(654)과, 절연층(654) 위의 절연층(656)과, 절연층(654, 656)에 설치되는 개구부를 개재하여 산화물 반도체층(604)에 전기적으로 접속되는 한 쌍의 전극(605a, 605b)과, 절연층(656) 및 한 쌍의 전극(605a, 605b) 위의 절연층(652)을 가진다.

[0292] 절연층(654)으로서는, 예를 들면 수소를 함유하는 절연막으로 형성된다. 상기 수소를 함유하는 절연막으로서는, 절화실리콘막 등을 들 수 있다. 절연층(654)에 함유되는 수소는, 산화물 반도체층(604) 중의 산소 결손과 결합함으로써, 산화물 반도체층(604) 중에서 캐리어가 된다. 따라서, 도 27의 (C)에 도시하는 구성에 있어서는, 산화물 반도체층(604)과 절연층(654)이 접하는 영역을 n형 영역(604b) 및 n형 영역(604c)으로서 나타내고 있다. 또한, n형 영역(604b)과 n형 영역(604c) 사이에 개재되어 있는 영역은, 채널 영역(604a)이 된다.

[0293] 산화물 반도체층(604) 중에 n형 영역(604b, 604c)을 설치함으로써, 한 쌍의 전극(605a, 605b)과의 접촉 저항을 저감시킬 수 있다. 또한, n형 영역(604b, 604c)으로서는, 게이트 전극(602)의 형성시, 및 게이트 전극(602)을 피복하는 절연층(654)을 사용하여 자기 정합적으로 형성할 수 있다. 도 27의 (C)에 도시하는 트랜지스터(670)는, 소위 셀프 열라인형의 톱 게이트형 트랜지스터이다. 셀프 열라인형의 톱 게이트형 트랜지스터 구조로 함으로써, 게이트 전극(602)과, 소스 전극 및 드레인 전극으로서 기능하는 한 쌍의 전극(605a, 605b)과의 중첩이 발생하지 않기 때문에, 전극간에 발생하는 기생 용량을 저감시킬 수 있다.

[0294] 또한, 트랜지스터(670)가 갖는 절연층(656)으로서는, 예를 들면, 산화질화실리콘막 등에 의해 형성할 수 있다.

[0295] (실시형태 7)

[0296] 본 실시형태에서는, 상기 실시형태에서 설명한 OS 트랜지스터에 관해서 설명한다.

[0297] <OS 트랜지스터의 특성>

[0298] OS 트랜지스터는, 산화물 반도체 중의 불순물 농도를 저감시키고, 산화물 반도체를 진성 또는 실질적으로 진성으로 함으로써 오프 전류를 낮게 할 수 있다. 여기에서, 실질적으로 진성이란, 산화물 반도체 중의 캐리어 밀

도가, $1 \times 10^{17}/\text{cm}^3$ 미만인 것, $1 \times 10^{15}/\text{cm}^3$ 미만인 것, 또는 $1 \times 10^{13}/\text{cm}^3$ 미만인 것을 가리킨다. 산화물 반도체에 있어서, 수소, 질소, 탄소, 실리콘, 및 주성분 이외의 금속 원소는 불순물이 된다. 예를 들면, 수소 및 질소는 도너 준위의 형성에 기여하여, 캐리어 밀도를 증대시켜 버린다.

[0299] 진성 또는 실질적으로 진성으로 한 산화물 반도체를 사용한 트랜지스터는, 캐리어 밀도가 낮기 때문에, 임계값 전압이 마이너스가 되는 전기 특성이 되는 경우가 적다. 또한, 상기 산화물 반도체를 사용한 트랜지스터는, 산화물 반도체의 캐리어 트랩이 적기 때문에, 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다. 또한, 상기 산화물 반도체를 사용한 트랜지스터는, 오프 전류를 매우 낮게 하는 것이 가능해진다.

[0300] 또한 오프 전류를 낮게 한 OS 트랜지스터에서는, 실온(25°C 정도)에서 채널 폭 $1\mu\text{m}$ 당의 오프 전류가 $1 \times 10^{-18}\text{ A}$ 이하, $1 \times 10^{-21}\text{ A}$ 이하, 또는 $1 \times 10^{-24}\text{ A}$ 이하, 또는 85°C에서 $1 \times 10^{-15}\text{ A}$ 이하, $1 \times 10^{-18}\text{ A}$ 이하, 또는 $1 \times 10^{-21}\text{ A}$ 이하로 할 수 있다.

[0301] <오프 전류>

[0302] 본 명세서에 있어서, 특별히 언급이 없는 경우, 오프 전류란, 트랜지스터가 오프 상태(비도통 상태, 차단 상태, 라고도 한다)에 있을 때의 드레인 전류를 말한다. 오프 상태란, 특별히 언급이 없는 경우, n채널형 트랜지스터에서는, 게이트와 소스간의 전압 V_{gs} 가 임계값 전압 V_{th} 보다 낮은 상태, p채널형 트랜지스터에서는, 게이트와 소스간의 전압 V_{gs} 가 임계값 전압 V_{th} 보다 높은 상태를 말한다. 예를 들면, n채널형의 트랜지스터의 오프 전류란, 게이트와 소스간의 전압 V_{gs} 가 임계값 전압 V_{th} 보다 낮을 때의 드레인 전류를 말하는 경우가 있다.

[0303] 트랜지스터의 오프 전류는, V_{gs} 에 의존하는 경우가 있다. 따라서, 트랜지스터의 오프 전류가 I 이하이다, 란, 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 말하는 경우가 있다. 트랜지스터의 오프 전류는, 소정의 V_{gs} 에 있어서의 오프 상태, 소정의 범위 내의 V_{gs} 에 있어서의 오프 상태, 또는, 충분히 저감된 오프 전류가 얻어지는 V_{gs} 에 있어서의 오프 상태, 등에 있어서의 오프 전류를 가리키는 경우가 있다.

[0304] 일례로서, 임계값 전압 V_{th} 가 0.5V이며, V_{gs} 가 0.5V에 있어서의 드레인 전류가 $1 \times 10^{-9}\text{ A}$ 이며, V_{gs} 가 0.1V에 있어서의 드레인 전류가 $1 \times 10^{-13}\text{ A}$ 이며, V_{gs} 가 -0.5V에 있어서의 드레인 전류가 $1 \times 10^{-19}\text{ A}$ 이며, V_{gs} 가 -0.8V에 있어서의 드레인 전류가 $1 \times 10^{-22}\text{ A}$ 인 것 같은 n채널형 트랜지스터를 상정한다. 상기 트랜지스터의 드레인 전류는, V_{gs} 가 -0.5V에 있어서, 또는, V_{gs} 가 -0.5V 내지 -0.8V의 범위에 있어서, $1 \times 10^{-19}\text{ A}$ 이하이기 때문에, 상기 트랜지스터의 오프 전류는 $1 \times 10^{-19}\text{ A}$ 이하이다, 라고 하는 경우가 있다. 상기 트랜지스터의 드레인 전류가 $1 \times 10^{-22}\text{ A}$ 이하가 되는 V_{gs} 가 존재하기 때문에, 상기 트랜지스터의 오프 전류는 $1 \times 10^{-22}\text{ A}$ 이하이다, 라고 하는 경우가 있다.

[0305] 본 명세서에서는, 채널 폭(W)을 갖는 트랜지스터의 오프 전류를, 채널 폭(W)당 흐르는 전류값으로 나타내는 경우가 있다. 또한, 소정의 채널 폭(예를 들면 $1\mu\text{m}$)당 흐르는 전류값으로 나타내는 경우가 있다. 후자의 경우, 오프 전류의 단위는, 전류/길이의 차원을 갖는 단위(예를 들면, $\text{A}/\mu\text{m}$)로 나타내는 경우가 있다.

[0306] 트랜지스터의 오프 전류는, 온도에 의존하는 경우가 있다. 본 명세서에 있어서, 오프 전류는, 특별히 기재가 없는 경우, 실온, 60°C, 85°C, 95°C, 또는 125°C에 있어서의 오프 전류를 나타내는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 온도, 또는, 상기 트랜지스터가 포함되는 반도체 장치 등이 사용되는 온도(예를 들면, 5°C 내지 35°C 중 어느 하나의 온도)에 있어서의 오프 전류를 나타내는 경우가 있다. 트랜지스터의 오프 전류가 I 이하이다, 란, 실온, 60°C, 85°C, 95°C, 125°C, 상기 트랜지스터가 포함되는 반도체 장치의 신뢰성이 보증되는 온도, 또는, 상기 트랜지스터가 포함되는 반도체 장치 등이 사용되는 온도(예를 들면, 5°C 내지 35°C 중 어느 하나의 온도)에 있어서의 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 가리키는 경우가 있다.

[0307] 트랜지스터의 오프 전류는, 드레인과 소스 사이의 전압 V_{ds} 에 의존하는 경우가 있다. 본 명세서에 있어서, 오프 전류는, 특별히 기재가 없는 경우, V_{ds} 가 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V에 있어서의 오프 전류를 나타내는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 V_{ds} , 또는, 상기 트랜지스터가 포함되는 반도체 장치 등에 있어서 사용되는 V_{ds} 에 있어서의 오프 전류를 나타내는 경우가 있다. 트랜지스터의 오프 전류가 I 이하이다, 란, V_{ds} 가 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 20V, 상기 트랜지스터가 포함되는 반도체 장치의 신뢰성이 보증되는

V_{ds} , 또는, 상기 트랜지스터가 포함되는 반도체 장치 등에 있어서 사용되는 V_{ds} 에 있어서의 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 가리키는 경우가 있다.

[0308] 상기 오프 전류의 설명에 있어서, 드레인을 소스로 바꿔 읽어도 좋다. 즉, 오프 전류는, 트랜지스터가 오프 상태에 있을 때의 소스를 흐르는 전류를 말하는 경우도 있다.

[0309] 본 명세서에서는, 오프 전류와 동일한 의미로, 리크 전류라고 기재하는 경우가 있다.

[0310] 본 명세서에 있어서, 오프 전류란, 예를 들면, 트랜지스터가 오프 상태에 있을 때에, 소스와 드레인 사이에 흐르는 전류를 가리키는 경우가 있다.

[0311] <산화물 반도체의 조성>

[0312] 또한 OS 트랜지스터의 반도체층에 사용하는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히 In 및 Zn을 함유하는 것이 바람직하다. 또한, 이들에 더하여, 산소를 강하게 결부시키는 스태빌라이저를 갖는 것이 바람직하다. 스태빌라이저로서는, 갈륨(Ga), 주석(Sn), 지르코늄(Zr), 하프늄(Hf) 및 알루미늄(Al) 중 적어도 어느 하나를 가지면 좋다.

[0313] 또한, 기타 스태빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 텐븀(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수종을 가져도 좋다.

[0314] 트랜지스터의 반도체층에 사용하는 산화물 반도체로서는, 예를 들면, 산화인듐, 산화주석, 산화아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 등이 있다.

[0315] 예를 들면, $In:Ga:Zn=1:1:1$, $In:Ga:Zn=3:1:2$, 또는 $In:Ga:Zn=2:1:3$ 의 원자수비의 In-Ga-Zn계 산화물이나 그 조성 근방의 산화물을 사용하면 좋다. 특히, $In:Ga:Zn=4:2:3$ 또는 그 근방의 원자수비의 In-Ga-Zn계 산화물을 사용하면 좋다. $In:Ga:Zn=4:2:3$ 또는 그 근방의 원자수비의 In-Ga-Zn계 산화물을 얻기 위해서는, $In:Ga:Zn=4:2:4.1$ 의 타깃을 사용하여 산화물 반도체를 성막한다.

[0316] <산화물 반도체 중의 불순물>

[0317] 반도체층을 구성하는 산화물 반도체막에 수소가 함유되면, 산화물 반도체와 결합함으로써, 수소의 일부가 도너가 되어, 캐리어인 전자를 발생시켜 버린다. 이것에 의해, 트랜지스터의 임계값 전압이 마이너스 방향으로 시프트해 버린다. 이로 인해, 산화물 반도체막의 형성후에 있어서, 탈수화 처리(탈수소화 처리)를 행하여 산화물 반도체막으로부터, 수소, 또는 수분을 제거하여 불순물이 극력 함유되지 않도록 고순도화하는 것이 바람직하다.

[0318] 또한, 산화물 반도체막으로의 탈수화 처리(탈수소화 처리)에 의해, 산화물 반도체막으로부터 산소가 감소되어 버리는 경우가 있다. 따라서, 산화물 반도체막으로의 탈수화 처리(탈수소화 처리)에 의해 증가한 산소 결손을 보충하기 위해서 산소를 산화물 반도체막에 가하는 처리를 행하는 것이 바람직하다.

[0319] 이와 같이, 산화물 반도체막은, 탈수화 처리(탈수소화 처리)에 의해, 수소 또는 수분이 제거되고, 가산소화 처리에 의해 산소 결손을 보충함으로써, i형(진성)화 또는 i형으로 한없이 가깝게 실질적으로 i형(진성)인 산화물 반도체막으로 할 수 있다.

[0320] <산화물 반도체의 구조>

[0321] 산화물 반도체의 구조에 관해서 설명한다.

[0322] 또한 본 명세서에 있어서, 「평행」이란, 두개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또한, 「대략 평행」이란, 두개의 직선이 -30° 이상 30°

° 이하의 각도로 배치되어 있는 상태를 말한다. 또한, 「수직」이란, 두개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 포함된다. 또한, 「대략 수직」이란, 두개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.

[0323] 또한, 본 명세서에 있어서, 결정이 삼방정 또는 능면체정인 경우, 육방정계로서 나타낸다.

[0324] 산화물 반도체막은, 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 나뉘어진다. 또는, 산화물 반도체는, 예를 들면, 결정성 산화물 반도체와 비정질 산화물 반도체로 나뉘어진다.

[0325] 또한, 비단결정 산화물 반도체로서는, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor), 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체 등이 있다. 또한, 결정성 산화물 반도체로서는, 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체 등이 있다.

[0326] 우선은, CAAC-OS막에 관해서 설명한다.

[0327] CAAC-OS막은, c축 배향한 복수의 결정부를 갖는 산화물 반도체막의 하나이다.

[0328] 투과형 전자현미경(TEM: Transmission Electron Microscope)에 의해, CAAC-OS막의 명시야상 및 회절 패턴의 복합 해석상(고분해능 TEM상이라고도 한다.)을 관찰함으로써 복수의 결정부를 확인할 수 있다. 한편, 고분해능 TEM상에 의해서도 명확한 결정부끼리의 경계, 즉 결정립계(그레인바운더리라고도 한다.)를 확인할 수 없다. 이로 인해, CAAC-OS막은, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0329] 시료면과 대략 평행한 방향에서, CAAC-OS막의 단면의 고분해능 TEM상을 관찰하면, 결정부에 있어서, 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은, CAAC-OS막의 막을 형성하는 면(피형성면이라고도 한다.) 또는 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열한다.

[0330] 한편, 시료면과 대략 수직인 방향에서, CAAC-OS막의 평면의 고분해능 TEM상을 관찰하면, 결정부에 있어서, 금속 원자가 삼각형상 또는 육각형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부간에, 금속 원자의 배열에 규칙성은 나타나지 않는다.

[0331] CAAC-OS막에 대해, X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 행하면, 예를 들면 InGaZnO_4 의 결정을 갖는 CAAC-OS막의 아웃-오브-플레인(out-of-plane)법에 의한 해석에서는, 회절각(2Θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 가지며, c축이 피형성면 또는 상면에 대략 수직인 방향을 향하고 있는 것을 확인할 수 있다.

[0332] 또한, InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2Θ 가 31° 근방인 피크 이외에, 2Θ 가 36° 근방에도 피크가 나타나는 경우가 있다. 2Θ 가 36° 근방인 피크는, CAAC-OS막 중의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 나타내고 있다. CAAC-OS막은, 2Θ 가 31° 근방에 피크를 나타내고, 2Θ 가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.

[0333] CAAC-OS막은, 불순물 농도가 낮은 산화물 반도체막이다. 불순물은, 수소, 탄소, 실리콘, 전이금속 원소 등의 산화물 반도체막의 주성분 이외의 원소이다. 특히, 실리콘 등의, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는, 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흔드려, 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체막 내부에 함유되면, 산화물 반도체막의 원자 배열을 흔드려, 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 함유되는 불순물은, 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0334] 또한, CAAC-OS막은, 결함 준위 밀도가 낮은 산화물 반도체막이다. 예를 들면, 산화물 반도체막 중의 산소 결손은, 캐리어 트랩이 되는 것이나, 수소를 포함함으로써 캐리어 발생원이 되는 경우가 있다.

[0335] 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적은) 것을, 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는, 임계값 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 한다.)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 트랩이 적다. 이로 인해, 상기 산화물 반도체막을 사용한 트랜지스

터는, 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는, 방출될 때까지 요하는 시간이 길어, 마치 고정 전하와 같이 행동하는 경우가 있다. 이로 인해, 불순물 농도가 높고, 결함 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는, 전기 특성이 불안정해지는 경우가 있다.

[0336] 또한, CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0337] 다음에, 미결정 산화물 반도체막에 관해서 설명한다.

[0338] 미결정 산화물 반도체막은, 고분해능 TEM상에 있어서, 결정부를 확인할 수 있는 영역과, 명확한 결정부를 확인할 수 없는 영역을 가진다. 미결정 산화물 반도체막에 포함되는 결정부는, 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을, nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은, 예를 들면, 고분해능 TEM상에서는, 결정립계를 명확하게 확인할 수 없는 경우가 있다.

[0339] nc-OS막은, 미소한 영역(예를 들면, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에 있어서 원자 배열에 주기성을 가진다. 또한, nc-OS막은, 상이한 결정부간에 결정방위에 규칙성이 나타나지 않는다. 이로 인해, 막 전체에서 배향성이 나타나지 않는다. 따라서, nc-OS막은, 분석 방법에 따라서는, 비정질 산화물 반도체막과 구별이 되지 않는 경우가 있다. 예를 들면, nc-OS막에 대해, 결정부보다 큰 직경의 X선을 사용하는 XRD 장치를 사용하여 구조 해석을 행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막에 대해, 결정부보다 큰 프로브 직경(예를 들면 50nm 이상)의 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 한다.)을 행하면, 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대해, 결정부의 크기에 가깝거나 결정부보다 작은 프로브 직경의 전자선을 사용하는 나노 빔 전자 회절을 행하면, 스포트이 관측된다. 또한, nc-OS막에 대해 나노 빔 전자회절을 행하면, 원을 그리듯이(링상으로) 휘도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대해 나노 빔 전자 회절을 행하면, 링상의 영역내에 복수의 스포트이 관측되는 경우가 있다.

[0340] nc-OS막은, 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 이로 인해, nc-OS막은, 비정질 산화물 반도체막보다 결함 준위 밀도가 낮아진다. 단, nc-OS막은, 상이한 결정부간에 결정 방위에 규칙성이 나타나지 않는다. 이로 인해, nc-OS막은, CAAC-OS막과 비교하여 결함 준위 밀도가 높아진다.

[0341] 다음에, 비정질 산화물 반도체막에 관해서 설명한다.

[0342] 비정질 산화물 반도체막은, 막 중에 있어서의 원자 배열이 불규칙하여, 결정부를 갖지 않는 산화물 반도체막이다. 석영과 같은 무정형 상태를 갖는 산화물 반도체막이 일례이다.

[0343] 비정질 산화물 반도체막은, 고분해능 TEM상에 있어서 결정부를 확인할 수 없다.

[0344] 비정질 산화물 반도체막에 대해, XRD 장치를 사용한 구조 해석을 행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체막에 대해, 전자 회절을 행하면, 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체막에 대해, 나노 빔 전자 회절을 행하면, 스포트이 관측되지 않고, 헤일로 패턴이 관측된다.

[0345] 또한, 산화물 반도체막은, nc-OS막과 비정질 산화물 반도체막 사이의 물성을 나타내는 구조를 갖는 경우가 있다. 이러한 구조를 갖는 산화물 반도체막을, 특히 비정질 라이크 산화물 반도체(a-like OS: amorphous-like Oxide Semiconductor)막이라고 부른다.

[0346] a-like OS막은, 고분해능 TEM상에 있어서 공동(보이드라고도 한다.)이 관찰되는 경우가 있다. 또한, 고분해능 TEM상에 있어서, 명확하게 결정부를 확인할 수 있는 영역과, 결정부를 확인할 수 없는 영역을 가진다. a-like OS막은, TEM에 의한 관찰 정도가 미량인 전자 조사에 의해, 결정화가 일어나, 결정부의 성장이 나타나는 경우가 있다. 한편, 양질의 nc-OS막이면, TEM에 의한 관찰 정도가 미량인 전자 조사에 의한 결정화는 거의 나타나지 않는다.

[0347] 또한, a-like OS막 및 nc-OS막의 결정부의 크기의 계측은, 고분해능 TEM상을 사용하여 행할 수 있다. 예를 들면, $InGaZnO_4$ 의 결정은 층상 구조를 가지며, In-0층 사이에, Ga-Zn-0층을 2층 가진다. $InGaZnO_4$ 의 결정의 단위 격자는, In-0층을 3층 가지며, 또한 Ga-Zn-0층을 6층 갖는, 합계 9층이 c축 방향으로 층상으로 중첩된 구조를

가진다. 따라서, 이들 근접하는 층끼리의 간격은, (009)면의 격자면 간격(d값이라고도 한다.)과 같은 정도이며, 결정 구조 해석으로부터 그 값은 0.29nm로 구해지고 있다. 이로 인해, 고분해능 TEM상에 있어서의 격자 줄무늬에 주목하고, 격자 줄무늬의 간격이 0.28nm 이상 0.30nm 이하인 개소에 있어서는, 각각의 격자 줄무늬가 InGaZnO₄의 결정의 a-b면에 대응한다.

[0348] 또한, 산화물 반도체막은, 구조마다 밀도가 상이한 경우가 있다. 예를 들면, 어떤 산화물 반도체막의 조성을 알면, 상기 조성과 동일한 조성에 있어서의 단결정의 밀도와 비교함으로써, 그 산화물 반도체막의 구조를 추정 할 수 있다. 예를 들면, 단결정의 밀도에 대해, a-like OS막의 밀도는 78.6% 이상 92.3% 미만이 된다. 또한, 예를 들면, 단결정의 밀도에 대해, nc-OS막의 밀도 및 CAAC-OS막의 밀도는 92.3% 이상 100% 미만이 된다. 또한, 단결정의 밀도에 대해 밀도가 78% 미만이 되는 산화물 반도체막은, 성막하는 것 자체가 곤란하다.

[0349] 상기에 관해서, 구체적인 예를 사용하여 설명한다. 예를 들면, In:Ga:Zn=1:1:1[원자수비]을 충족시키는 산화물 반도체막에 있어서, 능면체정 구조를 갖는 단결정 InGaZnO₄의 밀도는 6.357g/cm³이 된다. 따라서, 예를 들면, In:Ga:Zn=1:1:1[원자수비]을 충족시키는 산화물 반도체막에 있어서, a-like OS막의 밀도는 5.0g/cm³ 이상 5.9g/cm³ 미만이 된다. 또한, 예를 들면, In:Ga:Zn=1:1:1[원자수비]을 충족시키는 산화물 반도체막에 있어서, nc-OS막의 밀도 및 CAAC-OS막의 밀도는 5.9g/cm³ 이상 6.3g/cm³ 미만이 된다.

[0350] 또한, 동일한 조성의 단결정이 존재하지 않는 경우가 있다. 그 경우, 임의의 비율로 조성이 상이한 단결정을 조합함으로써, 원하는 조성의 단결정에 상당하는 밀도를 산출할 수 있다. 원하는 조성의 단결정의 밀도는, 조성이 상이한 단결정을 조합하는 비율에 대해, 가중 평균을 사용하여 산출하면 좋다. 단, 밀도는 가능한 한 적은 종류의 단결정을 조합하여 산출하는 것이 바람직하다.

[0351] 또한, 산화물 반도체막은, 예를 들면, 비정질 산화물 반도체막, a-like OS막, 미결정 산화물 반도체막, CAAC-OS막 중, 2종 이상을 갖는 적층막이라도 좋다.

[0352] 이상 설명한 바와 같이 OS 트랜지스터는, 매우 우수한 오프 전류 특성을 실현할 수 있다.

[0353] (실시형태 8)

[0354] 본 실시형태에 있어서는, 상기 실시형태에서 설명한 반도체 장치를 적용한 표시 모듈에 관해서 설명한다. 반도체 장치는, 일례로서, 게이트 드라이버 회로부, 또는 소스 드라이버 회로부, 또는 화소부의 일부에 적용 가능하다. 표시 모듈의 일례에 관해서, 도 28 및 도 29를 사용하여 이하 설명을 행한다.

[0355] <표시 모듈의 상면도>

[0356] 도 28은, 표시 모듈의 일례를 도시하는 상면도이다. 도 28에 도시하는 표시 모듈(700)은, 제 1 기판(701) 위에 설치된 화소부(702)와, 제 1 기판(701)에 설치된 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706)와, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)를 둘러싸듯이 배치 되는 셀재(712)와, 제 1 기판(701)에 대향하도록 설치되는 제 2 기판(705)을 가진다. 또한, 제 1 기판(701)과 제 2 기판(705)은, 셀재(712)에 의해 밀봉되어 있다. 즉, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)는, 제 1 기판(701)과 셀재(712)와 제 2 기판(705)에 의해 밀봉되어 있다. 또한, 도 28에는 도시하지 않지만, 제 1 기판(701)과 제 2 기판(705) 사이에는 표시 소자가 설치된다.

[0357] 또한, 표시 모듈(700)은, 제 1 기판(701) 위의 셀재(712)에 의해 둘러싸여 있는 영역과는 상이한 영역에, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)와 각각 전기적으로 접속되는 FPC 단자부(708)(FPC: Flexible printed circuit)가 설치된다. 또한, FPC 단자부(708)에는, FPC(716)가 접속되고, FPC(716)에 의해 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)에 각종 신호 등이 공급된다. 또한, 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)에는, 신호선(710)이 각각 접속되어 있다. FPC(716)에 의해 공급되는 각종 신호 등은, 신호선(710)을 개체하여, 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)에 주어진다.

[0358] 또한, 표시 모듈(700)에 게이트 드라이버 회로부(706)를 복수 설치해도 좋다. 또한, 표시 모듈(700)로서는, 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)를 화소부(702)와 동일한 제 1 기판(701)에 형성하고 있는 예를 나타내고 있지만, 이 구성으로 한정되지 않는다. 예를 들면, 게이트 드라이버 회로부(706)만을 제 1 기판(701)에 형성해도 좋고, 또는 소스 드라이버 회로부(704)만을 제 1 기판(701)에 형성해도 좋다. 이 경우, 소스 드라이버 회로 또는 게이트 드라이버 회로 등이 형성된 기판(예를 들면, 단결정 반도체막, 다결정 반도체

막으로 형성된 구동 회로 기판)을, 제 1 기판(701)에 실장하는 구성으로 해도 좋다. 또한, 별도 형성한 구동 회로 기판의 접속 방법은, 특별히 한정되는 것은 아니며, COG(Chip On Glass) 방법, 와이어 본딩 방법 등을 사용할 수 있다.

[0359] 또한, 표시 모듈(700)이 갖는 화소부(702), 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706)는, 복수의 트랜지스터를 가지고 있다. 상기 복수의 트랜지스터로서는, 상기의 실시형태에서 설명한 트랜지스터를 적용할 수 있다.

[0360] 또한, 표시 모듈(700)은, 여러 가지 소자를 가질 수 있다. 상기 소자는, 예를 들면, 액정 소자, EL(일렉트로루 미네센스) 소자(유기물 및 무기물을 함유하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출 소자, 전자 잉크, 전기 영동 소자, 그레이팅 라이트 밸브(GLV), 플라즈마 디스플레이 패널(PDP), MEMS(마이크로 · 일렉트로 · 메커니컬 · 시스템)을 사용한 표시 소자, 디지털 마이크로 미러 디바이스(DMD), DMS(디지털 · 마이크로 · 셔터), IMOD(인터페어런스 · 모듈레이션) 소자, 셔터 방식의 MEMS 표시 소자, 광 간섭 방식의 MEMS 표시 소자, 일렉트로 웨팅 소자, 압전 세라믹 디스플레이, 카본 나노 튜브를 사용한 표시 소자 등의 적어도 하나를 가지고 있다. 이들 이외에도, 전기적 또는 자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화되는 표시 매체를 가지고 있어도 좋다. EL 소자를 사용한 표시 장치의 일례로서는, EL 디스플레이 등이 있다. 전자 방출 소자를 사용한 표시 장치의 일례로서는, 펠드 애미션 디스플레이(FED) 또는 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 액정 소자를 사용한 표시 장치의 일례로서는, 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크 또는 전기 영동 소자를 사용한 표시 장치의 일례로서는, 전자 페이퍼 등이 있다. 또한, 반투과형 액정 디스플레이나 반사형 액정 디스플레이를 실현하는 경우에는, 화소 전극의 일부, 또는, 전부가, 반사 전극으로서의 기능을 갖도록 하면 좋다. 예를 들면, 화소 전극의 일부, 또는, 전부가, 알루미늄, 은, 등을 갖도록 하면 좋다. 또한, 그 경우, 반사 전극 아래에, SRAM 등의 기억 회로를 설치하는 것도 가능하다. 이것에 의해, 더욱 소비 전력을 저감시킬 수 있다. 또한, 본 실시형태에 있어서는, 표시 소자로서 액정 소자를 사용하는 구성에 관해서, 이하 설명을 행한다.

[0361] 또한, 표시 모듈(700)에 있어서의 표시 방식은, 프로그래시브 방식이나 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시할 때에 화소로 제어하는 색 요소로서는, RGB(R은 빨강, G는 초록, B는 파랑을 나타낸다)의 삼색으로 한정되지 않는다. 예를 들면, R의 화소와 G의 화소와 B의 화소와 W(백색)의 화소의 4화소로 구성되어도 좋다. 또는, 펜타일 배열과 같이, RGB 중 2색분으로 하나의 색 요소를 구성하고, 색 요소에 따라, 상이한 2색을 선택하여 구성해도 좋다. 또는 RGB에, 엘로우, 시안, 마젠타 등을 1색 이상 추가해도 좋다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 상이해도 좋다. 단, 개시하는 발명은 컬러 표시의 표시 장치로 한정되는 것은 아니며, 흑백 표시의 표시 장치에 적용할 수도 있다.

[0362] 또한, 백 라이트(유기 EL 소자, 무기 EL 소자, LED, 형광등 등)에 백색광(W)을 사용하여 표시 장치를 풀 컬러 표시시키기 위해서, 착색층(컬러 필터라고도 한다.)을 사용해도 좋다. 착색층은, 예를 들면, 레드(R), 그린(G), 블루(B), 엘로우(Y) 등을 적절히 조합하여 사용할 수 있다. 착색층을 사용함으로써, 착색층을 사용하지 않는 경우와 비교하여 색의 재현성을 높게 할 수 있다. 이 때, 착색층을 갖는 영역과, 착색층을 갖지 않는 영역을 배치함으로써, 착색층을 갖지 않는 영역에 있어서의 백색광을 직접 표시에 사용해도 상관없다. 일부에 착색층을 갖지 않는 영역을 배치함으로써, 밝은 표시시에, 착색층에 의한 휘도의 저하를 적게 할 수 있어, 소비 전력을 20%에서 30% 정도 저감시킬 수 있는 경우가 있다. 단, 유기 EL 소자나 무기 EL 소자 등의 자발광 소자를 사용하여 풀 컬러 표시하는 경우, R, G, B, Y, 화이트(W)를, 각각의 발광색을 갖는 소자로부터 발광시켜도 상관없다. 자발광 소자를 사용함으로써, 착색층을 사용한 경우보다도, 더욱 소비 전력을 저감시킬 수 있는 경우가 있다. 또한, 본 실시형태에 있어서는, 백 라이트 등을 설치하지 않는 구성, 소위 반사형의 액정 표시 모듈에 관해서, 이하 설명을 행한다.

[0363] <표시 모듈의 단면도>

[0364] 도 28에 도시하는 일점 쇄선 Q-R에 있어서의 단면도를 도 29에 도시한다. 도 29에 도시하는 표시 모듈의 상세에 관해서, 이하 설명을 행한다.

[0365] 도 29에 도시하는 표시 모듈(700)은, 리드 배선부(711)와, 화소부(702)와, 소스 드라이버 회로부(704)와, FPC 단자부(708)를 가진다. 또한, 리드 배선부(711)는, 신호선(710)을 가진다. 또한, 화소부(702)는, 트랜지스터(750) 및 용량 소자(790)를 가진다. 또한, 소스 드라이버 회로부(704)는, 트랜지스터(752)를 가진다.

- [0366] 트랜지스터(750) 및 트랜지스터(752)는, 앞에 나타내는 트랜지스터를 사용할 수 있다.
- [0367] 본 실시형태에서 사용하는 트랜지스터는, 고순도화하여, 산소 결손의 형성을 억제한 산화물 반도체막을 가진다. 상기 트랜지스터는, 오프 상태에 있어서의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있어, 전원 온 상태에서는 기록 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 적게 할 수 있기 때문에, 소비 전력을 억제하는 효과를 나타낸다.
- [0368] 또한, 본 실시형태에서 사용하는 트랜지스터는, 비교적 높은 전계 효과 이동도가 얻어지기 때문에, 고속 구동이 가능하다. 예를 들면, 이러한 고속 구동이 가능한 트랜지스터를 표시 장치에 사용함으로써, 화소부의 스위칭 트랜지스터와, 구동 회로부에 사용하는 드라이버 트랜지스터를 동일 기판 위에 형성할 수 있다. 즉, 별도 구동 회로로서, 실리콘 웨이퍼 등에 의해 형성된 반도체 장치를 사용할 필요가 없기 때문에, 반도체 장치의 부품수를 삭감할 수 있다. 또한, 화소부에 있어서도, 고속 구동이 가능한 트랜지스터를 사용함으로써, 고화질의 화상을 제공할 수 있다.
- [0369] 용량 소자(790)는, 한 쌍의 전극간에 유전체를 갖는 구조이다. 보다 상세하게는, 용량 소자(790)의 한쪽의 전극으로서는, 트랜지스터(750)의 게이트 전극으로서 기능하는 도전막과 동일 공정으로 형성된 도전막을 사용하고, 용량 소자(790)의 다른쪽의 전극으로서는, 트랜지스터(750)의 소스 전극 및 드레인 전극으로서 기능하는 도전막을 사용한다. 또한, 한 쌍의 전극간에 협지되는 유전체로서는, 트랜지스터(750)의 게이트 절연막으로서 기능하는 절연막을 사용한다.
- [0370] 또한, 도 29에 있어서, 트랜지스터(750), 트랜지스터(752), 및 용량 소자(790) 위에, 절연막(764, 768) 및 평탄화 절연막(770)이 설치되어 있다.
- [0371] 절연막(764)으로서는, 예를 들면, PECVD 장치를 사용하여, 산화실리콘막, 산화질화실리콘막 등을 형성하면 좋다. 또한, 절연막(768)으로서는, 예를 들면, PECVD 장치를 사용하여, 질화실리콘막 등을 형성하면 좋다. 또한, 평탄화 절연막(770)으로서는, 폴리이미드 수지, 아크릴 수지, 폴리이미드아미드 수지, 벤조사이클로부텐 수지, 폴리아미드 수지, 에폭시 수지 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 이를 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연막(770)을 형성해도 좋다. 또한, 평탄화 절연막(770)을 설치하지 않는 구성으로 해도 좋다.
- [0372] 또한, 신호선(710)은, 트랜지스터(750, 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 동일한 공정으로 형성된다. 또한, 신호선(710)은, 트랜지스터(750, 752)의 소스 전극 및 드레인 전극과 상이한 공정으로 형성된 도전막, 예를 들면 게이트 전극으로서 기능하는 도전막과 동일한 공정으로 형성되는 도전막으로 해도 좋다. 신호선(710)으로서, 예를 들면, 구리 원소를 함유하는 재료를 사용한 경우, 배선 저항에 기인하는 신호 지연 등이 적어, 대화면에서의 표시가 가능해진다.
- [0373] 또한, FPC 단자부(708)는, 접속 전극(760), 이방성 도전막(780), 및 FPC(716)를 가진다. 또한, 접속 전극(760)은, 트랜지스터(750, 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 동일한 공정으로 형성된다. 또한, 접속 전극(760)은, FPC(716)가 갖는 단자와 이방성 도전막(780)을 개재하여, 전기적으로 접속된다.
- [0374] 또한, 제 1 기판(701) 및 제 2 기판(705)으로서는, 예를 들면 유리 기판을 사용할 수 있다. 또한, 제 1 기판(701) 및 제 2 기판(705)으로서, 가요성을 갖는 기판을 사용해도 좋다. 상기 가요성을 갖는 기판으로서는, 예를 들면 플라스틱 기판 등을 들 수 있다.
- [0375] 또한, 제 1 기판(701)과 제 2 기판(705) 사이에는, 구조체(778)가 설치된다. 구조체(778)는, 절연막을 선택적으로 에칭함으로써 얻어지는 기둥상의 스페이서이며, 제 1 기판(701)과 제 2 기판(705) 사이의 거리(셀 갭)를 제어하기 위해서 설치된다. 또한, 구조체(778)로서, 구상의 스페이서를 사용하고 있어도 좋다. 또한, 본 실시형태에 있어서는, 구조체(778)를 제 1 기판(701)측에 설치하는 구성에 관해서 예시했지만, 이것으로 한정되지 않는다. 예를 들면, 제 2 기판(705)측에 구조체(778)를 설치하는 구성, 또는 제 1 기판(701) 및 제 2 기판(705) 쌍방에 구조체(778)를 설치하는 구성으로 해도 좋다.
- [0376] 또한, 제 2 기판(705)측에는, 블랙 매트릭스로서 기능하는 차광막(738)과, 컬러 필터로서 기능하는 착색막(736)과, 차광막(738) 및 착색막(736)에 접하는 절연막(734)이 설치된다.
- [0377] 도 29에 일례로서 도시하는 표시 모듈(700)의 단면도에서는, 액정 소자(775)를 가진다. 액정 소자(775)는, 도전막(772), 도전막(774), 및 액정층(776)을 가진다. 액정층(776)으로서는, 먼저 설명한 유전율의 이방성이 2

이상 3.8 이하인 액정 재료를 사용한다. 도전막(774)은, 제 2 기판(705)측에 설치되고, 상대 전극으로서의 기능을 가진다. 도 29에 도시하는 표시 모듈(700)은, 도전막(772)과 도전막(774)에 인가되는 전압에 의해, 액정 층(776)의 배향 상태가 바뀜으로써 광의 투과, 비투과가 제어되어 화상을 표시할 수 있다.

[0378] 또한, 도전막(772)은, 트랜지스터(750)가 갖는 소스 전극 및 드레인 전극으로서 기능하는 도전막에 접속된다. 도전막(772)은, 평탄화 절연막(770) 위에 형성되어 화소 전극, 즉 표시 소자의 한쪽의 전극으로서 기능한다. 또한, 도전막(772)은, 반사 전극으로서의 기능을 가진다. 도 29에 도시하는 표시 모듈(700)은, 외광을 이용하여 도전막(772)에서 광을 반사하여 착색막(736)을 개재하여 표시하는, 소위 반사형의 컬러 액정 표시 장치이다.

[0379] 도전막(772)으로서는, 가시광에 있어서 투광성이 있는 도전막, 또는 가시광에 있어서 반사성이 있는 도전막을 사용할 수 있다. 가시광에 있어서 투광성이 있는 도전막으로서는, 예를 들면, 인듐(In), 아연(Zn), 주석(Sn) 중에서 선택된 1종을 함유하는 재료를 사용하면 좋다. 가시광에 있어서 반사성이 있는 도전막으로서는, 예를 들면, 알루미늄, 또는 은을 함유하는 재료를 사용하면 좋다. 본 실시형태에 있어서는, 도전막(772)으로서, 가시광에 있어서, 반사성이 있는 도전막을 사용한다.

[0380] 또한, 도전막(772)으로서, 가시광에 있어서 반사성이 있는 도전막을 사용하는 경우, 상기 도전막을 적층 구조로 해도 좋다. 예를 들면, 하층에 막 두께 100nm의 알루미늄막을 형성하고, 상층에 두께 30nm의 은 합금막(예를 들면, 은, 팔라듐, 및 구리를 함유하는 합금막)을 형성한다. 상기의 구조로 함으로써, 이하의 우수한 효과를 나타낸다.

[0381] (1) 하지막과 도전막(772)의 밀착성을 향상시킬 수 있다. (2) 화학 용액에 의해 알루미늄막과, 은 합금막을 일괄하여 에칭하는 것이 가능하다. (3) 도전막(772)의 단면 형상을 양호한 형상(예를 들면, 테이퍼 형상)으로 할 수 있다. (3)의 이유로서는, 알루미늄막은, 은 합금막보다 화학 용액에 의한 에칭 속도가 느리거나, 또는 상층의 은 합금막의 에칭후, 하층의 알루미늄막이 노출된 경우에, 은 합금막보다 비친한 금속, 다르게 말하면 이온화 경향이 높은 금속인 알루미늄으로부터 전자를 추출하기 때문에, 은 합금막의 에칭이 억제되고, 하층의 알루미늄막의 에칭의 진행이 빨라지기 때문이다.

[0382] 또한, 도 29에 도시하는 표시 모듈(700)에 있어서는, 화소부(702)의 평탄화 절연막(770)의 일부에 요철이 형성되어 있다. 상기 요철은, 예를 들면, 평탄화 절연막(770)을 유기 수지막 등으로 형성하고, 상기 유기 수지막의 표면에 요철을 설치함으로써 형성할 수 있다. 또한, 반사 전극으로서 기능하는 도전막(772)은, 상기 요철을 따라 형성된다. 따라서, 외광이 도전막(772)에 입사된 경우에 있어서, 도전막(772)의 표면에서 광을 난반사하는 것이 가능해져, 시인성을 향상시킬 수 있다. 도 29에 도시하는 바와 같이, 반사형의 컬러 액정 표시 장치로 함으로써, 백 라이트를 사용하지 않고 표시하는 것이 가능해지기 때문에, 소비 전력을 저감시킬 수 있다.

[0383] 또한, 도 29에 도시하는 표시 모듈(700)은, 반사형의 컬러 액정 표시 모듈에 관해서 예시했지만, 이것으로 한정되지 않는다. 예를 들면, 도전막(772)을 가시광에 있어서, 투광성이 있는 도전막을 사용함으로써 투과형의 컬러 액정 표시 모듈로 해도 좋다. 투과형의 컬러 액정 표시 모듈의 경우, 평탄화 절연막(770)에 형성되는 요철에 관해서는, 형성하지 않는 구성으로 해도 좋다.

[0384] 또한, 도 29에 있어서 도시하지 않지만, 도전막(772, 774)의 액정층(776)과 접하는 측에, 각각 배향막을 설치하는 구성으로 해도 좋다. 또한, 도 29에 있어서 도시하지 않지만, 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등은 적절히 설치해도 좋다. 예를 들면, 편광 기판 및 위상차 기판에 의한 원편광을 사용해도 좋다. 또한, 투과형의 표시 모듈, 또는 반투과형의 표시 모듈의 경우, 광원으로서 백 라이트, 사이드 라이트 등을 설치해도 좋다.

[0385] 액정 소자로서는, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는, 조건에 따라, 콜레스테릭상, 스메틱상, 큐빅상, 키랄네마티ック상, 등방상 등을 나타낸다.

[0386] 또한, 횡전계 방식을 사용하는 경우, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온시켜 나가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서밖에 발현되지 않기 때문에, 온도 범위를 개선하기 위해서 수중량% 이상의 키랄체를 혼합시킨 액정 조성물을 사용하여 액정층에 사용한다. 블루상을 나타내는 액정과 키랄체를 함유하는 액정 조성물은, 응답 속도가 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 또한 시야각 의존성이 작다. 또한 배향막을 설치하지 않아도 되기 때문에 러빙 처리도 불필요해지기 때문에, 러빙

처리에 의해 야기되는 정전 파괴를 방지할 수 있어, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감시킬 수 있다.

[0387] 또한, 표시 소자로서 액정 소자를 사용하는 경우, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

[0388] 또한, 노멀리 블랙형의 액정 표시 장치, 예를 들면 수직 배향(VA) 모드를 사용한 투과형의 액정 표시 장치로 해도 좋다. 수직 배향 모드로서는, 몇가지를 들 수 있지만, 예를 들면, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV 모드 등을 사용할 수 있다.

[0389] (실시형태 9)

[0390] 본 실시형태에 있어서는, 상기의 실시형태에서 설명한 표시 모듈에, 터치 센서(접촉 검출 장치)를 설치함으로써, 입출력 장치(터치 패널이라고도 한다)로서 기능시킬 수 있는 구성에 관해서, 도 30 및 도 31을 사용하여 설명한다. 이하에 있어서, 상기 실시형태와 중복되는 부분에 관해서는, 설명을 생략하는 경우가 있다.

[0391] 도 30은, 입출력 장치의 구성을 설명하는 투영도이다.

[0392] 도 30의 (A)는, 입출력 장치(800)의 투영도이며, 도 30의 (B)는 입출력 장치(800)가 구비하는 검지 유닛(820U)의 구성을 설명하는 투영도이다.

[0393] 도 31은, 도 30의 (A)에 도시하는 입출력 장치(800)의 Z1-Z2에 있어서의 단면도이다.

[0394] 본 실시형태에서 설명하는 입출력 장치(800)는, 가시광을 투과하는 창부(834)를 구비하고 또한 매트릭스상으로 배치되는 복수의 검지 유닛(820U), 행 방향(도면 중에 화살표 Rx로 나타낸다)으로 배치되는 복수의 검지 유닛(820U)과 전기적으로 접속하는 주사선 G1, 열 방향(도면 중에 화살표 Ry로 나타낸다)으로 배치되는 복수의 검지 유닛(820U)과 전기적으로 접속하는 신호선 DL 및, 검지 유닛(820U), 주사선 G1 및 신호선 DL을 지지하는 제 1 기재(836)를 구비하는 입력 장치(850)와, 창부(834)에 중첩되고 또한 매트릭스상으로 설치되는 복수의 화소(802) 및 화소(802)를 지지하는 제 2 기재(810)를 구비하는 표시 모듈(801)을 가진다(도 30의 (A) 내지 도 30의 (C) 참조).

[0395] 검지 유닛(820U)는, 창부(834)에 중첩되는 검지 소자 Ca 및 검지 소자 Ca와 전기적으로 접속되는 검지 회로(839)를 구비한다(도 30의 (B) 참조).

[0396] 검지 소자 Ca는, 절연층(823), 절연층(823)(도 30의 (B)에는 도시 생략)을 협지하는 제 1 전극(821) 및 제 2 전극(822)을 구비한다(도 30의 (B) 참조).

[0397] 검지 회로(839)는, 선택 신호가 공급되고 또한 검지 소자 Ca의 용량의 변화에 기초하여 검지 신호 DATA를 공급한다.

[0398] 주사선 G1은, 선택 신호를 공급할 수 있고, 신호선 DL은, 검지 신호 DATA를 공급할 수 있고, 검지 회로(839)는, 복수의 창부(834)의 틈에 중첩되도록 배치된다.

[0399] 또한, 본 실시형태에서 설명하는 입출력 장치(800)는, 검지 유닛(820U) 및 검지 유닛(820U)의 창부(834)와 중첩되는 화소(802) 사이에, 착색층을 구비한다.

[0400] 본 실시형태에서 설명하는 입출력 장치(800)는, 가시광을 투과하는 창부(834)를 구비하는 검지 유닛(820U)을 복수 구비하는 입력 장치(850)와, 창부(834)에 중첩되는 화소(802)를 복수 구비하는 표시 모듈(801)을 가지며, 창부(834)와 화소(802) 사이에 착색층을 포함하여 구성된다.

[0401] 이것에 의해, 입출력 장치는 용량의 변화에 기초하는 검지 신호 및 그것을 공급하는 검지 유닛의 위치 정보를 공급하는 것, 및 검지 유닛의 위치 정보와 관련지어진 화상 정보를 표시할 수 있다. 그 결과, 편리성 또는 신뢰성이 우수한 신규 입출력 장치를 제공할 수 있다.

[0402] 또한, 입출력 장치(800)는, 입력 장치(850)가 공급하는 신호가 공급되는 플렉시블 기판 FPC1 및/또는 화상 정보를 포함하는 신호를 표시 모듈(801)에 공급하는 플렉시블 기판 FPC2를 구비하고 있어도 좋다.

[0403] 또한, 흄집의 발생을 방지하여 입출력 장치(800)를 보호하는, 보호 기재(837), 보호층(837p) 또는/및 입출력 장

치(800)가 반사하는 외광의 강도를 약화시키는 반사 방지층(867p)을 구비하고 있어도 좋다.

[0404] 또한, 입출력 장치(800)는, 표시 모듈(801)의 주사선에 선택 신호를 공급하는 주사선 구동 회로(803g), 신호를 공급하는 배선(811) 및 플렉시블 기판 FPC2와 전기적으로 접속되는 단자(819)를 가진다.

[0405] 이하에, 입출력 장치(800)를 구성하는 개개의 요소에 관해서 설명한다. 또한, 이들 구성은 명확하게 분리할 수 없으며, 하나의 구성이 다른 구성을 겸하는 경우나 다른 구성의 일부를 포함하는 경우가 있다. 예를 들면, 복수의 창부(834)에 중첩되는 위치에 착색층을 구비하는 입력 장치(850)는, 입력 장치(850)인 동시에 컬러 필터이기도 하다.

[0406] 입출력 장치(800)는, 입력 장치(850)와, 표시 모듈(801)을 구비한다(도 30의 (A) 참조).

[0407] 입력 장치(850)는, 복수의 검지 유닛(820U) 및 검지 유닛(820U)을 지지하는 제 1 기재(836)를 구비한다. 예를 들면, 40행 15열의 매트릭스상으로 복수의 검지 유닛(820U)을 제 1 기재(836)에 설치한다.

[0408] 창부(834)는 가시광을 투과한다.

[0409] 창부(834)에 중첩되는 위치에 소정의 색의 광을 투과하는 착색층을 구비한다. 예를 들면, 청색의 광을 투과하는 착색층 CFB, 녹색의 광을 투과하는 착색층 CFG 또는 적색의 광을 투과하는 착색층 CFR를 구비한다(도 30의 (B) 참조).

[0410] 또한, 청색, 녹색 또는/및 적색 외에, 백색의 광을 투과하는 착색층 또는 황색의 광을 투과하는 착색층 등 다양한 색의 광을 투과하는 착색층을 구비할 수 있다.

[0411] 착색층에 금속 재료, 안료 또는 염료 등을 사용할 수 있다.

[0412] 창부(834)를 둘러싸듯이 차광성의 층 BM을 구비한다. 차광성의 층 BM은 창부(834)로부터 광을 투과하기 어렵다.

[0413] 카본 블랙, 금속 산화물, 복수의 금속 산화물의 고용체를 함유하는 복합 산화물 등을 차광성의 층 BM에 사용할 수 있다.

[0414] 차광성의 층 BM과 중첩되는 위치에 주사선 G1, 신호선 DL, 배선 VPI, 배선 RES 및 배선 VRES 및 검지 회로(839)를 구비한다.

[0415] 또한, 착색층 및 차광성의 층 BM을 펴복하는 투광성의 오버코트층을 구비할 수 있다.

[0416] 검지 소자 Ca는, 제 1 전극(821), 제 2 전극(822) 및 제 1 전극(821)과 제 2 전극(822) 사이에 절연층(823)을 가진다(도 31 참조).

[0417] 제 1 전극(821)은 다른 영역으로부터 분리되도록, 예를 들면 섬모양으로 형성된다. 특히, 입출력 장치(800)의 사용자에게 제 1 전극(821)이 식별되지 않도록, 제 1 전극(821)과 동일한 공정으로 제작할 수 있는 층을 제 1 전극(821)에 근접하여 배치하는 구성이 바람직하다. 보다 바람직하게는, 제 1 전극(821) 및 제 1 전극(821)에 근접하여 배치하는 층의 틈에 배치하는 창부(834)의 수를 가능한 한 적게 하면 좋다. 특히, 상기 틈에 창부(834)를 배치하지 않는 구성이 바람직하다.

[0418] 예를 들면, 대기 중에 놓여진 검지 소자 Ca의 제 1 전극(821) 또는 제 2 전극(822)에, 대기와 상이한 유전율을 갖는 것이 다가오면, 검지 소자 Ca의 용량이 변화된다. 구체적으로는, 손가락 등의 것이 검지 소자 Ca에 다가오면, 검지 소자 Ca의 용량이 변화된다. 이것에 의해, 근접 검지기에 사용할 수 있다.

[0419] 제 1 전극(821) 및 제 2 전극(822)은, 도전성의 재료를 함유한다.

[0420] 예를 들면, 무기 도전성 재료, 유기 도전성 재료, 금속 또는 도전성 세라믹스 등을 제 1 전극(821) 및 제 2 전극(822)에 사용할 수 있다.

[0421] 구체적으로는, 제 1 전극(821) 및 제 2 전극(822)으로서, 알루미늄, 크롬, 구리, 탄탈럼, 티타늄, 몰리브덴, 텅스텐, 니켈, 은 또는 망간으로부터 선택된 금속 원소, 상기한 금속 원소를 성분으로 하는 합금 또는 상기한 금속 원소를 조합한 합금 등을 사용할 수 있다.

[0422] 또는, 제 1 전극(821) 및 제 2 전극(822)으로서, 산화인듐, 인듐주석 산화물, 인듐아연 산화물, 산화아연, 갈륨을 첨가한 산화아연 등의 도전성 산화물을 사용할 수 있다.

- [0423] 또는, 제 1 전극(821) 및 제 2 전극(822)으로서, 그레핀 또는 그레파이트를 사용할 수 있다. 그레핀을 함유하는 막은, 예를 들면 막상으로 형성된 산화그레핀을 함유하는 막을 환원하여 형성할 수 있다. 환원하는 방법으로서는, 열을 가하는 방법이나 환원제를 사용하는 방법 등을 들 수 있다.
- [0424] 또는, 제 1 전극(821) 및 제 2 전극(822)으로서, 도전성 고분자를 사용할 수 있다.
- [0425] 검지 회로(839)는 예를 들면 트랜지스터 M1 내지 트랜지스터 M3을 포함한다. 또한, 검지 회로(839)는 전원 전위 및 신호를 공급하는 배선을 포함한다. 예를 들면, 신호선 DL, 배선 VPI, 배선 CS, 주사선 G1, 배선 RES, 및 배선 VRES 등을 포함한다.
- [0426] 또한, 검지 회로(839)를 창부(834)와 중첩되지 않는 영역에 배치해도 좋다.
- [0427] 도전성을 갖는 재료를 배선(예를 들면, 신호선 DL, 배선 VPI, 배선 CS, 주사선 G1, 배선 RES, 및 배선 VRES 등)에 적용할 수 있다. 예를 들면, 무기 도전성 재료, 유기 도전성 재료, 금속 또는 도전성 세라믹스 등을 배선으로 사용할 수 있다. 또는, 제 1 전극(821) 및 제 2 전극(822)에 사용할 수 있는 재료와 동일한 재료를 배선으로서 적용해도 좋다.
- [0428] 또한, 알루미늄, 금, 백금, 은, 니켈, 티타늄, 텉스텐, 크롬, 몰리브덴, 철, 코발트, 구리, 또는 팔라듐 등의 금속 재료나, 상기 금속 재료를 함유하는 합금 재료를 주사선 G1, 신호선 DL, 배선 VPI, 배선 RES 및 배선 VRES에 사용할 수 있다.
- [0429] 또한, 제 1 기재(836)에 검지 회로(839)를 형성해도 좋다. 또는, 다른 기재에 형성된 검지 회로(839)를 제 1 기재(836)에 전치해도 좋다.
- [0430] 제 1 기재(836) 및 제 2 기재(810)로서는, 유리 기판, 또는 가요성의 재료(예를 들면, 수지, 수지 필름 또는 플라스틱 필름 등)를 사용할 수 있다.
- [0431] 보다 구체적으로는, 제 1 기재(836) 및 제 2 기재(810)로서는, 무알칼리 유리, 소다 석회 유리, 칼리 유리 또는 크리스탈 유리 등을 사용할 수 있다. 또는, 제 1 기재(836)로서는, 폴리에스테르, 폴리올레핀, 폴리아미드, 폴리이미드, 폴리카보네이트 또는 아크릴 수지 등의 수지 필름 또는 수지판을 사용할 수 있다.
- [0432] 보호 기재(837) 또는/및 보호층(837p)으로서는, 예를 들면, 유리, 폴리에스테르, 폴리올레핀, 폴리아미드, 폴리이미드, 폴리카보네이트 또는 아크릴 수지 등의 수지 필름, 수지판 또는 적층체 등을 사용할 수 있다.
- [0433] 보호층(837p)으로서는, 예를 들면, 하드 코트층 또는 세라믹 코트층을 사용할 수 있다. 구체적으로는, UV 경화 수지 또는 산화알루미늄을 함유하는 층을 제 2 전극(822)에 중첩되는 위치에 형성해도 좋다.
- [0434] 표시 모듈(801)은, 매트릭스상으로 배치된 복수의 화소(802)를 구비한다(도 30의 (C) 참조).
- [0435] 예를 들면, 화소(802)는 부화소(802B), 부화소(802G) 및 부화소(802R)를 포함하고, 각각의 부화소는 표시 소자와 표시 소자를 구동하는 화소 회로를 구비한다.
- [0436] 또한, 화소(802)의 부화소(802B)는 착색층 CFB와 중첩되는 위치에 배치되고, 부화소(802G)는 착색층 CFG과 중첩되는 위치에 배치되고, 부화소(802R)는 착색층 CFR과 중첩되는 위치에 배치된다.
- [0437] 착색층 CFR은 액정 소자(880)와 중첩되는 위치에 있다. 또한, 액정 소자(880)는, 한쪽의 전극으로서 반사 전극(872)을 가진다(도 31 참조). 이것에 의해, 반사 전극(872)에서 반사된 외광의 일부는 착색층 CFR을 투과하고, 도면 중에 나타내는 화살표의 방향으로 사출된다. 반사 전극(872)으로서는, 상기의 실시형태에 나타내는 반사 전극으로서 기능하는 도전막(772)과 같은 구성으로 할 수 있다. 또한, 액정 소자(880)는, 유전율의 이방성이 2 이상 3.8 이하인 액정층을 가진다.
- [0438] 또한, 착색층(예를 들면 착색층 CFR)을 둘러싸듯이 차광성의 층 BM이 있다.
- [0439] 주사선 구동 회로(803g)는, 트랜지스터(803t) 및 용량(803c)을 포함한다(도 31 참조).
- [0440] 검지 유닛(820U)이 공급하는 검지 신호 DATA를 변환하여 플렉시블 기판 FPC1에 공급할 수 있는 다양한 회로를, 변환기 CONV에 사용할 수 있다(도 30의 (A) 및 도 31 참조).
- [0441] 예를 들면, 트랜지스터 M4를 변환기 CONV에 사용할 수 있다.
- [0442] 표시 모듈(801)은, 반사 방지층(867p)을 화소에 중첩되는 위치에 구비한다. 반사 방지층(867p)으로서, 예를 들

면 원편광판을 사용할 수 있다.

[0443] 도 30의 (A)에 도시하는 바와 같이, 표시 모듈(801)은, 신호를 공급할 수 있는 배선(811)을 구비하고, 단자(819)가 배선(811)에 설치되어 있다. 또한, 화상 신호 및 동기 신호 등의 신호를 공급할 수 있는 플렉시블 기판 FPC2가 단자(819)에 전기적으로 접속되어 있다.

[0444] 또한, 플렉시블 기판 FPC2에는 프린트 배선 기판(PWB)이 장착되어 있어도 좋다.

[0445] 표시 모듈(801)은, 주사선, 신호선 및 전원선 등의 배선을 가진다. 여러 가지 도전막을 배선에 사용할 수 있다.

[0446] 표시 모듈(801)이 갖는 배선으로서는, 예를 들면, 알루미늄, 크롬, 구리, 탄탈럼, 티타늄, 몰리브덴, 텅스텐, 니켈, 이트륨, 지르코늄, 은 또는 망간으로부터 선택된 금속 원소, 상기한 금속 원소를 성분으로 하는 합금 또는 상기한 금속 원소를 조합한 합금 등을 사용할 수 있다. 특히, 알루미늄, 크롬, 구리, 탄탈럼, 티타늄, 몰리브덴, 텅스텐 중에서 선택되는 1 이상의 원소를 함유하면 바람직하다. 특히, 구리와 망간의 합금이 웨트 에칭 법을 사용한 미세 가공에 적합하다.

[0447] 표시 모듈(801)이 갖는 배선의 구체적인 구성으로서는, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화티타늄막 위에 텅스텐막을 적층하는 2층 구조, 질화탄탈럼막 또는 질화텅스텐막 위에 텅스텐막을 적층하는 2층 구조, 티타늄막과, 그 티타늄막 위에 알루미늄막을 적층하고, 또한 그 위에 티타늄막을 형성하는 3층 구조 등을 사용할 수 있다. 또는, 알루미늄막 위에 티타늄, 탄탈럼, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 하나 또는 복수 조합한 합금막, 또는 질화막을 적층하는 적층 구조를 사용할 수 있다. 또는, 산화인듐, 산화주석 또는 산화아연을 함유하는 투광성을 갖는 도전 재료를 사용해도 좋다.

[0448] (실시형태 10)

[0449] 본 실시형태에서는, 상기 실시형태에서 설명한 액정 표시 장치를 사용하여 제작되는 전자 기기의 구체예에 관해서, 도 32를 사용하여 설명한다.

[0450] 본 발명을 적용 가능한 전자 기기의 일례로서, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말, 음악 재생 장치, 게임기(파칭코기, 슬롯 머신 등), 게임 하우징을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 32에 도시한다.

[0451] 도 32의 (A)는, 표시부를 갖는 휴대 정보 단말(1400)을 도시하고 있다. 휴대 정보 단말(1400)은, 하우징(1401)에 표시부(1402) 및 조작 버튼(1403)이 내장되어 있다. 본 발명의 일 형태의 액정 표시 장치는, 표시부(1402)에 사용할 수 있다.

[0452] 도 32의 (B)는, 휴대 전화기(1410)를 도시하고 있다. 휴대 전화기(1410)는, 하우징(1411)에 표시부(1412), 조작 버튼(1413), 스피커(1414), 및 마이크(1415)가 내장되어 있다. 본 발명의 일 형태의 액정 표시 장치는, 표시부(1412)에 사용할 수 있다.

[0453] 도 32의 (C)는, 음악 재생 장치(1420)를 도시하고 있다. 음악 재생 장치(1420)는, 하우징(1421)에 표시부(1422), 조작 버튼(1423), 안테나(1424)가 내장되어 있다. 또한 안테나(1424)로부터는, 무선 신호에 의해 정보를 송수신할 수 있다. 본 발명의 일 형태의 액정 표시 장치는, 표시부(1422)에 사용할 수 있다.

[0454] 표시부(1402), 표시부(1412) 및 표시부(1422)는, 터치 입력 기능을 가지고 있으며, 표시부(1402), 표시부(1412) 및 표시부(1422)에 표시된 표시 버튼(도시 생략)을 손가락 등으로 터치함으로써, 화면 조작이나, 정보를 입력할 수 있다.

[0455] 상기의 실시형태에 나타낸 액정 표시 장치를 표시부(1402), 표시부(1412) 및 표시부(1422)에 사용함으로써, 표시 품위의 향상이 도모된 표시부(1402), 표시부(1412) 및 표시부(1422)로 할 수 있다.

[0456] (본 명세서 등의 기재에 관한 부기)

[0457] 이상의 실시형태, 및 실시형태에 있어서의 각 구성의 설명에 관해서, 이하에 부기한다.

[0458] <실시형태에서 서술한 본 발명의 일 형태에 관한 부기>

[0459] 각 실시형태에 나타내는 구성은, 다른 실시형태에 나타내는 구성과 적절히 조합하여, 본 발명의 일 형태로 할

수 있다. 또한, 1개의 실시형태 중에, 복수의 구성예가 나타나는 경우는, 서로 구성예를 적절히 조합하는 것이 가능하다.

[0460] 또한, 어떤 하나의 실시형태 중에서 서술하는 내용(일부의 내용이라도 좋다)은, 그 실시형태에서 서술하는 다른 내용(일부의 내용이라도 좋다), 및/또는, 하나 또는 복수의 다른 실시형태에서 서술하는 내용(일부의 내용이라도 좋다)에 대해, 적용, 조합, 또는 치환 등을 행할 수 있다.

[0461] 또한, 실시형태 중에서 서술하는 내용이란, 각각의 실시형태에 있어서, 여러가지 도면을 사용하여 서술하는 내용, 또는 명세서에 기재되는 문장을 사용하여 서술하는 내용을 말한다.

[0462] 또한, 어떤 하나의 실시형태에 있어서 서술하는 도면(일부라도 좋다)은, 그 도면의 다른 부분, 그 실시형태에 있어서 서술하는 다른 도면(일부라도 좋다), 및/또는, 하나 또는 복수의 다른 실시형태에 있어서 서술하는 도면(일부라도 좋다)에 대해, 조합함으로써, 더 많은 도면을 구성시킬 수 있다.

[0463] 또한, 각 실시형태에 있어서 본 발명의 일 형태를 설명했지만, 본 발명의 일 형태는 이들로 한정되지 않는다. 예를 들면, 본 발명의 일 형태로서, 실시형태 1, 2에서는, 제 1 동작과 제 2 동작이라는 2개의 동작을 전환하여 주사 방향의 전환을 행하는 구성에 관해서 설명했지만, 본 발명의 일 형태는 이것으로 한정되지 않는다. 상황에 따라, 예를 들면 한쪽 방향으로 주사하는 구성으로 해도 좋다. 또한 예를 들면, 본 발명의 일 형태로서 실시형태 4에서는, 회로(100)를 시프트 레지스터에 적용하는 경우의 예를 나타냈지만, 본 발명의 일 형태는, 이것으로 한정되지 않는다. 상황에 따라, 예를 들면 회로(100)는, 여러 가지 회로에 적용하여 본 발명의 일 형태로 해도 좋다.

[0464] <도면을 설명하는 기재에 관한 부기>

[0465] 본 명세서 등에 있어서, 「위에」, 「아래에」 등의 배치를 나타내는 어구는, 구성끼리의 위치 관계를, 도면을 참조하여 설명하기 위해서, 편의상 사용하고 있다. 구성끼리의 위치 관계는, 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 이로 인해, 배치를 나타내는 어구는, 명세서에서 설명한 기재로 한정되지 않으며, 상황에 따라 적절히 바꿔 말할 수 있다.

[0466] 또한, 「위」나 「아래」라는 용어는, 구성 요소의 위치 관계가 바로 위 또는 아래이고, 또한, 직접 접하고 있는 것을 한정하는 것은 아니다. 예를 들면, 「절연층 A 위의 전극 B」의 표현이면, 절연층 A 위에 전극 B가 직접 접하여 형성되어 있을 필요는 없고, 절연층 A와 전극 B 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.

[0467] 또한 본 명세서 등에 있어서, 블록도에서는, 구성 요소를 기능마다 분류하고, 서로 독립된 블록으로서 나타내고 있다. 그러나 실제의 회로 등에 있어서는, 구성 요소를 기능별로 구분하는 것이 어려우며, 하나의 회로에 복수의 기능이 관련되는 경우나, 복수의 회로에 걸쳐 하나의 기능이 관련되는 경우가 있을 수 있다. 이로 인해, 블록도의 블록은, 명세서에서 설명한 구성 요소로 한정되지 않는다.

[0468] 또한, 도면에 있어서, 크기, 층의 두께, 또는 영역은, 설명의 편의상 임의의 크기로 나타낸 것이다. 따라서, 반드시 그 스케일로 한정되지 않는다. 또한 도면은 명확성을 기하기 위해서 모식적으로 나타낸 것이며, 도면에 도시하는 형상 또는 값 등으로 한정되지 않는다. 예를 들면, 노이즈에 의한 신호, 전압, 또는 전류의 불균일, 또는, 타이밍의 차이에 의한 신호, 전압, 또는 전류의 불균일 등을 포함하는 것이 가능하다.

[0469] 또한, 도면에 있어서, 상면도(평면도, 레이아웃도라고도 한다)나 사시도 등에 있어서, 도면의 명확성을 기하기 위해, 일부의 구성 요소의 기재를 생략하고 있는 경우가 있다.

[0470] <바꿔 말하기 가능한 기재에 관한 부기>

[0471] 본 명세서 등에 있어서, 트랜지스터의 접속 관계를 설명할 때, 소스와 드레인의 한쪽을, 「소스 또는 드레인의 한쪽」(또는 제 1 전극, 또는 제 1 단자)이라고 표기하고, 소스와 드레인의 다른쪽을 「소스 또는 드레인의 다른쪽」(또는 제 2 전극, 또는 제 2 단자)이라고 표기하고 있다. 이것은, 트랜지스터의 소스와 드레인은, 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문이다. 또한 트랜지스터의 소스와 드레인의 호칭에 관해서는, 소스(드레인) 단자나, 소스(드레인) 전극 등, 상황에 따라 적절히 바꿔 말할 수 있다.

[0472] 또한, 본 명세서 등에 있어서 「전극」이나 「배선」이라는 용어는, 이들 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들면, 「전극」은 「배선」의 일부로서 사용되는 경우가 있고, 그 반대도 또한 마찬가지이다. 또한, 「전극」이나 「배선」이라는 용어는, 복수의 「전극」이나 「배선」이 일체가 되어서 형성되어 있는 경

우 등도 포함한다.

[0473] 또한, 본 명세서 등에 있어서, 전압과 전위는, 적절히 바꿔 말할 수 있다. 전압은, 기준이 되는 전위로부터의 전위차를 말하며, 예를 들면 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, 전압을 전위로 바꿔 말할 수 있다. 그라운드 전위는 반드시 0V를 의미한다고는 한정하지 않는다. 또한 전위는 상대적인 것이며, 기준이 되는 전위에 따라서는, 배선 등에 인가하는 전위를 변화시키는 경우가 있다.

[0474] 또한 본 명세서 등에 있어서, 「막」, 「층」 등의 어구는, 경우에 따라서는, 또는, 상황에 따라, 서로 교체하는 것이 가능하다. 예를 들면, 「도전층」이라고 하는 용어를, 「도전막」이라는 용어로 변경하는 것이 가능한 경우가 있다. 또는, 예를 들면, 「절연막」이라는 용어를, 「절연층」이라는 용어로 변경하는 것이 가능한 경우가 있다.

[0475] <어구의 정의에 관한 부기>

[0476] 이하에서는, 상기 실시형태 중에서 언급하고 싶었던 어구의 정의에 관해서 설명한다.

[0477] <<스위치에 대해서>>

[0478] 본 명세서 등에 있어서, 스위치란, 도통 상태(온 상태), 또는, 비도통 상태(오프 상태)가 되고, 전류를 흘려 보낼지 흘려 보내지 않을지를 제어하는 기능을 갖는 것을 말한다. 또는, 스위치란, 전류를 흘려보내는 경로를 선택하여 전환하는 기능을 갖는 것을 말한다.

[0479] 일례로서는, 전기적 스위치 또는 기계적인 스위치 등을 사용할 수 있다. 즉, 스위치는, 전류를 제어할 수 있는 것이면 양호하며, 특정한 것으로 한정되지 않는다.

[0480] 전기적인 스위치의 일례로서는, 트랜지스터(예를 들면, 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들면, PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있다.

[0481] 또한, 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 「도통 상태」란, 트랜지스터의 소스와 드레인이 전기적으로 단락되어 있다고 간주할 수 있는 상태를 말한다. 또한, 트랜지스터의 「비도통 상태」란, 트랜지스터의 소스와 드레인이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순한 스위치로서 동작시키는 경우에는, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0482] 기계적인 스위치의 일례로서는, 디지털 마이크로 미러 디바이스(DMD)와 같이, MEMS(마이크로 · 일렉트로 · 메카니컬 · 시스템) 기술을 사용한 스위치가 있다. 그 스위치는, 기계적으로 움직이는 것이 가능한 전극을 가지며, 그 전극이 움직임으로써, 도통과 비도통을 제어하여 동작한다.

[0483] <<채널 길이에 관해서>>

[0484] 본 명세서 등에 있어서, 채널 길이란, 예를 들면, 트랜지스터의 상면도에 있어서, 반도체(또는 트랜지스터가 온 상태일 때에 반도체 중에서 전류가 흐르는 부분)와 게이트가 중첩되는 영역, 또는 채널이 형성되는 영역에 있어서의, 소스와 드레인 사이의 거리를 말한다.

[0485] 또한, 하나의 트랜지스터에 있어서, 채널 길이가 모든 영역에서 동일한 값을 취한다고는 한정되지 않는다. 즉, 하나의 트랜지스터의 채널 길이는, 하나의 값으로 정해지지 않는 경우가 있다. 이로 인해, 본 명세서에서는, 채널 길이는, 채널이 형성되는 영역에 있어서의, 어느 하나의 값, 최대값, 최소값 또는 평균값으로 한다.

[0486] <<채널 폭에 관해서>>

[0487] 본 명세서 등에 있어서, 채널 폭이란, 예를 들면, 반도체(또는 트랜지스터가 온 상태일 때에 반도체 중에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역에 있어서의, 소스와 드레인이 마주 보고 있는 부분의 길이를 말한다.

[0488] 또한, 하나의 트랜지스터에 있어서, 채널 폭이 모든 영역에서 동일한 값을 취한다고는 한정되지 않는다. 즉, 하나의 트랜지스터의 채널 폭은, 하나의 값으로 한정되지 않는 경우가 있다. 이로 인해, 본 명세서에서는, 채널 폭은, 채널이 형성되는 영역에 있어서의, 어느 하나의 값, 최대값, 최소값 또는 평균값이라고 한다.

[0489] 또한, 트랜지스터의 구조에 따라서는, 실제로 채널이 형성되는 영역에 있어서의 채널 폭(이하, 실효적인 채널 폭이라고 부른다.)과, 트랜지스터의 상면도에 있어서 나타내는 채널 폭(이하, 겉보기상의 채널 폭이라고

부른다.)이 상이한 경우가 있다. 예를 들면, 입체적인 구조를 갖는 트랜지스터에서는, 실효적인 채널 폭이, 트랜지스터의 상면도에 있어서 나타내는 겉보기상의 채널 폭보다 커져, 그 영향을 무시할 수 없게 되는 경우가 있다. 예를 들면, 미세하고 입체적인 구조를 갖는 트랜지스터에서는, 반도체의 상면에 형성되는 채널 영역의 비율에 대해, 반도체의 측면에 형성되는 채널 영역의 비율이 커지는 경우가 있다. 그 경우는, 상면도에 있어서 나타내는 겉보기상의 채널 폭보다도, 실제로 채널이 형성되는 실효적인 채널 폭쪽이 커진다.

[0490] 그런데, 입체적인 구조를 갖는 트랜지스터에 있어서는, 실효적인 채널 폭의, 실측에 의한 견적이 곤란해지는 경우가 있다. 예를 들면, 설계값으로부터 실효적인 채널 폭을 견적하기 위해서는, 반도체의 형상을 이미 알고 있다는 가정이 필요하다. 따라서, 반도체의 형상을 정확하게 모르는 경우에는, 실효적인 채널 폭을 정확하게 측정하는 것은 곤란하다.

[0491] 그래서, 본 명세서에서는, 트랜지스터의 상면도에 있어서, 반도체와 게이트 전극이 중첩되는 영역에 있어서의, 소스와 드레인의 마주 보고 있는 부분의 길이인 겉보기상의 채널 폭을, 「서라운드 채널 폭(SCW: Surrounded Channel Width)」이라고 부르는 경우가 있다. 또한, 본 명세서에서는, 단순히 채널 폭이라고 기재한 경우에는, 서라운드 채널 폭 또는 겉보기상의 채널 폭을 나타내는 경우가 있다. 또는, 본 명세서에서는, 단순히 채널 폭이라고 기재한 경우에는, 실효적인 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 실효적인 채널 폭, 겉보기상의 채널 폭, 서라운드 채널 폭 등은, 단면 TEM상 등을 취득하고, 그 화상을 해석하는 것 등에 의해, 값을 결정할 수 있다.

[0492] 또한, 트랜지스터의 전계 효과 이동도나, 채널 폭당 전류값 등을 계산하여 구하는 경우, 서라운드 채널 폭을 사용하여 계산하는 경우가 있다. 그 경우에는, 실효적인 채널 폭을 사용하여 계산하는 경우와는 상이한 값을 취하는 경우가 있다.

[0493] <<화소에 관해서>>

[0494] 본 명세서 등에 있어서, 화소란, 예를 들면, 밝기를 제어할 수 있는 요소 1개분을 나타내는 것으로 한다. 따라서, 일례로서는, 일 화소란, 1개의 색 요소를 나타내는 것으로 하고, 그 색 요소 1개로 밝기를 표현한다. 따라서, 그 때는, R(빨강) G(초록) B(파랑)의 색 요소로 이루어지는 컬러 표시 장치의 경우에는, 화상의 최소 단위는, R의 화소와 G의 화소와 B의 화소의 3화소로 구성되는 것으로 한다.

[0495] 또한, 색 요소는, 삼색으로 한정되지 않고, 그 이상이라도 좋고 예를 들면, RGBW(W는 백)나, RGB에, 옐로우, 시안, 마젠타를 추가한 것 등이 있다.

[0496] <<접속에 관해서>>

[0497] 본 명세서 등에 있어서, A와 B가 접속되어 있다, 란, A와 B가 직접 접속되어 있는 것 외에, 전기적으로 접속되어 있는 것을 포함하는 것으로 한다. 여기에서, A와 B가 전기적으로 접속되어 있다란, A와 B 사이에서, 어떠한 전기적 작용을 갖는 대상물이 존재할 때, A와 B의 전기 신호의 수수를 가능하게 하는 것을 말한다.

[0498] 또한, 예를 들면, 트랜지스터의 소스(또는 제 1 단자 등)가, Z1을 개재하여 (또는 개재하지 않고), X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이, Z2를 개재하여(또는 개재하지 않고), Y와 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가, Z1의 일부에 직접적으로 접속되고, Z1의 다른 일부가 X와 직접적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이, Z2의 일부와 직접적으로 접속되고, Z2의 다른 일부가 Y와 직접적으로 접속되어 있는 경우에는, 이하와 같이 표현할 수 있다.

[0499] 예를 들면, 「X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)은, 서로 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속되어 있다.」라고 표현할 수 있다. 또는, 「트랜지스터의 소스(또는 제 1 단자 등)는, X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는, 이 순서로 전기적으로 접속되어 있다」라고 표현할 수 있다. 또는, 「X는, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 개재하여, Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는, 이 접속 순서로 설치되어 있다」라고 표현할 수 있다. 이러한 예와 같은 표현 방법을 사용하여, 회로 구성에 있어서의 접속 순서에 관해서 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)을 구별하여, 기술적 범위를 결정할 수 있다.

[0500] 또는, 다른 표현 방법으로서, 예를 들면, 「트랜지스터의 소스(또는 제 1 단자 등)는, 적어도 제 1 접속 경로를

개재하여, X와 전기적으로 접속되고, 상기 제 1 접속 경로는, 제 2 접속 경로를 가지고 있지 않으며, 상기 제 2 접속 경로는, 트랜지스터를 개재한, 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등) 사이의 경로이며, 상기 제 1 접속 경로는, Z1을 개재한 경로이며, 트랜지스터의 드레인(또는 제 2 단자 등)은, 적어도 제 3 접속 경로를 개재하여, Y와 전기적으로 접속되고, 상기 제 3 접속 경로는, 상기 제 2 접속 경로를 가지고 있지 않으며, 상기 제 3 접속 경로는, Z2를 개재한 경로이다.」라고 표현할 수 있다. 또는, 「트랜지스터의 소스(또는 제 1 단자 등)는, 적어도 제 1 접속 경로에 의해, Z1을 개재하여, X와 전기적으로 접속되고, 상기 제 1 접속 경로는, 제 2 접속 경로를 가지고 있지 않으며, 상기 제 2 접속 경로는, 트랜지스터를 개재한 접속 경로를 가지고, 트랜지스터의 드레인(또는 제 2 단자 등)은, 적어도 제 3 접속 경로에 의해, Z2를 개재하여, Y와 전기적으로 접속되고, 상기 제 3 접속 경로는, 상기 제 2 접속 경로를 가지고 있지 않다.」라고 표현할 수 있다. 또는, 「트랜지스터의 소스(또는 제 1 단자 등)는, 적어도 제 1 전기적 패스에 의해, Z1을 개재하여, X와 전기적으로 접속되고, 상기 제 1 전기적 패스는, 제 2 전기적 패스를 가지고 있지 않으며, 상기 제 2 전기적 패스는, 트랜지스터의 소스(또는 제 1 단자 등)로부터 트랜지스터의 드레인(또는 제 2 단자 등)으로의 전기적 패스이고, 트랜지스터의 드레인(또는 제 2 단자 등)은, 적어도 제 3 전기적 패스에 의해, Z2를 개재하여, Y와 전기적으로 접속되고, 상기 제 3 전기적 패스는, 제 4 전기적 패스를 가지고 있지 않으며, 상기 제 4 전기적 패스는, 트랜지스터의 드레인(또는 제 2 단자 등)으로부터 트랜지스터의 소스(또는 제 1 단자 등)로의 전기적 패스이다.」라고 표현할 수 있다. 이를 예와 같은 표현 방법을 사용하여, 회로 구성에 있어서의 접속 경로에 관해서 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)을, 구별하여, 기술적 범위를 결정할 수 있다.

[0501] 또한, 이러한 표현 방법은, 일례이며, 이러한 표현 방법으로 한정되지 않는다. 여기에서, X, Y, Z1, Z2는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층, 등)인 것으로 한다.

부호의 설명

[0502] CK1 신호

CK2 신호

CK3 신호

OUT[i] 출력 신호

OUT[i+1] 출력 신호

OUT[i+2] 출력 신호

G1 주사선

M1 트랜지스터

M3 트랜지스터

M4 트랜지스터

ND1 노드

ND2 노드

ND3 노드

t1 기간

t2 기간

t3 기간

t4 기간

t5 기간

t6 기간

T1 기간

T2 기간
T3 기간
T4 기간
T5 기간
T6 기간
SL 배선
OUT 배선
SEL1 신호
SEL2 신호
RES 배선
VPI 배선
VRES 배선
DL 신호선
CS 배선
DATA 검지 신호
FPC1 플렉시블 기판
FPC2 플렉시블 기판
100 회로
101 트랜지스터
102 트랜지스터
102A 스위치
103 트랜지스터
103A 스위치
104 트랜지스터
105 트랜지스터
105A 스위치
106 트랜지스터
107 트랜지스터
108 트랜지스터
109 트랜지스터
110 용량 소자
111 트랜지스터
112 트랜지스터
113 트랜지스터
114 용량 소자
130 화소부

131 화소

132 트랜지스터

133 액정 소자

134 용량 소자

135 트랜지스터

136 트랜지스터

137 EL 소자

151 배선

152 배선

153 배선

154 배선

154A 배선

155 배선

156 배선

157 배선

158 배선

159 배선

160 배선

161 배선

162 배선

163 배선

200 시프트 레지스터

201 회로

211 배선

212 배선

213 배선

214 배선

215 배선

216 배선

217 배선

218 배선

300 회로

301 회로

401 제 1 배선

402 제 2 배선

403 반도체층

- 404 개구부
- 600 트랜지스터
- 601 기판
- 602 게이트 전극
- 603 절연층
- 604 산화물 반도체층
- 604a 채널 영역
- 604b n형 영역
- 604c n형 영역
- 605a 전극
- 605b 전극
- 606 절연층
- 607 절연층
- 610 트랜지스터
- 614 산화물 반도체층
- 614a 산화물 반도체층
- 614b 산화물 반도체층
- 620 트랜지스터
- 624 산화물 반도체층
- 624a 산화물 반도체층
- 624b 산화물 반도체층
- 624c 산화물 반도체층
- 650 트랜지스터
- 651 절연층
- 652 절연층
- 654 절연층
- 656 절연층
- 660 트랜지스터
- 664 산화물 반도체층
- 664a 산화물 반도체층
- 664b 산화물 반도체층
- 664c 산화물 반도체층
- 670 트랜지스터
- 700 표시 모듈
- 701 기판
- 702 화소부

704 소스 드라이버 회로부

705 기판

706 게이트 드라이버 회로부

708 FPC 단자부

710 신호선

711 배선부

712 셀재

716 FPC

734 절연막

736 착색막

738 차광막

750 트랜지스터

752 트랜지스터

760 접속 전극

764 절연막

766 절연막

768 절연막

770 평탄화 절연막

772 도전막

774 도전막

775 액정 소자

776 액정층

778 구조체

780 이방성 도전막

790 용량 소자

800 입출력 장치

801 표시 모듈

802 화소

802B 부화소

802G 부화소

802R 부화소

803c 용량

803g 주사선 구동 회로

803t 트랜지스터

810 기재

811 배선

817 보호 기재

819 단자

820U 검지 유닛

821 전극

822 전극

823 절연층

834 창부

836 기재

837 보호 기재

837p 보호층

839 검지 회로

850 입력 장치

867p 반사 방지층

872 반사 전극

880 액정 소자

1135 트랜지스터

1400 휴대 정보 단말

1401 하우징

1402 표시부

1403 조작 버튼

1410 휴대전화기

1411 하우징

1412 표시부

1413 조작 버튼

1414 스피커

1415 마이크

1420 음악 재생 장치

1421 하우징

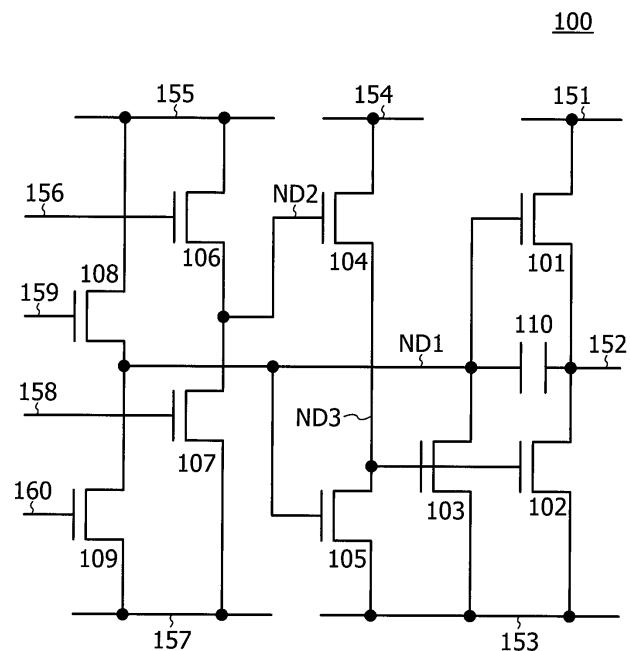
1422 표시부

1423 조작 버튼

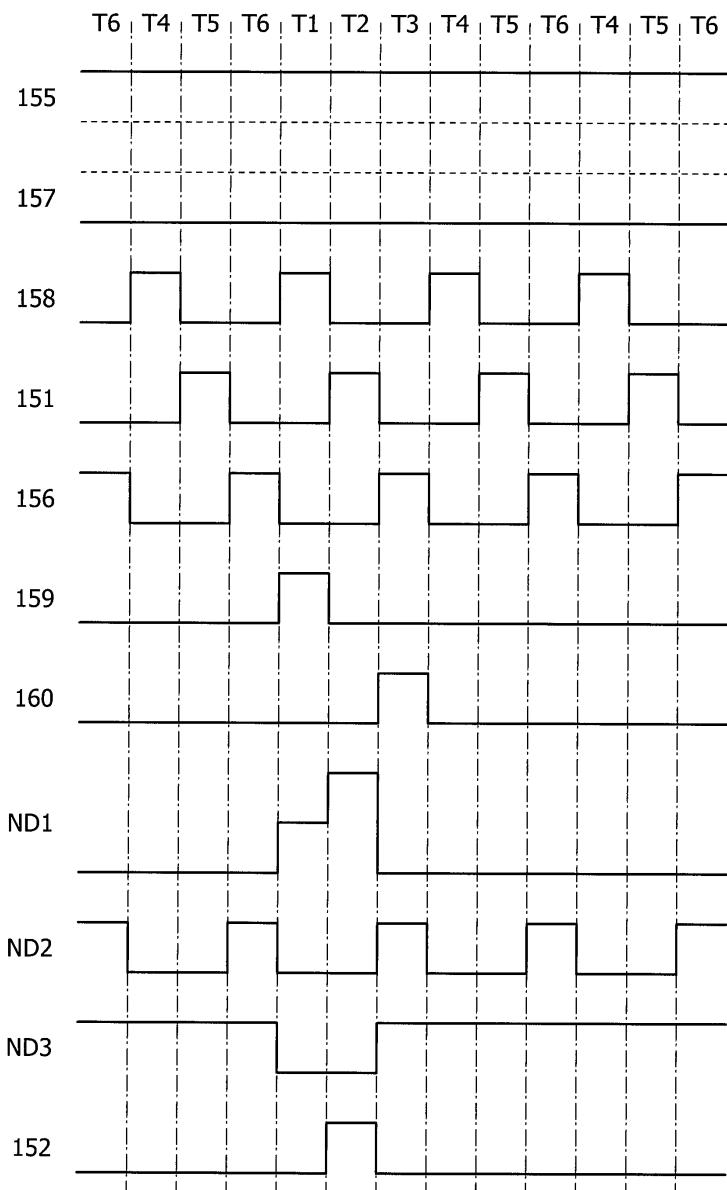
1424 안테나

도면

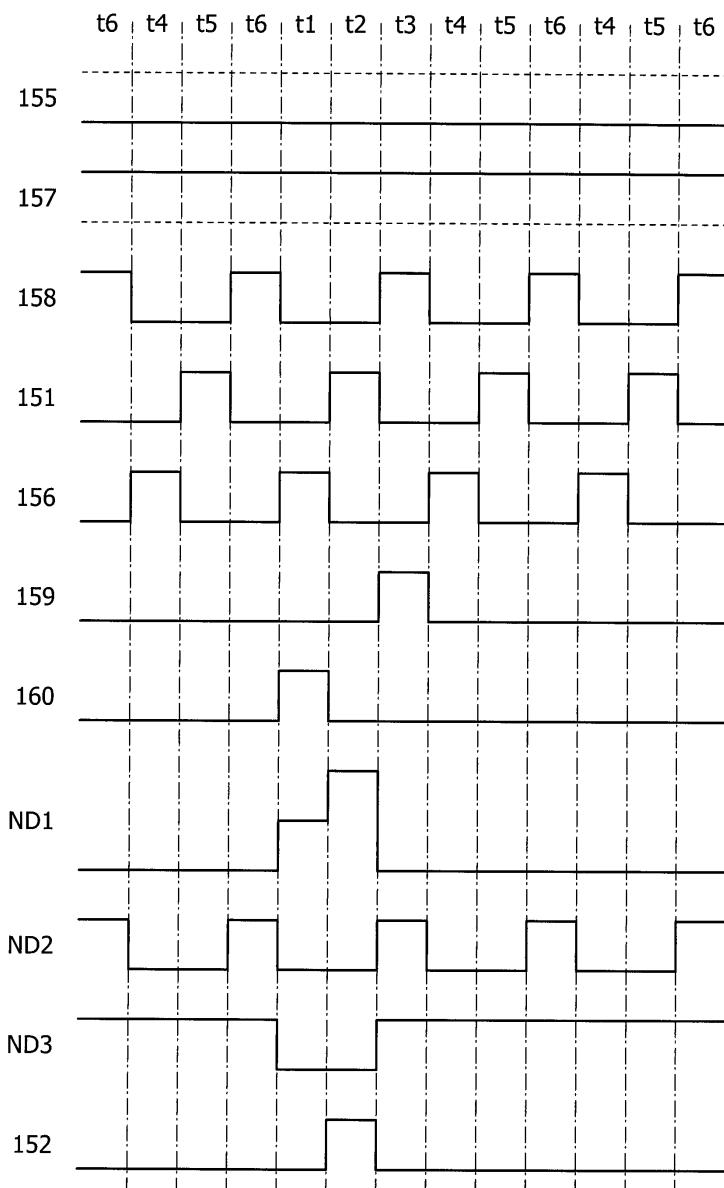
도면1



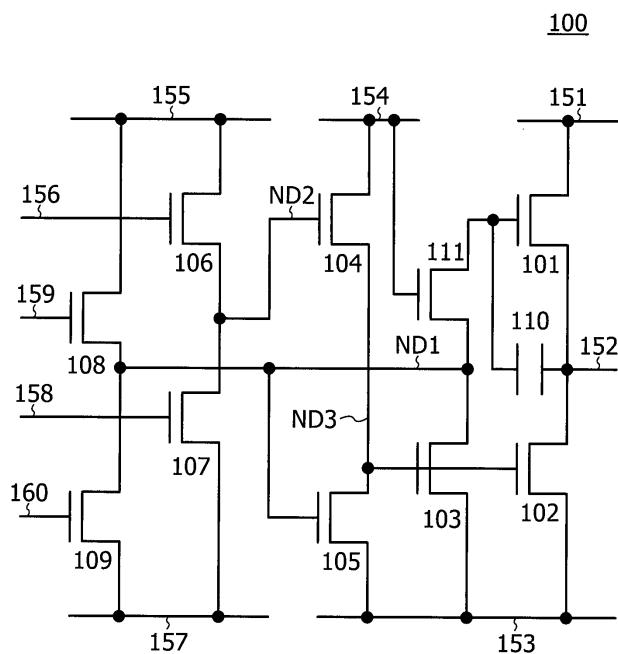
도면2



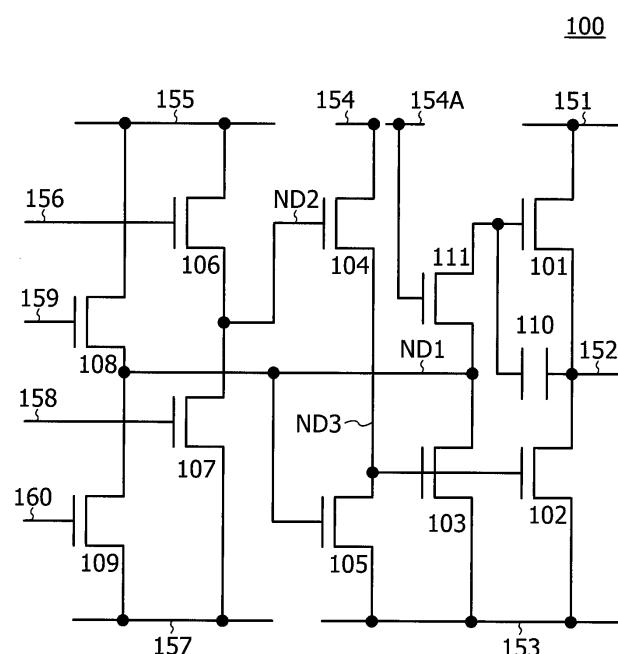
도면3



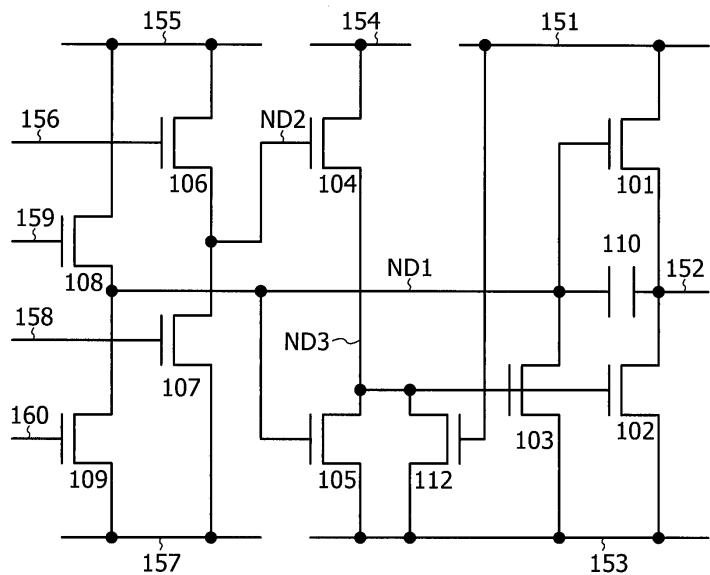
도면4



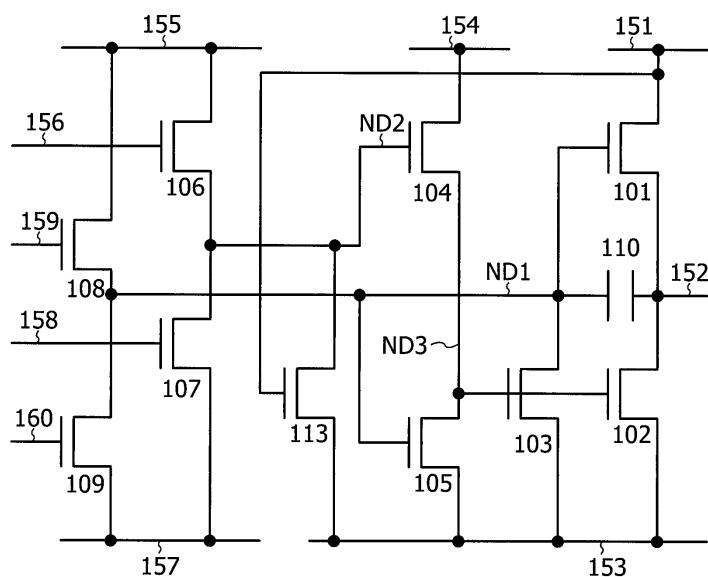
도면5



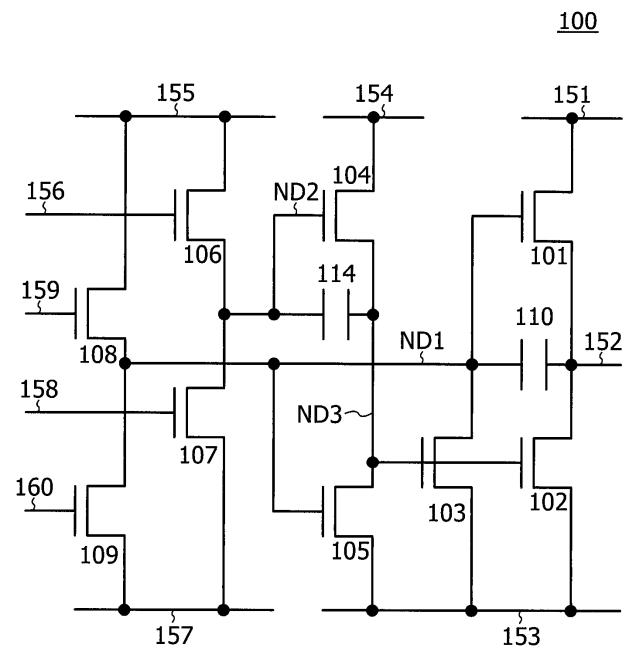
도면6

100

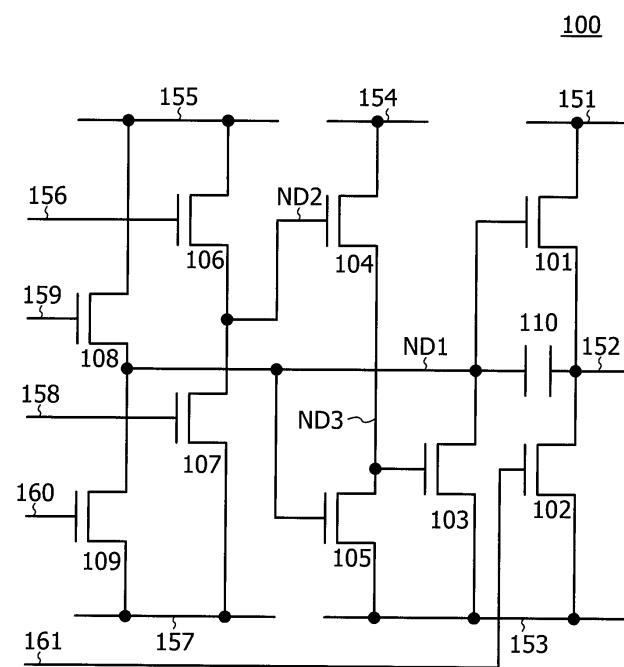
도면7

100

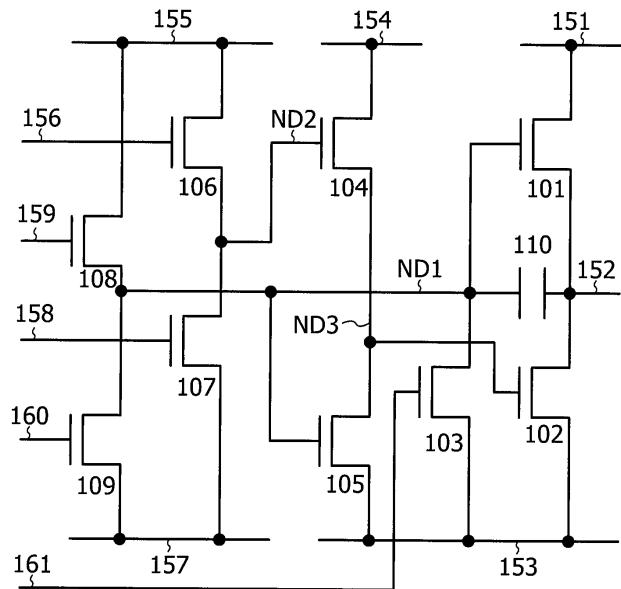
도면8



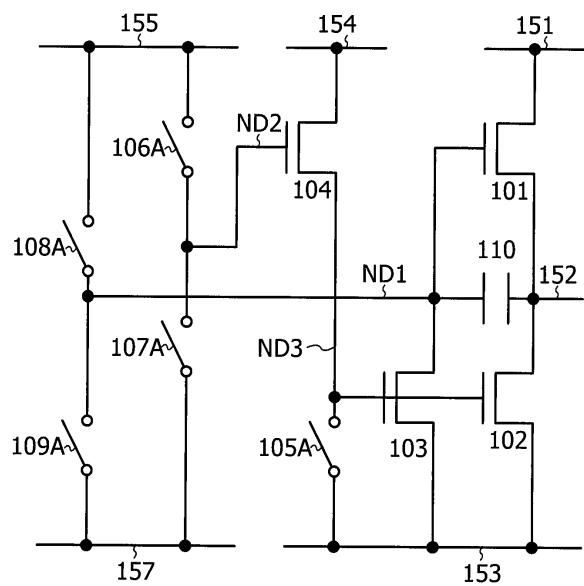
도면9



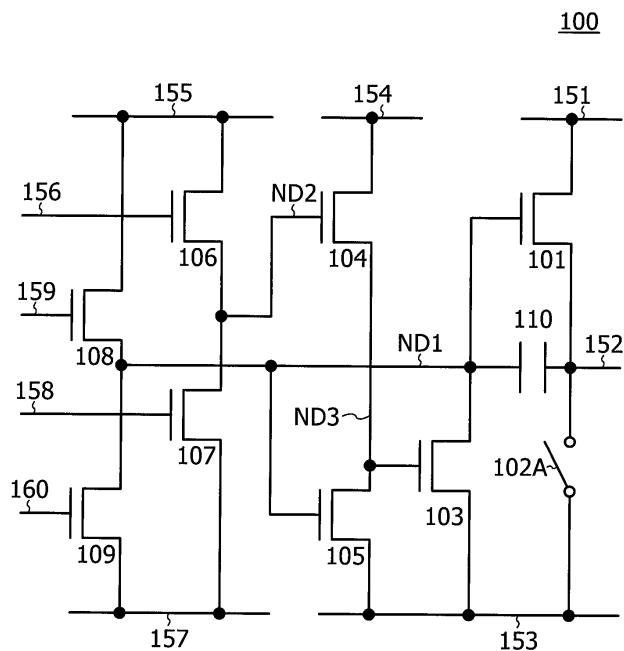
도면10

100

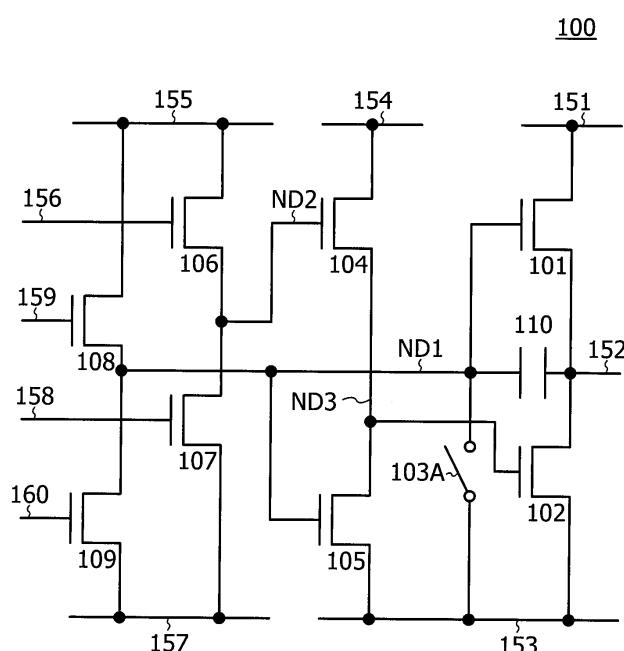
도면11

100

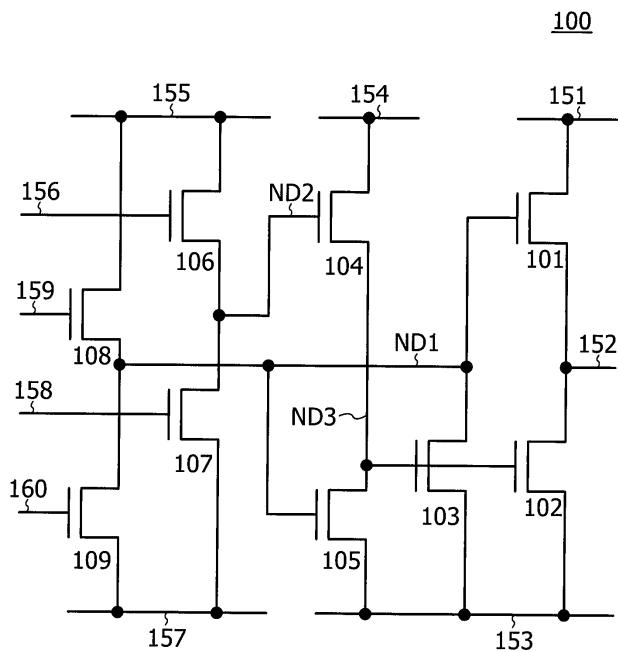
도면12



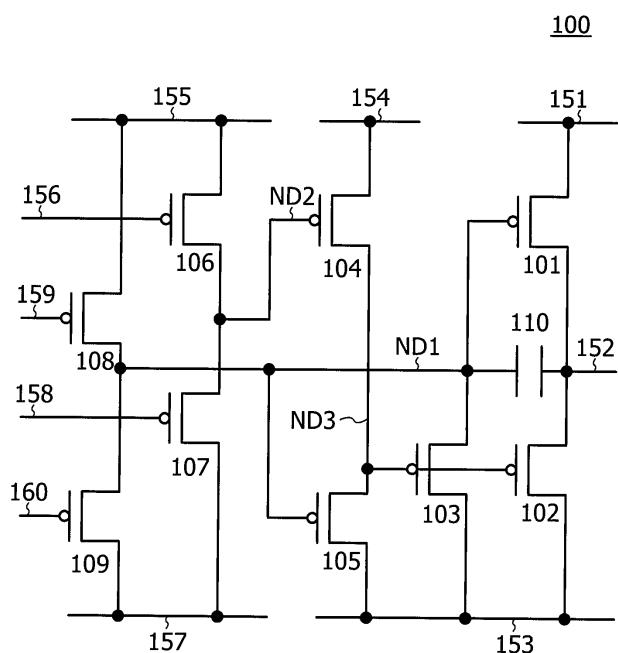
도면13



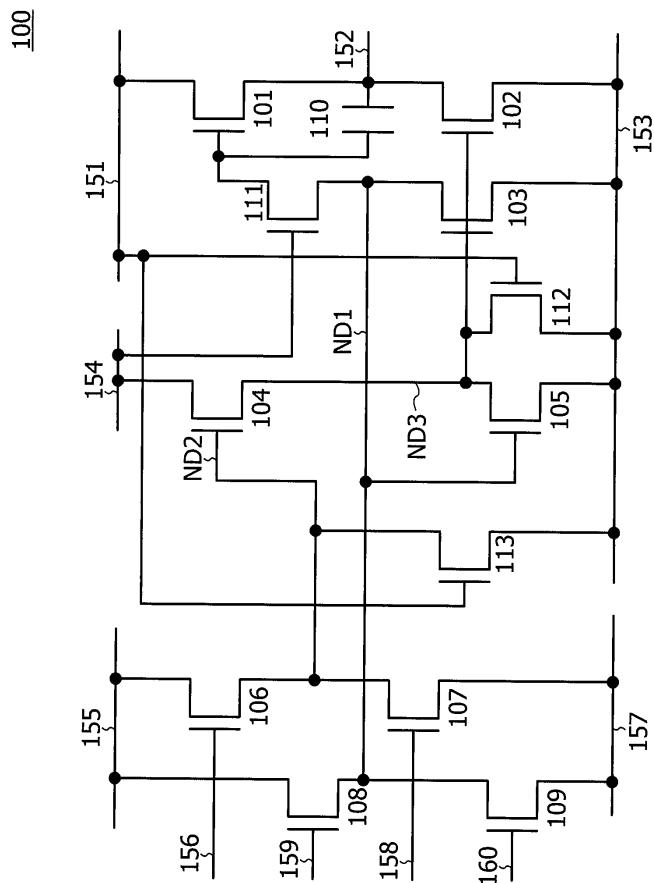
도면14



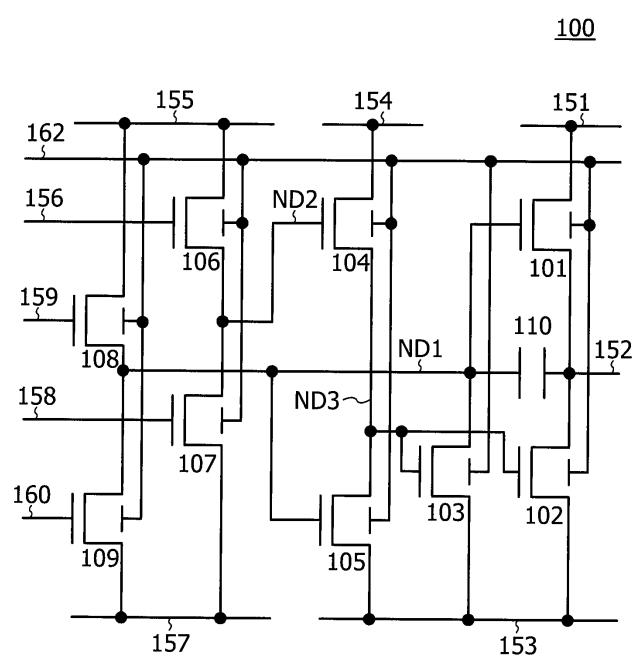
도면15



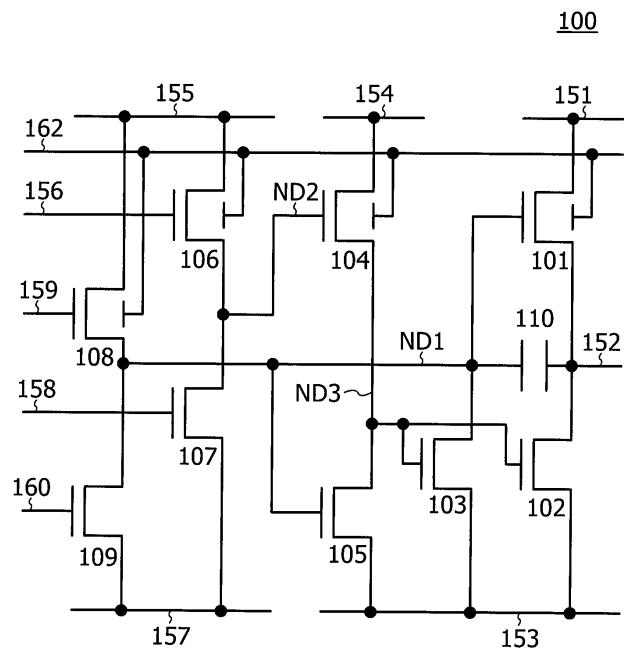
도면16



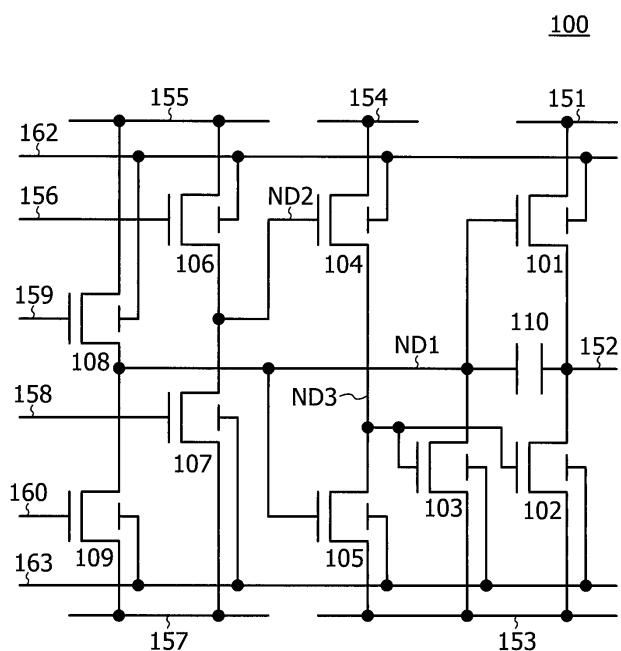
도면17



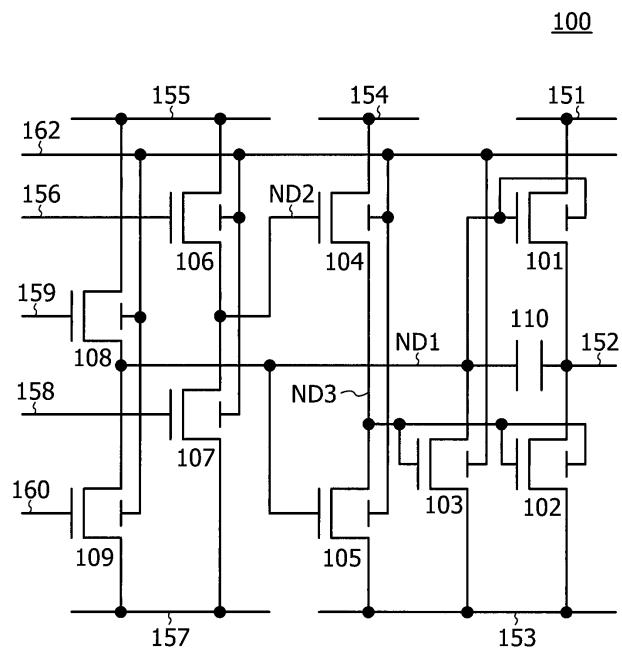
도면18



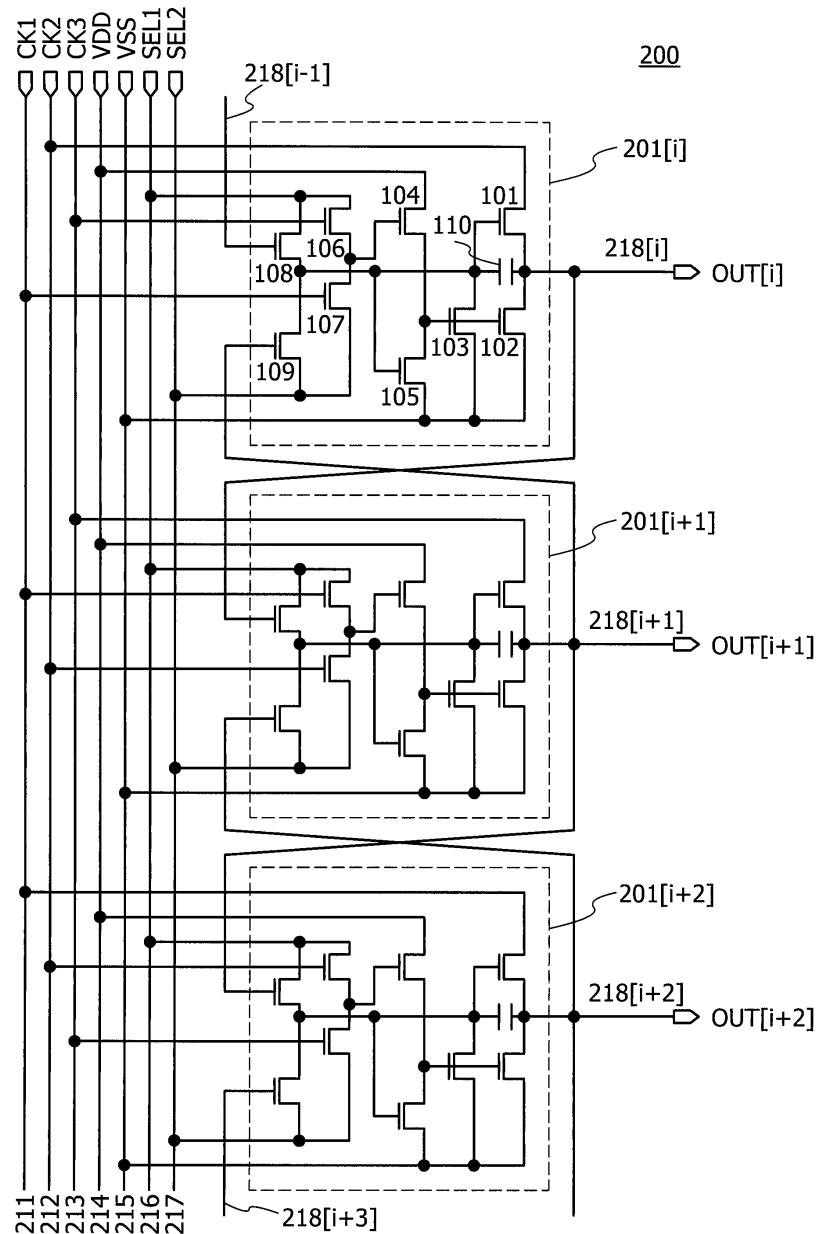
도면19



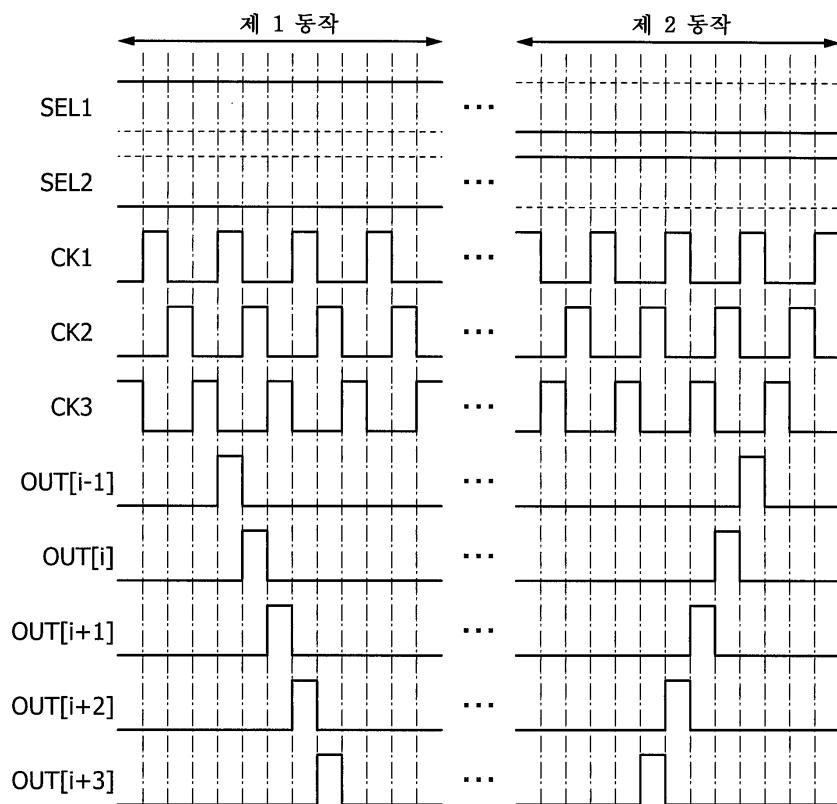
도면20



도면21

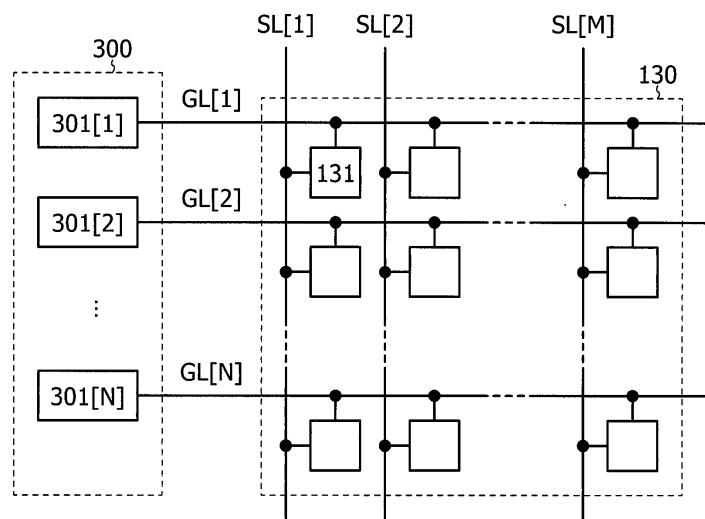


도면22

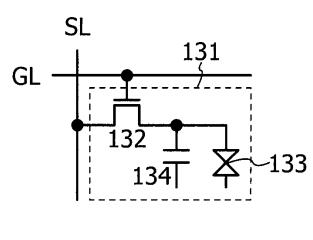


도면23

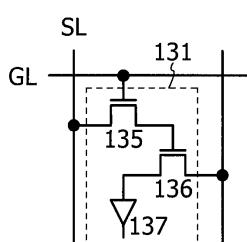
(A)



(B)

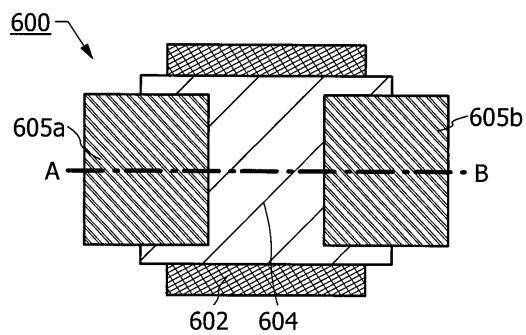


(C)

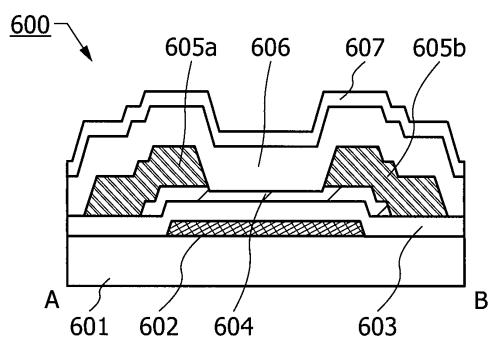


도면24

(A)

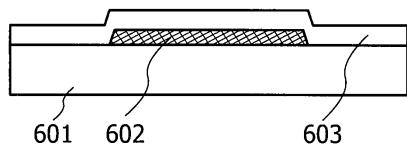


(B)

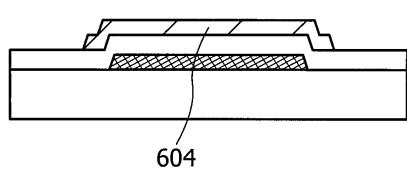


도면25

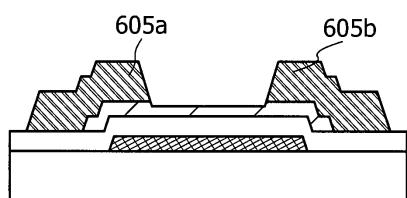
(A)



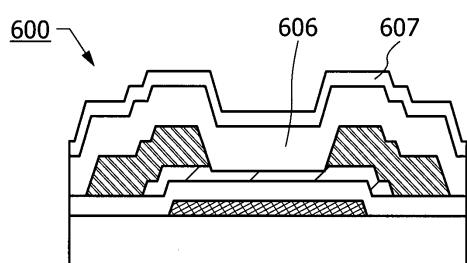
(B)



(C)

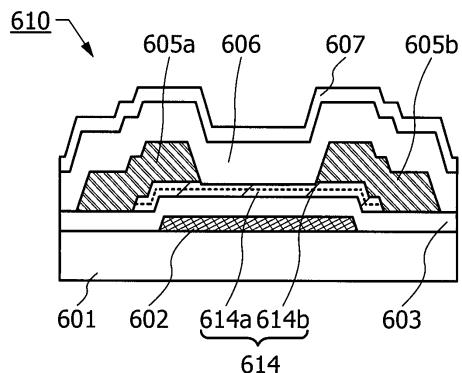


(D)

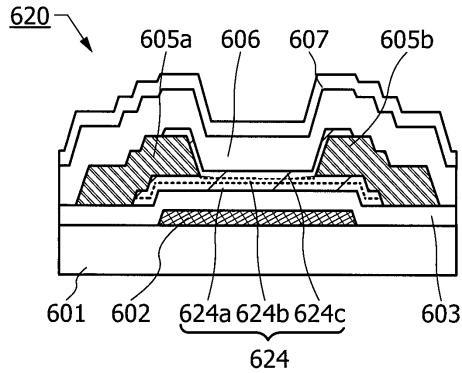


도면26

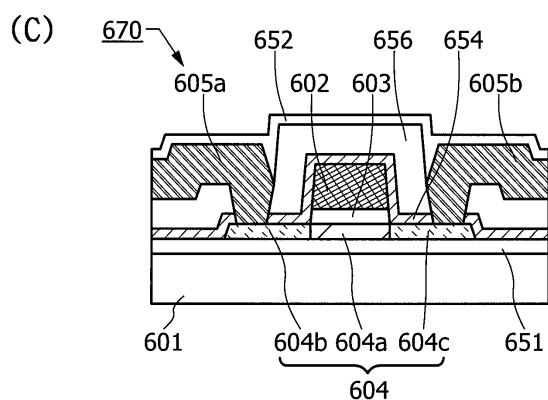
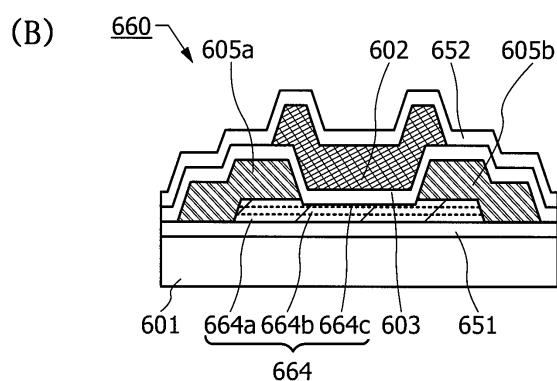
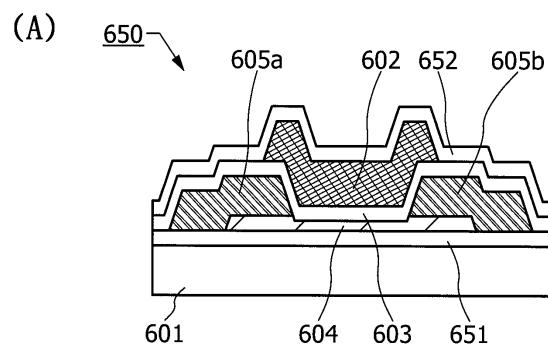
(A)



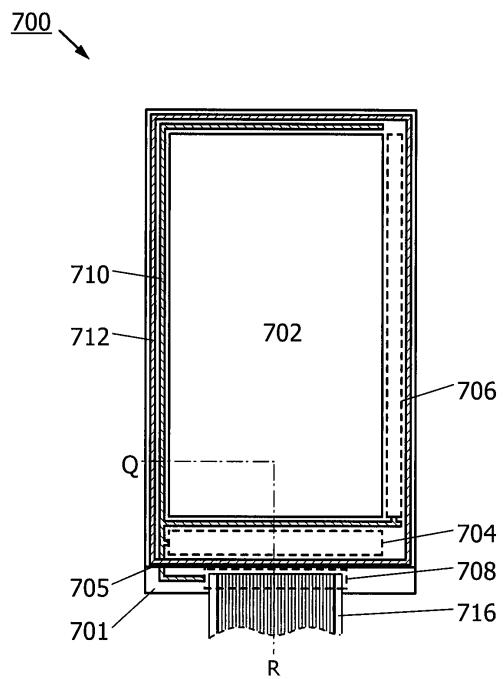
(B)



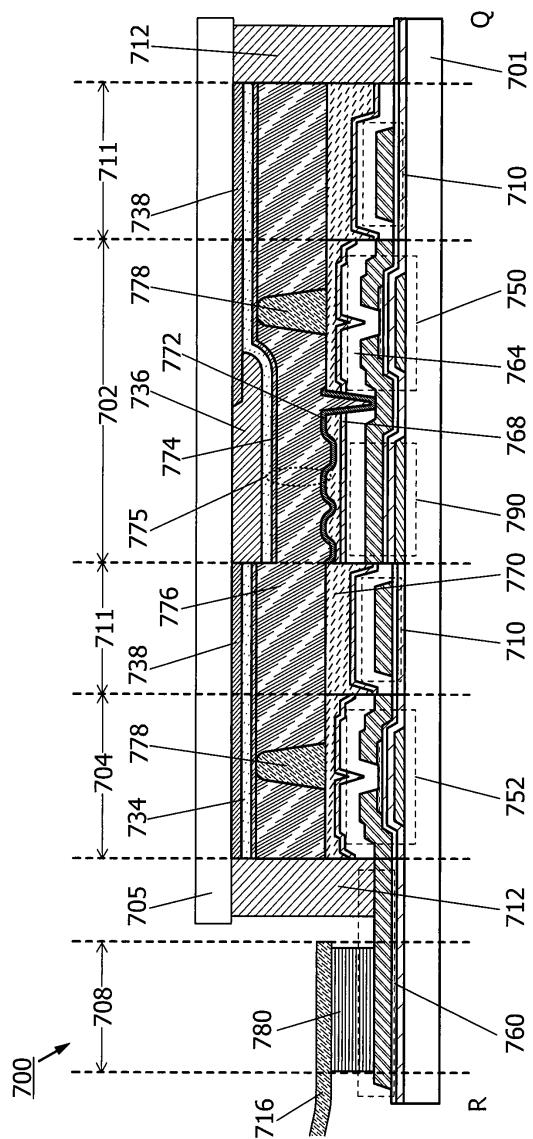
도면27



도면28

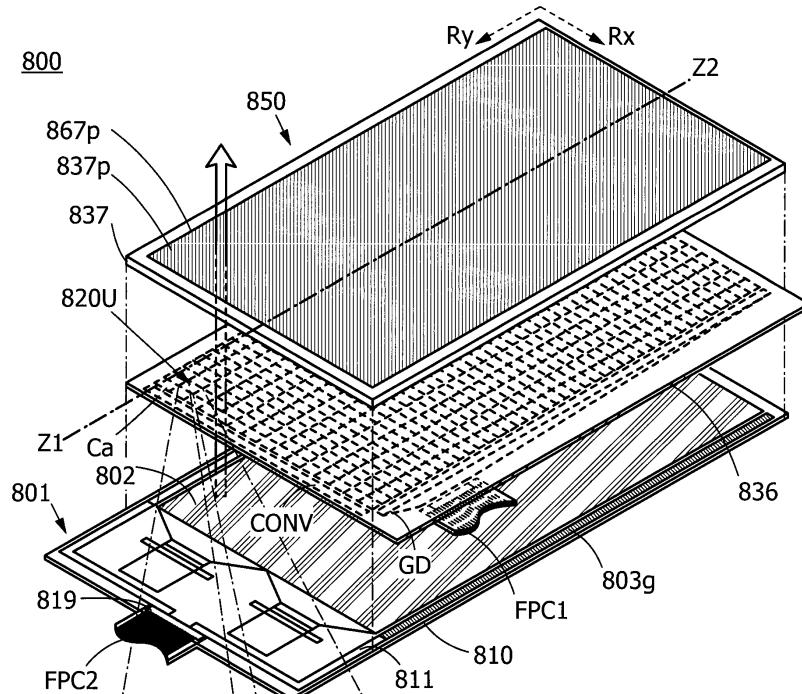


도면29

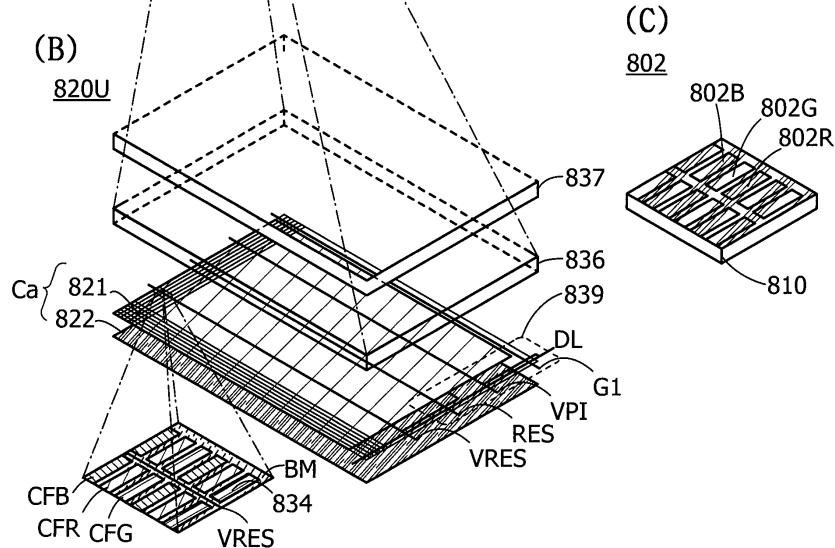


도면30

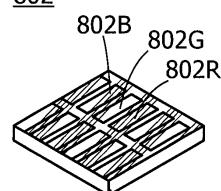
(A)



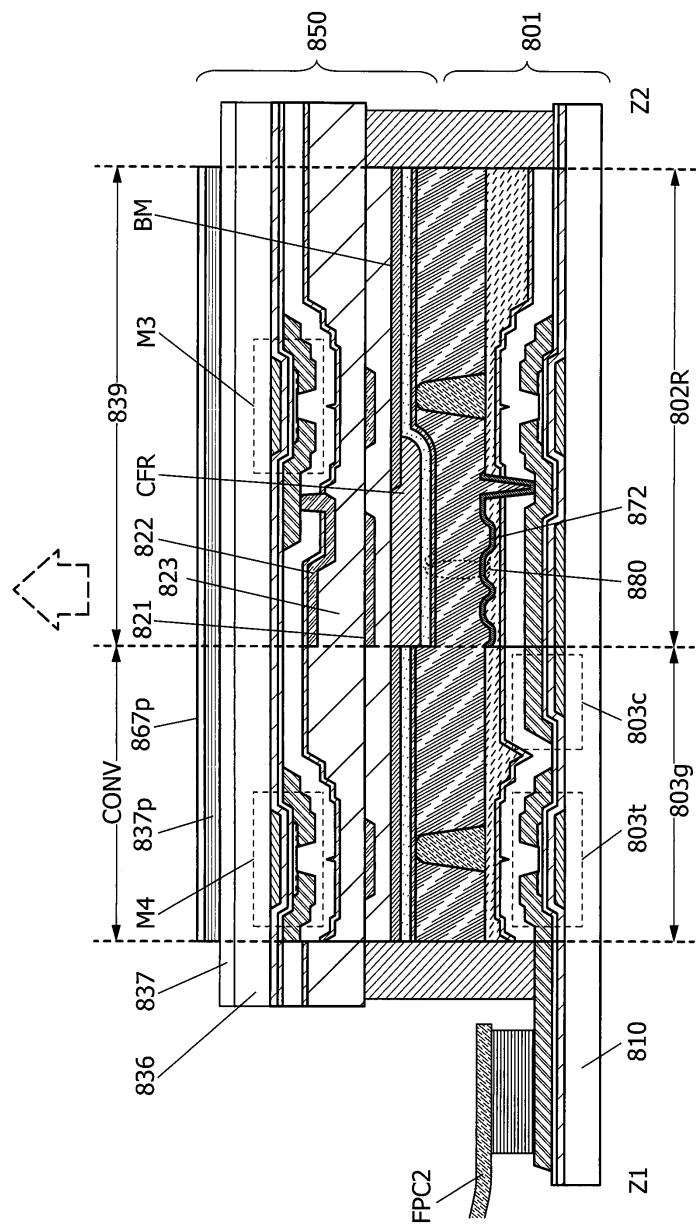
(B)



(C)

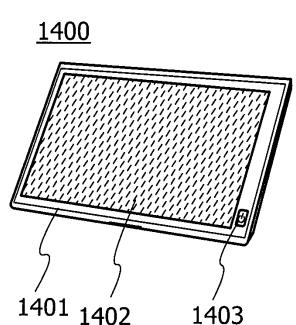
802

도면31

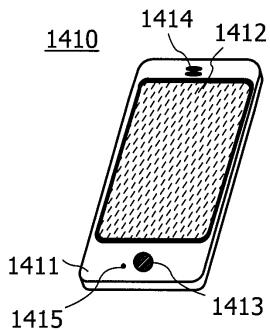


도면32

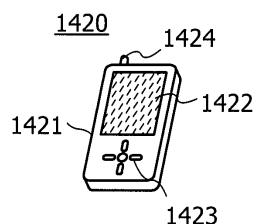
(A)



(B)



(C)



도면33

