

[12] 发明专利申请公开说明书

[21] 申请号 99801298. X

[43]公开日 2000年11月22日

[11]公开号 CN 1274485A

[22]申请日 1999.8.6 [21]申请号 99801298. X

[30]优先权

[32]1998.8.6 [33]KR [31]1998/32471

[86]国际申请 PCT/KR99/00439 1999.8.6

[87]国际公布 WO00/08767 英 2000.2.17

[85]进入国家阶段日期 2000.4.4

[71]申请人 三星电子株式会社

地址 韩国京畿道

[72]发明人 金宰烈 朴昌洙 姜熙原

孔骏镇 卢宗善 梁景喆

[74]专利代理机构 柳沈知识产权律师事务所

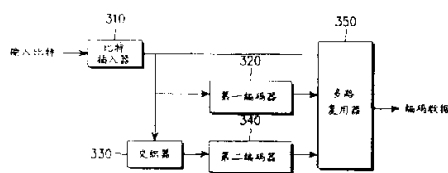
代理人 马莹

权利要求书 3 页 说明书 19 页 附图页数 16 页

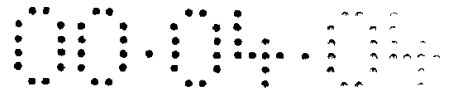
[54]发明名称 通信系统中的信道编码/解码

[57]摘要

一种用于接收机的信道解码装置,该接收机接收通过在一帧数据中的预定位置插入至少一个特定比特而编码的码元。在此信道解码装置中,码元插入器接收码元,在预定的特定比特插入位置插入具有特定值的码元,并输出接收到的其他位置的码元。解码器对从码元插入器输出的码元进行解码。

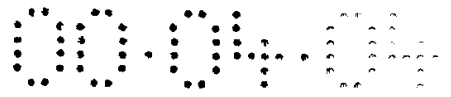


ISSN 1008-4274



权 利 要 求 书

1. 一种用于接收机的信道解码装置，所述接收机接收通过在一帧数据中的预定位置插入至少一个特定比特而编码的码元，所述信道解码装置包括：
- 5 接收码元的码元插入器，用于在预定的特定比特插入位置插入具有特定值的码元，并输出接收到的其他位置的码元；以及
- 解码器，用于对从所述码元插入器输出的码元进行解码。
2. 如权利要求1所述的信道解码装置，其中，所述特定比特插入位置在信道解码时在帧中有较高的差错概率。
- 10 3. 如权利要求1所述的信道解码装置，其中，所述解码器是软判决解码器。
4. 如权利要求3所述的信道解码装置，其中，相应码元的特定值倾向于相应的符号。
5. 一种用于接收机的信道解码装置，所述接收机接收通过在一帧数据中
- 15 的预定位置插入至少一个特定比特而编码的码元，所述信道解码装置包括：
- 接收码元的多路分解器，用于将接收到的码元多路分解为数据码元、第一奇偶校验码元和第二奇偶校验码元；
- 码元插入器，用于在数据码元中预定的特定比特插入位置插入具有特定值的码元，并输出接收到的其他位置的码元；
- 20 第一解码器，用于对从所述码元插入器输出的数据码元和第一奇偶校验码元进行软判决，以产生第一解码码元；
- 第一交织器，用于对所述第一解码器的输出进行交织；
- 第二解码器，用于对从所述第一交织器输出的第一解码码元和第二奇偶校验码元进行软判决，以产生第二解码码元；
- 25 硬判决部件，用于对第二解码码元进行硬判决；以及
- 第一反交织器，用于对所述硬判决部件的输出进行去交织。
6. 如权利要求5所述的信道解码装置，还包括：
- 第一码元置数器，用于在迭代解码期间将位于由所述码元插入器插入了具有特定值的码元的位置的相应码元置数成特定值；
- 30 第一选择器，连接到所述码元插入器和所述第一码元置数器，用于当接收数据码元时选择所述码元插入器的输出，并且在迭代解码期间，选择所述



第一码元置数器的输出，以输出选择值到所述第一解码器；

第二去交织器，用于在迭代解码期间对第二解码码元进行去交织，以将去交织的数据反馈给所述第一码元置数器；以及

5 第二选择器，连接到所述第二解码器，用于在迭代解码期间输出所述第二解码器的输出到所述第二去交织器，并在输出数据期间输出所述第二解码器的输出到所述硬判决部件。

7. 如权利要求6所述的信道解码装置，还包括第二码元置数器，其连接在所述交织器与所述第二解码器之间，用于将插入了交织的第一解码码元中具有特定值的码元的位置上的相应第一解码码元置数成特定值。

10 8. 如权利要求6所述的信道解码装置，还包括第二码元置数器，其连接在所述第一解码器与所述交织器之间，用于将插入了交织的第一解码码元中具有特定值的码元的位置上的相应第一解码码元置数成特定值。

9. 如权利要求6所述的信道解码装置，其中，所述特定比特插入位置在信道解码期间在一帧中有较高差错概率。

15 10. 一种用于接收机的信道解码方法，所述接收机用于接收通过在一帧数据中的预定位置插入至少一个特定比特而编码的码元，所述信道解码此方法包括下列步骤：

接收码元，在预定的特定比特插入位置插入具有特定值的码元，并输出接收到的其他位置的码元；以及

20 应用插入的具有特定值的码元对接收到的码元进行解码。

11. 一种用于接收机的信道解码方法，所述接收机用于接收通过在一帧数据中的预定位置插入至少一个特定比特而编码的码元，所述信道解码方法包含下列步骤：

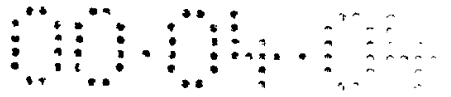
25 a) 接收码元，并将接收到的码元多路分解为数据码元、第一奇偶校验码元和第二奇偶校验码元；

b) 在数据码元中预定的特定比特插入位置插入具有特定值的码元，并输出接收到的其他位置的码元；

c) 对其中插入了具有特定值的码元的数据码元及第一奇偶校验码元进行软判决，以产生第一解码码元；

30 d) 对第一解码码元进行交织；

e) 对交织的第一解码码元与第二奇偶校验码元进行软判决，以产生第二



解码码元；

f) 对第二解码码元进行去交织；

g) 在一插入位置将去交织的第二解码码元中的相应码元置数成特定值，并符号到步骤 c)，以重复步骤 c)至 e)；

5 h) 当步骤 c)至 e)完成时，对第二解码数据进行硬判决；以及

I) 对硬判决处理过的第二解码码元去交织。

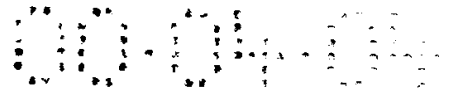
12. 一种用于接收机的信道解码方法，所述接收机用于接收通过在一帧数据中的预定位置插入至少一个特定比特而编码的码元，所述信道解码方法包括下列步骤：

10 a) 接收码元，在预定的特定比特插入位置插入具有特定值的码元，并输出接收到的其他位置的码元；

b) 采用插入的具有特定值码元对接收到的码元进行解码；

c) 在迭代解码期间反馈解码码元，将在反馈码元的插入码元置数成特定值，并重复步骤 b)；以及

15 d) 当步骤 b)完成时，输出解码数据。



说明书

通信系统中的信道编码/解码

5 发明背景

1. 发明领域

本发明一般地涉及以帧单位制处理数据的通信系统，特别涉及一种信道编码装置及其方法。

2. 相关技术描述

10 在处理话音、字符、图象和视频信号的通信系统中，数据通常是以帧单位制进行发送的。一帧被定义为系统的一个基本定时间隔。此外，在对这种帧数据进行通信的系统中，用于纠错的信道编码器也应该以帧单位制进行数据编码。在这种情况下，编码器进行尾部比特置零来指示每帧的结束，从而利用这个信息，解码器可以有效地对帧进行解码。解码器尾部比特表示加在
15 数据帧末端的一个固定比特序列，以将卷积编码器复位到已知的状态。IS-95系统典型地采用了非递归系统卷积编码器，该编码器在每一帧的末端添加与延迟器数目相等的一序列零(0)比特来结束帧。然而，与非递归系统卷积编码器相反，递归系统编码器不能在帧的末端添加零比特来结束帧，因为输入比特是反馈到延迟器的。

20 图1是一种常规并行快速编码器(Turbo Encoder)的框图，它公开于授予Berrou的美国专利 No. 5,446,747。图1中的编码器是一种常规的递归系统编码器。该快速编码器应用两个简单的支路编码器(constituent encoder)对N比特的输入帧编码成奇偶校验码元，并可以构造成为并行或串行的结构。另外，图1中的快速编码器采用递归系统卷积码作为支路代码。

25 图1中的快速编码器包含一个交织器120，位于第一支路编码器110与第二支路编码器130之间。交织器120的大小为输入数据比特的一个帧长度N，它重新排列输入给第二支路编码器130的数据比特的次序，以减小第一和第二编码器输出之间的相关性。

30 第一支路编码器110对输入的数据比特进行编码，交织器120按给定的规则对输入数据流的比特交织(或随机化)，以使由信道造成的突发差错转变为随机差错。第二支路编码器130对交织器120的输出进行编码。

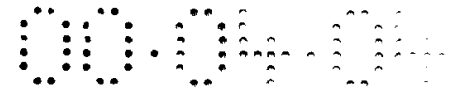


图 2 显示了图 1 中递归系统卷积编码器的终止方案。更详细的信息，参见 D. Divsalar 和 F. Pollara 的：“On the Design of Turbo Codes” (快速码的设计)，TDA Progress Report 42-123, Nov.15, 1995。这里，假设输入给第一和第二支路编码器 110 和 120 的帧数据为 20 比特的数据。图 2 中，D1-D4 表示延迟器，XOR 1-XOR 6 为异或门。

参见图 2，进行编码的实施步骤如下：开关 SW 1 保持在接通(ON)的位置，而开关 SW 2 保持在切断(OFF)的位置。然后，20 比特的输入帧数据依次输入延迟器 D1-D4，并经异或门 XOR 1-XOR 6 进行异或运算，于是，编码的比特在异或门 XOR 6 的输出端输出。当 20 个数据比特都以这种方式编码后，开关 SW 1 切换到切断而开关 SW 2 切换到接通以结束帧。然后，异或门 XOR 1-XOR 4 分别对延迟器输出的数据比特与相应的反馈数据比特进行异或运算，因而输出零比特。这些产生的零比特被再次输进延迟器 D1-D4，并存储在里面。被输进延迟器 D1-D4 的零比特就成为输入给多路复用器的尾部比特。

多路复用器多路复用从支路编码器输出的编码的数据比特和尾部比特。尾部比特的个数取决于包含在支路编码器 110 和 130 中延迟器的个数。图 2 中的终止方案每帧产生 4 个尾部比特以及还为各尾部比特中的每个产生的附加编码比特，令人不满意地增加了整个最终编码比特的计数，这导致了比特率的降低。亦即，当比特率定义为：

比特率 = (输入数据比特数量)/(输出数据比特数量)，

具有图 2 所示结构的支路编码器的比特率就是：

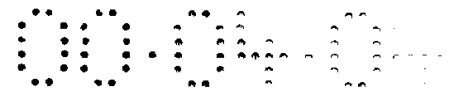
比特率 = (输入数据比特数量)/{(编码数据比特数量) + (尾部比特数量) + (尾部比特的编码比特数量)}。

从而，图 2 中，由于帧数据由 20 比特组成，并且延迟器的数量等于 4，因此比特率就变成 20/28。

因此，显然递归系统卷积编码器的性能取决于置尾部比特的方法，因为理想地给快速码置尾部比特是困难的。

本发明概述

因此，本发明的一个目的是提供这样一种装置和方法，用于在通信系统的递归系统编码器中采用其中插入了预定比特的帧结构进行信道编码/解码。



本发明的另一个目的是提供一种递归系统信道编码装置和方法，用于在信道编码前在帧数据中的预定位置插入具有特定值的比特。

本发明的另一个目的是提供一种信道解码装置和方法，用于对从信道编码器发送来的信道编码数据进行解码，其中，在信道编码期间，将具有特定值的比特插入帧数据中的预定位置。

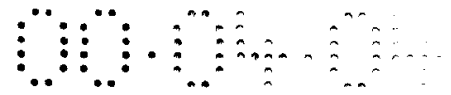
本发明的另一个目的是提供这样一种装置和方法，用于在信道编码码元中的特定码元位置插入具有特定值的比特，并利用具有特定值的比特来进行软判决解码，以提高信道解码的性能。

根据本发明的一个方面，提供了一种用于接收机的信道解码装置，该接收机接收通过在帧数据的预定位置插入至少一个特定比特而编码的码元。该信道解码装置包括：接收码元的码元插入器，用于将具有特定值的码元插入预定的特定比特插入位置，并输出接收到的在其他位置的码元；解码器，用于对码元插入器输出的码元进行解码。

更具体地讲，信道解码装置包括：接收码元的多路分解器，用于把接收到的码元多路分解为数据码元、第一奇偶校验码元和第二奇偶校验码元；码元插入器，用于将具有特定值的码元插入到数据码元中预定的特定比特插入位置，并输出接收到的在其他位置的码元；第一解码器，用于对从码元插入器输出的数据码元及第一奇偶校验码元进行软判决，以产生第一解码码元；第一交织器，用于对第一解码器的输出进行交织；第二解码器，用于对从第一交织器输出的第一解码码元及第二奇偶校验码元进行软判决，以产生第二解码码元；硬判决部件，用于对第二解码码元进行硬判决；以及去交织器，用于对硬判决部件的输出进行去交织。

根据本发明的另一个方面，提供了一种接收机的信道解码方法，该接收机接收通过在帧数据的预定位置插入至少一个特定比特而编码的码元。该信道解码方法包括以下步骤：接收码元，将具有特定值的码元插入特定比特插入位置，并输出接收到的在其他位置的码元；利用具有特定值的插入码元对接收到的码元进行解码。

更具体地讲，该信道解码方法包括以下步骤： a)接收码元，把接收到的码元多路分解为数据码元、第一奇偶校验码元和第二奇偶校验码元； b)将具有特定值的码元插入到数据码元中预定的特定比特插入位置，并输出接收到的在其他位置的码元； c)对其中插入了具有特定值码元的数据码元及第一奇



偶校验码元进行软判决，以产生第一解码码元； d)交织第一解码码元； e)对交织的第一解码码元与第二奇偶校验码元进行软判决，以产生第二解码码元； f)对该第二解码码元进行去交织； g)将去交织的第二解码码元的相应码元在一插入位置置数为特定值，返回到 c)，以重复步骤 c)至 e)； h)在步骤 c)至 e)结束后，对第二解码数据进行硬判决；以及 i)对硬判决处理过的第二解码码元去交织。

附图说明

通过结合附图对本发明进行详细描述，本发明的上述及其他目的、特性和优点将会变得更加清楚，附图中，相同的标号代表相同的部件。附图中：

图 1 表示无线通信系统中使用的现有技术的信道编码器的框图；

图 2 为图 1 中现有技术的支路编码器详细框图；

图 3 为本发明第一实施例的信道编码器的示意图；

图 4 为图 3 所示比特插入器的详图；

15 图 5 为图 3 所示支路编码器的详图；

图 6 为本发明第一实施例的比特处理过程的示意图；

图 7 为本发明第二实施例的信道编码器的示意图；

图 8 为图 7 中多路复用器的详图；

图 9 为本发明第二实施例的比特处理过程的示意图；

20 图 10 为本发明第三实施例的信道编码器的示意图；

图 11 为图 10 所示支路编码器的详图；

图 12 为图 10 所示多路复用器的详图；

图 13 为本发明第三实施例的比特处理过程的示意图；

图 14 为本发明一个实施例中的信道解码器的示意图；

25 图 15 为图 14 中码元置数器(symbol initializer)的详图；以及

图 16 为本发明另一实施例中的信道解码器。

优选实施例的详细描述

本发明的优选实施例将在以下参照附图详细描述。在下面的描述中，将不对所熟知的功能和结构进行详细描述，以不使本发明因不必要的细节而变得难懂。这里用的术语“数据比特”是指没有被编码的数据，而“奇偶校验



比特”是指经支路编码器编码过的数据。

通常，在通信系统中，发信机用信道编码器对发送数据编码，并发送编码数据；接收机然后对从发信机接收到的数据解调，以将接收数据转换到原始数据。信道编码器以帧单位制对发送数据进行编码，并产生尾部比特，该
5 尾部比特加在每一帧上来指示帧的结束。本发明提出一种在信道编码器中具有结束作用的帧结构。

该具有结束作用的帧结构可以按照以下所述的几个实施例来实现：

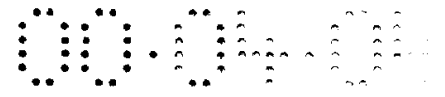
第一实施例：一定数量的特定比特被插入到每个信道帧中有较高差错发生概率的位置，要插入的比特的数量由尾部比特的数量来确定。因为递归系
10 统支路编码器没有被构造为产生尾部比特，因此，差错发生概率由实验来确定，并且插入位置应对信道编码器和信道解码器来说都是已知的。要插入的特定比特不论是否被发送，最好应是对通信几乎没有或没有影响的无效比特。它们也可以是编码比特或接收机预定的数据比特。这里，假设它们为零比特。

第二实施例：一定数量的特定比特被插入到每个信道帧中有较高差错发生概率的位置，要插入的比特的数量由尾部比特的数量来确定。插入特定比特以使其超出预定帧长度。应用支路编码器对插入了比特的数据比特进行编
15 码。然后，在输出信道编码数据时，超出信道编码数据帧长度的比特在输入数据的比特插入位置上被穿孔。这里，递归系统编码器不产生尾部比特，而信道解码器应预先知道比特插入的位置。
20

第三实施例：一定数量的特定比特被插入到每个信道帧中有较高差错发生概率的位置，要插入的比特的数量由尾部比特的数量来确定。支路编码器产生用于终止的尾部比特和相关联的尾部比特的编码数据，然后，在每一信道帧的特定插入位置对数据比特穿孔，以在为比特插入所选的穿孔位置中插
25 入尾部比特和尾部比特的编码数据。

第一实施例

依照本发明第一实施例编码器不产生尾部比特，而是在预定位置插入特定比特，以实现结束功能。在本实施例中，一个 24 个比特的帧包含 16 个数
30 据比特和 8 特定比特，这 8 个特定比特中的每个均为零，插入在帧中有较高差错发生概率的比特位置上。这里，这些比特插入的位置，是通过在对编码



数据进行解码的同时实验上检测差错发生最多的位置来确定的。另外，每一个支路编码器都使用 1/3 的编码率。

在本实施例中，当采用 1/3 编码率的快速编码器对 24 个比特帧数据(16 个帧数据比特加 8 个特定比特)进行编码时，以实验确定解码期间有较高差错发生概率的位置。8 个具有相对高差错概率比特位置被确定，特定比特就插入到所确定的位置。这里，当解码器在对插入特定码的编码帧数据进行解码时，已知插入了比特的位置。

当插入的特定比特为零比特(实际上，“0”比特是作为“-1”发送的)，在解码前，在插入位置的零比特被改变为高度倾向于“-1”的大的负值(如-5)，以增加可靠性。这是为了提高解码的性能，而且插入的特定比特的值可以在无线电环境中发送时有所改变。然而，因为解码器预先知道将要收到的特定比特的位置，因此，在实际解码过程中，解码器插入特定比特的比“-1”高的值。这种情况下，解码器可借助插入的特定值提高解码性能。此解码操作将参照图 14 加以详细描述。以这种方式，对这些比特进行解码的解码器根据 24 个中至少有 8 比特以大的负值来发送而得知这些比特，因而提高了解码性能。在本实施例中，帧的长度越短，解码性能提高的越多。

图 3 是本发明第一实施例的具有用于插入特定比特的比特插入器的快速编码器。比特插入器 310 包含通过处理输入数据比特产生特定比特的比特发生器，并通过将比特发生器产生的特定比特插入到预定比特插入位置，以在帧单位中产生数据比特。第一支路编码器 320 对从比特插入器 310 输出的数据比特进行编码。交织器 330 依照预定的规则，交织比特插入器 310 输出的帧单位中的数据比特，从而重新排列数据比特序列。在示例性实施例中，交织器 330 采用对角(diagonal)交织器。

第二支路编码器 340 对从交织器 330 输出帧单位中的交织数据比特进行编码。可采用递归系统卷积编码器作为第一支路编码器 320 和第二支路编码器 340。多路复用器 350 在未述及的控制器的控制下，对比特插入器 310、第一支路编码器 320 和第二支路编码器 340 的输出进行多路复用。这里，比特插入器 310 输出数据比特 I_k 。第一支路编码器 320 输出第一奇偶校验比特 $P1_k$ ，第二支路编码器 340 输出第二奇偶校验比特 $P2_k$ 。

图 4 是图 3 所示快速编码器中比特插入器 310 的详细框图。参见图 4，比特发生器 430 产生要插入在数据比特中的特定比特。这里，假设这些特定



比特为零比特。延迟器 412-426 可以是能按比特时钟对输入数据比特移位的串行移位寄存器结构，可以由存储部件如触发器组成。

在未述及(未画出)的控制器的控制下，开关 432 切换，以选择延迟器 412-426 的输出。在数据比特中插入从比特发生器 430 输出的特定比特的位
5 置，在未述及的控制器的控制下，开关 432 被切换到下一个延迟器。也就是说，当被选的特定比特插入在数据比特中时，开关 432 选择延迟了一个比特的数据比特。开关 432 可由多路复用器实现。在未述及的控制器的控制下，开关 434 切换到比特发生器 430 和开关 432 的输出，以产生数据比特 I_k 。在控制器的控制下，开关 434 选择数据比特中的特定比特插入到预定位置。

10 参见图 4，下面将就插入特定比特的操作进行描述。输入的数据比特被延迟器 412-426 按照比特时钟延迟。开始，开关 432 选择输入数据比特(即，柱 1)，而开关 434 初始连接到开关 432(即，柱 B)。然后，输入的数据比特经由开关 432 和 434 输出。与此同时，当一个比特插入位置被确定时，在控制器的控制下，开关 432 连接到延迟器 412 的输出(即，柱 2)，而开关 434 连接到比特发生器 430 的输出(即，柱 A)。其结果是，数据比特的通路被切断，而
15 从比特发生器 430 输出的零比特插入到相应的比特位置。当在零比特插入后数据比特继续输出的情况下，开关 434 再次被控制器连接到开关 432。亦即，因在插入零比特之后选择了延迟了一比特的数据比特，所以，零比特可以插入在预定位置而不会丢失数据比特。

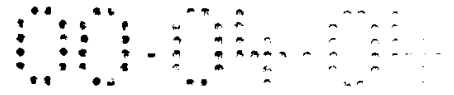
20 重复上述过程，零比特就插入到一帧的数据比特中。当在插入零比特之后接收到下一帧的数据比特时，开关 432 再次被连接到输入比特节点(即，柱 1)，然后又重复上面的过程。在对数据比特编码以进行通信的情况下，差错率在输入到各自支路编码器的数据比特流后部统计上相对较高。因此，举例而言，那些从比特发生器 430 输出的零比特的插入位置，主要位于数据比特
25 流的后部，如表 1 所示。

表 1

I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	Ib1	I12	I13	I14	Ib2	I15	I16	Ib3	Ib4	Ib5	Ib6	Ib7	Ib8
----	----	----	----	----	----	----	----	----	-----	-----	------------	-----	-----	-----	------------	-----	-----	------------	------------	------------	------------	------------	------------

表中 I_x 为数据比特， I_{bx} 为插入的比特。

在数据比特流中插入特定比特的原因是为了提高接收机的解码性能。为此，最好在信道帧中那些有较高差错发生概率的比特位置插入特定比特，插
30 入比特的数量由尾部比特的数量来确定。多数情况下，有较高差错发生概率



的比特位置分布在输入到支路编码器的数据比特流的后部，如表 1 所示。因此，特定比特主要插入在数据比特流的后部。修改的数据流分别输入第一和第二支路编码器 320 和 340。这里，对于第二支路编码器 340，特定比特应插入在从交织器 330 输出的交织数据比特的后部。因此，比特插入器 310 在加到第二支路编码器 340 的数据比特中插入特定比特时，应该考虑到这一点。

从比特插入器 310 输出的表 1 中的数据比特并行地输入给第一支路编码器 320 和交织器 330。从交织器 330 输出的帧单位中的交织数据比特由第二支路编码器 340 进行编码。图 5 是根据第一实施例的图 3 所示的第一和第二支路编码器 320 和 340 的结构。如图所示，第一和第二支路编码器 320 和 340 是递归系统卷积编码器。另外，支路编码器 320 和 340 被构造成不产生尾部比特，如图 5 所示。

第一支路编码器 320 对从比特插入器 310 输出的表 1 中的数据比特进行编码。从第一支路编码器 320 输出的编码数据比特见表 2。

表 2

C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	Cb1	C12	C13	C14	Cb2	C15	C16	Cb3	Cb4	Cb5	Cb6	Cb7	Cb8
----	----	----	----	----	----	----	----	----	-----	-----	------------	-----	-----	-----	------------	-----	-----	------------	------------	------------	------------	------------	------------

其中， C_x 表示一支路编码器 320 输出的码元， C_{bx} 表示第一支路编码器 320 输出的插入比特的码元。这里，在第一支路编码器 320 的编码率为 1/3 的情况下，每个码元 C 变成为 3 个码元。

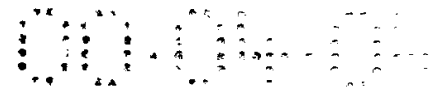
与此同时，交织器 330 对从比特插入器 310 输出的数据比特进行交织，而第二支路编码器 340 对从交织器 330 输出的交织数据比特进行编码。第二支路编码器 340 输出的数据见表 3。

表 3

D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	Db1	D12	D13	D14	Db2	D15	D16	Db3	Db4	Db5	Db6	Db7	Db8
----	----	----	----	----	----	----	----	----	-----	-----	------------	-----	-----	-----	------------	-----	-----	------------	------------	------------	------------	------------	------------

其中， D_x 表示第二支路编码器 340 输出的码元， D_{bx} 表示第二支路编码器 340 输出的插入比特的码元。这里，在第二支路编码器 340 的编码率为 1/3 的情况下，每个码元 D 变成为 3 个码元。尽管事实上已通过交织重新排列数据比特序列，但为便于解释，序列在表 3 中保持不变。

然后，在未述及的控制器的控制下，多路复用器 350 对比特插入器 310、第一支路编码器 320 和第二支路编码器 340 的输出进行多路复用。表 4 所示为插入了特定比特的数据比特以及第一和第二支路编码器 320 和 340 的输出。多路复用器 350 可以以如表 4 所示的帧单位制、或以码元单位制多路复



用数据码元序列中的输入码元、第一奇偶校验码元和第二奇偶校验码元。

表 4

I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	Ib1	I12	I13	I14	Ib2	I15	I16	Ib3	Ib4	Ib5	Ib6	Ib7	Ib8
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	Cb1	C12	C13	C14	Cb2	C15	C16	Cb3	Cb4	Cb5	Cb6	Cb7	Cb8
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	Db1	D12	D13	D14	Db2	D15	D16	Db3	Db4	Db5	Db6	Db7	Db8

图 6 是根据本发明第一实施例的图 3 所示的快速编码器的定时图。参见图 6，在时间间隔 T1，比特插入器 310 在数据帧中的预定比特位置插入零比特，以产生表 1 中的数据比特 I_k (见 611)。在时间间隔 T2，插入了零比特的数据比特 I_k 同时输入给多路复用器 350、第一支路编码器 320 和交织器 330。然后，在 T2 时间间隔里，第一支路编码器 320 对插入了零比特的数据比特 I_k 进行编码，以产生第一编码数据比特 C_k ，即第一奇偶校验比特(见 612)。在同一 T2 时间间隔里，交织器 330 按照预定规则交织插入零比特的数据比特 I_k (见 613)。

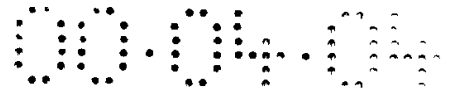
此后，在时间间隔 T3，多路复用器 350 将从比特插入器输出的数据比特 I_k 延迟一个帧周期，第一支路编码器 320 给多路复用器 350 输入第一编码数据比特 C_k ，并且第二支路编码器 340 对从交织器 330 输出的交织数据比特 I_k 进行编码，以产生第二编码数据比特 D_k ，即第二奇偶校验比特。当第二支路编码器 340 产生第二奇偶校验比特 D_k 完成时，多路复用器 350 在时间间隔 T4 多路复用数据比特 I_k 、第一奇偶校验比特 C_k 和第二奇偶校验比特 D_k 。

尽管图 6 的例子对数据比特 I_k 、第一奇偶校验比特 C_k 和第二奇偶校验比特 D_k 是并行处理的，也可能按照比特产生的顺序，将比特插入器 310、第一支路编码器 320 和第二支路编码器 340 的输出串行输出。

从前面的描述中可看出，在依照第一实施例的递归系统快速编码器中，各支路编码器不产生用于结束的尾部比特，而是在有确定的较高差错概率的比特位置插入一定数量的特定比特(即，零比特)。

第二实施例

依照本发明第二实施例的信道编码器在有较高差错发生概率的比特位置插入特定比特。第二实施例与第一实施例的区别在于，插入比特的数量设置为超出帧的大小(或长度)。在本示例性实施例中，假设每一帧包含 16 个输入数据比特 I_k 和 12 个插入比特。由于输出数据比特 I_k 、奇偶校验比特 C_k 和 D_k



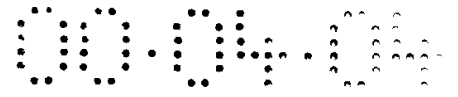
应该等于 24 个比特而总共产生了 28 个比特，因此，剩余的奇偶校验比特 C_k 和 D_k 就在比特插入位置从数据比特穿孔。

图 7 是依照本发明第二实施例的信道编码器。比特插入器 710 包含通过处理输入数据比特来产生特定比特的比特发生器，并且在预定位置插入由比特发生器产生的特定比特，来产生超出帧大小的数据比特。第一支路编码器 720 对比特插入器 710 输出的数据比特进行编码，以产生第一奇偶校验比特 C_k 。交织器 730 按照预定规则对从比特插入器 710 输出的帧单位中的数据比特进行交织，从而改变数据比特的排列(或序列)。在本示例实施例中，对角交织器被用作交织器 730。

第二支路编码器 740 对从交织器 730 输出的帧单位中的交织数据比特进行编码，以产生第二奇偶校验比特 D_k 。递归系统卷积编码器可被用作第一和第二支路编码器 720 和 740。多路复用器 750 在未述及的控制器的控制下，多路复用比特插入器 710、第一支路编码器 720 和第二支路编码器 740 的输出，以产生预定长度的数据帧。这里，比特插入器 710 输出数据比特 I_k ，第一支路编码器 720 输出第一奇偶校验比特 $P1_k$ ，第二支路编码器 740 输出第二奇偶校验比特 $P2_k$ 。

在操作中，当接收到 16 输入数据比特 I_k 时，比特插入器 710 的操作方式与第一实施例中比特插入器 310 是一样的。比特插入器 710 具有与图 4 中相似的结构，区别在于由 12 个延迟器组成。所以，在控制器的控制下，通过控制内部的开关，比特插入器 710 在帧中 12 个有较高差错概率的位置插入 12 个零比特。因此，在本实施例中，比特插入器 710 输出 28 个数据比特 I_k (即，16 个数据比特和 12 个零比特)，它们同时加到多路复用器 750、第一支路编码器 720 和交织器 730。此外，从交织器 730 输出的交织数据比特 I_k 被加到第二支路编码器 740。这里，第一和第二支路编码器 720 和 740 有图 5 的结构，它们不产生用于结束的尾部比特。

第一支路编码器 720 然后对从比特插入器 710 输出的插入了 12 个零比特的 28 个数据比特 I_k 进行编码，并输出 28 个第一奇偶校验比特 C_k 给多路复用器 750。交织器 730 对从比特插入器输出的 28 个数据比特 I_k 进行交织，第二支路编码器 740 以与第一编码器 720 相同的方式对交织数据比特进行编码，以产生加到多路复用器 750 的 28 个第二奇偶校验比特 D_k 。多路复用器 750 对数据比特 I_k 进行穿孔，以在穿孔的位置插入 4 个第一奇偶校验比特 C_k 和 4



个第二奇偶校验比特 D_k ，然后，输出其余的 24 个第一奇偶校验比特 C_k 和 24 个第二奇偶校验比特 D_k 。

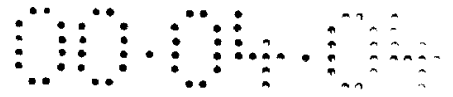
参见图 8，多路复用器 750 首先接收从比特插入器 710 输出的 28 个数据比特 I_k 。然后，多路复用器 750 内的开关 812 连接至延迟器 822，直至接收到比特插入器 710 的 28 个数据比特 I_k 的前 24 个数据比特。延迟器 822 延迟这 24 个先接收到的数据比特 I_k 。此后，开关 812 连接到延迟器 824，直至接收到比特插入器 710 的 28 个数据比特 I_k 中剩余的 4 个数据比特。延迟器 824 延迟剩余的 4 个数据比特。

以同样方式，多路复用器 750 接收从第一支路编码器 720 输出的 28 个第一奇偶校验比特 C_k 。然后，多路复用器 750 内的开关 814 连接至延迟器 826，直至接收到第一支路编码器 720 的 28 个第一奇偶校验比特 C_k 的前 24 个数据比特，延迟器 826 延迟这 24 个接收到的第一奇偶校验比特 C_k 。此后，开关 814 连接到延迟器 828，直至接收到第一支路编码器 720 的 28 个第一奇偶校验比特 C_k 剩余的 4 个第一奇偶校验比特。延迟器 828 延迟这 4 个第一奇偶校验比特。

此后，多路复用器 750 接收从第二支路编码器 740 输出的 28 个第二奇偶校验比特 D_k 。然后，多路复用器 750 内的开关 816 连接至延迟器 830，直至接收到第二支路编码器 740 的 28 个第二奇偶校验比特 D_k 的前 24 个数据比特，延迟器 830 延迟这 24 个接收到的第二奇偶校验比特 D_k 。此后，开关 816 连接到延迟器 832，直至接收到第二支路编码器 740 的 28 个第二奇偶校验比特 D_k 剩余的 4 个第二奇偶校验比特。延迟器 832 延迟这 4 个第二奇偶校验比特。

如上所述，多路复用器 750 顺序接收 28 个数据比特 I_k 、28 个第一奇偶校验比特 C_k 和 28 个第二奇偶校验比特 D_k ，并分别储存各比特的前 24 个比特和剩下的 4 比特在相应的延迟器中。开关 812-816 由未述及的控制器来控制。另外，延迟器 822-832 均由级联的存储部件组成，并存储输入的比特，直至相应的延迟处理完成。

当延迟处理完成时，开关 844 被连接到开关 842，而开关 842 被连接到延迟器 822。这样，延迟器 822 的输出就通过开关 842 和 844 被输出。当存储在延迟器 822 的一个数据比特被输出时，开关 842 被连接到延迟器 824，保持与开关 844 的连接。然后，存储在延迟器 824 的剩余数据比特其中之一



通过开关 842 和 844 被输出。也就是说，存储在延迟器 822 中的数据比特被穿孔，然后存储在延迟器 824 的数据比特被输出。此后，开关 842 被连接到延迟器 822，继续保持与开关 844 的连接。通过重复上述过程 4 遍，存储在延迟器 822 的数据比特被穿孔，存储在延迟器 824 的 4 个剩余数据比特被插入在穿孔位置。

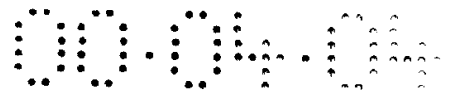
随后，开关 842 被连接到延迟器 822，保持与开关 844 的连接。然后，延迟器 822 的输出通过开关 842 和 844 被输出。当存储在延迟器 822 的一个数据比特被输出时，开关 842 被连接到延迟器 828，保持与开关 844 的连接。然后，存储在延迟器 828 的 4 个剩余第一奇偶校验比特其中之一通过开关 842 和 844 被输出。此后，开关 842 再次被连接到延迟器 822，继续保持与开关 844 的连接。通过重复上述过程 4 遍，存储在延迟器 822 的数据比特被穿孔，然后，存储在延迟器 828 的 4 个剩余第一奇偶校验比特被插入在穿孔位置。

以这种方式，数据比特和 4 个剩余第一奇偶校验比特被交替输出。接着，开关 842 被连接到延迟器 822，保持与开关 844 的连接。然后，延迟器 822 的输出通过开关 842 和 844 被输出。当存储在延迟器 822 的一个数据比特被输出时，开关 842 被连接到延迟器 832，保持与开关 844 的连接。然后，存储在延迟器 828 的 4 个剩余第二奇偶校验比特其中之一通过开关 842 和 844 被输出。此后，开关 842 再次被连接到延迟器 822，继续保持与开关 844 的连接。通过重复上述过程 4 遍，存储在延迟器 822 的数据比特被穿孔，存储在延迟器 832 的 4 个剩余第二奇偶校验比特被插入在穿孔位置。

以上述的过程，存储在延迟器 822 的 24 个数据比特被穿孔，然后，存储在延迟器 824 的 4 个剩余数据比特、存储在延迟器 828 的 4 个剩余第一奇偶校验比特及存储在延迟器 832 的 4 个剩余第二奇偶校验比特被插入在穿孔位置。因此，多路复用器 750 对从比特插入器 710 输出的数据比特 I_k 进行穿孔，在穿孔的插入位置插入 8 个奇偶校验比特，以此输出 24 个数据比特。

当上面过程完成时，开关 844 被连接到延迟器 826。然后，存储在延迟器 826 的 24 个第一奇偶校验比特 C_k 被输出。此后，开关 844 被连接到延迟器 830，以输出存储在延迟器 830 的 24 个第二奇偶校验比特 D_k 。

参见图 9，在第二实施例的图 7 所示的编码器中，比特插入器 710 在 16 个输入数据比特中插入 12 个比特，以产生 28 个数据比特 I_k 。第一和第二支路编码器 720 和 740 分别产生 24 个第一奇偶校验比特 C_k 和 24 个第二奇偶校



验比特 D_k 。多路复用器 750 在 12 个插入位置对 28 个数据比特 I_k 进行穿孔，然后在其中插入 4 个剩余数据比特、4 个剩余第一奇偶校验比特及 4 个剩余第二奇偶校验比特。此后，多路复用器 750 顺序输出数据比特、第一奇偶校验比特 C_k 和第二奇偶校验比特 C_k 。

5 在解码过程中，多路复用器 750 的输出值被多路分解为数据比特部分、第一奇偶校验比特部分和第二奇偶部分，其中，数据比特部分在比特插入部分被值“-5”穿孔。这种处理过的数据比特由现有的解码器来解码（见 Claude Berrou, Alain Glavieux 和 Punya Thitimajshima 的“Near Shannon Limit Error-Correction Coding and Decoding: Turbo-Codes(1) (近香农极限纠错编码与解
10 码：快速码(1)”)）。

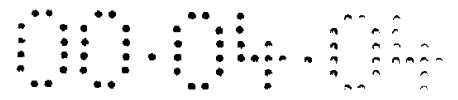
第三实施例

依照本发明第三实施例的编码器在数据比特中具有较高差错发生概率的位置插入具有特定逻辑的比特，其中，支路编码器对插入了特定比特的数据
15 比特进行编码，并产生尾部比特加入到编码数据比特当中。亦即，依照第三实施例的编码器通过比特插入和尾部比特加入来实现结束功能。

图 10 是依照本发明第三实施例的编码器。参见图 10，比特插入器 1010 接收 16 个输入比特，并且有与第一实施例的比特插入器 310 相同的结构。在未述及的控制器的控制下，比特插入器 1010 在一帧中具有较高差错发生概率的
20 的 8 个数据比特位置插入 8 个零比特。因此，在本示例实施例中，比特插入器输出 24 个数据比特 I_k ，这些数据比特被同时输入给多路复用器 1050、第一支路编码器 1020 和交织器 1030。

此外，从交织器 1030 输出的交织数据比特 I_k 被输入给第二支路编码器 1040。第一支路编码器 1020 是递归系统支路编码器，具有能够产生加到编码
25 数据比特的尾部比特的结构，如图 11 所示。另外，第一支路编码器 1020 具有不产生用于结束的尾部比特的结构，如第一实施例的图 5。

参见图 11，将描述第一支路编码器 1020 的实施。为了编码，开关 1111 将输入节点连接到异或门 1131，开关 1113 保持在切断状态，并且，开关 1115 被连接到异或门 1135。然后，24 个数据比特 I_k 经开关 1111 和异或门 1131
30 被顺序输入到延迟器 1121-1127，异或门 1135 输出编码的数据比特。当所有数据比特 I_k 以此方式被延迟器 1121-1127 和异或门 1135 进行编码后，开关 1111



被连接到异或门 1133 和 1131，开关 1113 接通，并且，开关 1115 被连接到开关 1113。然后，零比特通过对反馈的输出进行异或运算来产生，存储在延迟器 1121-1127 中，并经开关 1115 输出。这里，存储在延迟器 1121-1127 中零值变成尾部比特，并经由开关 1115 输出。产生的尾部比特的数量对应于支路编码器 1020 中延迟器的数量。在图 11 中，支路编码器 1020 每帧产生 4 个尾部比特，并还为各个尾部比特产生编码比特。

5 从而，第一支路编码器 1020 产生 24 个第一奇偶校验比特 C_k ，并且当处理最后一个数据比特(即，第 24 个数据比特)时，将开关 1111 连接到异或门 1133，将开关 1113 连接到开关 1111，和将开关 1115 连接到开关 1113；重复同样的处理过程 4 次，以产生 4 个尾部比特。通过这一过程，28 个第一奇偶校验比特 C_k 和 4 个尾部比特被输出到多路复用器 1050。

另外，交织器 1030 交织从比特插入器 1010 输出的 24 个数据比特 I_k ，并提供交织的数据比特给第二支路编码器 1040。第二支路编码器 1040 然后以与第一支路编码器 1020 同样的方式，对交织数据比特进行编码，以产生第二奇偶校验比特 D_k ，这些第二奇偶校验比特输入给多路复用器 1050。

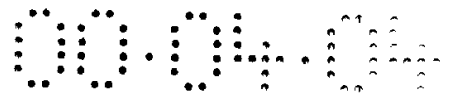
15 从交织器 1030 输出的在帧单位中的交织数据比特，被具有与图 5 所示相同结构的第二支路编码器 1040 编码。第二支路编码器 1040 是递归系统卷积编码器，如图 5 所示。另外，第二支路编码器 1040 的结构不产生尾部比特。

多路复用器 1050 然后对数据比特 I_k 进行穿孔，并在穿孔位置插入 4 个第一奇偶校验比特 C_k ，并且有选择地输出剩余的 24 个第一奇偶校验比特 C_k 和 24 个第二奇偶校验比特 D_k 。

图 12 是多路复用器 1050 的示意图。参见图 12，多路复用器 1050 首先接收从比特插入器 1010 输出的 24 个数据比特 I_k 。多路复用器 1050 中的延迟器 1222 然后存储接收到的 24 个数据比特 I_k 。

25 此后，多路复用器 1050 接收从第一支路编码器 1020 输出的 28 个第一奇偶校验比特 C_k 。多路复用器 1050 中的开关 1212 然后被连接到延迟器 1224，直至第一奇偶校验比特 C_k 的前 24 个比特被第一支路编码器 1020 接收，并且延迟器 1224 存储接收到的第一奇偶校验比特 C_k 。随后，开关 1212 被连接到延迟器 1226，直至 32 个第一奇偶校验比特 C_k 中剩余的 8 比特被第一支路编码器 1020 接收，并且延迟器 1226 存储第一奇偶校验比特 C_k 的剩余 8 比特。

30 接着，多路复用器 1050 接收从第二支路编码器 1040 输出的 24 个第二奇



偶校验比特 D_k 。多路复用器 1050 中的延迟器 1228 然后存储接收的 24 个第二奇偶校验比特 D_k 。

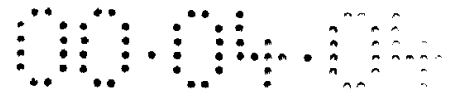
5 这样顺序产生的 24 个数据比特 I_k 、28 个第一奇偶校验比特 C_k 和 24 个第二奇偶校验比特 D_k 被输入给多路复用器 1050。多路复用器 1050 然后按接收次序将顺序接收到的数据比特 I_k 、第一奇偶校验比特 C_k 和第二奇偶校验比特 D_k 存储在相应的延迟器中，其中，28 个第一奇偶校验比特 C_k 中的前 24 个比特和剩余 4 比特被分开存储在相应的延迟器中。延迟器 1222-1228 均由级联的存储部件组成，存储相应的输入比特，直至上面的延迟过程完成。

10 上面的延迟过程之后，开关 1236 被连接到开关 1234，开关 1234 被连接到延迟器 1222。这样，延迟器 1222 的输出就经开关 1234 和 1236 输出。当存储在延迟器 1222 的数据比特被输出时，开关 1234 被连接到延迟器 1226，保持与开关 1236 的连接。然后，存储在延迟器 1226 中的剩余第一奇偶校验比特其中之一经由开关 1234 和 1236 输出。亦即，存储在延迟器 1222 的数据比特被穿孔，然后在穿孔位置插入存储在延迟器 1226 中的第一奇偶校验比特。
15 此后，开关 1234 被再次连接到延迟器 1222，保持与开关 1236 的连接。以上操作被重复 8 次，对存储在延迟器 1222 中的数据比特进行穿孔，并在穿孔位置插入存储在延迟器 1226 中剩余的 8 个第一奇偶校验比特。结果是，24 个数据比特被穿孔，以在穿孔位置(即，比特插入位置)插入 8 个第一奇偶校验比特，从而输出 24 个比特。

20 此后，开关 1236 被连接到延迟器 1224 的输出。然后，存储在延迟器 1224 的 24 个第一奇偶校验比特 C_k 经开关 1236 被输出。接着，开关 1236 被切换到延迟器 1228，以输出存储在延迟器 1228 的 24 个第二奇偶校验比特 D_k 。

25 参见图 13，在第三实施例的图 10 所示的编码器中，比特插入器 1010 在 16 个输入比特中插入 8 个比特，以产生 24 个数据比特 I_k 。产生尾部比特的递归系统支路编码器被用作支路编码器。在这种情况下，支路编码器产生包括 24 个编码数据比特、4 个尾部比特和 4 个尾部比特的编码数据的总共 32 个数据比特。当输出这些编码数据比特时，输入数据比特 I_k 被穿孔，以在比特穿孔位置插入剩余的 8 个第一奇偶校验比特。

30 在解码处理过程中，多路复用器 1050 的输出值被多路分解为数据比特部分、第一奇偶校验比特部分和第二奇偶校验比特部分，其中，数据比特部分在比特插入部分被值“-5”穿孔。这种处理过的数据比特由现有的解码器来



解码 (见 Claude Berrou, Alain Glavieux 和 Punya Thitimajshima 的 “ Near Shannon Limit Error-Correction Coding and Decoding: Turbo-Codes(1) (近香农极限纠错编码与解码: 快速码(1)”)) 。

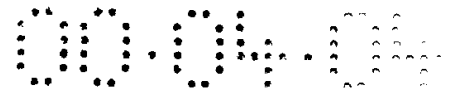
5 尽管本实施例中假设采用零比特作为插入比特, 但仍可能采用编码比特或接收机预定的数据比特。

第四实施例

10 如对第一至第三实施例的描述, 比特插入是在发信机与接收机之间的事先约定下进行的。亦即, 在预先知道比特插入位置的情况下, 发信机在信道编码前, 在帧数据中预定的比特插入位置插入特定比特, 接收机对接收到的信道编码码元进行解码。所以, 接收机在解码过程中利用关于比特插入位置的信息, 可以提高其解码的性能。在本实施例中, 具有特定值的码元被插入在比特插入位置, 以提高信道解码的性能。此外, 当在比特插入位置插入码元之后, 在每次迭代解码过程中, 将位于比特插入位置的码元置数为特定值, 15 以进行信道解码。对从其操作与多路复用器的操作相反的多路分解器输出的码元按以下解码处理来进行解码。在这里, 多路分解器多路分解接收到的信道编码码元, 以产生数据码元 X_k 、第一奇偶校验码元 Y_{1k} 和第二奇偶校验码元 Y_{2k} 。

20 图 14 表示解码器, 用于对从依照第一至第三实施例的编码器发送的信道编码码元进行解码。为了简化, 图 14 未示出用于多路分解接收到的信道编码码元的多路分解器。

25 参见图 14, 码元插入器 1411 接收多路分解的数据码元 X_k 。对于位于非比特插入位置的码元, 码元插入器 1411 原样输出接收到的码元给软判决解码器 1422; 另外, 对于位于比特插入位置的码元, 码元插入器 1411 选择由内部码元发生器产生的具有特定值的码元, 并将选择的码元输出给软判决解码器 1422。亦即, 码元插入器 1411 在表 4 所示的插入了特定比特的位置, 插入内部产生的具有特定值的码元, 并且在原始数据码元位置原样输出接收到的数据码元。这里, 由于特定比特的插入位置已预先在发信机和接收机之间确定, 接收机预先知道数据码元的特定比特插入位置。码元置数器 1415 接收 30 从去交织器 1433 反馈的码元, 以进行迭代解码。码元置数器 1415 将位于比特位置的码元置数成特定值, 并原样输出其他码元。开关 1442 根据开关位置,



选择从码元插入器 1411 或从码元置数器 1415 输出的码元。更具体地讲，当接收到数据码元 X_k 时，开关 1442 选择码元插入器 1411 的输出，否则选择码元置数器 1415 的输出。软判决解码器 1422 接收从开关 1422 输出的码元和从多路分解器输出的第一奇偶校验码元 Y_{1k} ，并对接收到的码元进行软判决解码。这里，软判决解码器 1422 的输出值变成附加信息。

交织器 1431 对软判决解码器 1422 的输出进行交织。码元置数器 1413 从交织器 1431 接收交织的解码数据，将位于比特位置的码元置数成特定值(如，-5)，否则原样输出非比特插入位置的码元。软判决解码器 1424 对码元置数器 1413 的输出和第二奇偶校验比特 Y_{2k} 进行解码。

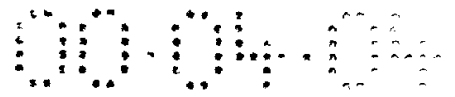
10 开关 1444 将从软判决解码器 1424 输出的解码数据切换到去交织器 1433 或硬判决部件 1437。去交织器 1433 对从软判决解码器 1424 输出的解码数据去交织，并将去交织数据反馈给码元置数器 1415。硬判决部件 1437 对从开关 1444 输出的解码数据进行硬判决。去交织器 1435 对硬判决部件 1437 的输出进行去交织。

15 软判决解码器 1422 和 1424 均可由支路编码器来构成，详细公开于 Claude Berrou, Alain Glavieux 和 Punya Thitimajshima 的“Near Shannon Limit Error-Correction Coding and Decoding: Turbo-Codes(1) (近香农极限纠错编码与解码：快速码(1))”和授予 Berrou 的美国专利 No.5,446,747。

码元插入器 1411 可以有与图 4 的比特插入器 310 相同的结构。

20 图 15 表示码元置数器 1413 和 1415，其中，码元发生器 1502 产生具有特定码元值的码元，用于增加插入比特的可靠性。在此实施例中，假设特定码元值是 -5。开关 1504 在特定比特插入位置切换，以选择码元发生器 1502 的输出，并在其他码元位置选择输入码元。另外，当接收第一个码元数据时，开关 1442 将码元插入器 1411 连接到软判决解码器 1422，并在迭代解码过程中，将码元置数器 1415 连接到软判决解码器 1422。另外，在迭代解码过程中，开关 1444 将软判决解码器 1424 连接到去交织器 1433，并当迭代解码完成时，将软判决解码器 1424 连接到硬判决解码器 1437。

25 30 在操作中，当其值为 +1 或 -1 的信道编码码元 X_k 、 Y_{1k} 和 Y_{2k} 被输入到信道解码器时，码元插入器 1411 接收数据码元 X_k ，在信道解码过程中，在被穿孔的比特插入位置插入特定值(如，-5)。在本实施例中，假设特定值为倾向于 -1 的 -5，并且将具有特定值的码元插入在插入位置。此时，开关 1442



将码元插入器 1411 连接到软判决解码器 1422。亦即，在数据码元输入期间，开关 1442 将码元插入器 1411 的输出端连接到软判决解码器 1422，在迭代解码期间，将码元置数器 1415 的输出端连接到软判决解码器 1422。码元插入器 1411 然后分析接收到的数据码元，以输出在特定的比特插入位置具有特定值(如-5)的内部产生的码元，并输出在没有特定比特插入的其他位置的数据码元 X_k 。软判决解码器 1422 对数据码元 X_k 和第一奇偶校验码元 Y_{1k} 进行解码，计算码元的数据比特在编码之前是 0 的概率与数据比特是 1 的概率之比，并基于计算值输出作为解码码元的数据码元 X_k 的纠正值。

从软判决解码器 1422 输出的码元由去交织器 1431 进行去交织，然后加到码元置数器 1413。当由软判决解码器 1422 解码的位于插入位置的码元具有从-5 趋向于-1(如-3.1)的值时，码元置数器 1413 就恢复其值到-5。

参见图 15，当接收码元时，码元置数器 1413 的开关 1504 将交织器的输出端连接到软判决解码器 1424，以原样输出输入的码元。与此同时，在一穿孔位置，开关 1504 被切换到码元发生器 1502。此时，码元发生器 1502 产生值-5，经开关 1504 输出。此后，码元置数器 1413 的开关 1504 再次将交织器 1413 连接到软判决解码器 1424，以原样输出输入的码元。在这些位于插入位置的码元被码元置数器 1413 置数成-5 以后，输出的码元与第二奇偶校验比特 Y_{2k} 一起由软判决解码器 1424 进行软判决解码。

软判决解码器 1424 的操作与软判决解码器 1422 的操作基本相同，除了输入码元序列的不同。此时，开关 1444 将软判决解码器 1424 连接到去交织器 1433，以输出由软判决解码器 1424 解码的码元作为去交织器 1433 的输入。去交织器 1433 然后对输入的解码数据进行去交织，并反馈去交织数据给码元置数器 1415，由其将去交织器 1433 输出的输出码元中位于插入位置的码元再次置数成-5。码元置数器 1415 将位于插入位置的码元置数，其具有与码元置数器 1413 基本相同的操作，除了反馈码元序列不同以外。此时，开关 1442 将码元置数器 1415 连接到软判决解码器 1422，以将置数的码元输入到软判决解码器 1422，以重复上述的操作。

将以上操作重复预定次数后，当解码码元从软判决解码器 1424 输出时，开关 1444 将软判决解码器 1424 连接到硬判决部件 1437。解码码元由硬判决部件 1437 判决为值 1 和 0，并由去交织器 1435 进行去交织，以作为解码比特输出。

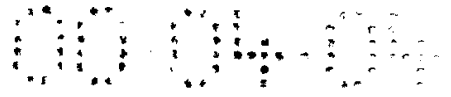


图 16 表示本发明另一实施例的解码器。可以看出，此解码器具有与图 14 中的解码器基本相同的结构，除了交织器 1431 与码元置数器 1413 的顺序不同以外。

5 尽管本发明是参照其特定的优选实施例来描述的，但本领域的技术人员应该理解，在不脱离由所附权利要求限定的本发明的精神和范围的情况下，可以对其进行形式和细节的各种修改。

说明书附图

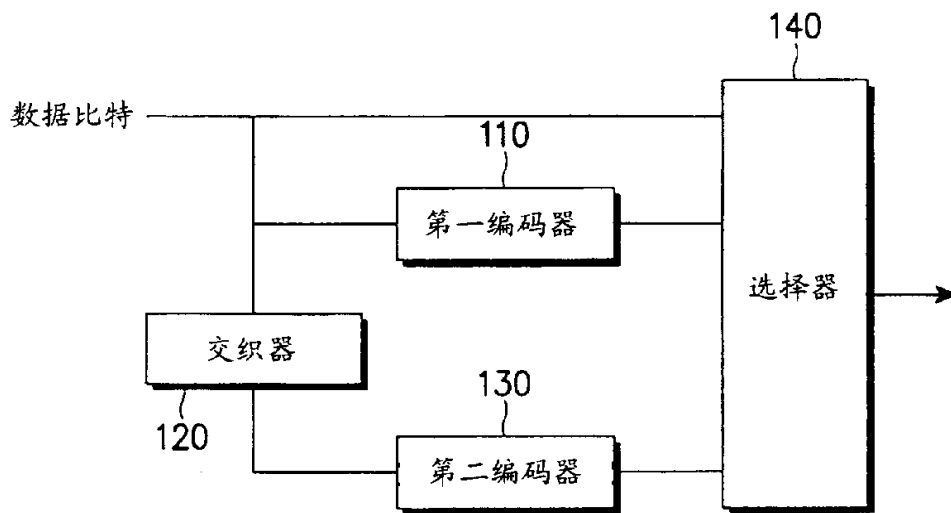


图 1

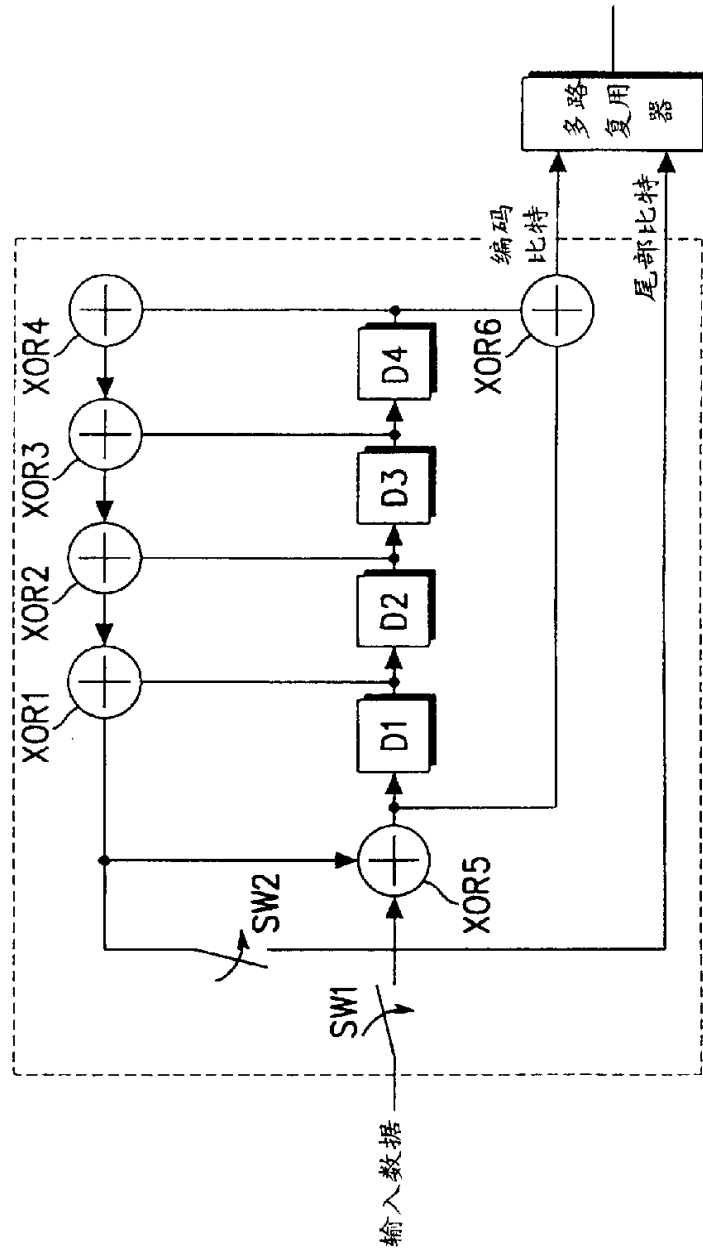


图 2

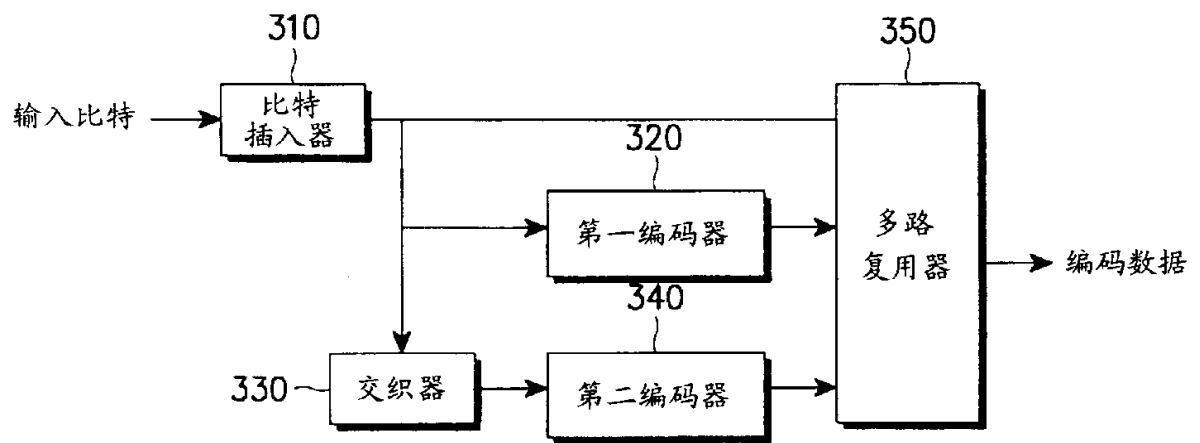


图 3

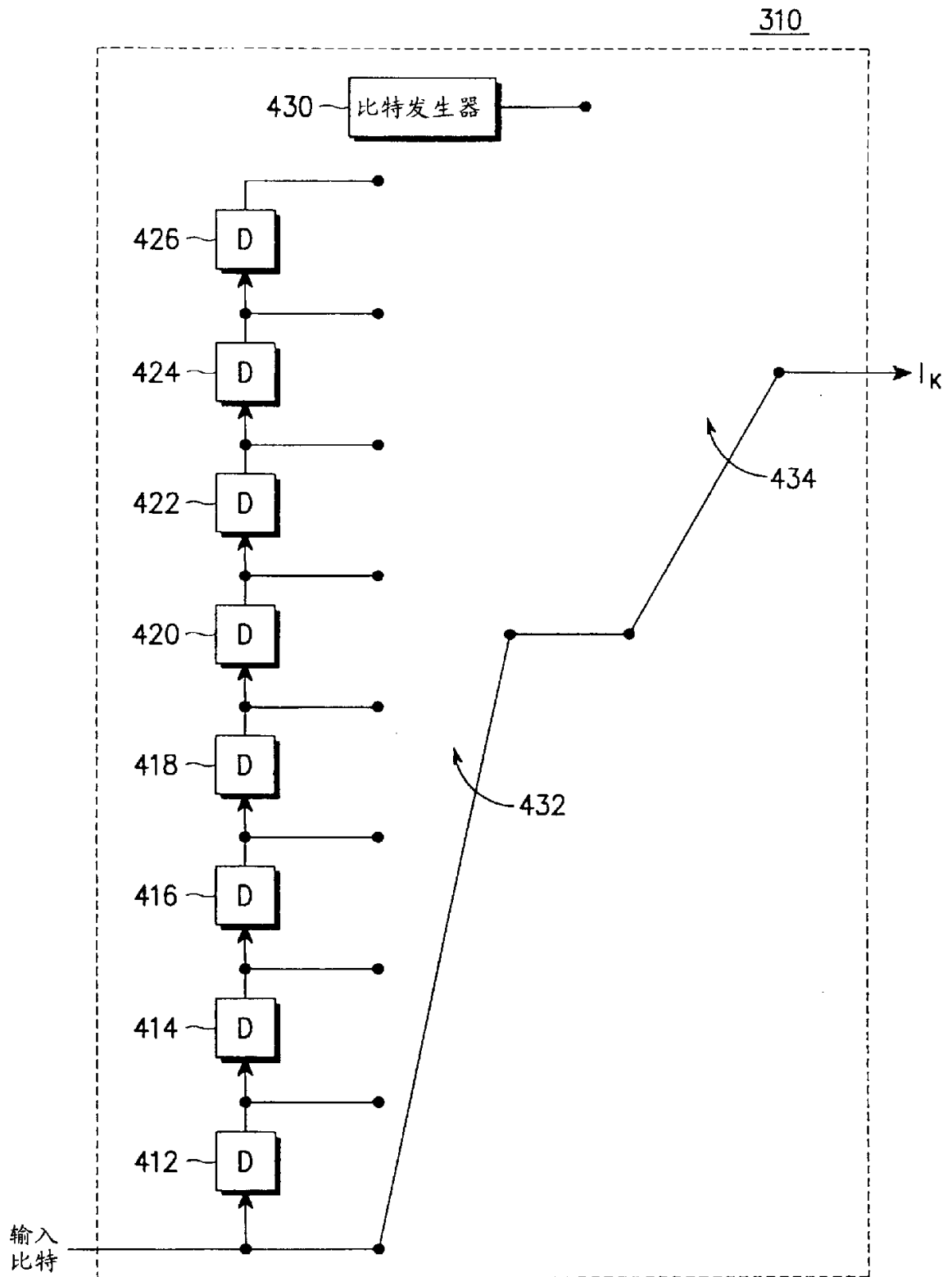


图 4

320 或 340

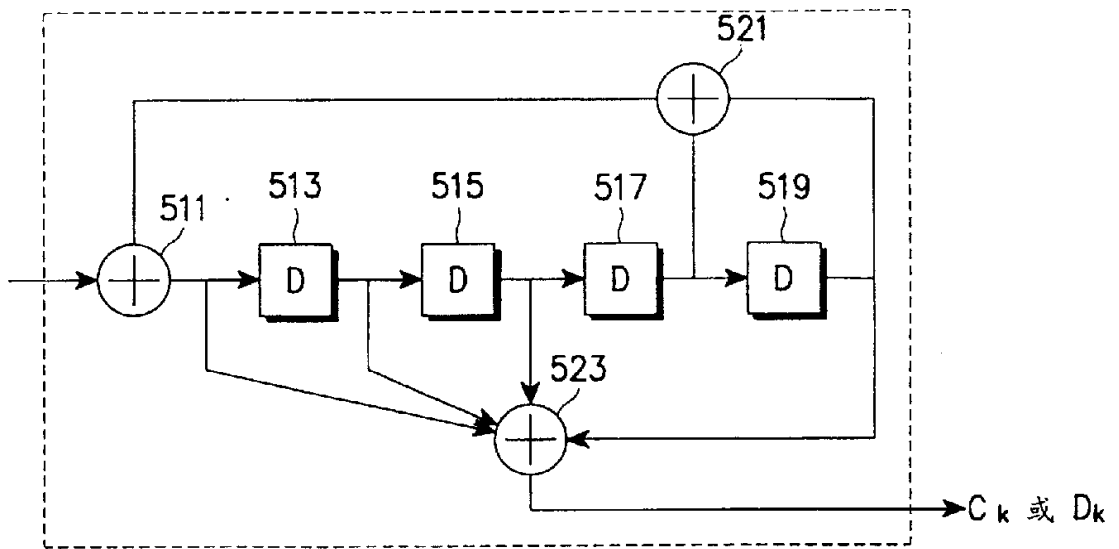


图 5

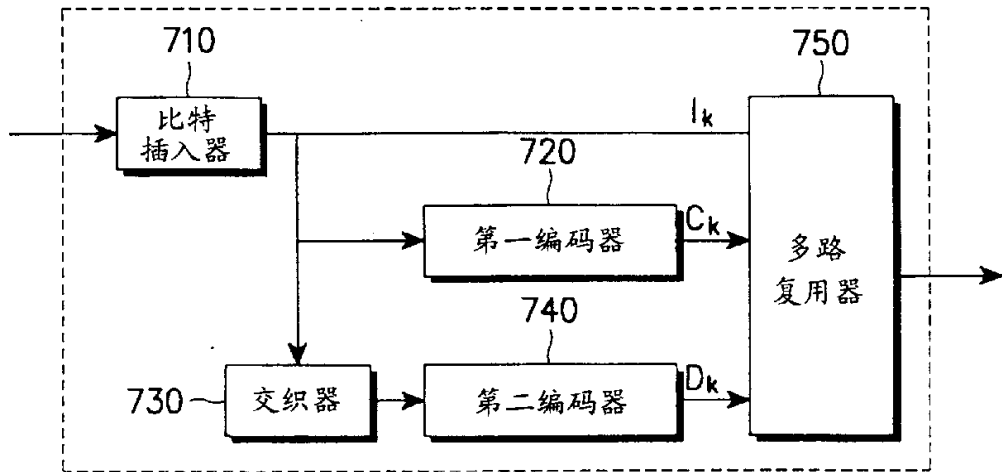


图 7

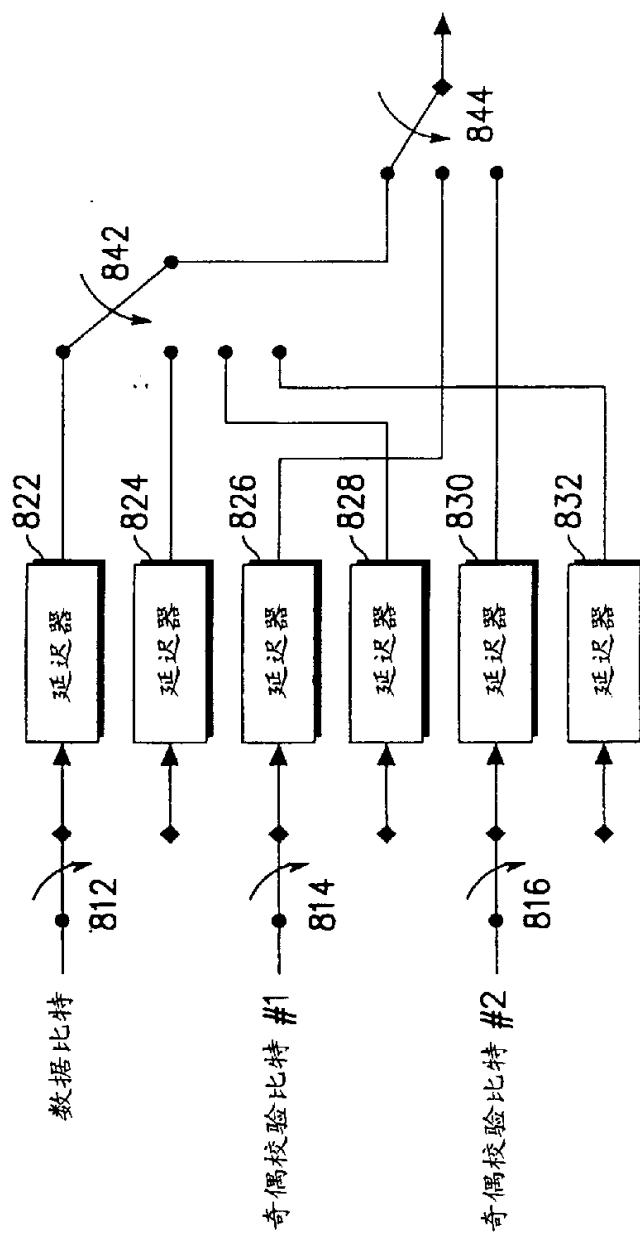


图 8



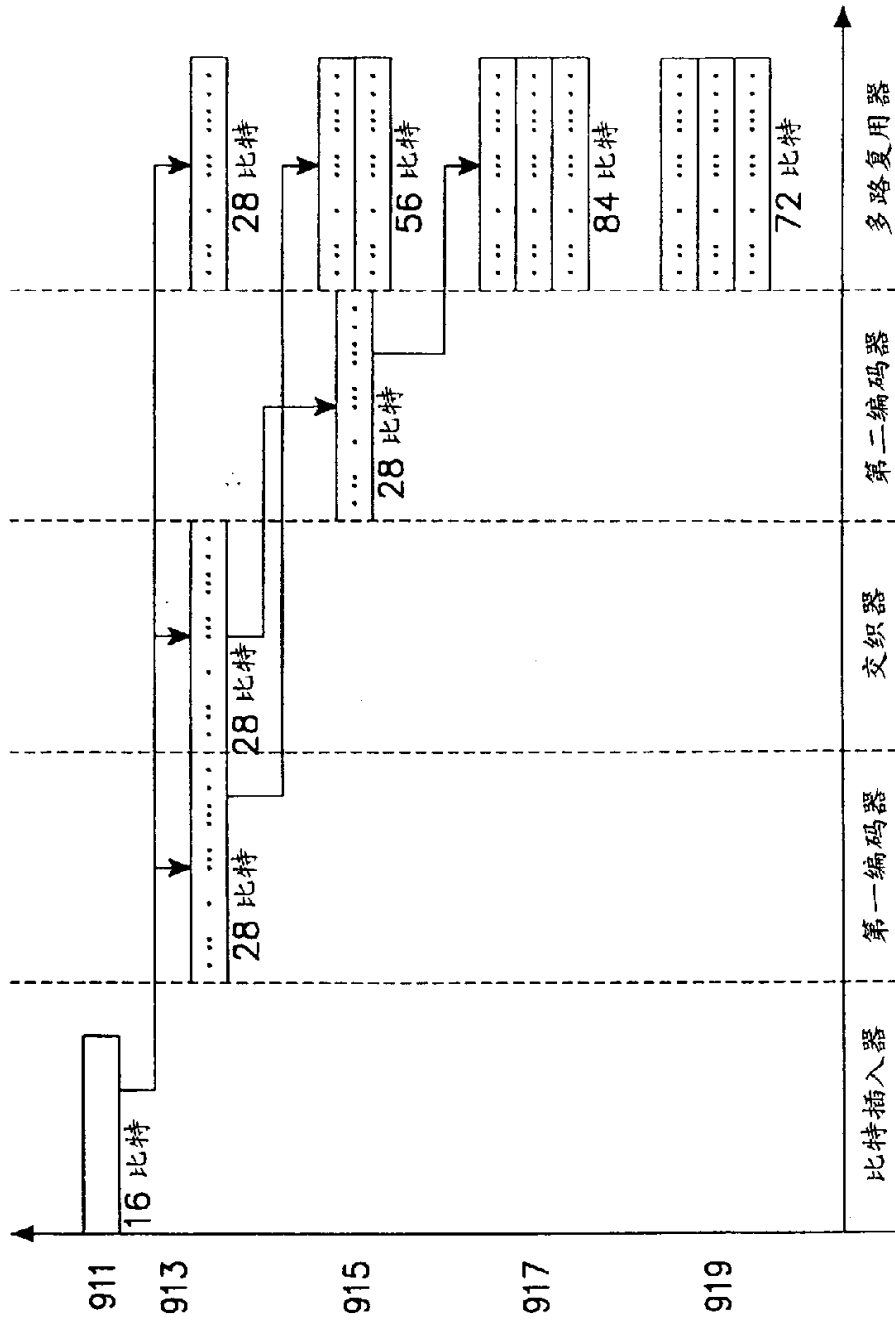


图 9

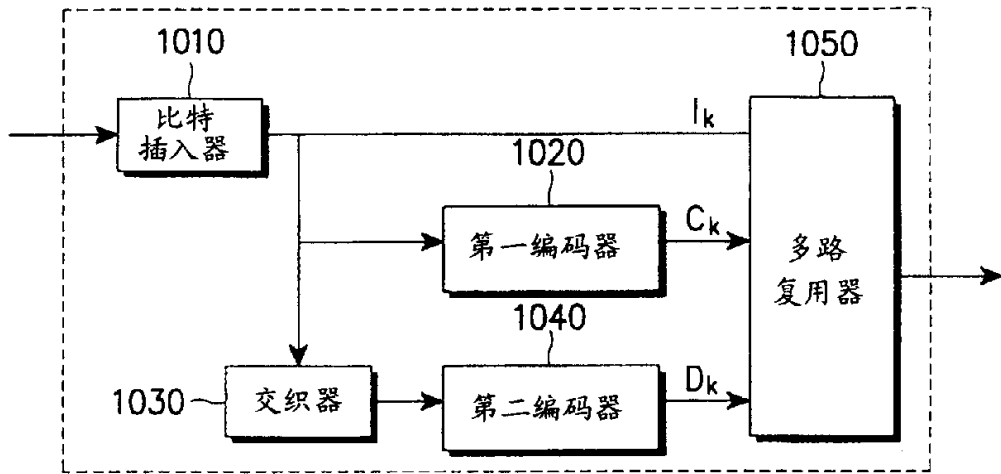


图 10

1020 或 1040

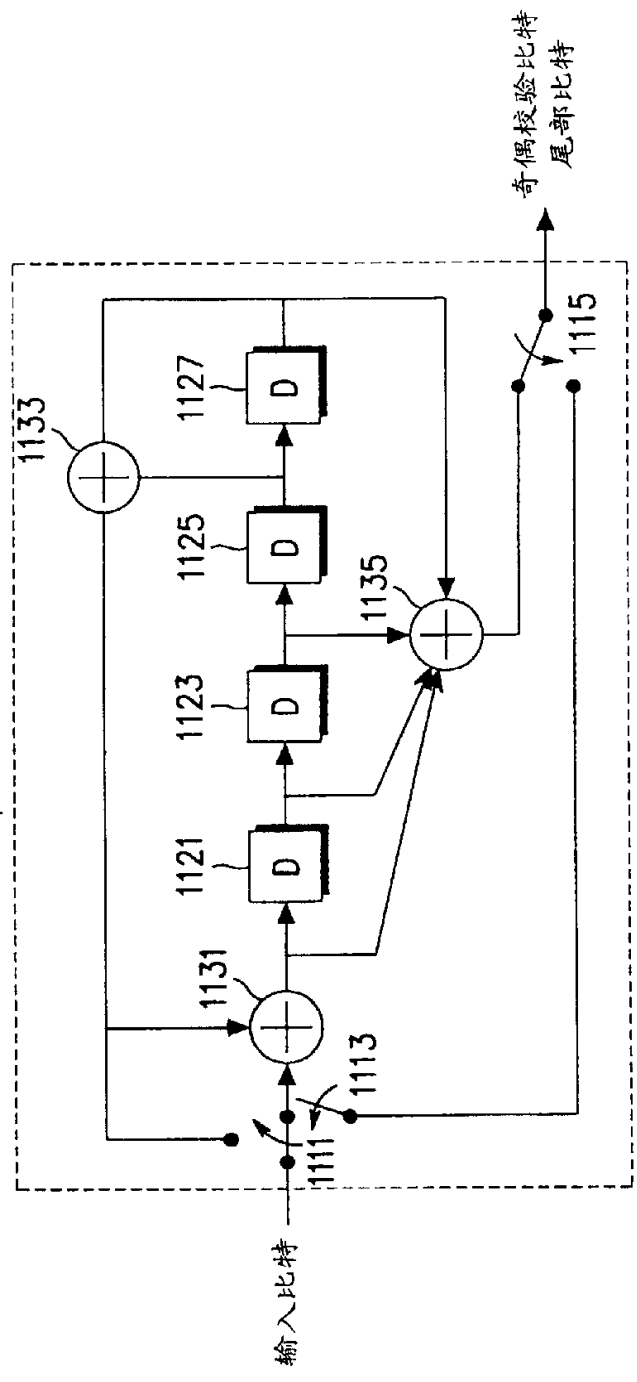


图 11

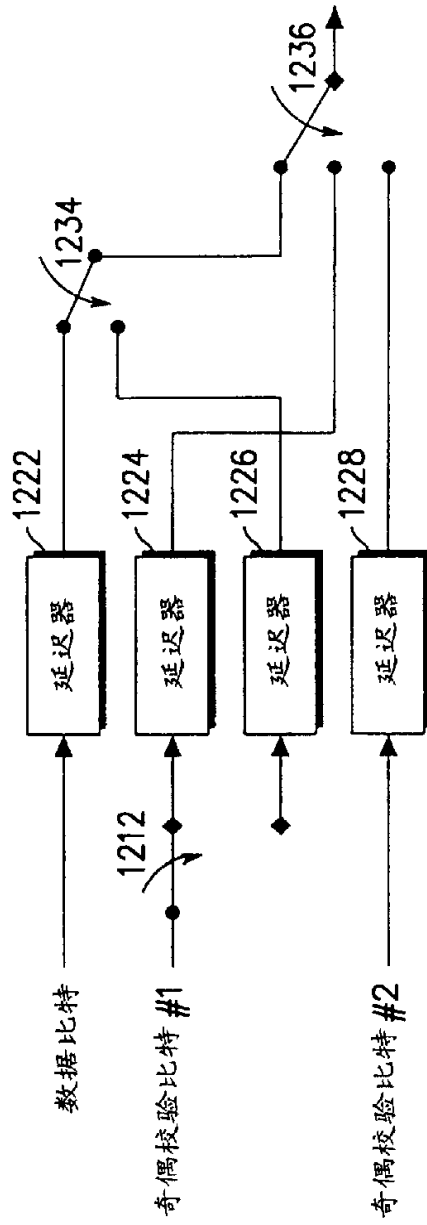


图 12

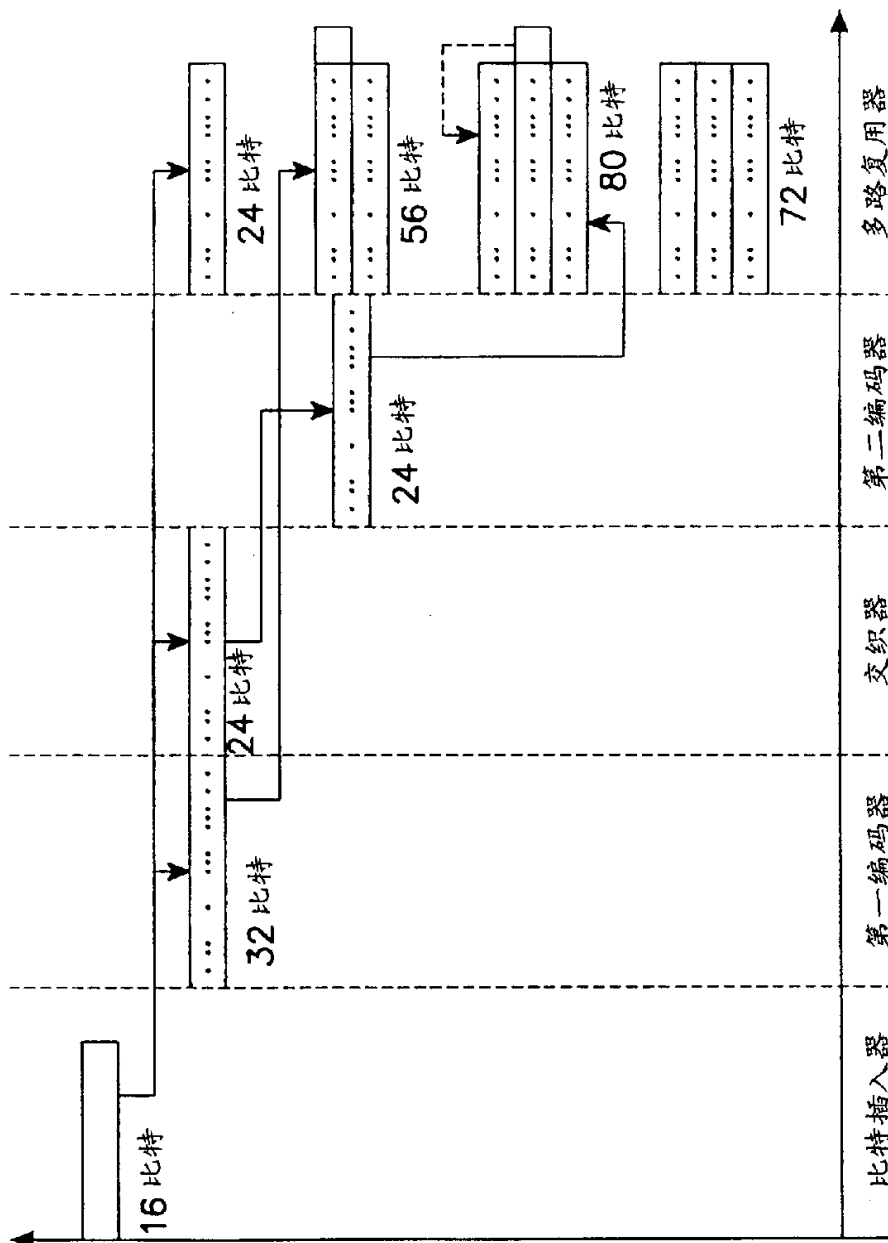


图 13

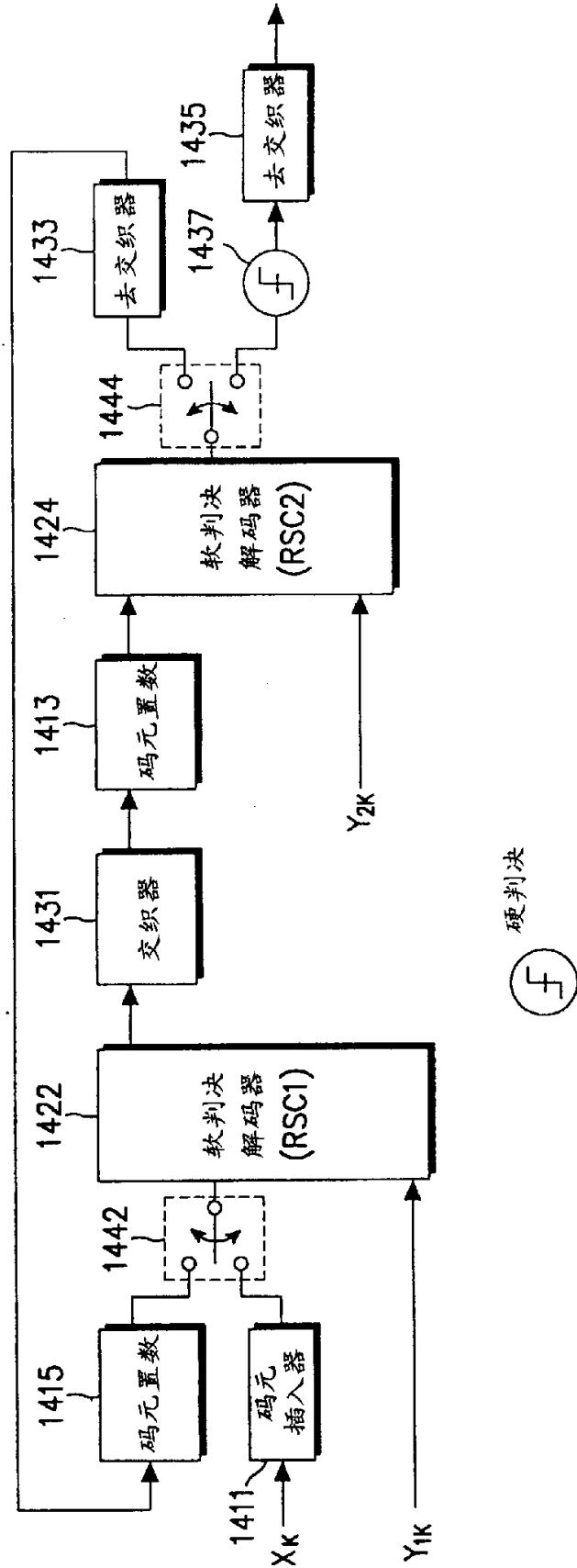


图 14

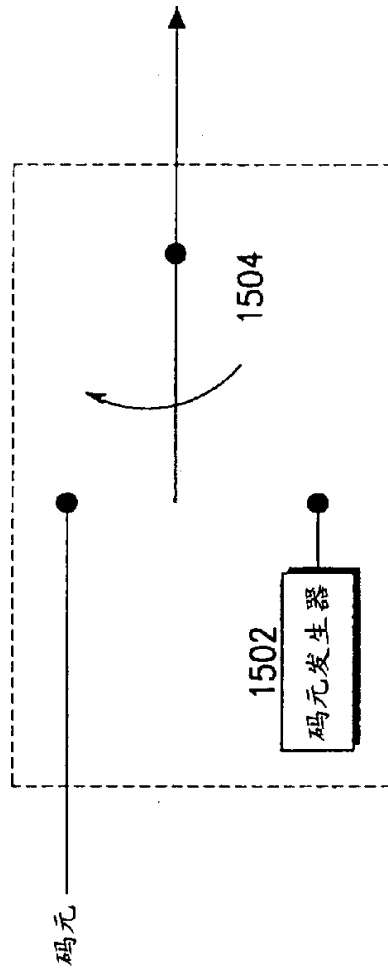
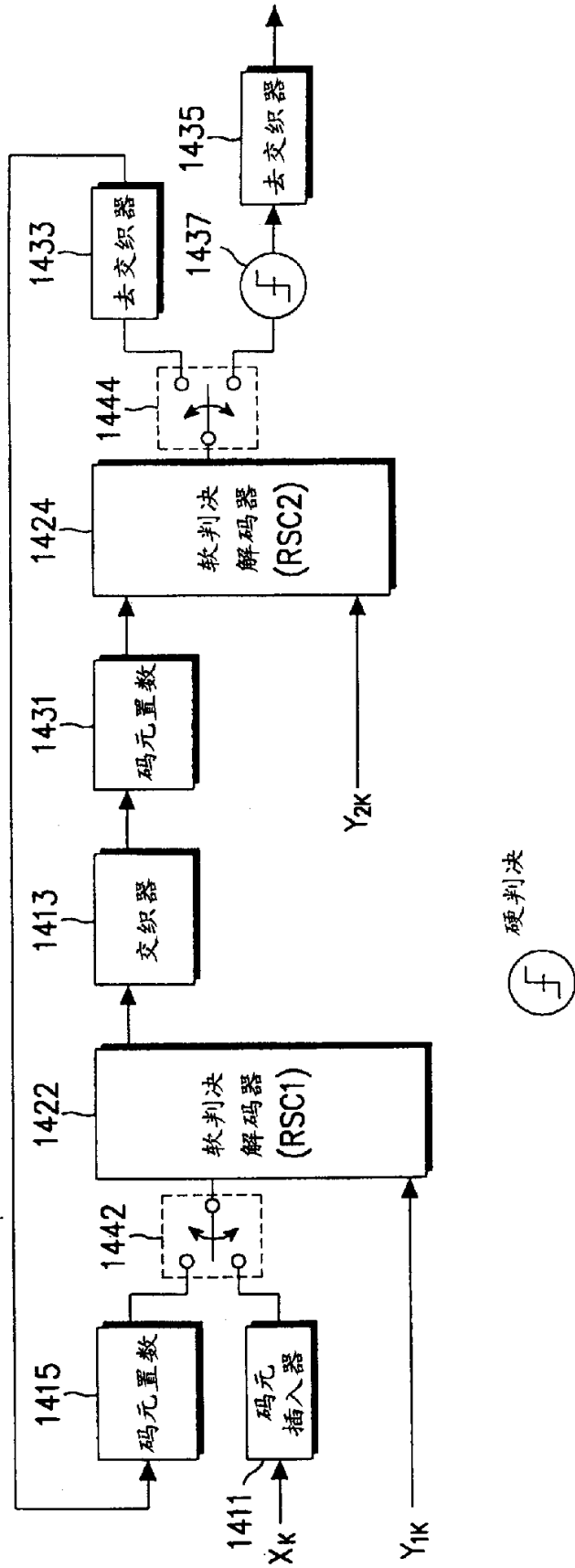


图 15



硬判决 

图 16