



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월14일
(11) 등록번호 10-0862941
(24) 등록일자 2008년10월06일

- (51) Int. Cl.
H01L 23/62 (2006.01)
- (21) 출원번호 10-2003-7015126
- (22) 출원일자 2003년11월20일
심사청구일자 2007년05월07일
번역문제출일자 2003년11월20일
- (65) 공개번호 10-2004-0030621
- (43) 공개일자 2004년04월09일
- (86) 국제출원번호 PCT/US2002/016169
국제출원일자 2002년05월22일
- (87) 국제공개번호 WO 2002/95836
국제공개일자 2002년11월28일
- (30) 우선권주장
09/862,541 2001년05월22일 미국(US)
- (56) 선행기술조사문헌
W000/65646
US5866931A
US6413822 B2

- (73) 특허권자
제네럴 세미컨덕터, 인코포레이티드
미국 11747-3113 뉴욕 맨빌 맨빌 파크 로드 10
- (72) 발명자
시에, 퓨-이우안
미국, 캘리포니아주95070,
사라토가, 세빌라레인20768
소, 균, 총
미국, 캘리포니아주94539, 프리몬트, 우드-
뷰테라스591
- (74) 대리인
공인복

전체 청구항 수 : 총 25 항

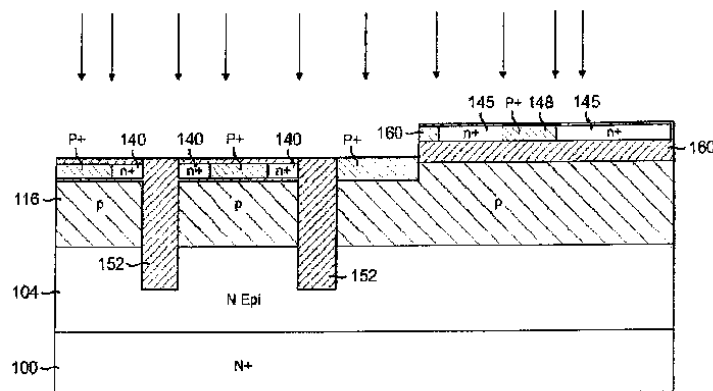
심사관 : 배진용

(54) 과전압보호부를 갖는 트랜치 DMOS 트랜지스터 및 트랜치 DMOS 트랜지스터 제조방법

(57) 요약

과전압 보호부를 갖는 트랜치(trench) DMOS 트랜지스터는 제 1 전도도 유형의 기판과, 이 기판 상에 형성된 제 2 전도도 유형의 바디 영역(116)을 포함한다. 적어도 하나의 트랜치(124)가 바디 영역과 기판으로 확장한다. 절연 층이 트랜치 내부에 입혀지며(lines), 바디 영역 위에 놓인다. 전도 전극이 트랜치에 증착되어, 절연 층위에 놓인다. 제 1 전도도 유형의 소스 영역이 트랜치 인근의 바디 영역에서 형성된다. 도핑되지 않은 폴리실리콘 층이 절연 층 부분 위에 놓인다. 제 1 전도도 유형의 복수의 캐소드(145) 영역이 도핑되지 않은 폴리실리콘 층(160)에 형성된다. 적어도 하나의 애노드(148) 영역이 복수의 캐소드 영역 중 인접한 캐소드와 접촉한다.

대표도



특허청구의 범위

청구항 1

과전압 보호부를 갖는 트렌치 DMOS 트랜지스터로서,
 제 1 전도도 유형 기판과;
 상기 기판 상에 있으며, 제 2 전도도 유형을 갖는 바디 영역과;
 상기 바디 영역과 상기 기판으로 확장하는 트렌치와;
 상기 트렌치 내부에 입혀지며, 상기 바디 영역 위에 놓이는 절연 층과;
 상기 트렌치에 있어서 상기 절연 층위에 있는 전도 전극과;
 상기 트렌치 인근의 상기 바디 영역에 있는 상기 제 1 전도도 유형의 소스 영역과;
 상기 절연 층 부분 위에 놓이는 도핑되지 않은 폴리실리콘 층과;
 상기 도핑되지 않은 폴리실리콘 층에 있는 상기 제 1 전도도 유형의 복수의 캐소드 영역과;
 상기 복수의 캐소드 영역 중 인접한 영역과 접촉하는 애노드 영역을,
 포함하는 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 2

제 1항에 있어서, 상기 절연 층은 산화물 층인, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 3

제 1항에 있어서, 상기 전도 전극은 폴리실리콘인, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 4

제 1항에 있어서, 상기 기판의 바닥 표면에 놓인 드레인 전극을 더 포함하는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 5

제 4항에 있어서, 상기 소스 영역에 연결된 소스 전극을 더 포함하는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 6

제 2항에 있어서, 상기 산화물 층은 500과 800Å 사이의 두께를 갖는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 7

제 1항에 있어서, 상기 전도 전극은 도핑되지 않은 제 2 폴리실리콘 층과, 상기 도핑되지 않은 제 2 폴리실리콘 층위에 놓인 도핑된 폴리실리콘 층을 포함하는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 8

제 1항에 있어서, 상기 도핑되지 않은 폴리실리콘 층은 5,000 내지 10,000Å 사이의 두께를 갖는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 9

제 1항에 있어서, 상기 도핑되지 않은 폴리실리콘 층은 상기 트렌치로부터 수직방향으로 떨어져 배치된 절연 층 부분 위에 놓이는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 10

제 9항에 있어서, 상기 도핑되지 않은 폴리실리콘 층은 상기 바디 영역으로부터 또한 수직방향으로 떨어져 배치된 상기 절연 층 부분 위에 놓이는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 11

제 9항에 있어서, 상기 복수의 캐소드 영역과 상기 애노드 영역은 상기 트렌치로부터 수직방향으로 떨어져 배치된 상기 절연 층 부분에 놓이는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 12

제 1항에 있어서, 상기 복수의 캐소드 영역은 붕소가 주입되는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터.

청구항 13

과전압 보호부를 갖는 트렌치 DMOS 트랜지스터를 제조하는 방법으로서,

제 1 전도도 유형 기판을 제공하는 단계와;

상기 기판 상에 바디 영역을 증착하는 단계로서, 상기 바디 영역은 제 2 전도도 유형을 갖는, 증착 단계와;

상기 바디 영역과 상기 기판으로 확장하는 트렌치를 형성하는 단계와;

상기 트렌치 내부에 입혀지고, 상기 바디 영역 위에 놓이는 절연 층을 증착하는 단계와;

상기 트렌치에 있어서 상기 절연 층위에 있게 되는 전도 전극을 증착하는 단계와;

상기 트렌치에 인접한 상기 바디 영역에서 소스 영역을 형성하기 위해 상기 제 1 전도도 유형의 불순물을 주입하는 단계와;

상기 절연 층 부분 위에 놓이는 도핑되지 않은 폴리실리콘 층을 증착하는 단계와;

상기 도핑되지 않은 폴리실리콘 층에 복수의 캐소드 영역을 형성하기 위해 상기 제 1 전도도 유형의 불순물을 주입하는 단계로서, 상기 복수의 캐소드 영역은 애노드 영역에 의해 분리되는, 제 1 전도도 유형 불순물 주입 단계를,

포함하는 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터 제조 방법.

청구항 14

제 13항에 있어서, 소스 영역과 복수의 캐소드 영역을 형성하는 상기 주입 단계는 동시에 수행되는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터 제조 방법.

청구항 15

제 13항에 있어서, 상기 바디 영역과 상기 도핑되지 않은 폴리실리콘 층위에 포토리소그래피 마스크 (photolithographic mask)를 한정하는 단계를 더 포함하는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터 제조 방법.

청구항 16

제 13항에 있어서, 도핑되지 않은 폴리실리콘 층을 증착하는 단계는 상기 주입 단계 이전에 수행되는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터 제조 방법.

청구항 17

제 13항에 있어서, 상기 바디 영역 위에 놓이는 상기 절연 층 부분을 노광시키기 위해 상기 전도 전극을 에칭하는 단계를 더 포함하는, 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터 제조 방법.

청구항 18

제 13항에 있어서, 상기 바디 영역과 상기 트렌치 위에 놓이는 상기 도핑되지 않은 폴리실리콘 층 부분을 에칭

제거하는 단계를 더 포함하는, 과전압 보호부를 갖는 트랜치 DMOS 트랜지스터 제조 방법.

청구항 19

제 13항에 있어서, 상기 절연 층은 산화물 층인, 과전압 보호부를 갖는 트랜치 DMOS 트랜지스터 제조 방법.

청구항 20

제 13항에 있어서, 상기 전도 전극은 폴리실리콘인, 과전압 보호부를 갖는 트랜치 DMOS 트랜지스터 제조 방법.

청구항 21

제 13항에 있어서, 상기 기판의 바닥 표면에 드레인 전극을 형성하는 단계를 더 포함하는, 과전압 보호부를 갖는 트랜치 DMOS 트랜지스터 제조 방법.

청구항 22

제 21항에 있어서, 상기 소스 영역에 결합된 소스 전극을 형성하는 단계를 더 포함하는, 과전압 보호부를 갖는 트랜치 DMOS 트랜지스터 제조 방법.

청구항 23

제 19항에 있어서, 상기 산화물 층은 500과 800Å 사이의 두께를 갖는, 과전압 보호부를 갖는 트랜치 DMOS 트랜지스터 제조 방법.

청구항 24

제 23항에 있어서, 상기 전도 전극은 도핑되지 않은 제 2 폴리실리콘 층과, 상기 도핑되지 않은 제 2 폴리실리콘 층위에 놓인 도핑된 폴리실리콘 층을 포함하는, 과전압 보호부를 갖는 트랜치 DMOS 트랜지스터 제조 방법.

청구항 25

제 13항에 있어서, 규정된 다이오드 브레이크다운(breakdown) 전압을 얻기 위해 상기 복수의 캐소드 영역과 상기 애노드에 붕소를 주입하는 단계를 더 포함하는, 과전압 보호부를 갖는 트랜치 DMOS 트랜지스터 제조 방법.

명세서

기술분야

<1> 본 발명은 일반적으로 MOSFET 트랜지스터에 관한 것이며, 좀더 상세하게는 트랜치 구조를 갖는 DMOS 트랜지스터에 관한 것이다.

배경기술

<2> DMOS(Double Diffused MOS) 트랜지스터는 트랜지스터 영역을 형성하기 위해서 확산을 사용하는 MOSFET(Metal On Semiconductor Field Effect Transistor) 유형이다. DMOS 트랜지스터는 전형적으로 전력 집적회로 응용을 위해 고전압 회로를 제공하기 위한 전력 트랜지스터로서 사용된다. DMOS 트랜지스터는 낮은 순방향 전압 강하가 요구될 때 단위 면적 당 더 높은 전류를 제공한다.

<3> 전형적인 독립된 DMOS 회로는 병렬로 제조되는 둘 이상의 개별 DMOS 트랜지스터 셀을 포함한다. 개별 DMOS 트랜지스터 셀이 공통 드레인 접촉(기판)을 공유하는 반면, 이들의 소스는 모두 금속으로 서로 연결되어 있고, 이들의 게이트는 폴리실리콘에 의해 서로 연결되어 있다. 따라서, 비록 독립된 DMOS 회로가 더 작은 트랜지스터 매트릭스로부터 구성되지만, 이것은 마치 하나의 큰 트랜지스터처럼 동작한다. 독립된 DMOS 회로에 있어서, 트랜지스터 매트릭스가 게이트에 의해 턴 온될 때 단위 면적 당 전도도를 최대로 하는 것이 바람직하다.

<4> DMOS 트랜지스터의 하나의 특정한 유형으로 소위 트랜치 DMOS 트랜지스터가 있으며, 여기서 채널이 수직방향으로 형성되고, 게이트는 소스와 드레인 사이에서 확장하는 트랜치에서 형성된다. 얇은 산화물 층이 내부에 입혀져 있고(lined), 폴리실리콘으로 채워진 트랜치는 전류의 흐름이 덜 제한되게 하며, 이를 통해 더 낮은 특정 도통 저항 값을 제공한다. 트랜치 DMOS 트랜지스터의 예가 U.S. 특허 제 5,072,266 호, 제 5,541,425호 및 제 5,866,931호에 개시되어 있다.

- <5> 정전 방전(ESD: ElectroStatic Discharge)은 반도체 디바이스, 특히 DMOS 구조에 대해 문제를 야기한다. 정전 방전으로부터의 고전압 천이 신호는 10,000V 이상으로 물체를 바이어스시킬 수 있다. DMOS 디바이스에서 고유한 위험은, 이 디바이스가 정상 동작하는 동안에 사용되는 상대적으로 얇은 게이트 유전체에 가로질러 발생할 수 있는 높은 전계이다. 보통 산화물인 게이트 유전체는, 게이트 상에 쌓여진 전하가 보통 절연체로 동작하는 게이트 산화물을 관통하는 높은 전계 상태 하에서 파괴될 수 있다. 파괴로 인해 야기되는 영구적인 손실의 효과는 즉각적으로 나타나지 않을 수 있으며, 그러므로, 게이트 산화물의 파괴 가능성은 실제 신뢰도 관련사항을 구성한다. ESD 상태가 많은 작업 환경에서 일반적이기 때문에, 많은 상업 DMOS 디바이스는 자체 내에 포함된 ESD 보호 시스템을 갖추고 있다. 이들은 주 기능 회로와 별도로 되어 있거나 통합될 수 있다.
- <6> 산화물 브레이크다운(breakdown) 값 이상의 전압으로부터 디바이스의 게이트를 보호하기 위한 한 가지 방법은 DMOS의 게이트와 소스 사이에 연결된 제너 다이오드를 사용하는 것이다. 이러한 방법 및 디바이스의 예가 U.S. 특허 제 5,602,046호에 나타나 있다. 이러한 기법은 MOSFET 게이트의 ESD 비율을 개선하며, 과전압 손상을 피하는데 도움을 준다.
- <7> 전술된 특허에 나타난 디바이스가 갖는 한 가지 문제점은, 이러한 디바이스를 제조하는데 추가적인 마스크 단계를 필요로 하여, 제조 복잡도를 증가시키며 그에 따라 디바이스의 비용을 증가시킨다는 점이다.
- <8> 따라서, 상대적으로 간단하고 제조하기에 비싸지 않은, ESD로부터 과전압을 보호하는 트렌치 DMOS 트랜지스터를 제공하는 것이 바람직하다.

발명의 상세한 설명

- <9> 본 발명은 과전압 보호부를 갖는 트렌치 DMOS 트랜지스터를 제공한다. 트랜지스터는 제 1 전도도 유형의 기판과, 이 기판 위에 형성된 제 2 전도도 유형의 바디 영역을 포함한다. 적어도 하나의 트렌치가 바디 영역과 기판으로 확장한다. 절연 층이 트렌치 내부에 입혀지며, 바디 영역 위에 놓인다. 전도 전극이 트렌치에 증착되어, 절연 층위에 놓인다. 제 1 전도도 유형 소스 영역은 트렌치에 인접한 바디 영역에 형성된다. 도핑되지 않은 폴리실리콘 층이 절연 층 부분 위에 놓인다. 제 1 전도도 유형의 복수의 캐소드 영역이 도핑되지 않은 폴리실리콘 층에 형성된다. 적어도 하나의 애노드 영역이 복수의 캐소드 영역 중 인접한 영역과 접촉한다.
- <10> 본 발명의 일양상에 따라, 도핑되지 않은 폴리실리콘 층은 바디 영역으로부터 수직 방향으로 떨어져 배치된 절연 층의 일부분 위에 놓인다.
- <11> 본 발명의 또 다른 양상에 따라, 복수의 캐소드 영역과 애노드 영역은 트렌치로부터 수직 방향으로 떨어져 배치된 절연 층 부분에 놓인다.
- <12> 본 발명의 또 다른 양상에 따라, 복수의 캐소드 영역에는 붕소가 주입된다.
- <13> 본 발명의 또 다른 양상에 따라, 소스 영역과 복수의 캐소드 영역은 동시 증착 단계로 형성된다.

실시 예

- <17> 도 1은 제너 다이오드가 DMOS의 소스와 게이트 사이에 위치한 전형적인 N-채널 DMOS의 등가 회로를 도시한다. 제너 다이오드는 게이트-소스 전압이 명시된 전압 값을 초과할 때 브레이크다운 된다.
- <18> 도 2는 종래의 트렌치 DMOS 구조의 예를 예시한다. 이 구조는 가볍게 n-도핑된 에피택셜 층(104)이 그 위에 성장되는 n+ 기판(100)을 포함한다. 도핑된 에피택셜 층(104) 내에, 반대 전도도를 갖는 바디 영역(116)이 제공된다. 대부분의 바디 영역(116) 위에 놓인 n-도핑 에피택셜 층(140)이 소스 역할을 한다. 직사각형 형태의 트렌치(124)가 에피택셜 층에 제공되며, 구조의 상부 표면은 개방되어 있고, 트랜지스터 셀의 둘레를 한정한다. 게이트 산화물 층(130)이 트렌치(124)의 측벽 내부에 입혀진다. 트렌치(124)는 폴리실리콘, 즉 다결정 실리콘으로 채워진다. 드레인 전극은 반도체 기판(100)의 후면에 연결되고, 소스 전극은 두 개의 소스 영역(140) 및 바디 영역(116)에 연결되며, 게이트 전극은 트렌치(124)를 채우는 폴리실리콘에 연결된다.
- <19> 본 발명에 따라, 제너 다이오드는 어떠한 추가적인 마스크 단계도 필요치 않게 되도록, 도 2에 도시된 트렌치 DMOS 구조에 병합되어 있다. 도 11은 결과적인 디바이스의 횡단면을 도시한다. 도 11에서, 제너 다이오드는 캐소드(145)와 애노드(148)를 포함한다. 이후에 상세하게 설명되는 바와 같이, 도 11에 도시된 구조는, DMOS 트랜지스터의 소스 영역(140)과 제너 다이오드의 n+ 캐소드 영역(145)이 동일한 마스크 및 주입 단계에서 형성될 수 있기 때문에 유리하다.

- <20> 도 3 내지 도 12는 본 발명의 DMOS 디바이스를 형성하기 위해 수행되는 일련의 예시적인 단계를 도시한다. 도 3에서, n-도핑 에피택셜 층(104)은 종래의 n+ 도핑 기판(100) 상에서 성장된다. 에피택셜 층(104)은 전형적으로 30V 디바이스에 있어서 5.5 μ m의 두께를 갖는다. 다음으로, p-바디 영역(116)이 주입 및 확산 단계에서 형성된다. p-바디 주입은 기판에 걸쳐서 균일하므로, 어떠한 마스크도 필요치 않다. p-바디 영역에는 40 내지 60KeV에서 대략 5.5x10¹³/cm³의 주입량으로 붕소가 주입된다.
- <21> 도 4에서, 마스크 층이 에피택셜 층(104) 표면을 산화물 층으로 덮음으로써 형성되며, 이것은 이후 마스크 부분(120)을 남기기 위해 종래 방식으로 노광되고 패터닝된다. 마스크 부분(120)은 트렌치의 위치를 한정하기 위해 사용된다. 패터닝된 마스크 부분(120)은 트렌치 측벽을 한정한다. 트렌치(124)는 반응 이온 에칭에 의해 전형적으로는 1.5 내지 2.5 μ m 범위에 이르는 깊이까지 마스크 개구부를 관통하여 건식 에칭된다.
- <22> 트렌치가 에칭된 이후, 각 트렌치의 측벽이 매끄럽게 된다. 먼저, 건식 화학 에칭이 트렌치 측벽에서 얇은 산화물 층(전형적으로, 대략 500 내지 1000Å)을 제거하여 반응 이온 에칭 공정에 의해 야기된 손상을 제거하는데 사용될 수 있다. 다음으로, 희생 실리콘 이산화물 층(미도시)이 트렌치(124) 및 마스크 부분(120) 위에서 성장된다. 마스크 부분(120)뿐만 아니라 희생 층도 버퍼 산화물 에칭 또는 HF 에칭에 의해 제거되어 결과적인 트렌치 측벽은 가능한 매끄럽게 된다.
- <23> 도 5에 도시된 바와 같이, 그런 다음, 게이트 산화물 층(130)이 전체 구조상에서 증착되어, 트렌치 벽 및 p-바디(116) 표면을 덮는다. 게이트 산화물 층(130)은 전형적으로 500 내지 800Å 범위의 두께를 갖는다. 다음으로, 도 6에서, 트렌치(124)는 폴리실리콘(152), 즉 다결정 실리콘으로 채워진다. 증착 이전에, 폴리실리콘은 전형적으로는 그 저항을 전형적으로 20 Ω /m 범위 이내로 줄이기 위해 인 염화물(phosphorous chloride)로 도핑되거나 비소 또는 인이 주입된다. 본 발명의 일부 실시예에서, 폴리실리콘은 두 단계 공정으로 증착될 수 있다. 제 1 단계에서, 도핑되지 않은 폴리실리콘 층이 트렌치 측벽 내부에 입혀지도록 증착된다. 다음에, 도핑되지 않은 폴리실리콘 층은 도핑된 폴리실리콘 층이 증착된다. 전형적으로, 도핑된 폴리실리콘 층의 두께는 도핑되지 않은 폴리실리콘 층 두께보다 더 크다. 예컨대, 도핑된 폴리실리콘 층 두께와 도핑되지 않은 폴리실리콘 층 두께의 비는 7:1일 수 있으며, 이때 총 두께는 대략 8,000Å이다. 도핑되지 않은 폴리실리콘 층은 유리하게는 버퍼 층으로 사용되어, 불순물이 게이트 산화물 층을 통하여 p-바디로 관통하는 것을 막으며, 그에 따라 추가로 펀치스루(punch-through)를 감소시킨다.
- <24> 도 7에서, 폴리실리콘 층(152)은 그 두께를 최적화하고, p-바디(116) 표면 위로 확장하는 게이트 산화물 층(130) 부분을 노광시키기 위해 에칭된다. 도 8에서, 도핑되지 않은 폴리실리콘 층(160)이 게이트 산화물 층(130)과 도핑된 폴리실리콘 층(152)의 노광된 표면 위에 증착된다. 제너 다이오드가 형성될 층을 한정하는 도핑되지 않은 폴리실리콘 층(160)은 전형적으로 5,000 내지 10,000Å 범위에 이르는 두께를 갖는다.
- <25> 도 9에서, 도핑되지 않은 폴리실리콘 층(160)이 다시 에칭되어, DMOS 트랜지스터가 한정되는 영역에서 완전히 제거된다. 즉, 도핑되지 않은 폴리실리콘 층(160)은 제거되어, 트렌치와 DMOS의 바디 영역 위에 놓이지 않는다. 따라서, 도핑되지 않은 폴리실리콘 층(160)은 단지 제너 다이오드가 형성될 영역에서 남아 있다.
- <26> 다음으로, 도 10에서, 포토레지스트 마스크링 공정이 패터닝된 마스크링 층(170)을 형성하는데 사용된다. 패터닝된 마스크링 층(170)은 DMOS 트랜지스터의 소스 영역(140)과 제어 다이오드의 n+ 캐소드 영역(145)을 한정한다. 그런 다음, 소스 및 캐소드 영역(140 및 145)은 주입 및 확산 공정에 의해 형성된다. 예컨대, 소스 영역은 전형적으로는 8x10¹⁵ 내지 1.2x10¹⁶ 범위의 농도로 80KeV에서 비소가 주입될 수 있다. 주입된 이후, 비소는 대략 0.5 μ m 깊이로 확산된다. 도 11에서, 마스크링 층(170)은 종래의 방식으로 제거되며, 중성 붕소가 제너 다이오드의 원하는 브레이크다운 전압을 얻기 위해 캐소드 영역(145)과 애노드 영역(148)에 주입된다.
- <27> 도 12에서, 트렌치 DMOS 트랜지스터는 소스 및 게이트 전극과 관련된 BPSG 영역을 한정하기 위해 이 구조 위에 BPSG 층을 형성하고 패터닝함으로써 종래의 방식으로 마무리된다. 또한, 드레인 접촉 층은 기판의 바닥 표면상에 형성된다. 마지막으로, 패드 마스크가 패드 접촉을 한정하기 위해 사용된다.
- <28> 비록 다양한 실시예가 본 명세서에서 상세하게 예시되고 기술되었지만, 본 발명의 수정 및 변형은 전술한 가르침에 의해 포함되며, 본 발명의 사상과 의도된 범위에서 벗어나지 않고 첨부된 청구항의 범주 내에 있음이 이해될 것이다. 예컨대, 본 발명의 방법은 여러 반도체 영역의 전도도가 본 명세서에서 기술된 전도도와는 그 순서가 바뀐 트렌치 DMOS 및 제너 다이오드를 형성하는데 사용될 수 있다.

산업상 이용 가능성

<29> 상술한 바와 같이, 본 발명은 일반적으로 MOSFET 트랜지스터, 좀더 상세하게는 트렌치 구조를 갖는 DMOS 트랜지스터에서 과전압을 보호하는데 이용된다.

도면의 간단한 설명

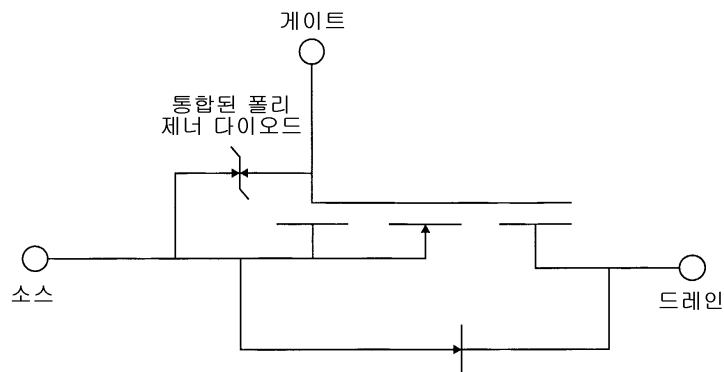
<14> 도 1은 제너 다이오드가 DMOS의 소스와 게이트 사이에 위치한 전형적인 N-채널 DMOS에 대한 등가 회로를 도시한 도면.

<15> 도 2는 종래의 트렌치 DMOS 구조의 횡단면을 도시한 도면.

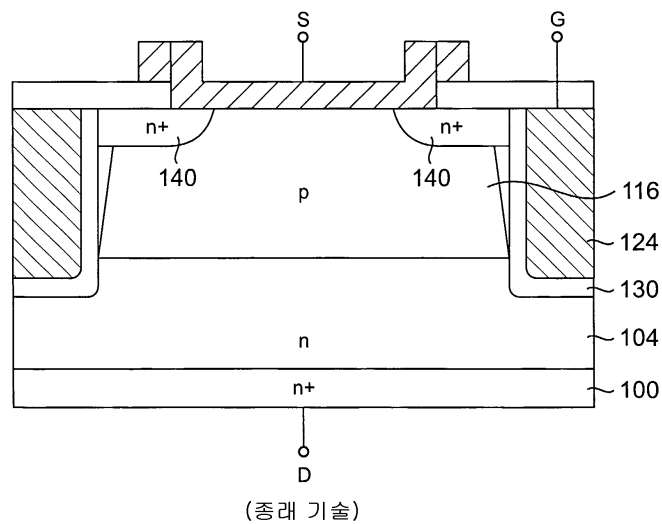
<16> 도 3 내지 도 12는 본 발명에 따라 구성된 과전압 보호부를 갖는 DMOS 트랜지스터를 형성하는 연속적인 공정 단계를 예시한 도면.

도면

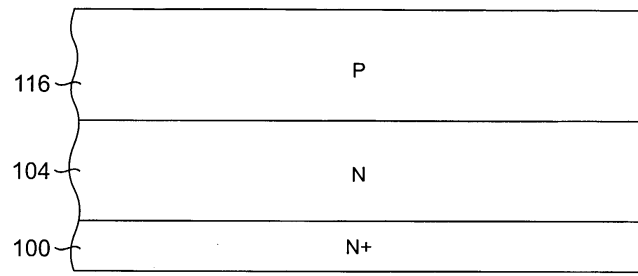
도면1



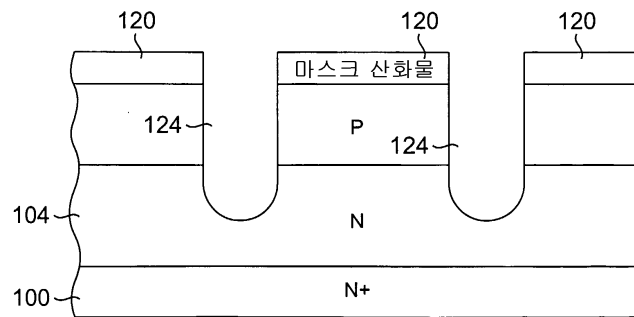
도면2



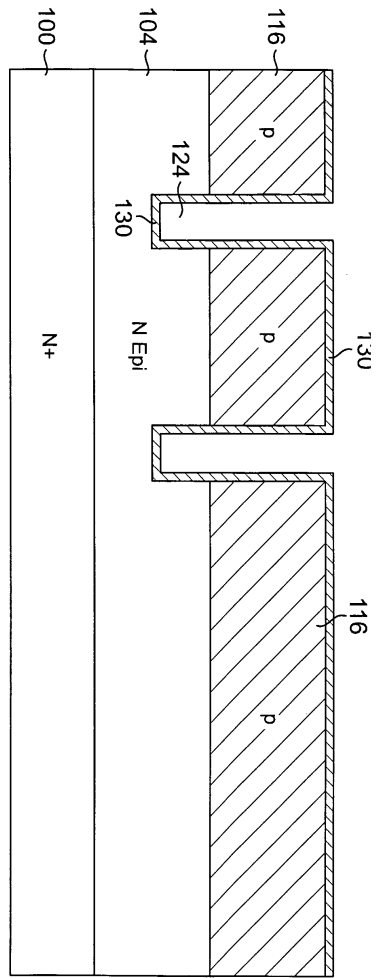
도면3



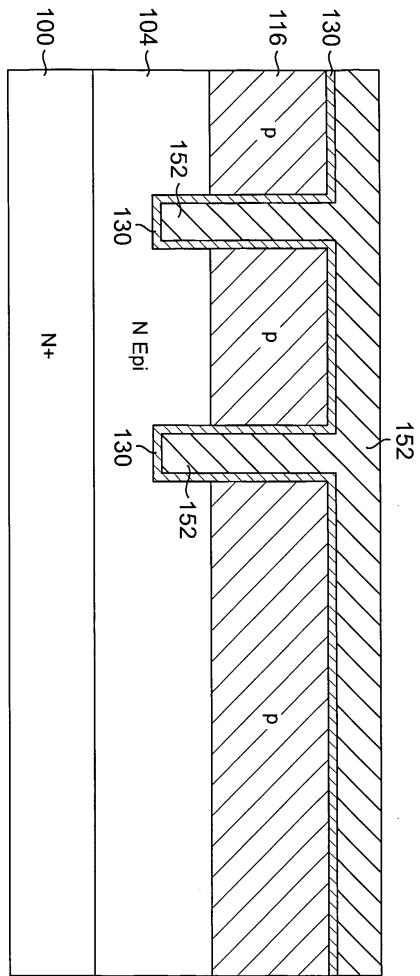
도면4



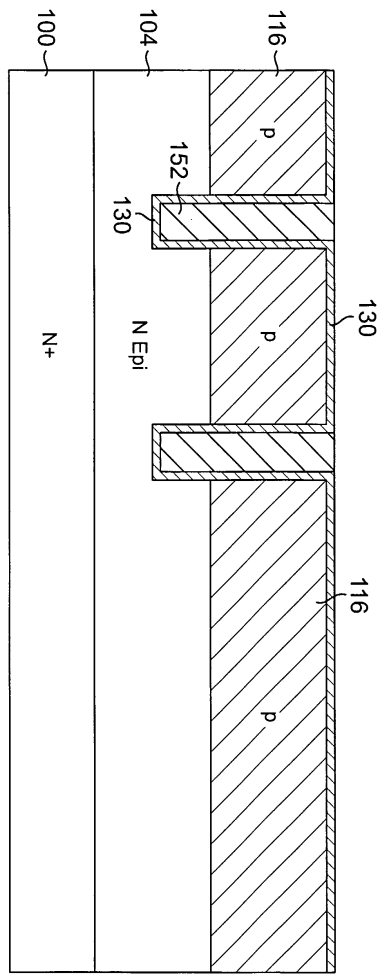
도면5



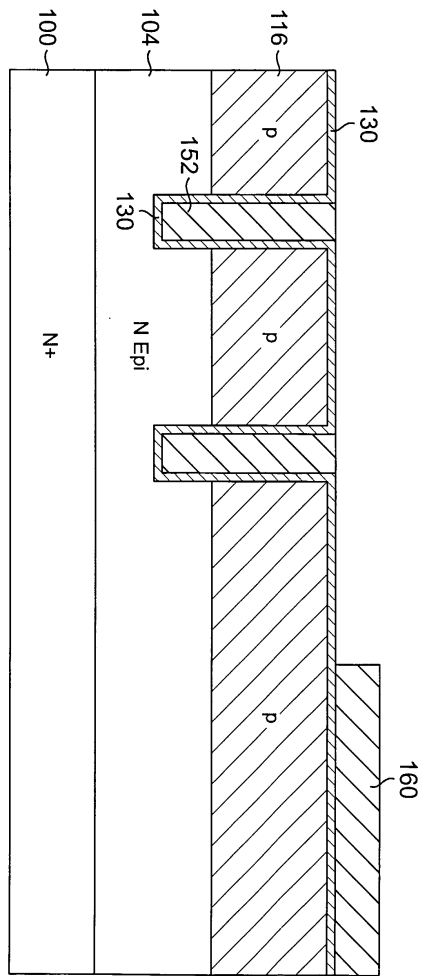
도면6



도면7



도면9



도면11

