

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2011-0081670 (43) 공개일자 2011년07월14일
(51) Int. Cl. <i>H01L 33/10</i> (2010.01) (21) 출원번호 10-2010-0001941 (22) 출원일자 2010년01월08일 심사청구일자 2010년01월08일	(71) 출원인 고려대학교 산학협력단 서울 성북구 안암동5가 1 (72) 발명자 이현 서울특별시 서초구 방배동 808-4 그랑씨엘방배-302 변경재 서울특별시 노원구 월계2동 롯데캐슬루나 아파트 103-901 (74) 대리인 김한	

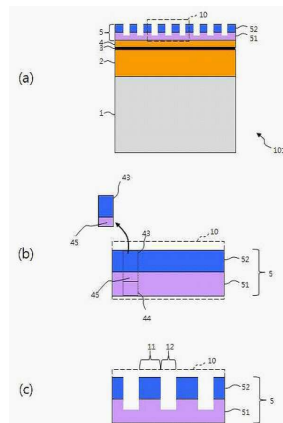
전체 청구항 수 : 총 17 항

(54) 발광 다이오드의 광추출 효율을 높이기 위한 광결정 패터닝 방법 및 이에 따른 발광 다이오드

(57) 요약

기판, 제1 도전형을 갖는 제1 반도체층, 활성층, 및 제1 도전형과 반대의 제2 도전형을 갖는 제2 반도체층이 순차적으로 적층되어 형성된 반도체층과 위의 반도체층 상에 형성된 광결정 패터닝층을 포함하는 발광 다이오드가 공개된다. 광결정 패터닝층은 제2 반도체층 상에 형성된 전극층 및 전극층 상에 형성된 광반사 조절층을 포함한다. 광결정 패터닝층은 요철 패턴을 갖는다.

대표도 - 도2



특허청구의 범위

청구항 1

제1 도전형(first conductivity)을 갖는 제1 반도체층;

상기 제1 반도체층 상에 형성된 활성층;

상기 활성층 상에 형성되어 있으며 상기 제1 도전형과 반대의 제2 도전형을 갖는 제2 반도체층; 및

상기 제2 반도체층 상에 형성되어 있으며 요철 패턴을 갖는 광결정 패턴층

을 포함하는,

발광 다이오드.

청구항 2

제1항에 있어서,

상기 광결정 패턴층은 상기 제2 반도체층 상에 형성된 전극층 및 상기 전극층 상에 형성된 광반사 조절층을 포함하는, 발광 다이오드.

청구항 3

제2항에 있어서,

상기 요철 패턴의 오목부의 윤곽(profile)은 상기 광반사 조절층의 상면(top surface)부터 상기 광반사 조절층의 하면(bottom surface)까지 제거되어 형성된, 발광 다이오드.

청구항 4

제2항에 있어서,

상기 요철 패턴의 오목부의 윤곽(profile)은 상기 광결정 패턴층의 상면(top surface)부터 상기 광결정 패턴층의 하면(bottom surface)까지 제거되어 형성된, 발광 다이오드.

청구항 5

제2항에 있어서,

상기 요철 패턴의 오목부의 윤곽(profile)은 상기 광결정 패턴층의 상부(upper portion)가 제거되어 형성되고, 상기 광결정 패턴층의 상부(upper portion)는 상기 전극층의 일부를 포함하는, 발광 다이오드.

청구항 6

제1항에 있어서,

상기 제1 도전형을 갖는 제1 반도체층은 n형 반도체층이고, 상기 제2 도전형을 갖는 제2 반도체층은 p형 반도체층인, 발광 다이오드.

청구항 7

제2항에 있어서,

상기 광반사 조절층은 산화물 또는 질화물로 되어 있는, 발광 다이오드.

청구항 8

제1항 내지 제7항 중 어느 한 항에 따른 발광 다이오드를 포함하는, LED 램프.

청구항 9

제1 도전형을 갖는 제1 반도체층, 활성층, 상기 제1 도전형과 반대의 제2 도전형을 갖는 제2 반도체층, 및 전극층이 순차적으로 적층되어 구성된 제1 층 상에 광반사 조절층을 형성하는 단계;

상기 광반사 조절층 상에 마스크층을 형성하는 단계; 및

상기 광반사 조절층을 식각하는 단계

를 포함하는,

발광 다이오드 제조방법.

청구항 10

제9항에 있어서,

상기 광반사 조절층을 식각하는 단계에서, 상기 광반사 조절층의 상면(top surface)부터 상기 광반사 조절층의 하면(bottom surface)까지 식각되는, 발광 다이오드 제조방법.

청구항 11

제10항에 있어서,

상기 마스크층과 상기 광반사 조절층의 잔여부를 마스크로써 이용하여 상기 전극층을 식각하는 단계를 더 포함하는, 발광 다이오드 제조방법.

청구항 12

제11항에 있어서,

상기 전극층을 식각하는 단계에서, 상기 전극층의 상부가 식각되거나, 상기 전극층의 상면(top surface)부터 상기 전극층의 하면(bottom surface)까지 식각되는, 발광 다이오드 제조방법.

청구항 13

제9항 또는 제11항에 있어서,

상기 마스크층을 식각하여 제거하는 단계를 더 포함하는, 발광 다이오드 제조방법.

청구항 14

제9항에 있어서,

상기 광반사 조절층이 산화물이면 상기 광반사 조절층은 염소(chlorine) 계열의 플라스마에 의해 식각되고, 상기 광반사 조절층이 질화물이면 상기 광반사 조절층은 CF_4 , CHF_3 , NF_3 , C_3F_8 , 및 C_4F_8 중 어느 하나의 플라스마에 의해 식각되는, 발광 다이오드 제조방법.

청구항 15

제11항에 있어서,

상기 광반사 조절층이 산화물이면, 상기 광반사 조절층은 염소(chlorine) 계열의 플라스마에 의해 식각되고, 상기 전극층은 Cl_2 , CH_4 , 및 Ar 중 어느 하나의 플라스마에 의해 식각되며,

상기 광반사 조절층이 질화물이면, 상기 광반사 조절층은 CF_4 , CHF_3 , NF_3 , C_3F_8 , 및 C_4F_8 중 어느 하나의 플라스마에 의해 식각되고, 상기 전극층은 Cl_2 , CH_4 , 및 Ar 중 어느 하나의 플라스마에 의해 식각되는, 발광 다이오드 제조방법.

청구항 16

제9항에 있어서,

상기 마스크층을 형성하는 단계는,

상기 광반사 조절층 상에 금속층을 형성하는 단계;

상기 금속층 상에 폴리머 재질의 패턴을 형성하는 단계; 및

상기 폴리머 재질의 패턴을 마스크로써 이용하여 상기 금속층을 식각하는 단계를 포함하는, 발광 다이오드 제조 방법.

청구항 17

제16항에 있어서,

상기 폴리머 재질의 패턴은 나노 임프린팅 공정에 의해 형성되는, 발광 다이오드 제조방법.

명세서

기술 분야

[0001] 본 발명은 발광 다이오드의 구조 및 그 제조 방법에 관한 것으로서, 특히 높은 광추출 효율을 갖는 발광 다이오드 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 갈륨나이트라이드(GaN) 계열의 발광 다이오드는 전력소모가 적고 수명이 길며 고휘도의 특성 등으로 인해서 LCD(Liquid Crystal Display) 백라이트(backlight), 차량용 조명, 교통 신호등 등 다양한 조명용 광원으로 적용될 수 있다. 이는 유기금속화학증착(MOCVD, Metal Organic Chemical Vapor Deposition)을 이용한 에피성장(epitaxial growth) 기술의 발전으로 GaN 에피층(epi layer)의 결정 품질(crystal quality)이 크게 개선되었고 패키징(packaging) 기술의 발전으로 광 출력 효율이 높은 구조의 칩을 제작할 수 있게 되었기 때문이다.

[0003] 측면형 구조의 발광 다이오드는 사파이어(sapphire) 기판(substrate) 위에 n형 GaN 층, 다층 양자 웰(MQW, multi quantum well) 활성층, p형 GaN, 및 p형 GaN 표면에 전류를 확산시키기 위한 ITO(Indium Tin Oxide) 투명전극층을 형성한 구조를 가질 수 있다. 종래의 발광 다이오드의 경우 광추출 효율이 낮다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는, 광추출 효율이 높은 발광 다이오드의 구조와 그 구조의 제조방법을 제공하는 것이다. 전술한 과제는 예시적인 것이며, 본 발명의 범위가 이러한 과제에 의해서 제한되는 것은 아니다.

과제의 해결 수단

[0005] 전술한 과제를 해결하기 위한 본 발명의 일 양상에 따른 발광 다이오드는, 제1 도전형(first conductivity)을 갖는 제1 반도체층, 위의 제1 반도체층 상에 형성된 활성층, 위의 활성층 상에 형성되어 있으며 위의 제1 도전형과 반대의 제2 도전형을 갖는 제2 반도체층, 및 위의 제2 반도체층 상에 형성되어 있으며 요철 패턴을 갖는 광결정 패턴층을 포함한다.

[0006] 위의 광결정 패턴층은 위의 제2 반도체층 상에 형성된 전극층 및 위의 전극층 상에 형성된 광반사 조절층을 포함할 수 있다.

[0007] 위의 제1 도전형을 갖는 제1 반도체층은 n형 반도체층일 수 있고, 위의 제2 도전형을 갖는 제2 반도체층은 p형 반도체층일 수 있다. 이와 달리, 위의 제1 도전형을 갖는 제1 반도체층은 p형 반도체층일 수 있고, 위의 제2 도전형을 갖는 제2 반도체층은 n형 반도체층일 수 있다.

[0008] 위의 요철 패턴의 오목부의 윤곽(profile)은 위의 광반사 조절층의 상면(top surface)부터 위의 광반사 조절층의 하면(bottom surface)까지 제거되어 형성될 수 있다. 위의 요철 패턴의 오목부의 윤곽(profile)은 위의 광결정 패턴층의 상면(top surface)부터 위의 광결정 패턴층의 하면(bottom surface)까지 제거되어 형성될 수 있다. 위의 요철 패턴의 오목부의 윤곽(profile)은 위의 광결정 패턴층의 상부(upper portion)가 제거되어 형성되고, 위의 광결정 패턴층의 상부(upper portion)는 위의 전극층의 일부를 포함할 수 있다.

- [0009] 위의 광반사 조절층의 투과도는 80% 이상이고, 위의 광반사 조절층의 굴절률은 위의 전극층의 굴절률과 동일할 수 있다.
- [0010] 위의 광반사 조절층은 산화물 또는 질화물로 되어 있을 수 있다. 위의 산화물은 TiO_2 또는 ZnO 이고, 위의 질화물은 Si_3N_4 일 수 있다.
- [0011] 본 발명의 다른 양상에 따른, 발광 다이오드 램프는 상술한 본 발명의 일 실시예에 따른 발광 다이오드를 포함할 수 있다.
- [0012] 본 발명의 다른 양상에 따른, 발광 다이오드 제조방법은, 제1 도전형을 갖는 제1 반도체층, 활성층, 제1 도전형과 반대의 제2 도전형을 갖는 제2 반도체층, 및 전극층이 순차적으로 적층되어 구성된 제1 층 상에 광반사 조절층을 형성하는 단계, 위의 광반사 조절층 상에 마스크층을 형성하는 단계, 및 위의 광반사 조절층을 식각하는 단계를 포함한다.
- [0013] 위의 제1 도전형을 갖는 제1 반도체층은 n형 반도체층일 수 있고, 위의 제2 도전형을 갖는 제2 반도체층은 p형 반도체층일 수 있다. 이와 달리, 위의 제1 도전형을 갖는 제1 반도체층은 p형 반도체층일 수 있고, 위의 제2 도전형을 갖는 제2 반도체층은 n형 반도체층일 수 있다.
- [0014] 위의 광반사 조절층을 식각하는 단계에서, 위의 광반사 조절층의 상면(top surface)부터 위의 광반사 조절층의 하면(bottom surface)까지 식각될 수 있다.
- [0015] 위의 발광 다이오드 제조방법은, 위의 마스크층과 위의 광반사 조절층의 잔여부를 마스크로써 이용하여 위의 전극층을 식각하는 단계를 더 포함할 수 있다.
- [0016] 위의 전극층을 식각하는 단계에서 위의 전극층의 상부가 식각될 수 있다. 위의 전극층을 식각하는 단계에서 위의 전극층의 상면(top surface)부터 위의 전극층의 하면(bottom surface)까지 식각될 수 있다.
- [0017] 위의 발광 다이오드 제조방법은, 위의 마스크층을 식각하여 제거하는 단계를 더 포함할 수 있다.
- [0018] 위의 광반사 조절층은 산화물이며, 위의 광반사 조절층은 염소(chlorine) 계열의 플라즈마에 의해 식각될 수 있다. 위의 광반사 조절층은 질화물이며, 위의 광반사 조절층은 CF_4 , CHF_3 , NF_3 , C_3F_8 , 및 C_4F_8 중 어느 하나의 플라즈마에 의해 식각될 수 있다.
- [0019] 위의 광반사 조절층은 산화물이며, 위의 광반사 조절층은 염소(chlorine) 계열의 플라즈마에 의해 식각되고, 위의 전극층은 Cl_2 , CH_4 , 및 Ar 중 어느 하나의 플라즈마에 의해 식각될 수 있다. 위의 광반사 조절층은 질화물이며, 위의 광반사 조절층은 CF_4 , CHF_3 , NF_3 , C_3F_8 , 및 C_4F_8 중 어느 하나의 플라즈마에 의해 식각되고, 위의 전극층은 Cl_2 , CH_4 , 및 Ar 중 어느 하나의 플라즈마에 의해 식각될 수 있다.
- [0020] 위의 마스크층을 형성하는 단계는, 위의 광반사 조절층 상에 금속층을 형성하는 단계, 위의 금속층 상에 폴리머 재질의 패턴을 형성하는 단계, 및 위의 폴리머 재질의 패턴을 마스크로써 이용하여 위의 금속층을 식각하는 단계를 포함할 수 있다.
- [0021] 위의 폴리머 재질의 패턴은 나노 임프린팅 공정에 의해 형성될 수 있다.
- [0022] 본 발명의 다른 양상에 따른 발광 다이오드는, 기판 상에 형성된 n형 반도체층, 위의 n형 반도체층 상에 형성된 활성층, 위의 활성층 상에 형성된 p형 반도체층, 및 위의 p형 반도체층 상에 형성된 전극층 및 위의 전극층 상에 형성된 광반사 조절층을 포함하는 광결정 패턴층을 포함하며, 위의 광결정 패턴층은 요철 패턴을 갖는다.

발명의 효과

- [0023] 본 발명에 의해 광추출 효율이 높은 발광 다이오드의 구조와 그 구조의 제조방법이 제공될 수 있다. 전술한 효과는 예시적인 것이며, 본 발명의 효과가 이에 의해 제한되는 것은 아니다.

도면의 간단한 설명

- [0024] 도 1 내지 도 3은 각각 본 발명의 일 실시예에 따른 발광 다이오드의 구조를 나타낸 것이다.
도 4 내지 도 6은 각각 본 발명의 일 실시예에 따라 발광 다이오드를 제조하는 방법을 설명하기 위한 순서도이

다.

도 7 내지 도 9는 각각 본 발명의 일 실시예에 따른 발광 다이오드의 구조를 제조하기 위한 방법을 설명하기 위한 도면이다.

도 10은 본 발명의 일 실시예에 따라, 도 4 내지 도 9에서 설명한 마스크층을 생성하는 방법을 더 자세히 설명하기 위한 순서도이다.

도 11은 본 발명의 일 실시예에 따라 도 4 내지 도 9에서 설명한 마스크층을 생성하는 방법을 설명하기 위한 개념도이다.

도 12는 발광 다이오드의 광추출 효율을 설명하기 위한 도면이다.

도 13은 본 발명에 따른 광추출 효율을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 문서에는 본 발명의 실시예들을 제공하기 위한 참조번호가 제공된다. 이 참조번호는 본 발명의 명세서에 첨부된 도면에 도시되어 있으며, 발명의 상세한 설명은 첨부된 도면을 참조하여 설명된다. 각 도면에서 동일한 구성요소는 동일한 참조번호를 갖는다. 발명의 상세한 설명에서 참조번호는 괄호 안에 표시된다.
- [0026] 이하 본 문서에서 기술되는 용어 중 '제1 반도체층'은 제1 도전형을 갖는 반도체층이고, '제2 반도체층'은 제2 도전형을 갖는 반도체층을 나타낸다. 이때, 제1 도전형을 갖는 제1 반도체층은 n형 반도체층일 수 있고, 제2 도전형을 갖는 제2 반도체층은 p형 반도체층일 수 있다. 이와 반대로, 제1 도전형을 갖는 제1 반도체층은 p형 반도체층일 수 있고, 제2 도전형을 갖는 제2 반도체층은 n형 반도체층일 수 있다. 이하 기술되는 '광반사 조절층'은 얇은 두께를 갖는 박막층일 수 있다.
- [0027] 도 1은 본 발명의 일 실시예에 따른 발광 다이오드(LED, Light Emitting Diode)의 구조를 나타낸 것이다.
- [0028] 도 1의 (a)를 참조하면, 발광 다이오드(101)는 기판(substrate)(1), 기판(1) 상에 형성된 제1 반도체층(semiconductor layer)(2), 제1 반도체층(2) 상에 형성된 활성층(active layer)(3), 활성층(3) 상에 형성된 제2 반도체층(4), 및 제2 반도체층(4) 상에 형성된 광결정 패턴층(patterned layer)(5)을 포함할 수 있다. 광결정 패턴층(5)은 제2 반도체층(4) 상에 형성된 전극층(electrode layer)(51)과 전극층(51) 상에 형성된 광반사 조절층(52)을 포함할 수 있다. 광결정 패턴층(5)에는 요철 패턴(prominence and depression pattern)(10)이 형성될 수 있다.
- [0029] 도 1의 (b)에는 요철 패턴(10)의 구조가 더 자세히 도시되어 있다. 요철 패턴(10)은 볼록부(prominent part)(11)와 오목부(depressed part)(12)로 구성될 수 있다. 오목부(12)의 윤곽(profile)은 광반사 조절층(52)의 상면(top surface)(21)으로부터 광반사 조절층(52)의 하면(bottom surface)(22)까지 제거되어 형성될 수 있다. 광반사 조절층(52)의 하면(22)은 전극층(51)의 상면(31)과 접하는 면(surface)이다. 요철 패턴(10)에 의해 전극층(51)의 상면(31)은 광반사 조절층(52)에 의해 가려지지 않고 노출될 수 있다.
- [0030] 도 2는 본 발명의 다른 실시예에 따른 발광 다이오드의 구조를 나타낸 것이다.
- [0031] 도 2의 (a)를 참조하면, 도 1과 마찬가지로, 발광 다이오드(101)는 기판(1), 제1 반도체층(2), 활성층(3), 제2 반도체층(4) 및 광결정 패턴층(5)이 순차적으로 적층되어 형성된 구조를 포함한다. 또한, 도 1과 마찬가지로 광결정 패턴층(5)은 제2 반도체층(4) 상에 형성된 전극층(51)과 전극층(51) 상에 형성된 광반사 조절층(52)을 포함할 수 있으며, 광결정 패턴층(5)에는 볼록부와 오목부를 갖는 요철 패턴(10)이 형성될 수 있다.
- [0032] 도 2의 (b) 및 (c)에는 도 2의 (a)에 도시된 볼록부(11)와 오목부(12)를 갖는 요철 패턴(10)의 구조가 더 자세히 도시되어 있다. 광결정 패턴층(5)은 도면에서 수직방향으로 상부(upper portion)(43) 및 하부(lower portion)(44)로 나눌 수 있다. 상부(43)는 전극층(51)의 상부(45)를 포함할 수 있다. 오목부(12)의 윤곽은 광결정 패턴층(5)의 상부(43)가 제거되어 형성될 수 있다. 이때, 오목부(12)에는 광반사 조절층(52)이 존재하지 않고 전극층(51)의 일부만이 존재할 수 있다. 이때, 요철 패턴(10)에 의해 전극층(51)의 일부가 광반사 조절층(52)에 의해 가려지지 않고 노출될 수 있다. 도 2의 (c)는 도 2의 (b)에서 광결정 패턴층(5)의 상부(43)가 제거된 구조의 단면을 나타낸다.
- [0033] 도 3은 본 발명의 다른 실시예에 따른 발광 다이오드의 구조를 나타낸 것이다.
- [0034] 도 3의 (a)를 참조하면, 도 1과 마찬가지로, 발광 다이오드(101)는 기판(1), 제1 반도체층(2), 활성층(3), 제2

반도체층(4) 및 광결정 패턴층(5)이 순차적으로 적층되어 형성된 구조를 포함한다. 또한, 도 1과 마찬가지로 광결정 패턴층(5)은 제2 반도체층(4) 상에 형성된 전극층(51)과 전극층(51) 상에 형성된 광반사 조절층(52)을 포함할 수 있으며, 광결정 패턴층(5)에는 볼록부와 오목부를 갖는 요철 패턴(10)이 형성될 수 있다.

[0035] 도 3의 (b)에는 도 3의 (a)에 도시된 볼록부(11)와 오목부(12)를 갖는 요철 패턴(10)의 구조가 더 자세히 도시되어 있다. 오목부(12)의 윤곽은 광결정 패턴층(5)의 상면(41)으로부터 광결정 패턴층(5)의 하면(42)까지 제거되어 형성될 수 있다. 광결정 패턴층(5)의 하면(42)은 제2 반도체층(4)의 상면(33)과 접하는 면이다. 요철 패턴(10)의 구조에 의해 제2 반도체층(4)의 상면(33)은 전극층(51) 및 광반사 조절층(52)에 의해 가려지지 않고 노출될 수 있다.

[0036] 도 1, 도 2, 및 도 3을 참조하여 설명한 본 발명의 실시예에 따른 발광 다이오드에 있어서, 기판(1)은 사파이어 기판일 수 있고, 제1 반도체층(2)은 n형 GaN 층일 수 있고, 활성층(3)은 MQW 활성층일 수 있고, 제2 반도체층(4)은 p형 GaN 층일 수 있고, 전극층(51)은 ITO (Indium Tin Oxide) 투명전극층일 수 있다. 이때, 제2 반도체층(4)의 두께는 약 100nm일 수 있다.

[0037] 도 1, 도 2, 및 도 3을 참조하여 설명한 본 발명의 실시예에 따른 발광 다이오드에 있어서, 광반사 조절층(52)은 발광 다이오드의 발광영역 내에서 전극층(51) 및 제2 반도체층(4)과 굴절률이 비슷할 수 있다. 또한, 광반사 조절층(52)은 발광 다이오드의 발광영역 내에서 투과도가 80%이상일 수 있다. 이때, 광반사 조절층(52)은 산화물일 수 있으며, 이 산화물은 TiO_2 또는 ZnO 일 수 있다. 다르게는, 광반사 조절층(52)은 질화물일 수 있으며, 이 질화물은 Si_3N_4 일 수 있다.

[0038] 도 1, 도 2, 및 도 3을 참조하여 설명한 본 발명의 실시예에 따른 발광 다이오드에 있어서, 요철 패턴(10)의 가장자리(edge)는 상대적으로 날카롭게(sharpened) 형성되거나 또는 상대적으로 부드럽게(smoothed) 형성될 수 있다.

[0039] 도 1, 도 2, 및 도 3에서 제1 반도체층(2), 활성층(3), 제2 반도체층(4), 및 광결정 패턴층(5)이 결합된 구조는 기판(1)과 독립적으로 제공될 수 있고, 이 결합된 구조는 기판(1)과 결합될 수 있다.

[0040] 도 1을 참조하여 설명한 본 발명의 실시예에 따른 발광 다이오드에 있어서, 요철 패턴(10)의 오목부(12)의 깊이는 100nm 내지 500nm일 수 있다.

[0041] 도 2 또는 도3을 참조하여 설명한 본 발명의 실시예에 따른 발광 다이오드에 있어서, 요철 패턴(10)의 오목부(12)의 깊이는 200nm 내지 700nm일 수 있다.

[0042] 본 발명의 다른 실시예에 따르면, 상술한 본 발명의 실시예들 중 어느 하나에 따른 발광 다이오드를 포함하는 발광 다이오드(LED) 램프가 제공될 수 있다.

[0043] 도 4 내지 도 6은 본 발명의 일 실시예에 따라 발광 다이오드를 제조하는 방법을 설명하기 위한 순서도이다.

[0044] 도 4를 참조하면, 본 발명의 일 실시예에 따라 발광 다이오드를 제조하는 방법은, 기판, 제1 반도체층, 활성층, 제2 반도체층, 및 전극층이 순차적으로 적층되어 구성된 제1 층 상에 광반사 조절층을 형성하는 단계(S41), 위의 광반사 조절층 상에 마스크층을 형성하는 단계(S42), 위의 광반사 조절층을 식각하는 단계(S43), 및 위의 마스크층을 식각하는 단계(S44)를 포함하여 구성된다.

[0045] 도 5를 참조하면, 본 발명의 다른 실시예에 따라 발광 다이오드를 제조하는 방법은, 기판, 제1 반도체층, 활성층, 제2 반도체층, 및 전극층이 순차적으로 적층되어 구성된 제1 층 상에 광반사 조절층을 형성하는 단계(S51), 위의 광반사 조절층 상에 마스크층을 형성하는 단계(S52), 위의 광반사 조절층을 식각하는 단계(S53), 위의 전극층의 상부를 식각하는 단계(S54), 및 위의 마스크층을 식각하는 단계(S55)를 포함하여 구성된다.

[0046] 도 6을 참조하면, 본 발명의 다른 실시예에 따라 발광 다이오드를 제조하는 방법은, 기판, 제1 반도체층, 활성층, 제2 반도체층, 및 전극층이 순차적으로 적층되어 구성된 제1 층 상에 광반사 조절층을 형성하는 단계(S61), 위의 광반사 조절층 상에 마스크층을 형성하는 단계(S62), 위의 광반사 조절층을 식각하는 단계(S63), 위의 전극층의 상면부터 위의 전극층의 하면까지 식각하는 단계(S64), 및 위의 마스크층을 식각하는 단계(S65)를 포함하여 구성된다.

[0047] 이하, 도 4 내지 도 6에 따른 순서도를 도 7 내지 도 9에서 각각 더 자세히 설명한다.

[0048] 도 7은 본 발명의 일 실시예에 따른 발광 다이오드의 구조를 제조하기 위한 방법을 설명하기 위한 도면이다.

- [0049] 도 7의 (a)에 도시한 바와 같이, 기판(1), 제1 반도체층(2), 활성층(3), 제2 반도체층(4), 및 전극층(51)이 순차적으로 적층되어 구성된 제1 층(100) 상에 광반사 조절층(52)이 형성될 수 있다(S41). 광반사 조절층(52)의 형성은 증착 처리에 의해 수행될 수 있으며, 구체적으로는 전자빔증착법(e-beam evaporation), 스퍼터링(sputtering), 및 졸-겔(sol-gel) 방법 중 하나의 방법을 이용하여 수행될 수 있다. 이때, 광반사 조절층(52)의 두께가 100nm 내지 500nm가 되도록 증착을 수행할 수 있다. 광반사 조절층(52)은 전극층(51) 및 GaN과 비슷한 굴절률을 가질 수 있으며, 80% 이상의 광 투과율을 가질 수 있다.
- [0050] 도 7의 (b)에 도시한 바와 같이, 광반사 조절층(52) 상에 마스크층(6)이 형성될 수 있다(S42). 마스크층(6)은 광반사 조절층(52)을 식각할 때에 마스크로써 사용될 수 있다. 도 7에 도시한 바에 따르면, 마스크층(6)은 광반사 조절층(52) 상에 형성된 금속층(61) 및 금속층(61) 상에 형성된 폴리머 재질의 층(layer)(62)을 포함하여 이루어진다. 도 7의 (b)에 도시된 바와 같이, 마스크층(6)에 의해 광반사 조절층(52)의 일부는 마스크되고, 광반사 조절층(52)의 다른 일부는 노출될 수 있다.
- [0051] 그러나, 도시된 바와 달리, 마스크층(6)은 단일의 층(layer)으로 구성될 수 있다. 이때 이 단일의 층은 폴리머 재질의 층일 수 있다.
- [0052] 도 7의 (c)에 도시한 바와 같이, 광반사 조절층(52)이 식각될 수 있다(S43). 이하, 단계(S43)을 제1 식각 단계로 지칭할 수 있다. 이때 식각은 건식식각일 수 있다. 광반사 조절층(52)을 식각할 때에, 광반사 조절층(52)의 상면(top surface)(21)부터 위의 광반사 조절층(52)의 하면(bottom surface)(22)까지 식각될 수 있다. 이때, 단계(S43)에 의해 전극층(51)의 상면(31)이 노출될 수 있다. 이 공정을 통해 100nm 내지 500nm 정도의 큰 종횡비(aspect ratio)를 갖는 광결정 패턴을 형성할 수 있다.
- [0053] 광반사 조절층(52)을 구성하는 물질에 따라 단계(S43)의 제1 식각 단계에서 식각 처리를 위해 사용되는 플라즈마의 종류가 달라질 수 있다.
- [0054] 첫째, 상술한 플라즈마는 염소(chlorine) 계열의 플라즈마일 수 있다. 이 플라즈마는 광반사 조절층(52)이 산화물인 경우에 사용될 수 있다. 이 산화물은 TiO_2 또는 ZnO 일 수 있다.
- [0055] 둘째, 상술한 플라즈마는 CF_4 , CHF_3 , NF_3 , C_3F_8 , 및 C_4F_8 중 어느 하나의 플라즈마일 수 있다. 이 플라즈마는 광반사 조절층(52)이 질화물인 경우에 사용될 수 있다. 이 질화물은 Si_3N_4 일 수 있다.
- [0056] 도 7의 (d)에 도시한 바와 같이, 마스크층(6)이 식각될 수 있다(S44). 마스크층(6)은 이 식각 처리에 의해 모두 제거될 수 있다.
- [0057] 상술한 단계(S41) 내지 단계(S44)가 수행되면 도 7의 (d)에 도시한 구조가 형성될 수 있다. 이 구조는 도 1에 도시한 발광 다이오드의 구조에 대응된다.
- [0058] 상술한 단계(S43)와 단계(S44) 사이에 도 7에 도시한 전극층(51)을 더 식각하는 단계가 추가될 수 있다. 이하, 전극층(51)을 더 식각하는 과정에 대하여 설명한다.
- [0059] 도 8은 본 발명의 다른 실시예에 따른 발광 다이오드의 구조를 제조하기 위한 방법을 설명하기 위한 도면이다.
- [0060] 도 8의 (a)는 본 실시예에 따른 단계(S51), 단계(S52), 및 단계(S53)이 수행되어 산출된 발광 다이오드의 구조를 다시 도시한 것이다. 단계(S51), 단계(S52), 및 단계(S53)는 각각 도 7의 단계(S41), 단계(S42), 및 단계(S43)과 동일하다.
- [0061] 도 8의 (b)에 도시한 바와 같이, 단계(S53) 이후에, 전극층(51)의 상부(45)가 식각될 수 있다(S54). 전극층(51)의 상부(45)는 전극층(51)의 상면(31)을 포함하지만 전극층(51)의 하면(32)은 포함하지 않는다.
- [0062] 단계(S54) 이후에, 도 8의 (c)에 도시한 바와 같이, 마스크층(6)이 식각될 수 있다(S55).
- [0063] 상술한 단계(S51) 내지 단계(S55)가 수행되면 도 8의 (c)에 도시한 구조가 형성될 수 있다. 이 구조는 도 2에 도시한 발광 다이오드의 구조에 대응된다.
- [0064] 도 9는 본 발명의 다른 실시예에 따른 발광 다이오드의 구조를 제조하기 위한 방법을 설명하기 위한 도면이다.
- [0065] 도 9에 의한 실시예는 도 8에서 설명한 단계(S51), 단계(S52), 단계(S53), 단계(S54), 및 단계(S55) 중 단계(S54)가 변형된 것이다. 이하, 단계(S54)의 변형을 단계(S64)라고 지칭한다. 이하 설명하는 단계(S61), 단계(S62), 단계(S63), 및 단계(S65)는 각각, 도 8에 설명한 단계(S51), 단계(S52), 단계(S53), 및 단계(S55)와 동

일하다. 이하, 상술한 단계(S54) 및 단계(S64)를 제2 식각 단계라고 지칭할 수 있다.

- [0066] 도 9의 (a)는 상술한 단계(S61), 단계(S62), 및 단계(S63)이 수행되어 산출된 발광 다이오드의 구조를 다시 도시한 것이다.
- [0067] 도 9의 (b)에 도시한 바와 같이, 단계(S63) 이후에, 전극층(51)의 상면(top surface)(31)부터 위의 전극층(51)의 하면(bottom surface)(32)까지 식각될 수 있다(S64). 단계(S64)에 의해 제2 반도체층(4)의 상면(33)이 노출될 수 있다. 이 공정을 통해 200nm 내지 700nm 정도의 큰 종횡비(aspect ratio)를 갖는 광결정 패턴을 형성할 수 있다.
- [0068] 단계(S64) 이후에, 도 9의 (c)에 도시한 바와 같이, 마스크층(6)이 식각될 수 있다(S65).
- [0069] 상술한 단계(S61) 내지 단계(S65)가 수행되면 도 9의 (c)에 도시한 구조가 형성될 수 있다. 이 구조는 도 3에 도시한 발광 다이오드의 구조에 대응된다.
- [0070] 도 8에서 설명한 단계(S54)와 도 9에서 설명한 단계(S64)에서 각각, 단계(S53) 및 단계(S63)에 의해 식각되고 남아 있는 잔여 광반사 조절층(52)과 마스크층(6)은 전극층(51)을 식각하기 위한 마스크로써 함께 사용될 수 있다. 또한, 마찬가지로, 단계(S54) 및 단계(S64)에서 식각을 위하여 Cl_2 , CH_4 , 및 Ar 중 어느 하나의 플라즈마가 사용될 수 있다. 단계(S54)에서 식각 시간을 더 늘리면 단계(S54)는 단계(S64)와 동일하게 될 수 있다.
- [0071] 도 7 내지 도 9에서, 각각 단계(S41), 단계(S51), 및 단계(S61)에 이전에 제1 층(100)을 형성하는 단계가 수행될 수 있다. 이때, 제1 층(100)은, 도 7 내지 도 9에 도시된 바와 달리, 기판(1)을 제외한 구조를 가질 수 있다.
- [0072] 도 7 내지 도 9에서, 단계(S44), 단계(S55), 단계(S65)에 따른 식각 처리는 전용 식각제(etchant)를 사용하여 수행될 수 있다. 위의 전용 식각제는 황산 또는 질산일 수 있다.
- [0073] 도 10은 본 발명의 일 실시예에 따라, 도 4 내지 도 9에서 설명한 마스크층을 생성하는 방법을 더 자세히 설명하기 위한 순서도이다.
- [0074] 도 10을 참조하면, 본 발명의 일 실시예에 따라 마스크층을 생성하는 방법은, 광반사 조절층 상에 금속층을 증착하는 단계(S101), 위의 금속층 상에 폴리머 재질의 패턴을 형성하는 단계(S102), 형성된 폴리머 패턴의 잔여층을 식각하여 제거하는 단계(S103), 잔여층이 제거된 폴리머 패턴을 마스크로써 사용하여 금속층을 식각하는 단계(S104)를 포함하여 구성될 수 있다. 이때, 단계(S102)에 의해 폴리머 패턴의 잔여층이 형성되지 않는 경우 단계(S103)은 생략될 수 있다.
- [0075] 이하 도 10에 따른 순서도를 도 11에서 각각 더 자세히 설명한다.
- [0076] 도 11은 본 발명의 일 실시예에 따라 도 4 내지 도 9에서 설명한 마스크층을 생성하는 방법을 설명하기 위한 개념도이다.
- [0077] 도 11의 (a)는 도 10의 단계(S101)을 위해 제공되는 광반사 조절층(52)을 포함한 구조를 예시한 것이다. 광반사 조절층(52)은, 기판(1), 제1 반도체층(2), 활성층(3), 제2 반도체층(4), 및 전극층(51)이 순차적으로 적층되어 구성된 제1 층(100) 상에 형성되어 있다.
- [0078] 도 11의 (b)에 도시한 바와 같이, 광반사 조절층(52) 상에 금속층(61)이 형성될 수 있다(S101). 이때, 금속층(61)은 금속 하드마스크 층(hard mask layer)일 수 있으며, 위의 금속은 예컨대 Cr 또는 Ni일 수 있다. 이때, 금속층(61)은 전자빔증착법 또는 스퍼터링 중 하나의 방법을 이용하여 증착될 수 있으며, 증착두께는 광반사 조절층(52)과의 식각선택비를 고려하여 10nm 내지 50nm의 값을 가질 수 있다.
- [0079] 도 11의 (c)에 도시한 바와 같이, 금속층(61) 상에 폴리머 재질의 패턴(62)이 형성될 수 있다(S102). 이때, 패턴(62)의 형성은 나노 임프린팅(nano imprinting) 공정을 통해 수행될 수 있다. 이때, 폴리머 재질의 패턴(62)의 잔여층(66)이 형성될 수 있다.
- [0080] 잔여층(66)이 형성된 경우, 도 11의 (d)에 도시한 바와 같이, 잔여층(66)을 식각하여 제거할 수 있다(S103). 이때, O_2 플라즈마를 이용하여 건식식각할 수 있다.
- [0081] 도 11의 (e)에 도시한 바와 같이, 잔여층(66)이 제거된 폴리머 패턴(62)을 마스크로써 사용하여 금속층을 식각할 수 있다(S104).

- [0082] 상술한 단계(S101) 내지 단계(S104)가 수행되면 도 11의 (e)에 도시한 구조가 형성될 수 있다. 이 구조는 도 7의 (b), 도 8의 (a), 및 도 9의 (a)에 도시한 구조에 대응된다.
- [0083] 도 12는 발광 다이오드의 광추출 효율을 설명하기 위한 도면이다.
- [0084] 이하 도 12의 (a)를 참조하여 설명한다. 발광 다이오드에 있어서, 활성층(3)에서는 광(R1, R2)이 생성될 수 있다. 생성된 광(R1, R2)은 제2 반도체층(4)을 통해 진행하다가 제2 반도체층(4)의 상면(33)에서 굴절되어 제2 반도체층(4) 바깥으로 빠져나가거나(R1), 전반사(total reflection)될 수 있다(R2).
- [0085] 전반사는 광학적으로 밀한(with high index of refraction) 매질(media)에서 소한(with low index of refraction) 매질로 빛이 진행할 때, 특정 임계각(critical angle)(θ)보다 큰 입사각으로 입사한 빛이 굴절하지 않고 100% 반사되는 현상이다. 도 12의 (a)에서, 광(R1, R2)의 진행경로는 제2 반도체층의 상면(33)에서의 입사각(incidence angle)(θ_1, θ_2 ; $\theta_1 < \theta < \theta_2$)에 의해 결정될 수 있다. 도 12의 (a)에서 광(R1)은 임계각(θ)보다 작은 각(θ_1)을 가지고 제2 반도체층(4)의 상면(33)에 입사하기 때문에 굴절되어 바깥으로 빠져나갈 수 있다. 그러나, 광(R2)은 임계각(θ)보다 큰 각(θ_2)을 가지고 제2 반도체층(4)의 상면(33)에 입사하기 때문에 전반사될 수 있다. 전반사되는 광(R2)이 많아지면 발광 다이오드의 외부 양자효율, 즉 광 추출효율이 떨어질 수 있다.
- [0086] 발광 다이오드는 발광 다이오드를 구성하는 물질의 재질 및 구조에 따라 소자 내부에서 발광된 빛의 대부분이 소자 외부로 빠져 나오지 못하고 소자 내부에서 전반사되고 흡수되어 광 추출효율이 매우 낮을 수 있다. 따라서 발광 다이오드에 패터닝 공정을 적용함으로써 광 추출효율을 향상시킬 수 있다. 나노 패터닝 공정은 주로 건식 식각 및 습식식각에 의해 제작할 수 있다.
- [0087] 측면형 구조를 갖는 발광 다이오드는 본 발명의 실시예에 따른 구조를 가질 수 있다. 이러한 구조의 발광 다이오드 소자의 광 추출특성을 향상시키기 위해서 발광다이오드 표면의 ITO 투명전극층 또는 p형 GaN 층에 나노 텍스처링을 하거나 광결정 패턴을 형성시킬 수 있다. 그 결과 광의 난반사 특성을 증대시켜 전반사를 줄일 수 있다. 여기서 ITO 투명전극층은 상술한 전극층(51)에 대응되고, p형 GaN 층은 상술한 제2 반도체층(4)에 대응되며, 나노 텍스처링에 의해 형성된 구조 또는 광결정 패턴은 상술한 광결정 패턴층(5)에 대응된다.
- [0088] 도 12의 (b)는 제2 반도체층(4)에 나노 텍스처링 또는 광결정 패턴을 형성시킨 구조의 예를 나타낸 것이다. 도 12의 (a)와 비교하면, 광(R1)의 경로는 변하지 않았지만, 광(R2)은 전반사되지 않고 바깥으로 빠져나간다. 이는 광결정 패턴 때문에 일부 광에 대한 전반사 조건이 깨졌기 때문이다. 즉, 도 12의 (a)에서는 광(R2)의 입사각(θ_2)이 임계각(θ)보다 크지만, 도 12의 (b)에서는 광(R2)의 입사각(θ_3)이 임계각(θ)보다 작기 때문이다. 따라서, 광결정 패턴에 의해 광 추출효율이 향상될 수 있다.
- [0089] 도 12의 (c)는 제2 반도체층(4) 상에 전극층(51)이 형성된 구조에서의 전반사 현상을 나타낸다. 제2 반도체층(4)의 굴절률과 전극층(51)의 굴절률이 유사하다고 가정할 때에 전반사는 전극층(51)의 상면(31)에서 발생할 수 있다. 그러나, 도 12의 (d)에 도시한 바와 같이 전극층(51)에 광결정 패턴을 형성하게 되면 도 12의 (b)에서 설명한 것과 같이 광 추출효율이 향상될 수 있다.
- [0090] 위의 광결정 패턴의 식각 깊이(etch depth)가 깊을수록 광의 난반사 현상이 효과적으로 발생하여 광 추출효율이 더 향상될 수 있다. 그런데 일반적으로 측면형 발광 다이오드의 경우 활성층이 소자 표면쪽에 위치한다. 또한, p형 GaN 층의 두께가 100nm 정도로 얇고 p형 GaN 층의 바로 하단층에 활성층이 위치하고 있기 때문에, 식각 깊이를 100nm 이하로 한정해야 한다. 패턴의 식각 깊이를 증가시킬 경우 활성층이 손상되어 소자의 전기적 특성 및 발광 특성이 저하될 수 있다. 이와 같이 형성할 수 있는 패턴의 식각 깊이가 제한되는 경우에는 광 추출특성을 효과적으로 개선시키지 못할 수 있다. 또한 p형 GaN 층을 플라즈마를 이용한 건식식각 방법으로 패터닝할 경우 p형 GaN 층에 플라즈마에 의한 손상이 발생하기 때문에 전기주입 성능이 저하되어 소자의 전기적 성질이 나빠질 수 있다. 이와 같은 점을 고려하여, 상술한 본 발명의 실시예에 의한 발광 다이오드와 같이 전극층 위에 전극층과 비슷한 굴절률을 가지는 산화물 또는 질화물 계열의 광반사 조절층을 증착한 후, 광반사 조절층 상에 광결정 패턴층을 성장시키고, 성장된 광결정 패턴층을 마스크로써 사용하여 광반사 조절층 및/또는 전극층을 식각하면 큰 종횡비(aspect ratio)를 가지는 패턴을 제작할 수 있기 때문에 패턴에 의한 난반사 효과가 커지고 광 추출효율을 크게 증가시킬 수 있다. 또한 제2 반도체층을 직접 식각하는 것이 아니기 때문에 플라즈마에 의해 소자의 전기적 성질이 저하되지 않을 수 있다.
- [0091] 도 13은 본 발명에 따른 광추출 효율을 설명하기 위한 도면이다.

- [0092] 도 13의 (a), (b), (c)는 각각 도 1, 도 2, 도 3에 의한 발광 다이오드의 광결정 패턴층(5)에 의해 광(R2)이 전 반사되지 않고 바깥으로 빠져나감으로써 광추출 효율이 증가되는 현상을 도시한 것이다. 도 13에 형성된 광결정 패턴층(5)에 의한 효과는 도 12에서 설명한 광결정 패턴에 의한 효과와 유사하게 설명될 수 있다. 나아가, 도 13을 도 12와 비교하면, 도 13의 광결정 패턴층(5)의 오목부의 깊이가 상대적으로 더 깊으므로 난반사 현상이 더 증가되어 더 높은 광추출 효율을 얻을 수 있음을 알 수 있다. 도 13은 본 발명의 일부 효과를 설명하기 위한 예를 도시한 것이며, 이에 의해 본 발명의 효과가 한정되는 것은 아니다.
- [0093] 본 발명에서 식각은 건식식각일 수 있다. 도 1 내지 도 3를 참조하여 설명된 발광 다이오드의 구조는 도 4 내지 도 6 또는 도 7 내지 도 9를 참조하여 설명한 방법에 의해 형성될 수 있다. 모순되지 않는 이상 도 1 내지 도 3에 관한 상세한 설명에서 개시한 내용은 도 4 내지 도 6 또는 도 7 내지 도 9에 관한 상세한 설명에 기재된 구성요소에 적용될 수 있음이 이 기술분야의 통상의 지식을 가진 자에게는 자명하게 이해될 수 있다.
- [0094] 발명의 상세한 설명은 본 발명의 실시예들을 설명하도록 의도된 것이며, 본 발명에 따라 구현될 수 있는 유일한 실시예를 나타내기 위한 것은 아니다. 본 발명의 상세한 설명은 본 발명의 용이한 이해를 위하여 특정용어를 사용하여 서술될 수 있다. 그러나 본 발명의 이러한 특정용어에 의해 제한되도록 의도한 것은 아니다. 따라서, 상세한 본 발명의 상세한 설명은 모든 면에서 제한적으로 해석되어서는 아니 되고 예시적인 것으로 고려되어야 한다.
- [0095] 상술한 실시예들은 각각 본 발명의 구성요소들과 특징들이 소정 형태로 결합된 것이다. 각 구성요소 또는 특징은 다른 구성요소나 특징과 결합되지 않은 형태로 실시될 수 있다. 또한, 일부 구성요소들 및/또는 특징들을 결합하여 본 발명의 실시예를 구성하는 것도 가능하다. 어느 실시예의 일부 구성이나 특징은 본 발명의 사상에 반하지 않는다면 다른 실시예에 포함될 수 있고, 또는 다른 실시예의 대응되는 구성 또는 특징과 교체될 수 있다. 특허청구범위에서 명시적인 인용 관계가 있지 않은 청구항들을 결합하여 실시예를 구성하거나 출원 후의 보정에 의해 새로운 청구항으로 포함시킬 수 있음은 자명하다.
- [0096] 본 발명의 범위는 특허청구범위 합리적 해석을 고려하여 결정되어야 하고, 본 발명의 등가적 범위 내에서의 모든 변경은 본 발명의 범위에 포함된다. 본 발명의 기술 분야에 속하는 기술자라면 본 발명의 실시예들 및 특허청구범위로부터 본 발명의 사상을 용이하게 이해할 수 있을 것이다.

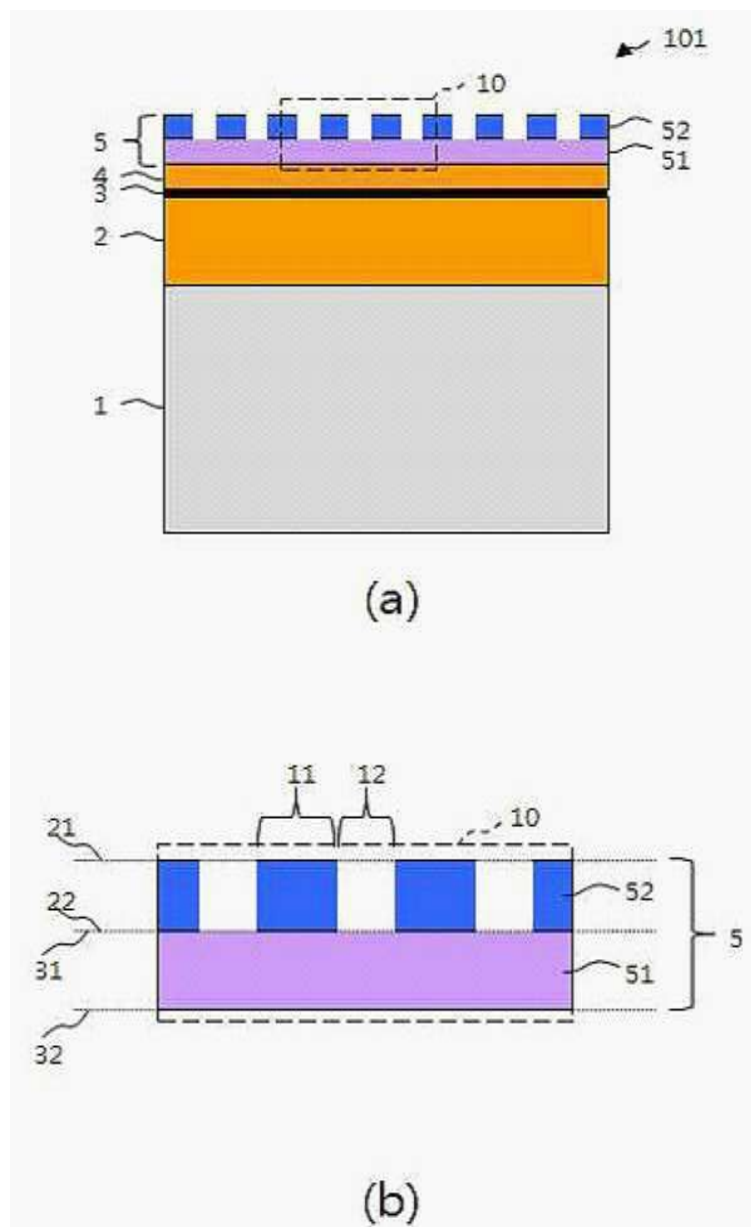
부호의 설명

- [0097] 1: 기판
2: 제1 반도체층
3: 활성층
4: 제2 반도체층
5: 광결정 패턴층
10: 요철 패턴
11: 볼록부
12: 오목부
21: 광반사 조절층의 상면
22: 광반사 조절층의 하면
31: 전극층의 상면
32: 전극층의 하면
33: 제2 반도체층의 상면
41: 광결정 패턴층의 상면
42: 광결정 패턴층의 하면
43: 광결정 패턴층의 상부

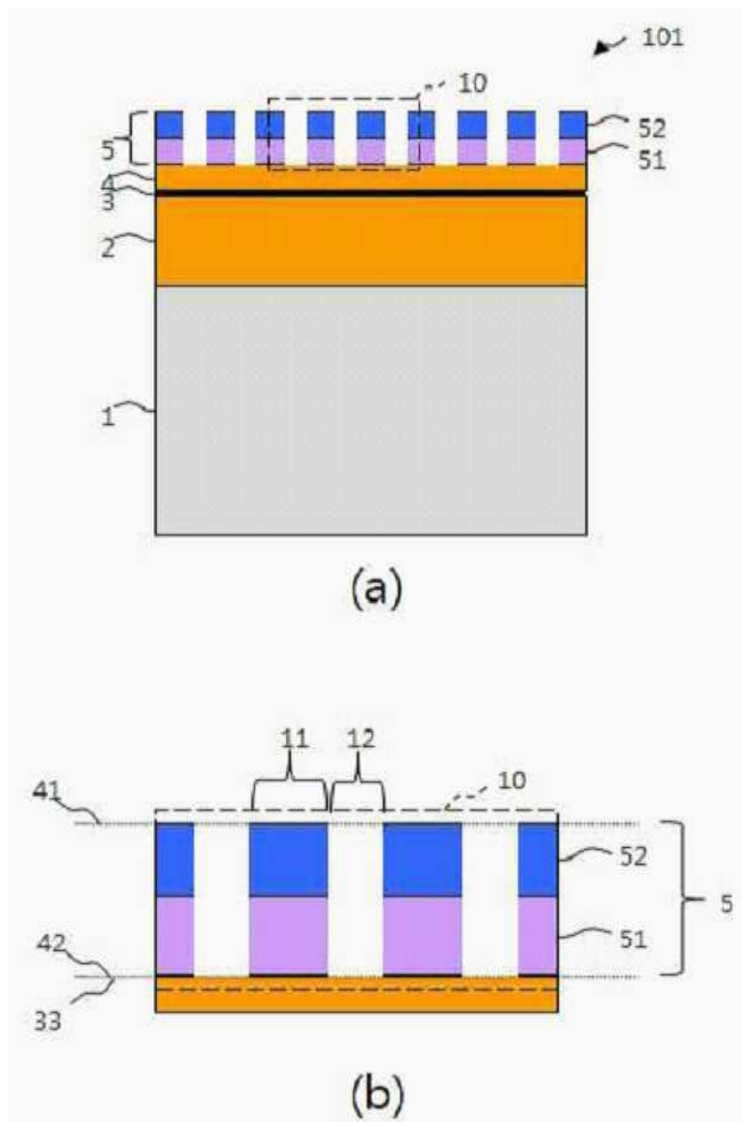
- 44: 광결정 패턴층의 하부
- 45: 전극층의 상부
- 51: 전극층
- 52: 광반사 조절층
- 61: 금속층
- 62: 폴리머 재질의 패턴
- 66: 잔여층
- 100: 제1 층
- 101: 발광다이오드

도면

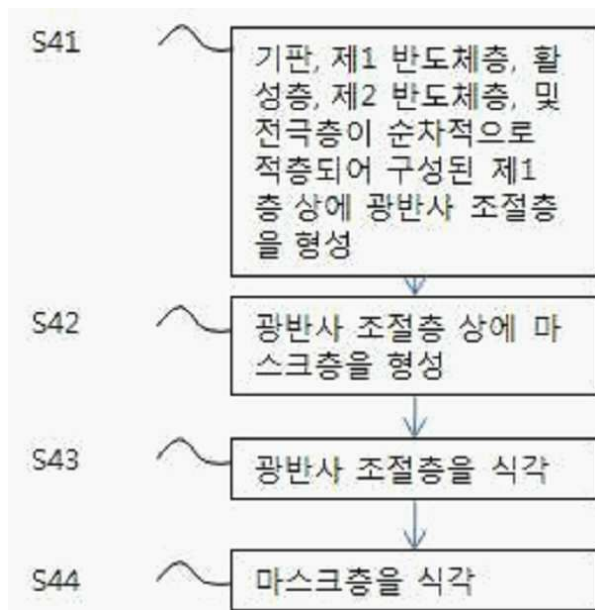
도면1



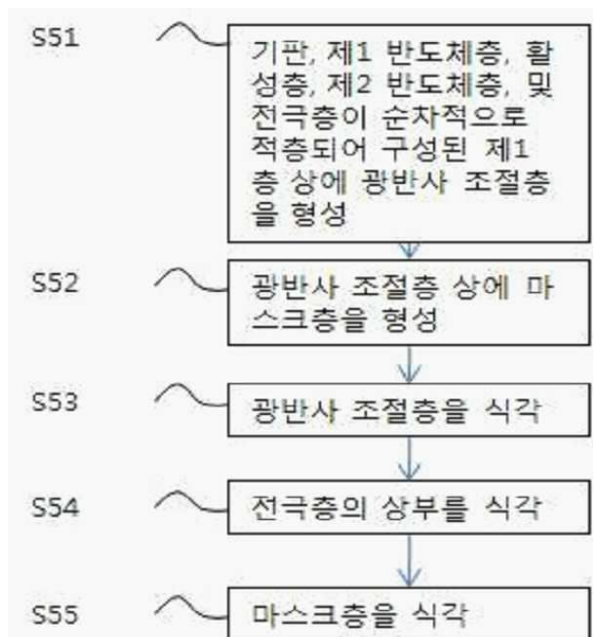
도면3



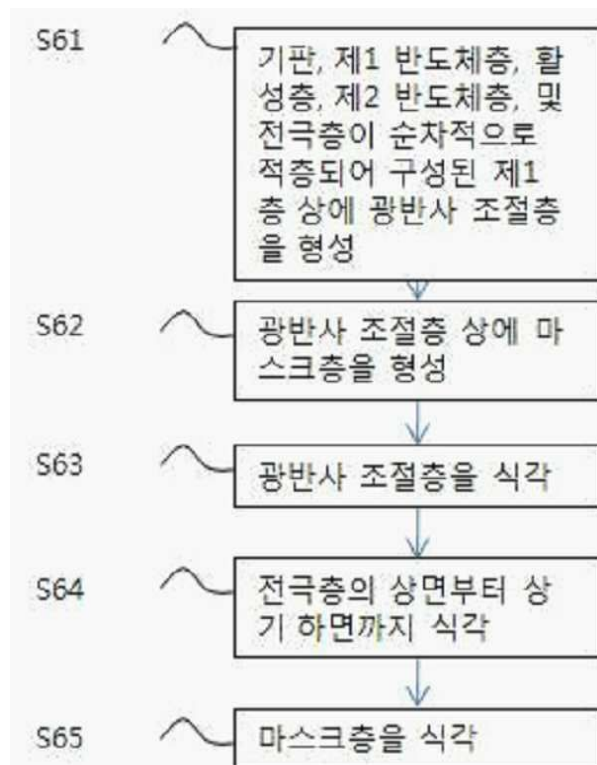
도면4



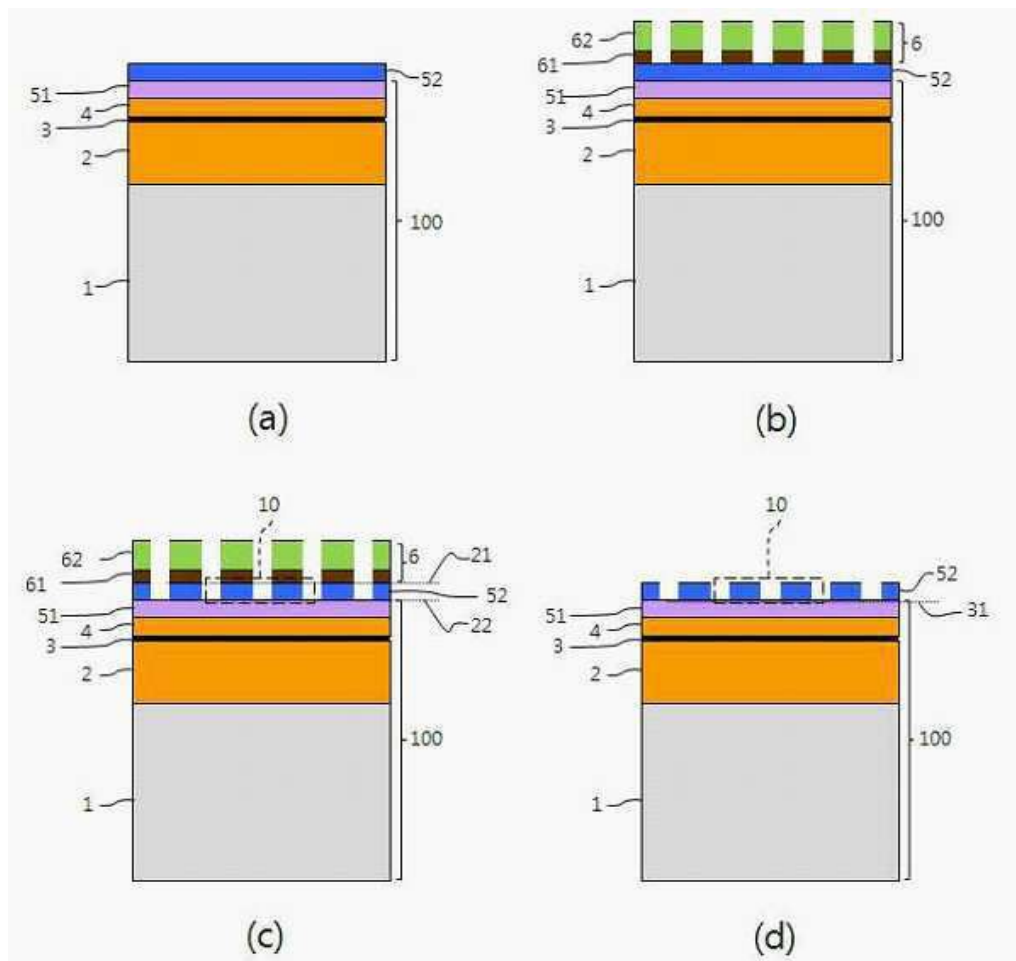
도면5



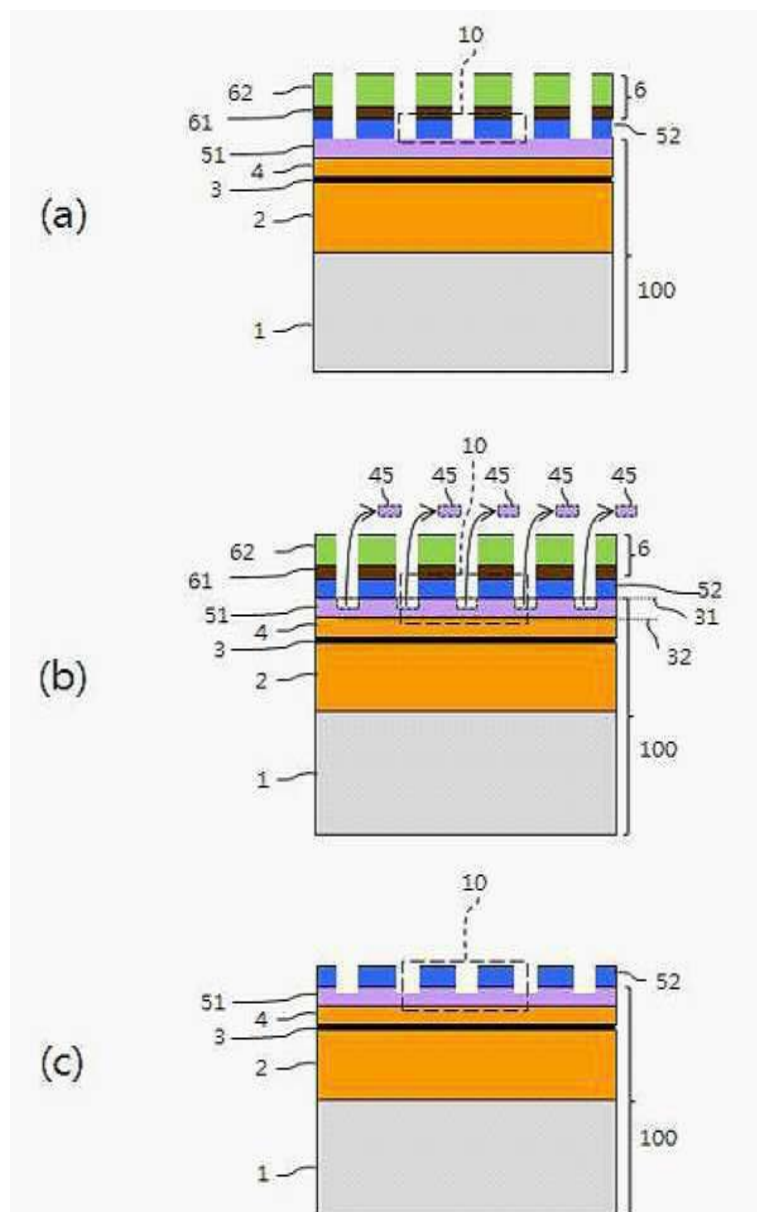
도면6



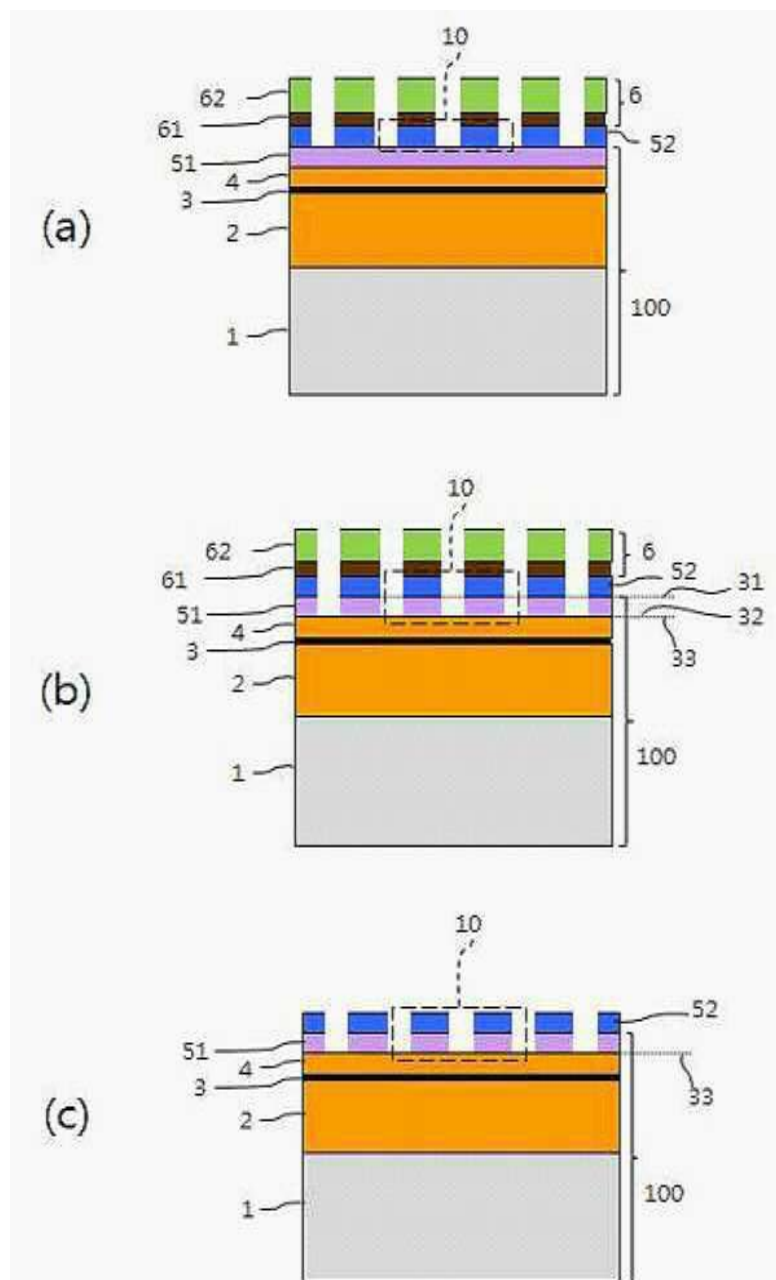
도면7



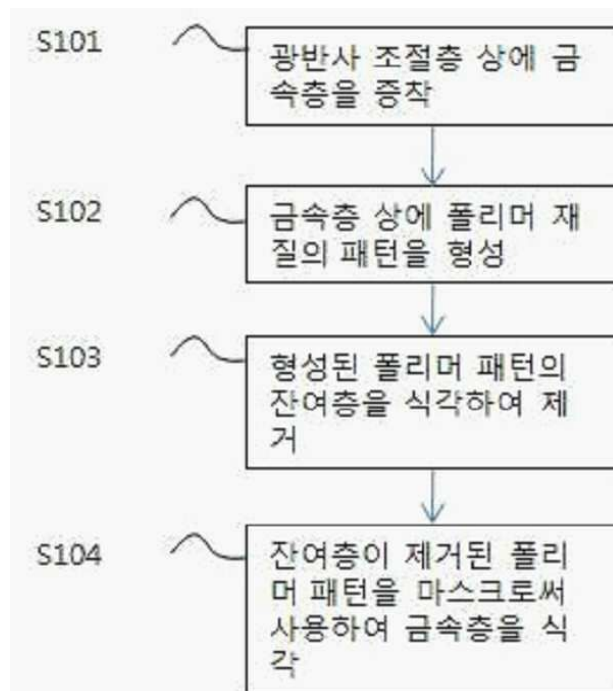
도면8



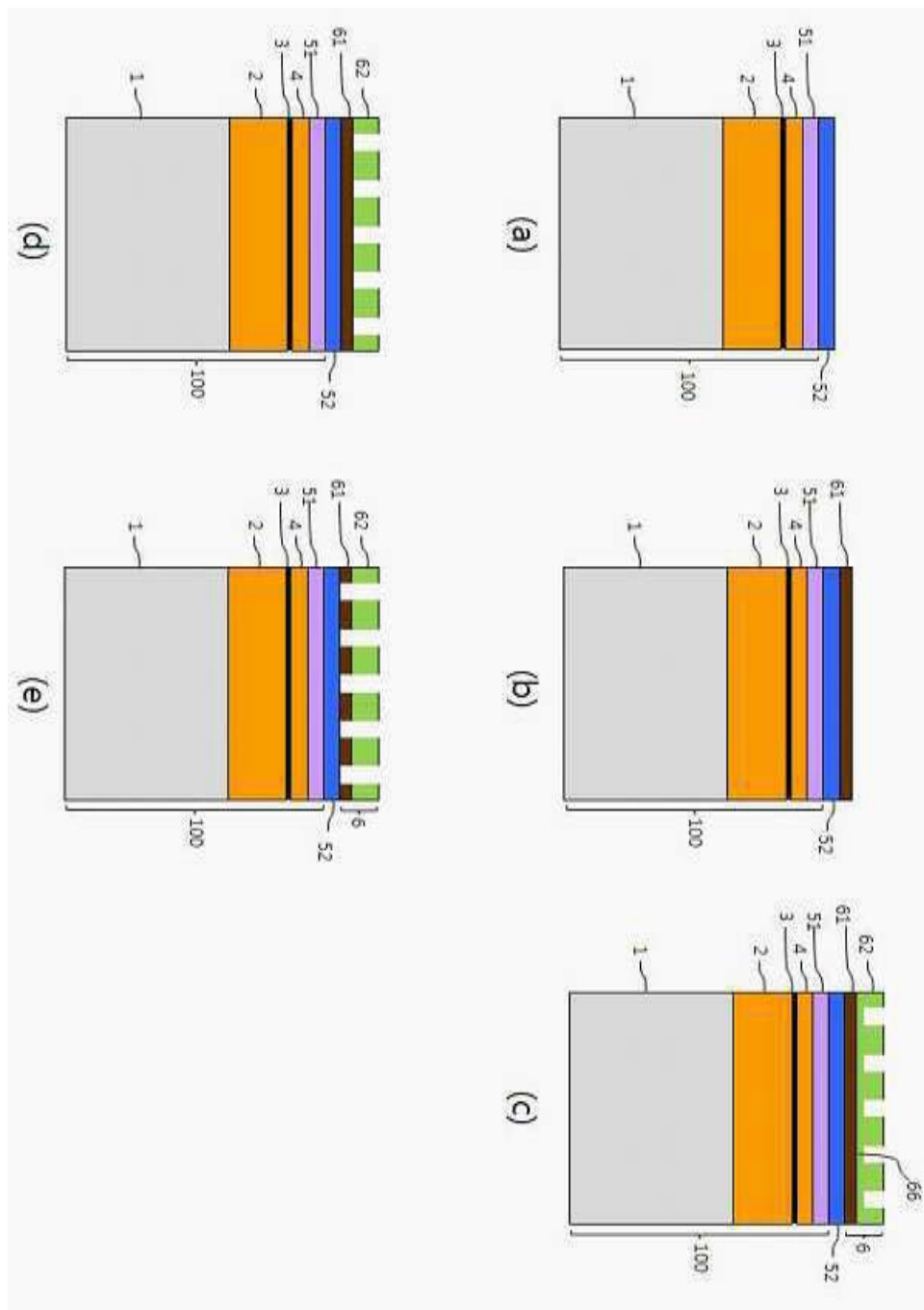
도면9



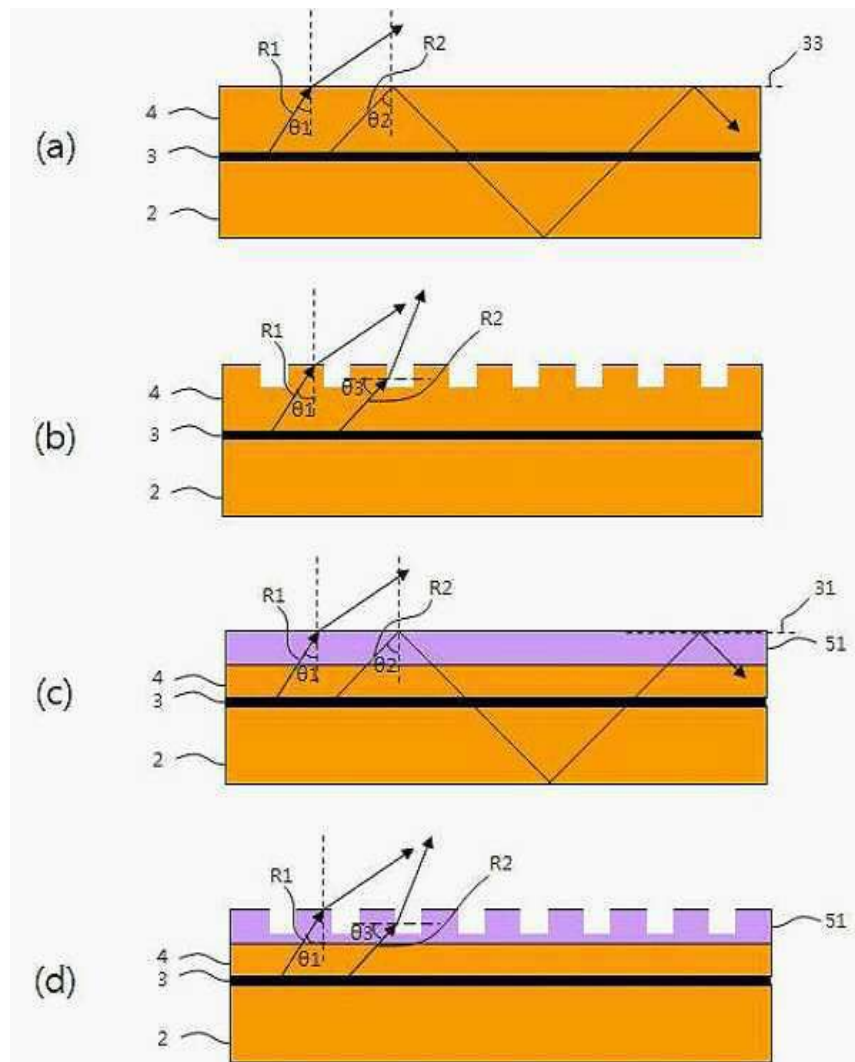
도면10



도면11



도면12



도면13

