

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 3 月 30 日 (30.03.2023)



(10) 国际公布号
WO 2023/045356 A1

(51) 国际专利分类号:
H01L 27/088 (2006.01) **H01L 21/8234** (2006.01)
H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2022/092962

(22) 国际申请日: 2022 年 5 月 16 日 (16.05.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111130025.X 2021 年 9 月 26 日 (26.09.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 宛伟 (WAN, Wei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。 张帅 (ZHANG, Shuai); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。 修春雨 (XIU, Chunyu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: SEMICONDUCTOR STRUCTURE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 半导体结构及其制备方法

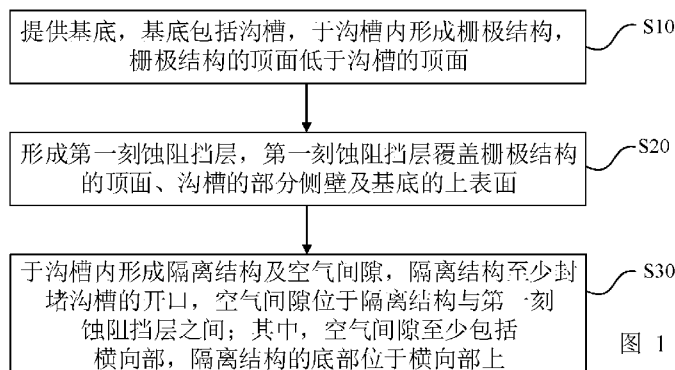


图 1

- S10 Provide a substrate comprising a trench, in which a gate structure is formed, a top face of the gate structure being lower than a top face of the trench
- S20 Form first etching barrier layers that cover the top face of the gate structure, part of a side wall of the trench, and an upper surface of the substrate
- S30 Form an isolation structure and an air gap in the trench, the isolation structure at least closing an opening of the trench, the air gap being located between the isolation structure and the first etching barrier layer, and the air gap at least comprising a transverse portion, on which the bottom of the isolation structure is located

(57) Abstract: The present application relates to a semiconductor structure and a preparation method therefor. The semiconductor structure comprises: a substrate comprising a trench, in which a gate structure is comprised, a top face of the gate structure being lower than a top face of the trench; first etching barrier layers covering the top face of the gate structure, part of a side wall of the trench, and an upper surface of a substrate; a sealing and isolation structure located between the first etching barrier layers in the trench and at least closing an opening of the trench; and air gaps located between the first etching barrier layers and the sealing and isolation structure and at least comprising a transverse portion, the bottom of the sealing and isolation structure being located on the transverse portion.



CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本公开涉及一种半导体结构及其制备方法。该半导体结构包括: 基底, 包括沟槽, 沟槽内包括栅极结构, 栅极结构的顶面低于沟槽的顶面; 第一刻蚀阻挡层, 覆盖栅极结构的顶面、沟槽的部分侧壁及基底的上表面; 封闭隔离结构, 位于沟槽内的第一刻蚀阻挡层之间, 封闭隔离结构至少封堵沟槽的开口; 空气间隙, 位于第一刻蚀阻挡层与封闭隔离结构之间, 空气间隙至少包括横向部, 封闭隔离结构的底部位于横向部上。

半导体结构及其制备方法

相关申请的交叉引用

本公开要求于 2021 年 09 月 26 日提交中国专利局、申请号为 202111130025.X 的中国专利的优先权，所述专利申请的全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体器件制造领域，特别是涉及一种半导体结构及其制备方法。

背景技术

动态随机存储器（英文：Dynamic Random Access Memory，简称：DRAM）是一种广泛应用于手机、电脑、汽车等电子产品中的半导体存储器。DRAM 制程的难易与尺寸有关，尺寸越小，难度越大，未来 DRAM 制程技术将在 10nm-15nm 左右，这对产品的电性要求非常严格。

传统的埋入式栅极在 10nm-15nm 的制程工艺下，难以有效隔离栅极两侧的有源区，栅极与其他金属层之间也存在耦合效应，这严重影响了半导体器件的电学性能。

发明内容

根据本公开的各种实施例，提供一种半导体结构及其制备方法。

根据一些实施例，本公开第一方面提供一种半导体结构，包括：基底，包括沟槽，沟槽内包括栅极结构，栅极结构的顶面低于沟槽的顶面；第一刻蚀阻挡层，覆盖栅极结构的顶面、沟槽的部分侧壁及基底的上表面；封闭隔离结构，位于沟槽内的第一刻蚀阻挡层之间，封闭隔离结构至少封堵沟槽的开口；空气间隙，位于第一刻蚀阻挡层与封闭隔离结构之间，空气间隙至少包括横向部，封闭隔离结构的底部位于横向部上。

在其中一个实施例中，空气间隙还包括至少一竖直部，所述竖直部位于所述封闭隔离结构的下部，所述竖直部连通所述横向部。

在其中一个实施例中，所述空气间隙还包括第一竖直部和第二竖直部，所述第一竖直部和所述第二竖直部分别位于所述封闭隔离结构下部相对的两侧，所述第一竖直部和所述第二竖直部的底部与所述横向部相连通。

在其中一个实施例中，第一竖直部的高度与第二竖直部的高度相等或不等。

在其中一个实施例中，封闭隔离结构包括：第二刻蚀阻挡层和封口隔离层；第二刻蚀阻挡层部分贴附于第一刻蚀阻挡层的侧壁；封口隔离层位于第二刻蚀阻挡层之间，与第二刻蚀阻挡层共同封堵沟槽的开口。

在其中一个实施例中，封闭隔离结构上部的宽度大于下部的宽度；其中，第二刻蚀阻挡层的上部贴附于第一刻蚀阻挡层的侧壁，第二刻蚀阻挡层的下部与第一刻蚀阻挡层的侧壁之间具有第一间距。

在其中一个实施例中，栅极结构包括由外到内依次叠置的栅氧化层、阻挡层及主导电层；其中，阻挡层的顶面低于主导电层的顶面，主导电层的顶面低于沟槽的顶面。

根据一些实施例，本公开第二方面公开了一种半导体结构的制备方法，包括：提供基底，基

底包括沟槽，于沟槽内形成栅极结构，栅极结构的顶面低于沟槽的顶面；形成第一刻蚀阻挡层，第一刻蚀阻挡层覆盖栅极结构的顶面、沟槽的部分侧壁及基底的上表面；于沟槽内形成封闭隔离结构及空气间隙，封闭隔离结构至少封堵沟槽的开口，空气间隙位于封闭隔离结构与第一刻蚀阻挡层之间；其中，空气间隙至少包括横向部，封闭隔离结构的底部位于横向部上。

在其中一个实施例中，在形成所述封闭隔离结构之前，还包括在所述沟槽内形成牺牲层，形成所述牺牲层的步骤包括：形成第一牺牲层于所述沟槽内；形成第二牺牲层于所述第一牺牲层上，以填满所述沟槽；对所述第一牺牲层和所述第二牺牲层进行刻蚀，以使得所述第一牺牲层的顶面低于所述第二牺牲层的顶面；其中，所述第一牺牲层的刻蚀速率大于所述第二牺牲层的刻蚀速率；移除所述第二牺牲层，以将保留的所述第一牺牲层定义为牺牲层。

在其中一个实施例中，位于所述沟槽侧壁上的所述牺牲层的高度相等。

在其中一个实施例中，在形成所述第二牺牲层之后，对所述第一牺牲层和所述第二牺牲层进行刻蚀之前还包括：在所述第二牺牲层上形成光阻层，所述光阻层仅覆盖位于所述第二牺牲层一侧的所述第一牺牲层；对所述第二牺牲层和所述第一牺牲层进行刻蚀，并移除所述光阻层，以使得位于所述第二牺牲层两侧的所述第一牺牲层的高度不等。

在其中一个实施例中，所述封闭隔离结构的上部宽度大于所述封闭隔离结构下部的宽度。

在其中一个实施例中，形成所述封闭隔离结构的步骤包括：在所述沟槽内形成第二刻蚀阻挡层，所述第二刻蚀阻挡层暴露出部分所述第一刻蚀阻挡层；在所述第二刻蚀阻挡层内形成封闭隔离层，所述封闭隔离层的底部高于或等于所述第二刻蚀阻挡层的底部。

在其中一个实施例中，在形成所述封闭隔离层之前，还包括：通过湿法工艺移除所述牺牲层，以形成所述空气间隙。

在其中一个实施例中，所述空气间隙包括至少一竖直部，所述横向部连接所述竖直部，所述竖直部位于所述第一刻蚀阻挡层和所述封闭隔离层之间。

在其中一个实施例中，所述空气间隙包括第一竖直部和第二竖直部，所述第一竖直部和所述第二竖直部通过所述横向部连通，所述第一竖直部的高度和所述第二竖直部的高度相等或不等。

在其中一个实施例中，所述第一竖直部和所述第二竖直部分别位于所述第一刻蚀阻挡层与所述封闭隔离结构之间。

本公开实施例可以/至少具有以下优点：

上述半导体结构，通过在埋入式栅极所在的沟槽内设置空气间隙，利用空气介电常数最小、隔离效果好的特性，更好地将栅极两边的有源区进行隔离，减小了相邻金属栅极之间的耦合效应。并且，由于空气间隙具有横向部，因而可以增加空气隔离的面积以及横向隔离的宽度，隔离效果更佳，耦合效应更低。同时横向部的空气间隙还可以降低栅极与其他金属材料（例如位线或金属层）的耦合效应，提高半导体器件的性能。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他实施例的附图。

图 1 为本申请一实施例中半导体结构的制备方法的流程框图。

图 2 为本申请一实施例中提供的基底的截面结构示意图。

图 3 为本申请一实施例中于衬底的上表面依次形成初始刻蚀阻挡层、掩膜层及图形化光刻胶层后得到的半导体结构的截面结构示意图。

图 4 为本申请一实施例中形成沟槽后得到的半导体结构的截面结构示意图。图 5 为本申请一实施例中形成栅氧化材料层后得到的半导体结构的截面结构示意图。

图 6 为本申请一实施例中形成阻挡材料层后得到的半导体结构的截面结构示意图。

图 7 为本申请一实施例中形成主导电材料层后得到的半导体结构的截面结构示意图。

图 8 为本申请一实施例中于沟槽内形成栅极结构后得到的半导体结构的截面结构示意图。

图 9 为本申请一实施例中形成第一刻蚀阻挡层后得到的半导体结构的截面结构示意图。

图 10-图 11 以及图 12a、图 12b 和图 12c 为本申请一实施例中形成牺牲层的工艺过程示意图。

图 13 为本申请一实施例中形成第二刻蚀阻挡材料层后得到的半导体结构的截面结构示意图。

图 14 为本申请一实施例中形成第二刻蚀阻挡层后得到的半导体结构的截面结构示意图。

图 15 为本申请一实施例中去除牺牲层后得到的半导体结构的截面结构示意图。

图 16 为本申请一实施例中形成封闭隔离结构后得到的半导体结构的截面结构示意图。

图 17-图 21 为本申请另一实施例中形成牺牲层的工艺过程示意图。

图 22 为本申请另一实施例中形成封闭隔离结构后得到的半导体结构的截面结构示意图。

图 23 为本申请另一实施例中形成封闭隔离结构后得到的半导体结构的截面结构示意图。

具体实施方式

为了便于理解本公开，下面将参照相关附图对本公开进行更全面的描述。附图中给出了本公开的较佳的实施例。但是，本公开可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开的公开内容的理解更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本公开。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

在描述位置关系时，除非另有规定，否则当一个元件例如层基板被指为在另一膜层“上”时，其能直接在其他膜层上或亦可存在中间膜层。进一步说，当层被指为在另一层“下”时，其可直接在下方，亦可存在一个或多个中间层。亦可以理解的是，当层被指为在两层“之间”时，其可为两层之间的唯一层，或亦可存在一个或多个中间层。

在使用本文中描述的“包括”、“具有”、和“包含”的情况下，除非使用了明确的限定用语，例如“仅”、“由……组成”等，否则还可以添加另一部件。除非相反地提及，否则单数形式的术语可以包括复数形式，并不能理解为其数量为一。

在本公开的描述中，需要说明的是，除非另有明确规定和限定，术语“相连”或“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是直接连接，亦可以通过中间媒介间接连接，可以是两个部件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本公开中的具体含义。

此外，在本公开的描述中，除非另有说明，“多个”、“相互”、“叠合”、“层叠”和“若

干”的含义是两个或两个以上。

如图 1 所示，本申请的一个实施例提供了一种半导体结构的制备方法。该方法包括：

S10：提供基底，所述基底包括沟槽，于所述沟槽内形成栅极结构，所述栅极结构的顶面低于所述沟槽的顶面；

S20：形成第一刻蚀阻挡层，所述第一刻蚀阻挡层覆盖所述栅极结构的顶面、所述沟槽的部分侧壁及所述基底的上表面；

S30：于所述沟槽内形成隔离结构及空气间隙，所述隔离结构至少封堵所述沟槽的开口，所述空气间隙位于所述隔离结构与所述第一刻蚀阻挡层之间；其中，所述空气间隙至少包括横向部，所述隔离结构的底部位于所述横向部上。

上述半导体结构的制备方法，通过在埋入式栅极所在的沟槽内形成空气间隙，利用了空气介电常数最小、隔离效果好的特性，更好地将栅极两边的有源区进行隔离，减小了相邻金属栅极之间的耦合效应。并且，由于空气间隙具有横向部，因而可以增加空气隔离的面积以及横向隔离的宽度，改善栅极结构与其他金属线（例如金属层）之间的隔离效果，耦合效应也更低。

在步骤 S10 中，提供的基底包括沟槽，其中，沟槽的数量可以为一个或多个。示例地，形成该基底的步骤包括：

S11：提供衬底 101，衬底 101 包括有源区，环绕有源区设置有隔离结构 102，衬底 101 和隔离结构 102 共同组成基底 100，如图 2 所示。

示例地，本实施例中的衬底 101 包括但不限于硅衬底 101。环绕有源区的隔离结构 102 包括但不限于浅沟道隔离沟槽。

S12：于衬底 101 的上表面依次形成初始刻蚀阻挡层 111、掩膜层 112 及图形化光刻胶层 113，图形化光刻胶层 113 内形成有用于定义沟槽 114 的形状及位置的开口图形，如图 3 所示。

示例地，初始刻蚀阻挡层 111 包括但不限于氮化硅层；掩膜层 112 可以是 SION 层、Carbon 层（非晶碳层）、SOC 层、SiO₂ 和 DARC 层（Dielectric Anti-Reflected Coating）中的一层或多层，掩膜层 112 的厚度为 50nm 至 200nm，例如 50nm、100nm、150nm、175nm 或 200nm。在本实施例中，掩膜层 112 包括由下至上依次叠置的 Carbon 层 1121 和氮氧化硅层 1122。示例地，初始刻蚀阻挡层 111 和掩膜层 112 可以采用物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺等工艺进行制备。

图形化光刻胶层 113 用于定义沟槽的大小、形状和位置。图形化光刻胶层 113 中的开口图案可以通过光照直接确定，也可以先通过光照进行图形定义，再通过间距倍增（pitch double）的方法进行实现。具体的实现方式可以根据埋入式栅极的宽度 W1 进行确定。示例地，宽度 W1 的取值范围可以是 5nm-80nm，例如 5nm、15nm、35nm、60nm 或 80nm。

S13：基于图形化光刻胶层 113 刻蚀掩膜层 112、初始刻蚀阻挡层 111；

S14：基于刻蚀后的掩膜层 112 及初始刻蚀阻挡层 111 刻蚀衬底 101，以形成沟槽 114，如图 4 所示。

示例地，通过光照定义好图形化光刻胶层 113 中的开口图案，该开口图案暴露掩膜层 112 的部分上表面。然后依次在掩膜层 112 和初始刻蚀阻挡层 111 中形成该开口图案。基于初始刻蚀阻挡层 111 中开口图案刻蚀衬底 101，形成如图 4 所示的沟槽 114。

形成沟槽 114 后，于沟槽 114 内形成栅极结构示例地，于沟槽 114 内形成栅极结构的步骤包括：

S15: 于基底 100 上、沟槽 114 的侧壁及底部形成栅氧化材料层 115, 如图 5 所示。

S16: 形成阻挡材料层 116, 阻挡材料层 116 覆盖栅氧化材料层 115, 如图 6 所示。

可选地, 栅氧化材料层 115 包括但不限于氧化层, 例如二氧化硅层。阻挡材料层 116 包括但不限于氮化钛层。栅氧化材料层 115 和阻挡材料层 116 的厚度为 1nm-10nm, 例如 1nm、5nm 或 10nm。栅氧化材料层 115 通过热氧化工艺形成, 阻挡材料层 116 通过物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺形成。在一些实施例中, 栅氧化材料层 115 也可以通过原子层沉积工艺形成, 因此栅氧化材料层 115 也可以覆盖初始刻蚀阻挡层 111。

S17: 形成主导电材料层 117, 位于沟槽 114 内的主导电材料层 117、位于沟槽 114 内的栅氧化材料层 115 及位于沟槽 114 内的阻挡材料层 116 共同填满沟槽 114, 如图 7 所示。

S18: 去除位于沟槽 114 内的部分及位于基底 100 上的主导电材料层 117、阻挡材料层 116 及栅氧化材料层 115, 以形成栅极结构 120, 如图 8 所示。

可选地, 形成主导电材料层 117 的材料包括但不限于金属钨。当主导电材料层 117、栅氧化材料层 115 和阻挡材料层 116 共同填满沟槽 114 后, 对各个材料层进行回刻。首先去除位于基底 100 上的主导电材料层 117、阻挡材料层 116 及栅氧化材料层 115, 然后对沟槽 114 内的主导电材料层 117、阻挡材料层 116 及栅氧化材料层 115 进行部分刻蚀, 以得到主导电层 123、阻挡层 122 和栅氧化层 121 共同组成的栅极结构 120, 如图 8 所示。其中, 栅氧化层 121 的顶面与沟槽 114 的顶面相平齐, 主导电层 123 的顶面低于沟槽 114 的顶面, 阻挡层 122 的顶面低于主导电层 123 的顶面。栅氧化层 121 可以降低第一刻蚀阻挡层 131 与衬底 101 之间的应力问题。通过控制阻挡层 122 的顶面低于主导电层 123 的顶面, 可以改善栅极结构发生的漏电流的情况, 提高半导体器件的性能。

在步骤 S20 中, 形成第一刻蚀阻挡层 131, 第一刻蚀阻挡层 131 覆盖栅极结构 120 的顶面、沟槽 114 的部分侧壁及基底 100 的上表面, 如图 9 所示。在本实施例中, 形成沟槽 114 后, 初始刻蚀阻挡层 111 可以无需去除, 可以保留在基底 100 上。在后续文本中, 基底 100 的上表面可以理解初始刻蚀阻挡层 111 和基底 100 共同组成的半导体结构的上表面。示例地, 第一刻蚀阻挡层 131 包括但不限于氮化硅层, 第一刻蚀阻挡层 131 的厚度为 5nm-20nm, 例如 5nm、10nm、15nm 或 20nm。第一刻蚀阻挡层 131 可以用于保护栅氧化层 121, 防止栅氧化层 121 被刻蚀。同时第一刻蚀阻挡层 131 还可以防止在后续的刻蚀过程中对沟槽 114 的侧壁产生影响, 从而防止或减少漏电的发生。

在步骤 S30 中, 于沟槽 114 内形成封闭隔离结构及空气间隙, 封闭隔离结构至少封堵沟槽 114 的开口, 空气间隙位于封闭隔离结构与第一刻蚀阻挡层 131 之间; 其中, 空气间隙至少包括横向部, 封闭隔离结构的底部位于横向部上。

在一个实施例中, 在形成封闭隔离层之前, 还包括在沟槽 114 内形成牺牲层, 形成牺牲层的步骤包括:

S311: 形成第一牺牲层 134 于沟槽 114 内, 如图 10 所示。

S312: 形成第二牺牲层 135 于第一牺牲层 134 上, 以填满沟槽 114, 如图 11 所示。

可选地, 第一牺牲层 134 包括但不限于二氧化硅层, 第一牺牲层 134 的厚度可以为 5nm-20nm, 例如 5nm、10nm、15nm 或 20nm。第二牺牲层 135 包括但不限于旋涂碳层 (SOC 层)。

S313: 对第一牺牲层 134 和第二牺牲层 135 进行刻蚀, 以使得第一牺牲层 134 的顶面低于第二牺牲层 135 的顶面; 其中, 第一牺牲层 134 的刻蚀速率大于第二牺牲层 135 的刻蚀速率。

示例地，可以先对第二牺牲层 135 进行回刻，使得第二牺牲层 135 的上表面与第一牺牲层 134 的上表面相平齐，如图 12a 所示。在对第二牺牲层 135 进行回刻的过程中，第二牺牲层 135（例如为 SOC 层）对第一牺牲层 134（例如为二氧化硅层）的刻蚀选择比大于 0。通过控制 SOC 层对二氧化硅层的刻蚀选择比大于 0，可以在回刻 SOC 层时，减少对二氧化硅层的刻蚀，以得到理想的半导体结构。在一些实施例中，还可以通过化学机械研磨工艺，使得第二牺牲层 135 的上表面与第一牺牲层 134 的上表面相平齐。

进一步地，以第二牺牲层 135（例如为 SOC 层）和第一刻蚀阻挡层 131（例如为氮化硅层）为掩膜层对第一牺牲层 134（例如为二氧化硅层）进行刻蚀，以使得第一牺牲层 134 的顶面低于第二牺牲层 135 的顶面，如图 12b 所示。其中，第一牺牲层 134 的刻蚀速率大于第二牺牲层 135 的刻蚀速率，例如，二氧化硅层对 SOC 层的刻蚀选择比可以为 5-10，例如 5、7、9 或 10。示例地，二氧化硅层对氮化硅层的刻蚀选择比可以为 5-20，例如 5、10、15 或 20。通过控制二氧化硅层对 SOC 层的刻蚀选择比为小于二氧化硅层对氮化硅层的刻蚀选择比，可以在刻蚀二氧化硅层的过程中，适当刻蚀去除一部分 SOC 层，同时尽量少地刻蚀氮化硅层，以得到如图 12b 所示的半导体结构。其中，第一牺牲层 134 位于第二牺牲层 135 两侧的部分高度相同。

S314: 移除第二牺牲层 135，以将保留的第一牺牲层 134 定义为牺牲层 136，如图 12c 所示。

示例地，提高 SOC 层对二氧化硅层和氮化硅层的刻蚀选择比，以完全刻蚀去除 SOC 层。其中，通过控制 SOC 层对二氧化硅层的刻蚀选择比，可以在去除 SOC 层时，控制对二氧化硅层的刻蚀程度，从而得到不同高度、不同厚度的牺牲层 136。牺牲层 136 的形状例如为凹形状。

在一个实施例中，位于沟槽 114 侧壁上的牺牲层 136 的高度相等，如图 12c 所示。

在一个实施例中，形成封闭隔离结构的步骤包括：

S321: 在沟槽内形成第二刻蚀阻挡层，第二刻蚀阻挡层暴露出部分第一刻蚀阻挡层；

S322: 在第二刻蚀阻挡层内形成封闭隔离层，封闭隔离层的底部高于或等于第二刻蚀阻挡层的底部。

在步骤 S321 中，形成第二刻蚀阻挡层的步骤包括：

S321a: 形成第二刻蚀阻挡材料层 138，第二刻蚀阻挡材料层 138 覆盖裸露的第一刻蚀阻挡层 131 的表面及牺牲层 136 的表面，如图 13 所示。

示例地，第二刻蚀阻挡材料层 138 包括但不限于氮化硅层，第二刻蚀阻挡材料层 138 的厚度为 2nm-8nm，例如 2nm、4nm、6nm 或 8nm。

S321b: 去除第一刻蚀阻挡层 131 上表面的第二刻蚀阻挡材料层 138 以及牺牲层 136 上表面的部分第二刻蚀阻挡材料层 138，以得到第二刻蚀阻挡层 139，如图 14 所示。

示例地，对第二刻蚀阻挡材料层 138 进行回刻，将位于沟槽 114 外且位于第一刻蚀阻挡层 131 上表面的第二刻蚀阻挡材料层 138 去除，并且，将位于沟槽 114 内且位于牺牲层 136 上表面的部分第二刻蚀阻挡材料层 138 去除，以得到第二刻蚀阻挡层 139，第二刻蚀阻挡层 139 暴露出部分牺牲层 136，如图 14 所示。同时由于牺牲层 136 的存在，因此使得第二刻蚀阻挡层 139 呈现出上宽下窄的形状，也就是第二刻蚀阻挡层 139 上部的宽度大于第二刻蚀阻挡层 139 下部的宽度，因此当在沟槽 114 内沉积材料时，由于第二刻蚀阻挡层 139 的下部较窄，因此可以更容易将第二刻蚀阻挡层 139 的底部封住。

在步骤 S322 中，在形成封闭隔离层之前，还包括：通过湿法工艺移除牺牲层 136，以形成空气间隙 150，如图 15 所示。

在一些实施例中，在形成牺牲层 136 时，牺牲层 136 的横向部分也可以为倾斜的，因此形成的横向部 153 也可以是倾斜的，倾斜的横向部 153 也可以增加空气间隙的面积，因此可以提高隔离效果。

如图 15 所示，在一实施例中，通过湿法刻蚀工艺完全移除牺牲层 136，得到空气间隙 150。空气间隙 150 包括横向部 153、第一竖直部 151 和第二竖直部 152。其中，第一竖直部 151 和第二竖直部 152 的高度相等。

形成空气间隙 150 后，在第二刻蚀阻挡层 139 内形成封闭隔离层 141，封闭隔离层 141 的底部高于或等于第二刻蚀阻挡层 139 的底部，如图 16 所示。

示例地，可以采用快速封口工艺，向沟槽 114 内的第二刻蚀阻挡层 139 之间填充隔离材料，并对隔离材料的上表面执行平整工艺，以形成封口隔离层 141。封口隔离层 141 和第二刻蚀阻挡层 139 共同组成封闭隔离结构 140。其中，封口隔离层 141 的底部高于第二刻蚀阻挡层 139 的底部，或者封口隔离层 141 的底部与第二刻蚀阻挡层 139 的底部相平齐。隔离材料可以包括但不限于氮化硅。

在一个实施例中，如图 16 所示，封闭隔离结构 140 上部的宽度大于封闭隔离结构 140 下部的宽度。

上述半导体结构的制备方法，通过巧妙地设计牺牲层 136 的形状，可以在沟槽 114 内形成具有阶梯状的、上宽下窄的第二刻蚀阻挡层 139，从而使得在填充隔离材料形成封口隔离层 141 时，降低工艺难度，更好地控制隔离材料的填充程度，确保封口隔离层 141 的底部高于第二刻蚀阻挡层 139 的底部，或者与第二刻蚀阻挡层 139 的底部相平齐，减少隔离材料填充空气间隙 150 的情况，也就是避免隔离材料接触栅极结构 120 上的第一刻蚀阻挡层 131。在本实施例中，第一刻蚀阻挡层 131 和牺牲层 136 的材料不同，因此在刻蚀牺牲层 136 时不会对第一刻蚀阻挡层 131 产生影响。第一刻蚀阻挡层 131 还可以用于保护栅极结构 120，防止主导电层 123 的材料向外扩散，同时还可以改善后续形成的位线接触窗与栅极结构 120 之间的短路。

在一个实施例中，空气间隙 150 还包括第一竖直部 151 和第二竖直部 152，第一竖直部 151 与第二竖直部 152 通过横向部 153 连通，第一竖直部 151 和第二竖直部 152 分别位于第一刻蚀阻挡层 131 与封闭隔离结构 140 之间，如图 16 所示。

形成封口隔离层 141 后，得到完整的封闭隔离结构 140。第一竖直部 151 和第二竖直部 152 位于封闭隔离结构 140 与第一刻蚀阻挡层 131 之间。其中，第一竖直部 151 和第二竖直部 152 分别位于封闭隔离结构 140 下部相对的两侧，第一竖直部 151 与第二竖直部 152 通过横向部 153 连通。第一竖直部 151、第二竖直部 152 和横向部 153 共同组成空气间隙 150。

在一个实施例中，第一竖直部 151 和第二竖直部 152 的高度相同，如图 16 所示。在某些实施方式中，第一竖直部 151 和第二竖直部 152 的高度不同。

上述半导体结构的制备方法，通过在埋入式栅极所在的沟槽内形成空气间隙，利用空气的介电常数小、隔离效果好的特性，更好地将栅极两边的有源区进行隔离，减小了相邻金属栅极之间的耦合效应。此外，空气间隙具有横向部，可以增加空气间隔的面积以及横向隔离的宽度，隔离效果更佳，耦合效应更低。

在本申请的一个实施例中，还公开另外一种形成牺牲层 136 的方法。示例地，在形成第二牺牲层 135 之后，执行如下步骤：

S313a: 在第二牺牲层 135 上形成光阻层 137，光阻层 137 仅覆盖位于第二牺牲层 135 一侧的

第一牺牲层 134，如图 17 所示。

通过对光阻层 137 覆盖范围的精准控制，如图 17 所示，光阻层 137 的侧壁与沟槽 114 内第二牺牲层 135 的外侧侧壁对齐，从而可以仅覆盖部分第一牺牲层 134。

S313b：对第二牺牲层 135 和第一牺牲层 134 进行刻蚀，并移除光阻层 137，以使得位于第二牺牲层 135 两侧的第一牺牲层 134 的高度不等。

示例地，基于光阻层 137 刻蚀部分第一牺牲层 134 和部分第二牺牲层 135，暴露出第一刻蚀阻挡层 131 的部分上表面，如图 18 所示。其中，第一牺牲层 134 和第二牺牲层 135 对光阻层 137 的刻蚀选择比均大于 1。

进一步地，移除光阻层 137，继续刻蚀第二牺牲层 135，以去除基底 100 上表面的第二牺牲层 135，得到图 19 所示的半导体结构。其中，位于第二牺牲层 135 两侧的第一牺牲层 134 的高度不等。

S313c：继续刻蚀第一牺牲层 134 和第二牺牲层 135，使得第二牺牲层 135 的顶部高于第一牺牲层 134 的顶部，如图 20 所示。

示例地，在图 19 所示半导体结构的基础上，以第二牺牲层 135（例如为 SOC 层）和第一刻蚀阻挡层 131（例如为氮化硅层）为掩膜层对第一牺牲层 134（例如为二氧化硅层）进行刻蚀。示例地，二氧化硅层对 SOC 层的刻蚀选择比可以为 5-10，二氧化硅对氮化硅层的刻蚀选择比可以为 5-20，例如 5、10、15 或 20。通过控制二氧化硅层对 SOC 层的刻蚀选择比为 5-10，以及二氧化硅层对氮化硅层的刻蚀选择比为 5-20，可以在刻蚀过程中提高对二氧化硅层的刻蚀速度，减小对 SOC 层和氮化硅层的刻蚀速度，以达到主要刻蚀二氧化硅层的目的。并且，二氧化硅层对氮化硅层的刻蚀选择比可以大于二氧化硅层对 SOC 层的刻蚀选择比，从而使得在刻蚀二氧化硅层的过程中，适当多地刻蚀部分 SOC 层，尽量少地刻蚀氮化硅层，以得到如图 20 所示的半导体结构。其中，第一牺牲层 134 位于第二牺牲层 135 两侧的部分具有高度差。示例地，高度差可以是 5nm-20nm，例如 5nm、10nm、15nm 或 20nm。

S313d：移除第二牺牲层 135，以将保留的第一牺牲层 134 定义为牺牲层 136，如图 21 所示。

示例地，提高 SOC 层对二氧化硅层和氮化硅层的刻蚀选择比，以完全刻蚀去除 SOC 层。其中，通过控制 SOC 层对二氧化硅层的刻蚀选择比，可以控制对二氧化硅层的刻蚀程度，从而得到不同高度、不同厚度的牺牲层 136。在本实施例中，位于沟槽 114 侧壁上的牺牲层 136 的高度不等，如图 21 所示。

形成牺牲层 136 后，基于与前述实施例中 S321-S322 相同的步骤，依次形成第二刻蚀阻挡层 139 和封口隔离层 141，形成带有空气间隙 150 的半导体结构，如图 22 所示。

在本实施例中，通过改进牺牲层 136 的制备工艺，可以在空气间隙 150 中形成不同高度的竖直部，如图 22 所示，第二竖直部 152 的高度大于第一竖直部 151 的高度。通过上述方法形成的半导体结构，可以进一步增加空气间隙体积，增强隔离效果，进一步减小相邻金属栅极之间的耦合效应。

如图 17-图 18，图 23 所示，在一些实施例中，首先在第二牺牲层 135 上形成光阻层 137，光阻层 137 未完全覆盖第二牺牲层 135。以图 17 中左侧的沟槽 114 为例，光阻层 137 暴露出第二牺牲层 135 的左侧区域，也就是说光阻层 137 暴露出位于第二牺牲层 135 左侧的第一牺牲层 134。然后以光阻层 137 为掩膜，对暴露出的第二牺牲层 135 进行刻蚀，然后对第一牺牲层 134 进行刻蚀，因此可以将位于第二牺牲层 135 左侧的第一牺牲层 134 完全刻蚀掉，暴露出底部的第一刻蚀阻挡

层 131，因此会在第二牺牲层 135 的左侧形成间隙。本实施例可以通过干法刻蚀工艺刻蚀第一牺牲层 134，因此可以减少工艺时间。然后在沟槽 114 中形成封闭隔离层 140，由于第二牺牲层 135 左侧的第一牺牲层 134 被刻蚀掉，因此封闭隔离层 140 会与沟槽 114 的侧壁接触，也就是封闭隔离层 140 会与第一刻蚀阻挡层 131 接触，因此不会在第二牺牲层 135 的左侧形成空气间隙。类似地，在图 17 右侧的沟槽 114 中，第二牺牲层 135 右侧的第一牺牲层 134 也会被完全刻蚀去除，暴露出底部的第一刻蚀阻挡层 131，从而在第二牺牲层 135 的右侧形成间隙。形成封闭隔离层 140 后，封闭隔离层 140 会填满该间隙，因此也不会第二牺牲层 135 的右侧形成空气间隙，如图 23 所示。

如图 23 所示，在一些实施例中，该空气间隙 150 包括横向部 153 和第二竖直部 152，第二竖直部 152 和横向部 153 连通。该空气间隙 150 的形成步骤可以参考上述描述，在此不在阐述。该空气间隙 150 仅包括第二竖直部 152，这样可以起到隔离效果。

本申请的另一个实施例公开了一种半导体结构，如图 16 所示。该半导体结构包括基底 100、第一刻蚀阻挡层 131、封闭隔离结构 140 和空气间隙 150。其中，基底 100 包括沟槽 114，沟槽 114 内形成有栅极结构 120，栅极结构 120 的顶面低于沟槽 114 的顶面；第一刻蚀阻挡层 131 覆盖栅极结构 120 的顶面、沟槽 114 的部分侧壁及基底 100 的上表面；封闭隔离结构 140 位于沟槽 114 内的第一刻蚀阻挡层 131 之间，封闭隔离结构 140 至少封堵沟槽 114 的开口；空气间隙 150 位于第一刻蚀阻挡层 131 与封闭隔离结构 140 之间，空气间隙 150 至少包括横向部 153，封闭隔离结构 140 的底部位于横向部 153 上。在一些实施例中，该横向部 153 例如为水平部或倾斜部。

上述半导体结构，通过在埋入式栅极所在的沟槽内设置空气间隙，利用空气介电常数最小、隔离效果好的特性，更好地将栅极两边的有源区进行隔离，减小了相邻金属栅极之间的耦合效应。并且，由于空气间隙 150 具有横向部 153，因而可以增加空气隔离的面积以及横向隔离的宽度，隔离效果更佳，耦合效应更低。

示例地，本实施例中的基底 100 包括但不限于硅基底。形成第一刻蚀阻挡层 131 和封闭隔离结构 140 的材料包括但不限于氮化硅。通过在封闭隔离结构 140 与第一刻蚀阻挡层 131 之间设置空气间隙 150，可以充分利用空气介电常数小、隔离效果好的特性，更好地将栅极两边的有源区进行隔离，减小了相邻金属栅极之间的耦合效应。并且，由于空气间隙 150 具有横向部 153，因而可以增加空气隔离的面积以及横向隔离的宽度，隔离效果更佳，耦合效应更低。

在一个实施例中，请继续参考图 16，空气间隙 150 还包括：第一竖直部 151 和第二竖直部 152，分别位于封闭隔离结构 140 下部相对的两侧；第一竖直部 151 和第二竖直部 152 的底部与横向部 153 相连通。

在一个实施例中，如图 16 所示，第一竖直部 151 的高度与第二竖直部 152 的高度相等。

在一个实施例中，如图 22 所示，第一竖直部 151 的高度与第二竖直部 152 的高度不等。与图 16 所示的半导体结构相比，本实施例中空气间隙 150 的第二竖直部 152 高于第一竖直部 151，可以进一步增加空气间隙体积，增强隔离效果，进一步减小相邻金属栅极之间的耦合效应。

在一个实施例中，如图 16 所示，封闭隔离结构 140 包括：第二刻蚀阻挡层 139 和封口隔离层 141；第二刻蚀阻挡层 139 部分贴附于第一刻蚀阻挡层 131 的侧壁；封口隔离层 141 位于第二刻蚀阻挡层 139 之间，与第二刻蚀阻挡层 139 共同封堵沟槽 114 的开口。

在一个实施例中，如图 16 所示，封闭隔离结构 140 上部的宽度大于下部的宽度；其中，第二刻蚀阻挡层 139 的上部贴附于第一刻蚀阻挡层 131 的侧壁，第二刻蚀阻挡层 139 的下部与第一刻蚀阻挡层 131 的侧壁之间具有第一间距。

上宽下窄的封闭隔离结构 140 可以确保对沟槽 114 的开口的封闭效果，而且，第二刻蚀阻挡层 139 的下部与第一刻蚀阻挡层 131 的侧壁之间具有第一间距，该间距使得空气间隙 150 具有竖直部，从而可以利用空气介电常数小、隔离效果好的特性，将栅极两边的有源区进行隔离，减小了相邻金属栅极之间的耦合效应。

在一个实施例中，如图 16 所示，栅极结构 120 包括由外到内依次叠置的栅氧化层 121、阻挡层 122 及主导电层 123；其中，栅氧化层 121 的顶面与沟槽 114 的顶面相平齐，主导电层 123 的顶面低于沟槽 114 的顶面，阻挡层 122 的顶面低于主导电层 123 的顶面。通过将阻挡层 122 的顶面设置为低于主导电层 123 的顶面，可以改善栅极结构发生的漏电流的情况，提高半导体性能。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本公开的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本公开构思的前提下，还可以做出若干变形和改进，这些都属于本公开的保护范围。因此，本公开专利的保护范围应以所附权利要求为准。

权利要求书

1、一种半导体结构，包括：

基底，包括沟槽，所述沟槽内包括栅极结构，所述栅极结构的顶面低于所述沟槽的顶面；

第一刻蚀阻挡层，覆盖所述栅极结构的顶面、所述沟槽的部分侧壁及所述基底的上表面；

封闭隔离结构，位于所述沟槽内的所述第一刻蚀阻挡层之间，所述封闭隔离结构至少封堵所述沟槽的开口；

空气间隙，位于所述第一刻蚀阻挡层与所述封闭隔离结构之间，所述空气间隙至少包括横向部，所述封闭隔离结构的底部位于所述横向部上。

2、根据权利要求1所述的半导体结构，其中，所述空气间隙还包括至少一竖直部，所述竖直部位于所述封闭隔离结构的下部，所述竖直部连通所述横向部。

3、根据权利要求1所述的半导体结构，其中，所述空气间隙还包括第一竖直部和第二竖直部，所述第一竖直部和所述第二竖直部分别位于所述封闭隔离结构下部相对的两侧，所述第一竖直部和所述第二竖直部的底部与所述横向部相连通。

4、根据权利要求3所述的半导体结构，其中，所述第一竖直部的高度与所述第二竖直部的高度相等或不等。

5、根据权利要求1所述的半导体结构，其中，所述封闭隔离结构包括：

第二刻蚀阻挡层和封口隔离层；

所述第二刻蚀阻挡层部分贴附于所述第一刻蚀阻挡层的侧壁；

所述封口隔离层位于所述第二刻蚀阻挡层之间，与所述第二刻蚀阻挡层共同封堵所述沟槽的开口。

6、根据权利要求5所述的半导体结构，其中，所述第二刻蚀阻挡层上部的宽度大于下部的宽度；其中，所述第二刻蚀阻挡层的上部贴附于所述第一刻蚀阻挡层的侧壁，所述第二刻蚀阻挡层的下部与所述第一刻蚀阻挡层的侧壁之间具有第一间距。

7、根据权利要求1所述的半导体结构，其中，所述栅极结构包括由外到内依次叠置的栅氧化层、阻挡层及主导电层；

其中，所述阻挡层的顶面低于所述主导电层的顶面，所述主导电层的顶面低于所述沟槽的顶面。

8、一种半导体结构的制备方法，包括：

提供基底，所述基底包括沟槽，于所述沟槽内形成栅极结构，所述栅极结构的顶面低于所述沟槽的顶面；

形成第一刻蚀阻挡层，所述第一刻蚀阻挡层覆盖所述栅极结构的顶面、所述沟槽的部分侧壁及所述基底的上表面；

于所述沟槽内形成封闭隔离结构及空气间隙，所述封闭隔离结构至少封堵所述沟槽的开口，所述空气间隙位于所述封闭隔离结构与所述第一刻蚀阻挡层之间；

其中，所述空气间隙至少包括横向部，所述封闭隔离结构的底部位于所述横向部上。

9、根据权利要求8所述的半导体结构的制备方法，其中，在形成所述封闭隔离结构之前，还包括在所述沟槽内形成牺牲层，形成所述牺牲层的步骤包括：

形成第一牺牲层于所述沟槽内；

形成第二牺牲层于所述第一牺牲层上，以填满所述沟槽；

对所述第一牺牲层和所述第二牺牲层进行刻蚀，以使得所述第一牺牲层的顶面低于所述第二牺牲层的顶面；其中，所述第一牺牲层的刻蚀速率大于所述第二牺牲层的刻蚀速率；

移除所述第二牺牲层，以将保留的所述第一牺牲层定义为牺牲层。

10、根据权利要求 9 所述的半导体结构的制备方法，其中，位于所述沟槽侧壁上的所述牺牲层的高度相等。

11、根据权利要求 9 所述的半导体结构的制备方法，其中，在形成所述第二牺牲层之后，对所述第一牺牲层和所述第二牺牲层进行刻蚀之前还包括：

在所述第二牺牲层上形成光阻层，所述光阻层仅覆盖位于所述第二牺牲层一侧的所述第一牺牲层；

对所述第二牺牲层和所述第一牺牲层进行刻蚀，并移除所述光阻层，以使得位于所述第二牺牲层两侧的所述第一牺牲层的高度不等。

12、根据权利要求 8 所述的半导体结构的制备方法，其中，所述封闭隔离结构的上部宽度大于所述封闭隔离结构下部的宽度。

13、根据权利要求 9 所述的半导体结构的制备方法，其中，形成所述封闭隔离结构的步骤包括：

在所述沟槽内形成第二刻蚀阻挡层，所述第二刻蚀阻挡层暴露出部分所述第一刻蚀阻挡层；

在所述第二刻蚀阻挡层内形成封闭隔离层，所述封闭隔离层的底部高于或等于所述第二刻蚀阻挡层的底部。

14、根据权利要求 13 所述的半导体结构的制备方法，其中，在形成所述封闭隔离层之前，还包括：

通过湿法工艺移除所述牺牲层，以形成所述空气间隙。

15、根据权利要求 8 所述的半导体结构的制备方法，其中，所述空气间隙包括至少一竖直部，所述横向部连接所述竖直部，所述竖直部位于所述第一刻蚀阻挡层和所述封闭隔离层之间。

16、根据权利要求 15 所述的半导体结构的制备方法，其中，所述空气间隙包括第一竖直部和第二竖直部，所述第一竖直部和所述第二竖直部通过所述横向部连通，所述第一竖直部的高度和所述第二竖直部的高度相等或不等。

17、根据权利要求 16 所述的半导体结构的制备方法，其中，所述第一竖直部和所述第二竖直部分别位于所述第一刻蚀阻挡层与所述封闭隔离结构之间。

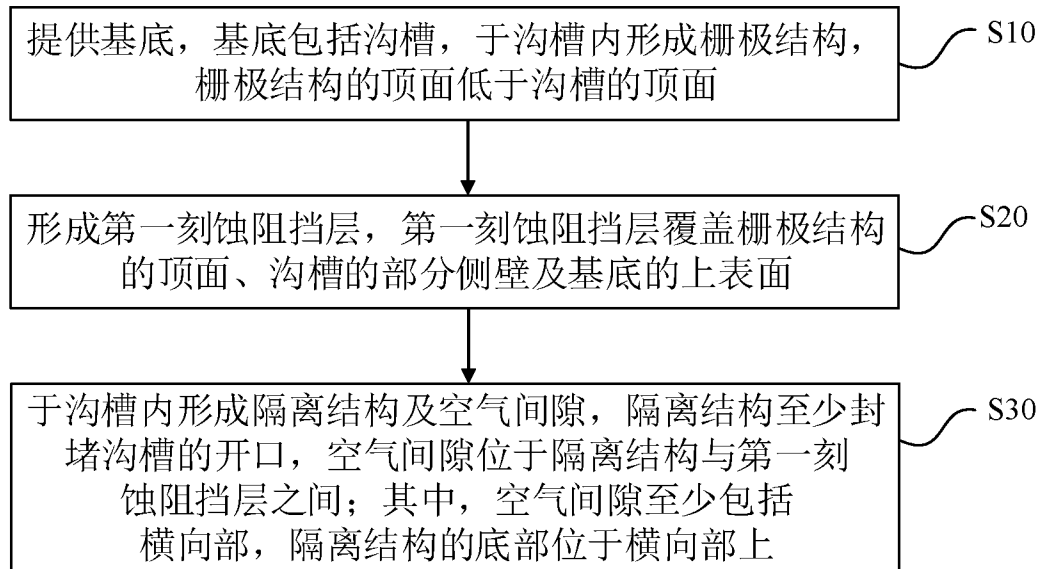


图 1

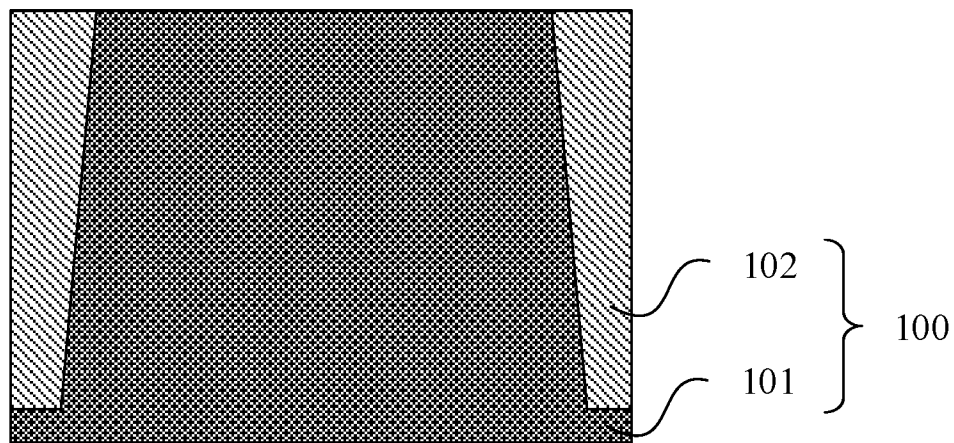


图 2

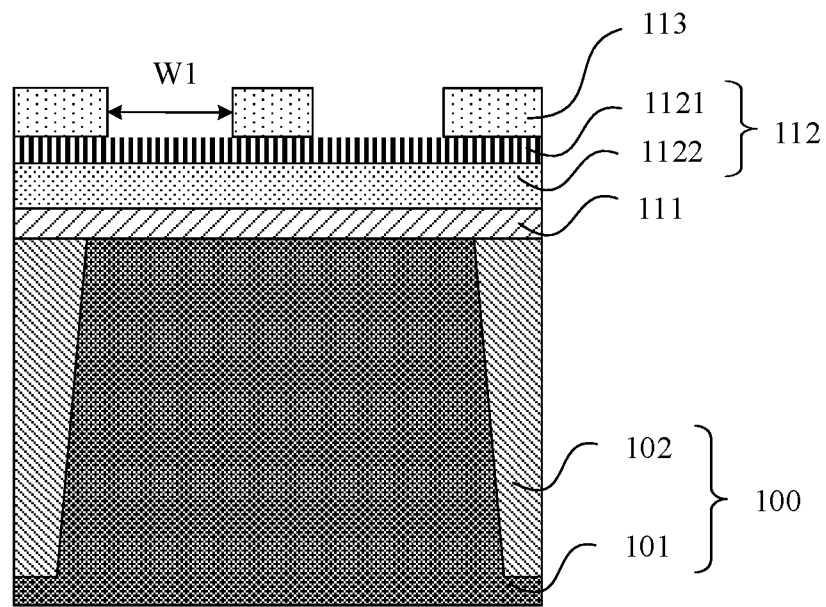


图 3

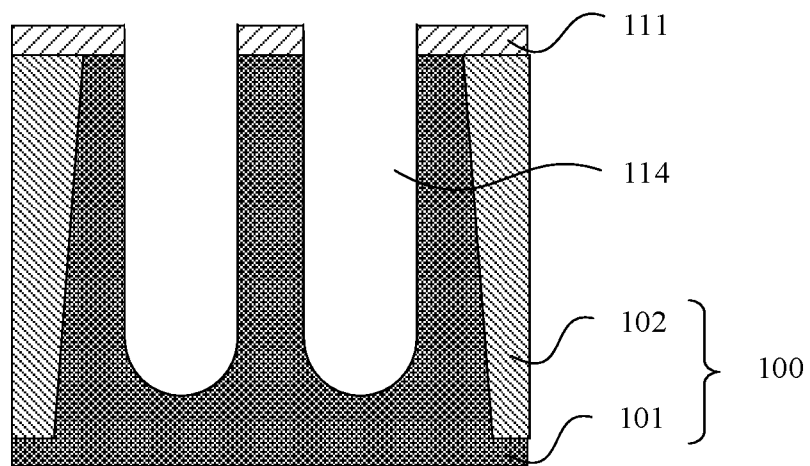


图 4

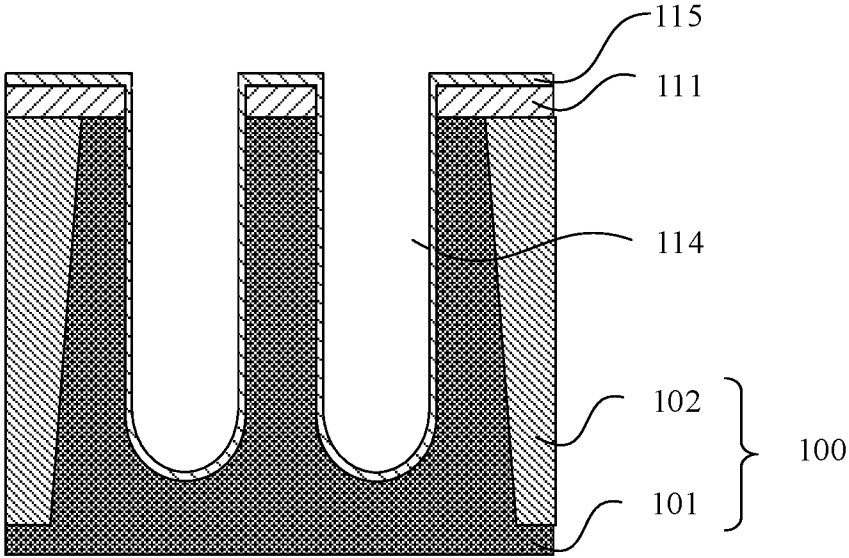


图 5

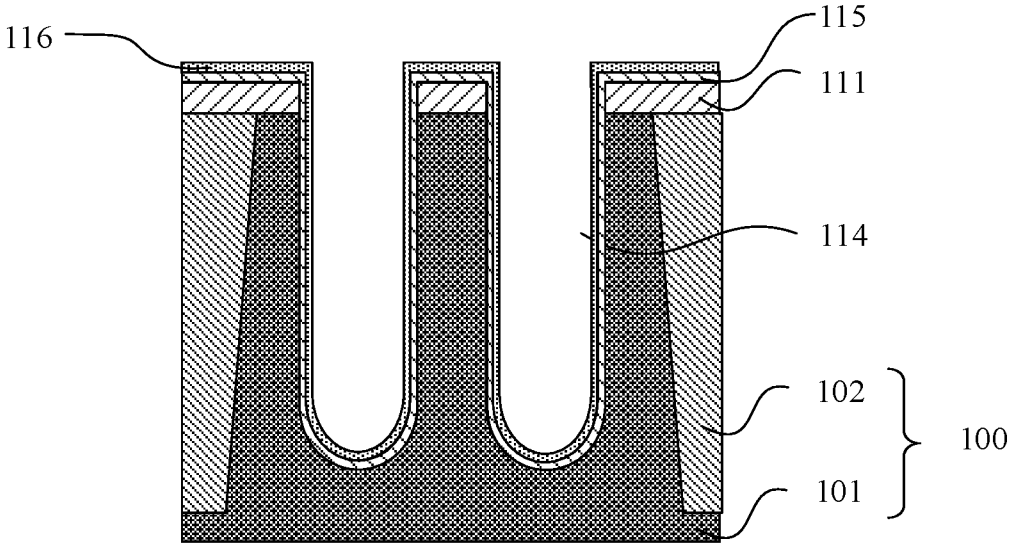


图 6

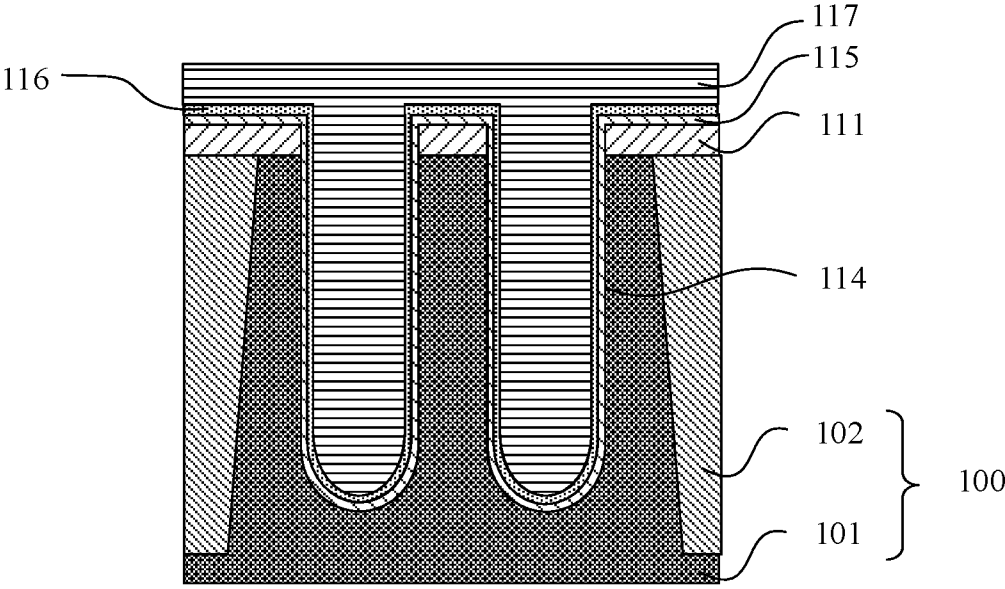


图 7

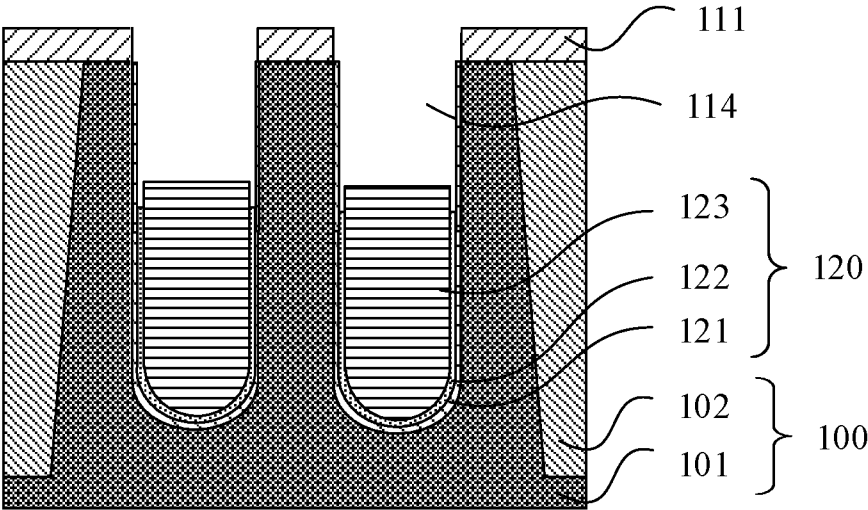


图 8

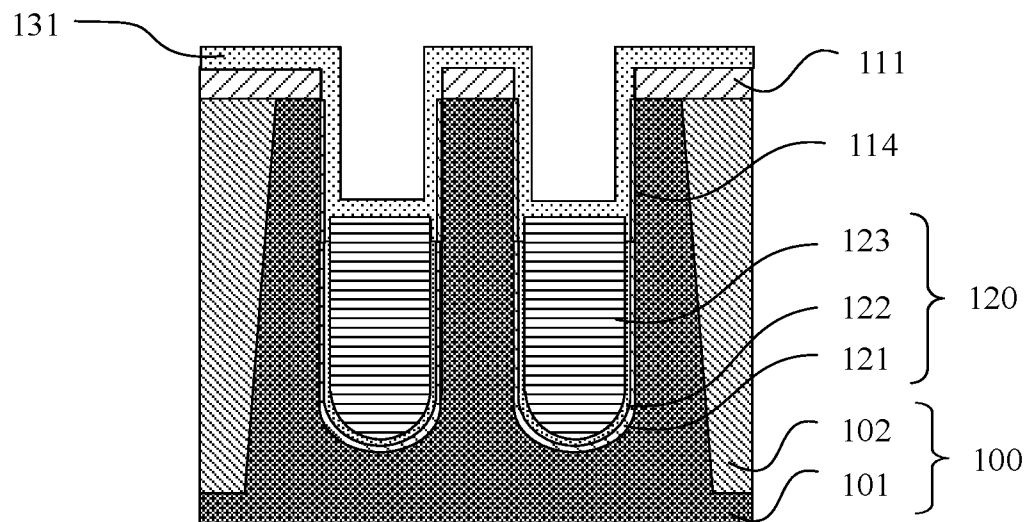


图 9

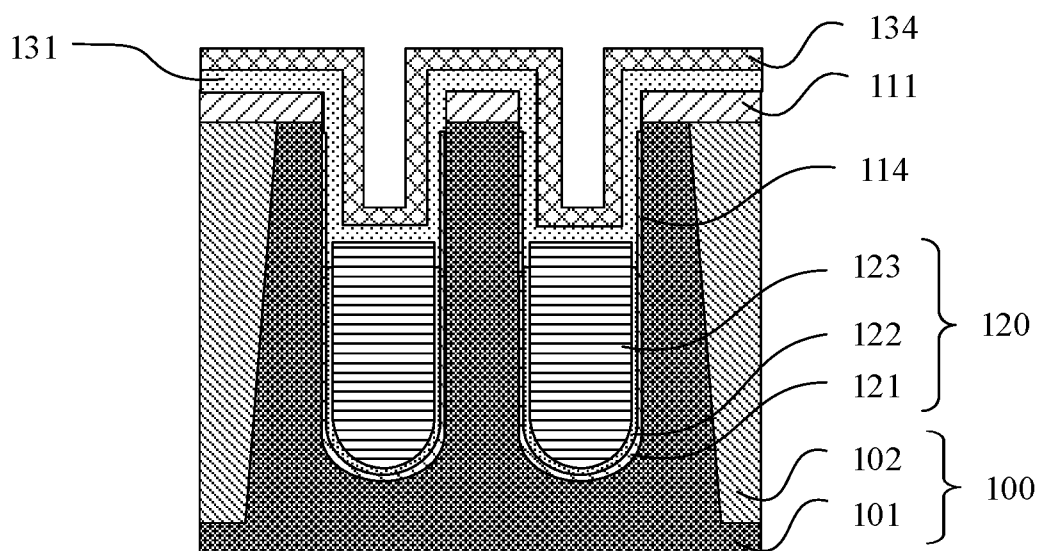


图 10

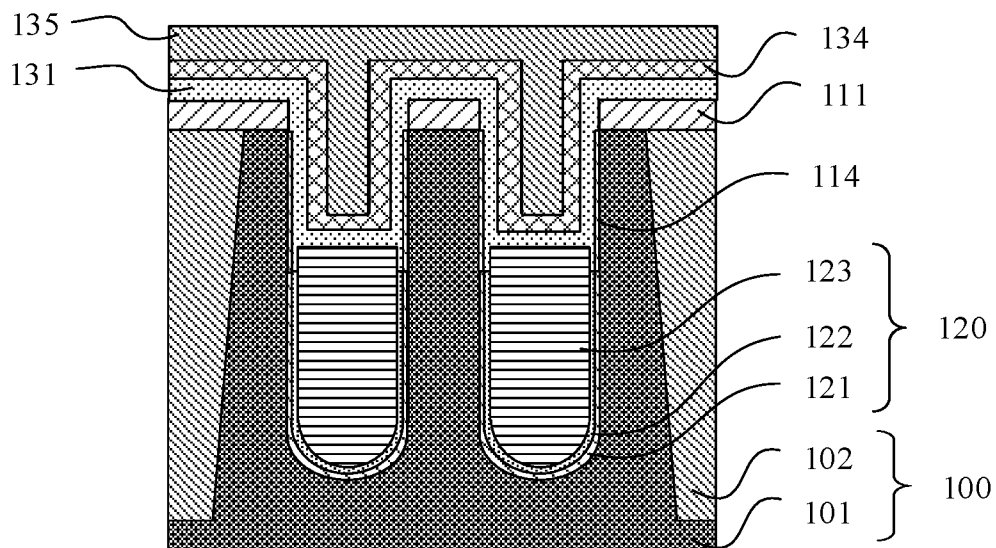


图 11

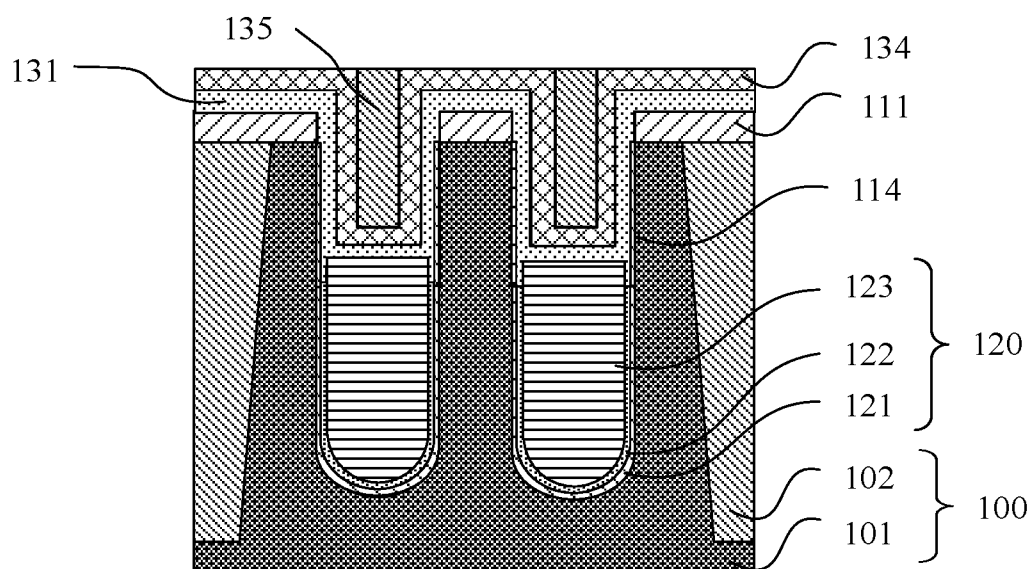


图 12a

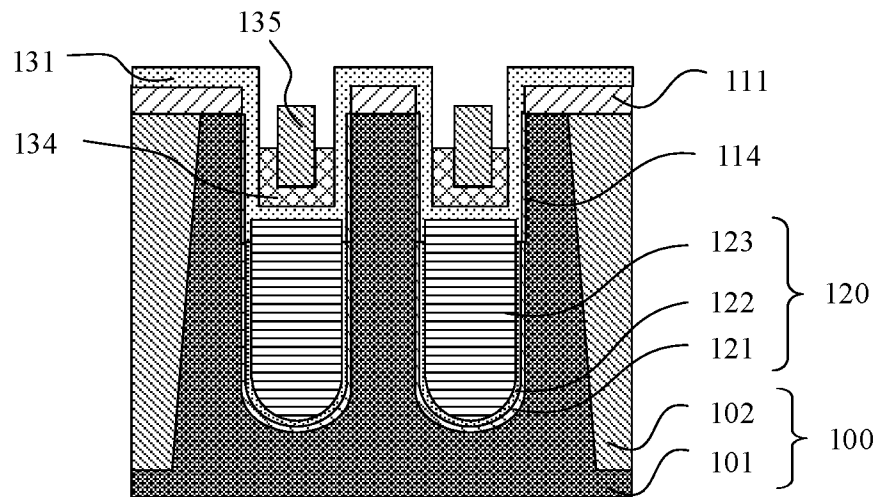


图 12b

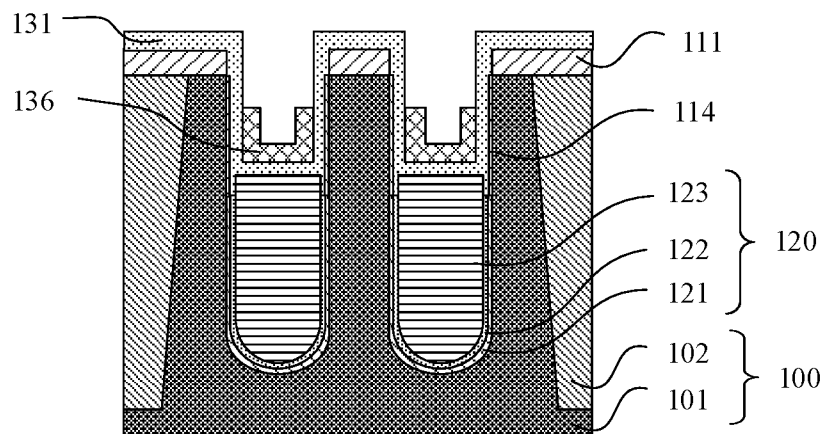


图 12c

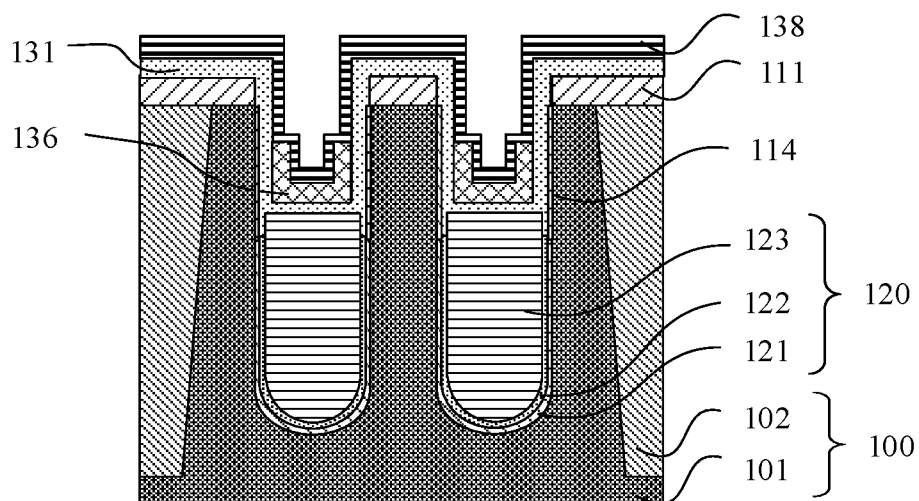


图 13

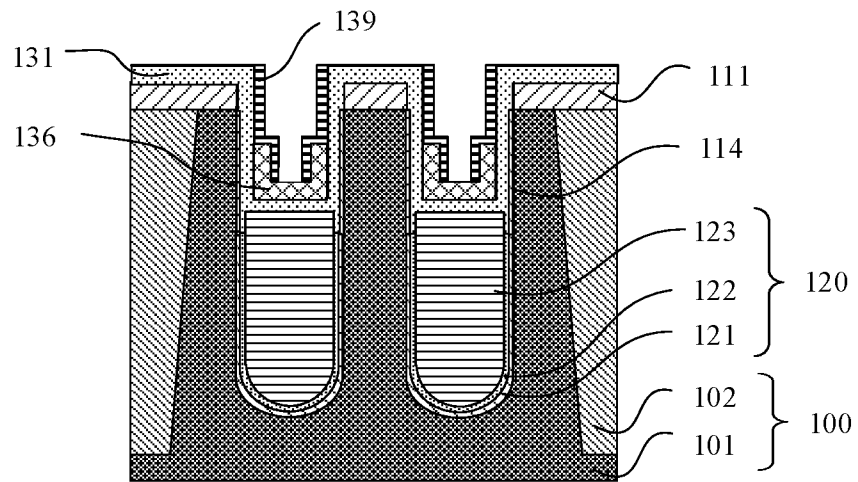


图 14

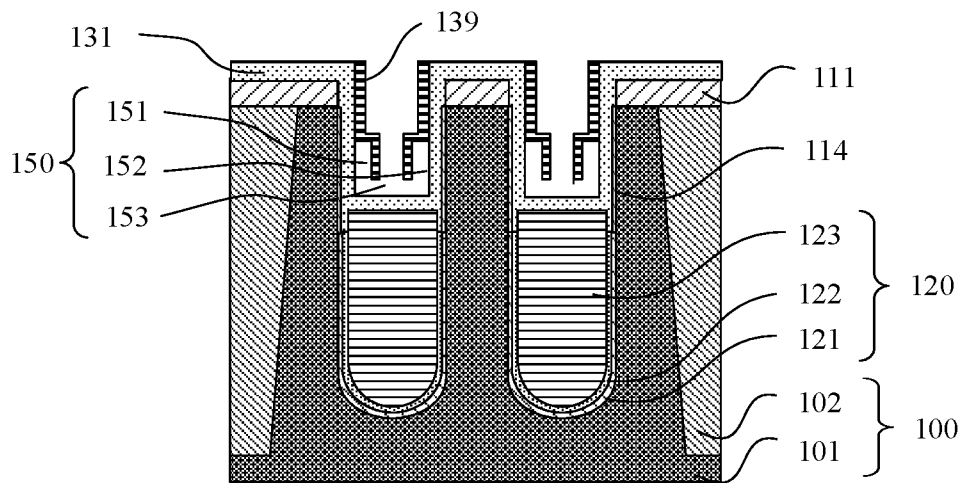


图 15

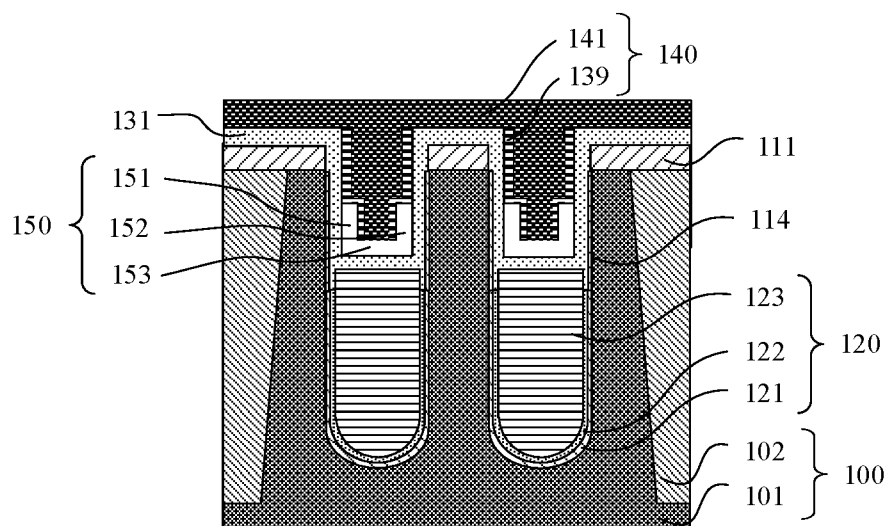


图 16

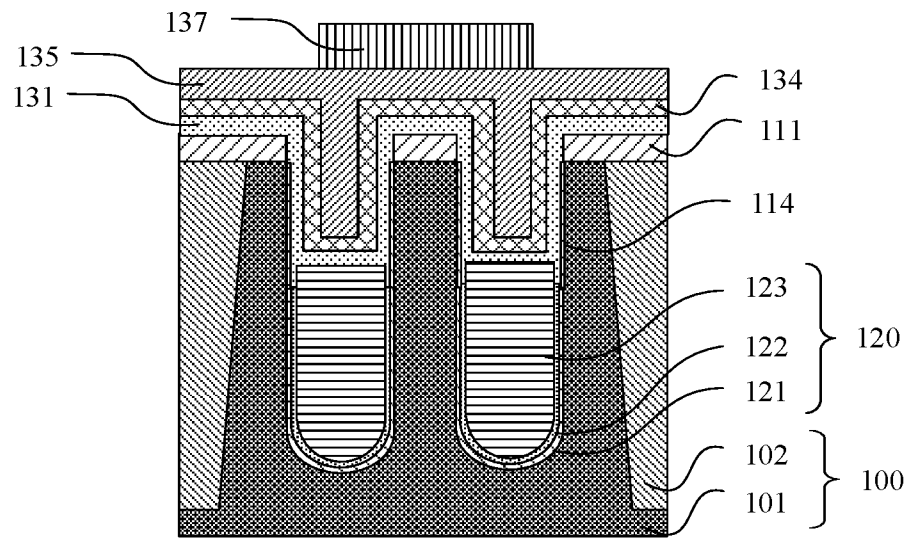


图 17

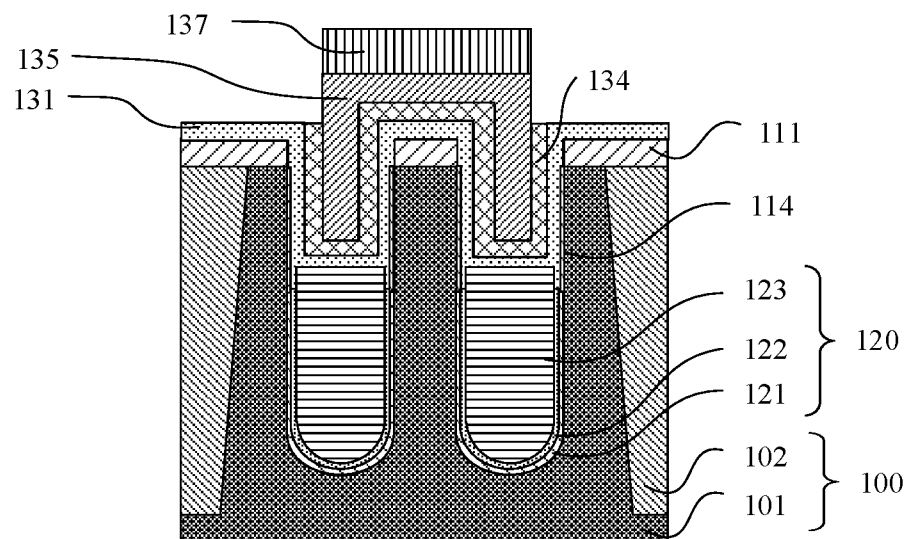


图 18

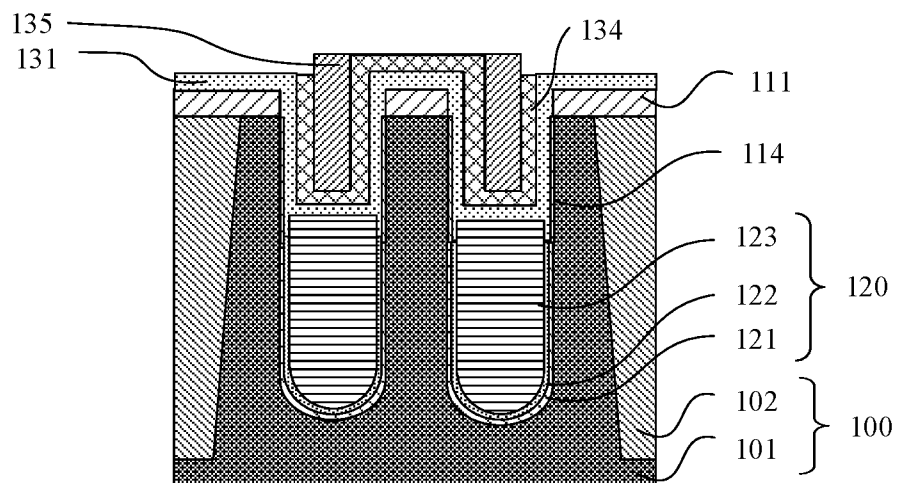


图 19

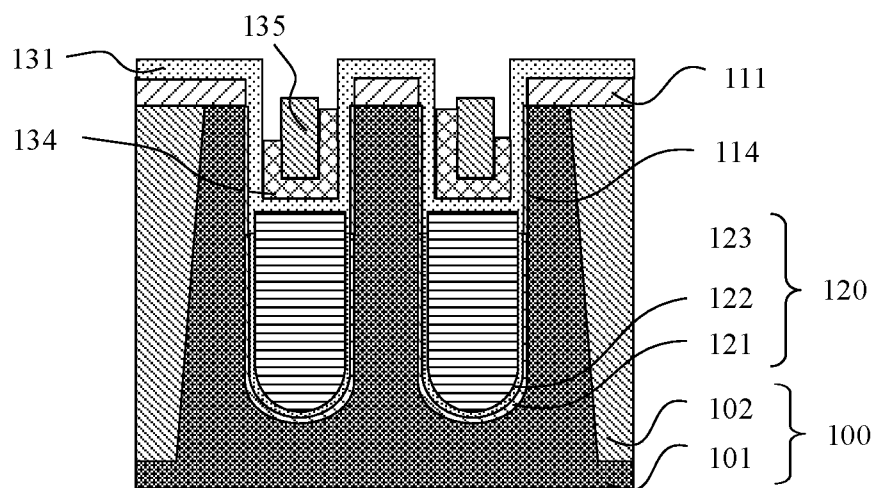


图 20

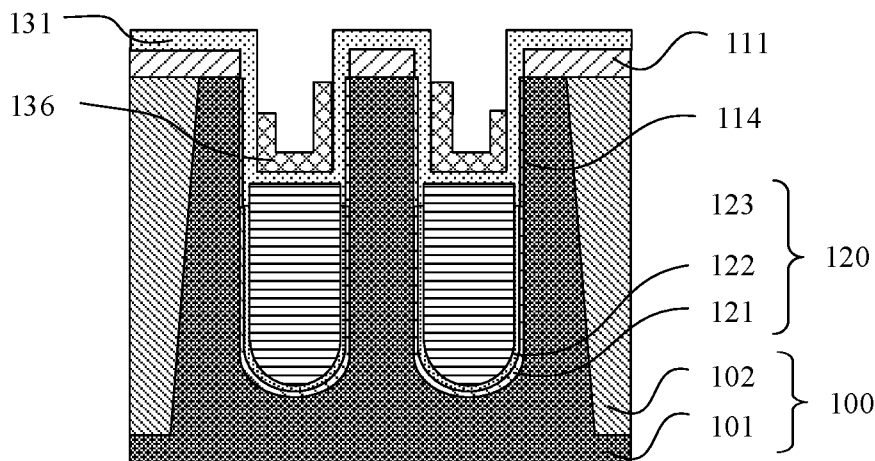


图 21

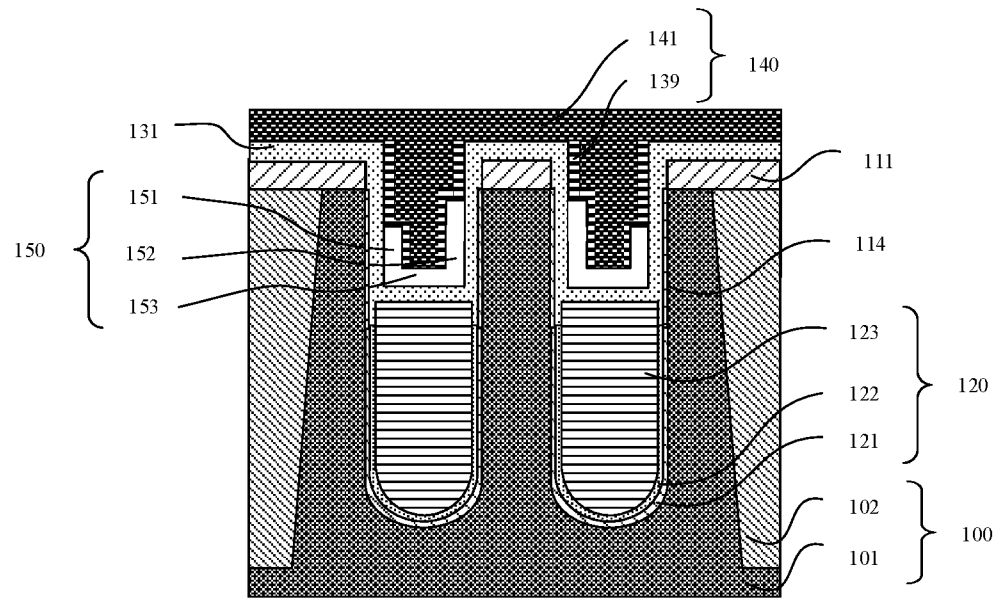


图 22

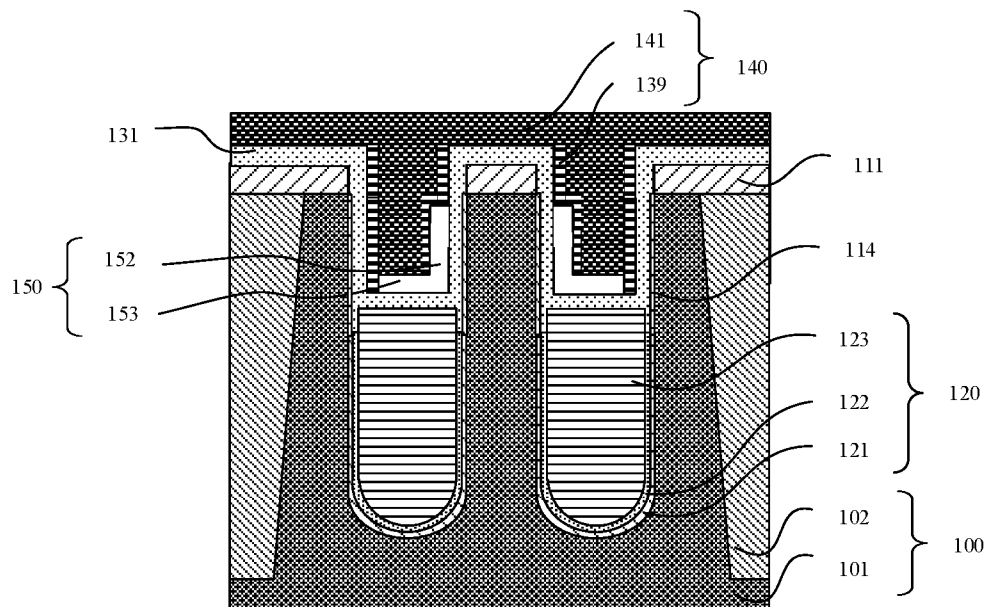


图 23

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/092962

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/088(2006.01)i; H01L 27/108(2006.01)i; H01L 21/8234(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; WOTXT; EPTXT: 长鑫存储, 气隙, 空隙, 空气腔, 空气隙, 空气间隙, 隔离, 牺牲, 密封, 封闭, 栅, 刻蚀停止, 蚀刻停止, air gap, air-gap, void?, isolat+, sacrific+, seal+, gate?, etch-stop+, etch+ stop+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 113380888 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 10 September 2021 (2021-09-10) description, paragraphs [0017]-[0055], and figures 1A-16E	1, 2, 5, 7, 8
A	CN 113380888 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 10 September 2021 (2021-09-10) description, paragraphs [0017]-[0055], and figures 1A-16E	3, 4, 6, 9-17
A	CN 106057804 A (SAMSUNG ELECTRONICS CO., LTD.) 26 October 2016 (2016-10-26) entire document	1-17
A	CN 103715134 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.) 09 April 2014 (2014-04-09) entire document	1-17
A	CN 113053884 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 29 June 2021 (2021-06-29) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 July 2022

Date of mailing of the international search report

20 July 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/092962

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113380888	A	10 September 2021	KR	20210148843	A	08 December 2021
				DE	102020131611	A1	02 December 2021
				US	2021375664	A1	02 December 2021
CN	106057804	A	26 October 2016	TW	201701469	A	01 January 2017
				KR	20160122909	A	25 October 2016
				US	2016308008	A1	20 October 2016
				US	10043873	B2	07 August 2018
				KR	102317651	B1	27 October 2021
				CN	106057804	B	01 February 2022
CN	103715134	A	09 April 2014	CN	103715134	B	25 May 2016
CN	113053884	A	29 June 2021	DE	102020111378	A1	21 October 2021
				KR	20210128307	A	26 October 2021
				TW	202141730	A	01 November 2021
				US	2021327813	A1	21 October 2021

国际检索报告

国际申请号

PCT/CN2022/092962

A. 主题的分类

H01L 27/088(2006.01)i; H01L 27/108(2006.01)i; H01L 21/8234(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;VEN;USTXT;WOTXT;EPTXT: 长鑫存储, 气隙, 空隙, 空气腔, 空气隙, 空气间隙, 隔离, 牺牲, 密封, 封闭, 栅, 刻蚀停止, 蚀刻停止, air gap, air-gap, void?, isolat+, sacrific+, seal+, gate?, etch-stop+, etch+ stop+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 113380888 A (台湾积体电路制造股份有限公司) 2021年9月10日 (2021 - 09 - 10) 说明书第[0017]-[0055]段, 图1A-16E	1、2、5、7、8
A	CN 113380888 A (台湾积体电路制造股份有限公司) 2021年9月10日 (2021 - 09 - 10) 说明书第[0017]-[0055]段, 图1A-16E	3、4、6、9-17
A	CN 106057804 A (三星电子株式会社) 2016年10月26日 (2016 - 10 - 26) 全文	1-17
A	CN 103715134 A (中芯国际集成电路制造上海有限公司) 2014年4月9日 (2014 - 04 - 09) 全文	1-17
A	CN 113053884 A (台湾积体电路制造股份有限公司) 2021年6月29日 (2021 - 06 - 29) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年7月5日

国际检索报告邮寄日期

2022年7月20日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

王雪梅

电话号码 (86-512) 88995945

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/092962

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113380888	A	2021年9月10日	KR	20210148843	A	2021年12月8日
				DE	102020131611	A1	2021年12月2日
				US	2021375664	A1	2021年12月2日
CN	106057804	A	2016年10月26日	TW	201701469	A	2017年1月1日
				KR	20160122909	A	2016年10月25日
				US	2016308008	A1	2016年10月20日
				US	10043873	B2	2018年8月7日
				KR	102317651	B1	2021年10月27日
				CN	106057804	B	2022年2月1日
CN	103715134	A	2014年4月9日	CN	103715134	B	2016年5月25日
CN	113053884	A	2021年6月29日	DE	102020111378	A1	2021年10月21日
				KR	20210128307	A	2021年10月26日
				TW	202141730	A	2021年11月1日
				US	2021327813	A1	2021年10月21日