发明名称
具有嵌壁式浅沟的隔离结构的半导体制造方法及存储器电路

摘要
在一些实施例中，提供一种存储器集成电路。存储器集成电路具有不同的具有浅沟的隔离结构于存储器集成电路的存储器电路及存储器集成电路的控制电路之中。隔离电路结构是以不同的程度填充具有浅沟的隔离结构的沟槽。在一些实施例中，提供一种存储器集成电路。存储器集成电路具有存储器电路，存储器电路具有浅沟的隔离结构及中间区域。存储器电路提供一信道，信道介于邻近的非挥发性存储器装置之间，用以提供数个具有不同方向的电流组件。在一些实施例中，是形成具有嵌壁式浅沟的隔离结构。
1. 一种半导体的制造方法，包括：

形成复数个具有浅沟的隔绝结构于一晶片中对应于复数个存储器装置的至少复数个区域上，该形成这些具有浅沟的隔绝结构的步骤包括：

形成这些具有浅沟的隔绝结构的复数个沟渠；

沉积一隔绝介电结构于这些沟渠内及这些沟渠之间的复数个中间区域上；

移除该隔绝介电结构，直到至少覆盖这些中间区域的该隔绝介电结构自该晶片中对应于这些存储器装置的至少这些区域上被移除为止；以及

在该移除覆盖这些中间区域的该隔绝介电结构的步骤后，至少自该晶片中对应于这些存储器装置的至少这些区域内的这些沟渠部分移除该隔绝介电结构。

2. 如权利要求1所述的方法，其特征在于还包括：

形成复数个非挥发性存储器装置于该晶片中对应于这些存储器装置的这些区域。

3. 如权利要求1所述的方法，其特征在于还包括：

形成复数个非挥发性存储器装置串行于该晶片中对应于这些存储器装置的这些区域。

4. 如权利要求1所述的方法，其特征在于还包括：

形成复数个非挥发性存储器装置于该晶片中对应于这些存储器装置的这些区域，该形成这些非挥发性存储器装置的步骤包括：

形成复数个电荷储存结构；

形成一个或多个介电结构，其中至少部分的这些介电结构设置于这些电荷储存结构及一基板区域之间；以及

形成复数个栅极电压源，且至少部分的这些介电结构设置于这些电荷储存结构及这些栅极电压源之间。

5. 如权利要求1所述的方法，其特征在于还包括：

形成复数个非挥发性存储器装置串行于该晶片中对应于这些存储器装置
装置的这些区域，该形成这些非挥发性存储器装置串行的步骤包括：

形成这些电荷存储结构；

形成多个介电结构，其中至少部分的这些介电结构设置于这些电荷存储结构及其基板区域之间；以及

形成多个栅极电压源，且至少部分的这些介电结构设置于这些电荷存储结构及其基板电压源之间。

6. 如权利要求1所述的方法，其特征在于还包括：

注入至少部分的这些基板区域。

7. 如权利要求1所述的方法，其特征在于还包括：

形成多个具有浅沟的隔绝结构于该晶片中对应于一控制电路的至少复数个区域中，使得这些具有浅沟的隔绝结构形成于该晶片中对应于这些存储器装置的这些区域与这些具有浅沟的隔绝结构形成于该晶片中对应于该控制电路的这些区域不同。

8. 如权利要求1所述的方法，其特征在于还包括：

形成多个具有浅沟的隔绝结构于该晶片中对应于一控制电路的至少复数个区域上，该形成这些具有浅沟的隔绝结构的步骤包括：

形成这些具有浅沟的隔绝结构的沟渠；

沉积一隔绝介电于这些沟渠内及这些沟渠之间的复数个中间区域上；及

移除该隔绝介电，直到至少该覆盖这些中间区域的该隔绝介电自该晶片中对应于控制电路的至少这些区域上移除为止。

9. 如权利要求1所述的方法，其特征在于还包括：

形成一耦接于这些存储器装置的控制电路，该控制电路包括一设置于这些存储器装置的能带至能带电流组件，用以读取该存储器装置的数据。

10. 如权利要求1所述的方法，其特征在于还包括：

形成一耦接于这些存储器装置的控制电路，该控制电路用以测量一电流组件，该电流组件是流动于这些存储器装置中的一基板区域及一电流终端之间，该控制电路用以读取该存储器装置的数据。

11. 如权利要求1所述的方法，其特征在于这些具有浅沟的隔绝结构的这
些沟渠的上边缘为锐利的。

12. 如权利要求 1 所述的方法，其特征在于这些具有深沟的隔绝结构的这些沟渠的上边缘为圆滑的。

13. 一种存储器集成电路，包括：
   - 一种存储器电路，包括：
     - 复数个第一具有深沟的隔绝结构，包括一第一隔绝介电结构，该第一隔绝介电结构部分填满复数个存储器电路沟渠；
   - 一控制电路，其耦接于该存储器电路，该控制电路包括复数个第二具有深沟的隔绝结构，包括一第二隔绝介电结构，该第二隔绝介电结构较该第一隔绝介电结构部分填满这些存储器电路沟渠时还填满复数个控制电路沟渠。

14. 如权利要求 13 所述的电路，其特征在于该第二隔绝介电结构较该第一隔绝介电结构部分填满这些存储器电路沟渠时还填满这些控制电路沟渠，使得该第二隔绝介电结构完全填满这些控制电路沟渠。

15. 如权利要求 13 所述的电路，其特征在于该第一隔绝介电结构是部分填满该存储器电路的这些沟渠，使得该第一隔绝介电结构的特征在于这些存储器电路沟渠的上边缘及该第一隔绝介电结构之间具有有一第一深度范围；
   - 其中，该第二隔绝介电结构较该第一隔绝介电结构部分填满这些存储器电路沟渠时还填满这些控制电路沟渠，使得该第二隔绝介电结构的特征在于这些存储器电路沟渠的上边缘及该第二隔绝介电结构之间具有有一第二深度范围；
   - 其中，该第二深度范围的平均值比该第一深度范围的平均值浅。

16. 如权利要求 13 所述的电路，其特征在于该第一隔绝介电结构是部分填满这些存储器电路沟渠，使得该第一隔绝介电结构的特征在于这些存储器电路沟渠的上边缘及该第一隔绝介电结构之间具有有一第一深度范围；
   - 其中，该第二隔绝介电结构较该第一隔绝介电结构部分填满这些存储器电路沟渠时还填满这些控制电路沟渠，使得一第一组的该第二隔绝介电结构完全填满这些控制电路沟渠，且一第二组的该第二隔绝介电结构的特征在于这些存储器电路沟渠的上边缘及该第二隔绝介电结构之间具有有一第二深度范围。
深度范围：
其中，该第二深度范围的平均值比该第一深度范围的平均值浅。

17. 如权利要求13所述的电路，其特征在于该存储器电路还包括：
复数个非挥发性存储器结构，包括：
复数个电荷储存结构；
一个或多个介电结构，其中至少部分的这些介电结构是设置于这些电荷储存结构及该基板区域之间；
复数个栅极电压源，至少部分的这些介电结构设置于这些电荷储存结构及这些栅极电压源之间；
其中，这些非挥发性存储器结构至少部分填充这些存储器电路沟渠。

18. 如权利要求13所述的电路，其特征在于该存储器电路还包括：
复数个非挥发性存储器结构串行，包括：
复数个电荷储存结构；
一个或多个介电结构，其中至少部分的这些介电结构是设置于这些电荷储存结构及该基板区域之间；
复数个栅极电压源，且至少部分的该介电结构是设置于这些电荷储存结构及这些栅极电压源之间；
其中，这些非挥发性存储器结构至少部分填充这些存储器电路沟渠。

19. 如权利要求13所述的电路，其特征在于该存储器电路还包括复数个非挥发性存储器结构，用以形成复数个非挥发性存储器装置；
其中，该控制电路包括一能带至能带电流组件，其位于这些存储器装置中，用以读取这些存储器装置的数据。

20. 如权利要求13所述的电路，其特征在于该存储器电路还包括复数个非挥发性存储器结构，用以形成复数个非挥发性存储器装置，
其中，该控制电路测量一电流组件，其流动于这些存储器装置中的一基板区域及一电流终端之间，用以读取这些存储器装置的数据。

21. 如权利要求13所述的电路，其特征在于这些第一具有浅沟的隔绝结构的这些存储器电路沟渠的上边缘为锐利的。

22. 如权利要求13所述的电路，其特征在于这些第一具有浅沟的隔绝结
构的这些存储器电路沟渠的上边缘为圆滑的。

23. 一种存储器集成电路，包括：

一存储器电路，包括：

复数个具有浅沟的隔绝结构，其沿着一基板的一方向设置，这些具有浅沟的隔绝结构包括一第一隔绝介电结构，该第一隔绝介电结构是部分填充复数个存储器电路沟渠；

复数个中间区域，其位于这些存储器电路沟渠之间，这些中间区域是沿着该基板的该方向设置，这些中间区域包括：

复数个非挥发性存储器结构，用以形成复数个非挥发性存储器装置，每一该非挥发性存储器结构包括：

一电荷储存结构；及

一个或多个介电质结构，其中至少部分的该介电结构是设置于这些电荷储存结构及一基板区域之间，且至少部分的该介电结构是设置于这些电荷储存结构及复数个栅极电压源之间，

其中，该存储器电路提供一信道，其介于邻近的这些用以分享这些中间区域的一普通中间区域的非挥发性存储器装置之间，该信道用以提供一具有有一第一方向的第一电流组件及一具有有一第二方向的第二电流组件，该第一方向是由至少一相邻于该普通中间区域的具有浅沟的隔绝结构的沟渠所定义，该第二方向是由该普通中间区域的一表面所定义。

24. 如权利要求 23 所述的电路，其特征在于还包括：

一控制电路，其耦接于该存储器电路。

25. 如权利要求 23 所述的电路，其特征在于还包括：

一控制电路，其耦接于该存储器电路，其中该控制电路提供一信道，该信道是介于邻近的复数个控制单元之间，用以提供一具有有一信号方向的电流组件。

26. 如权利要求 23 所述的电路，其特征在于还包括：

复数个非挥发性存储器结构，其用以形成复数个非挥发性存储器装置串行。

27. 如权利要求 23 所述的电路，其特征在于还包括：
复数个非挥发性存储器结构，其用以沿着该基板的该方向设置形成复数个非挥发性存储器装置串行。

28. 如权利要求 23 所述的电路，其特征在于还包括：

一控制电路，其耦接于该存储器电路，其特征在于该控制电路包括一能带至能带电流组件，其位于由这些非挥发性存储器结构所形成的复数个非挥发性存储器装置中，用以读取这些非挥发性存储器装置的数据。

29. 如权利要求 23 所述的电路，其特征在于还包括：

一控制电路，其耦接于该存储器电路，其中该控制电路测量一电流组件，其流动于由这些非挥发性存储器结构所形成的复数个存储器装置中的一基板区域及一电流终端之间，用以读取这些存储器装置的数据。

30. 如权利要求 23 所述的电路，其特征在于这些具有浅沟的隔绝结构的这些存储器电路沟渠的上边缘为锐利的。

31. 如权利要求 23 所述的电路，其特征在于这些具有浅沟的隔绝结构的这些存储器电路沟渠的上边缘为圆滑的。
具有嵌壁式浅沟的隔绝结构的半导体制造方法及存储器电路

技术领域

本发明有关一种电子可编程且可抹除的非挥发性存储器，且特别是有关一种具有嵌壁式浅沟的隔绝结构的非挥发性存储器。

背景技术

以电荷储存结构为基础的电子可编程且可抹除的非挥发性存储器的技术已被作为各种不同的现代应用，其中电荷储存结构例如熟知的 EEPROM 及闪存（flash memory）。数个存储胞结构可以被使用为 EEPROM 及闪存。当集成电路的整体尺寸缩小时，存储胞的尺寸也会缩小，连同通道宽度也会跟着缩小。如此装置等级将会减少读取电流的大小。减少读取电流的后果将会造成存取时间的递减，其中存取时间更为存储器的临界性能参数。

因此，如何研发一能够减少非挥发性存储器在尺寸等级缩小时所引发的效能递减现象的非挥发性存储胞，是一必须解决的问题。

发明内容

于不同实施例中包括一存储器集成电路，该存储器集成电路具有不同的具有浅沟的隔绝结构。第一种具有浅沟的隔绝结构是设置于一存储器集成电路的存储器电路中，第一种具有浅沟的隔绝结构还具有不完全填充隔绝介电结构的沟渠。

第二种具有浅沟的隔绝结构是设置于存储器集成电路的控制电路中，第二种具有浅沟的隔绝结构还具有相较于第一种具有浅沟的隔绝结构更完全填充隔绝介电结构的沟渠。隔绝介电结构填充沟渠的不同程度是变化于不同的实施例。例如在一实施例中，隔绝介电结构完全填充沟渠。在另一例子中，隔绝介电结构是以另一深度范围填充沟渠，深度为沟渠上边缘至隔绝介电结
构的深度。本实施例的深度范围的平均值是比第一种具有浅沟的隔绝结构来的浅。第二种具有浅沟的隔绝结构的另一例子中，一些隔绝介电结构完全填充沟渠，而另一些隔绝介电结构是以另一深度范围填充沟渠，深度为沟渠上边缘至隔绝介电结构的深度。

在一些实施例中，存储器电路具有非挥发性存储器结构，是至少部分填充存储器电路沟渠。例如电荷储存结构、栅极电压源、介于电荷储存结构的介电结构及介于电荷储存结构的基板区域。不同的实施例具有不同的非挥发性存储器组织，例如虚拟接地阵列（virtual ground arrays）、NOR 型阵列、NAND 型阵列及非挥发性存储胞串行。

在一些实施例中，存储器电路包括非挥发性存储器结构，用以形成非挥发性存储器装置。控制电路测量一电流组件。电流组件是流动于基板区域之间及一电流终端，电流终端设置于存储器装置中，用以读取存储器装置的数据。例如，控制电路包括一能带-能带电流组件于存储器装置中，用以读取存储器装置的数据。

在不同的实施例中，存储器电路包括具有浅沟的隔绝结构及中间区域的存储器电路，中间区域是介于存储器电路沟渠之间。具有浅沟的隔绝结构及中间区域皆沿着基板的方向设置。具有浅沟的隔绝结构的隔绝介电结构是不完全填充沟渠。介于存储器电路之间的中间区域具有非挥发性存储器结构。

存储器电路提供一介于邻近非挥发性存储器装置之间的信道，用以分享介于具有浅沟的隔绝结构之间的一般中间区域。信道提供具有不同方向的数个电流组件。一电流组件具有从一连接一具有浅沟的隔绝结构的一沟渠至一般中间区域的方向。另一电流组件具有从一般中间区域表面至具有浅沟的隔绝结构的方向。由于信道提供具有浅沟的隔绝结构方向的外加电流组件，较大的电流通过此存储器集成电路所提供。因此补偿递减的特征大小以及对应的递减电流的递减效应。

非挥发性存储器结构可为非挥发性存储器串行，例如是沿着基板的一般方向。并且以具有浅沟的隔绝结构的方向及介于存储器电路沟渠之间的中间区域的方向。

在某些实施例中，控制电路耦接于存储器电路。在一实施例中，控制电
路中邻近的控制组件具有单一的电流组件方向。在某些实例中，控制电路测量介于基板区域及存储器装置端电终端之间的电流组件，用以读取存储器装置的数据。例如控制电路包括一存储器装置中能带-能带电流组件，用以读取存储器装置的数据。

不同的实施例中，具有浅沟的隔绝结构的半导体制造程序描述于此。具有浅沟的隔绝结构是形成于晶片上不同的区域，例如是晶片上对应于存储器装置的区域及晶片上对应于控制电路的区域。

具有浅沟的隔绝结构是形成于晶片上对应存储器装置的区域上。首先形成具有浅沟的隔绝结构的沟渠。接着，沉积隔绝绝缘结构于沟渠内及介于沟渠之间的中间区域上。移除隔绝绝缘结构，直到至少覆盖中间区域的隔绝绝缘电结构被移除。然后，至少部分移除沟渠内的隔绝绝缘结构。沟渠位于晶片上对应于存储器装置的区域。该方法还可以应用于补片的中间区域。

具有浅沟的隔绝结构是同样地形成于晶片上对应于控制电路的区域上。使得形成于晶片上对应于存储器装置及对应于控制电路的具有浅沟的隔绝结构不同。例如是在移除隔绝绝缘电结构直到至少覆盖中间区域的隔绝绝缘电结构被移除的步骤后，沟渠内的隔绝绝缘电结构未被移除。

在某些实施例的方法包括形成非挥发性存储器装置，例如非挥发性存储器装置串行。

在某些实施例中，具有浅沟的隔绝结构的沟渠的上边缘为锐利的或圆滑的，借此释放薄膜上的应力。

为让本发明的上述目的、特点和优点能更明显易懂，下文特举较佳实施例，并配合附图进行详细说明如下：

**附图说明**

图 1A 至图 1H 绘示是依照本发明的较佳实施例的具有嵌壁式浅沟的隔绝结构的制造流程图。

图 2 绘示具有嵌壁式浅沟的隔绝结构的截面示意图，其中具有嵌壁式浅沟的隔绝结构提供一含有一方向的电流的电流通道。

图 3 绘示具有嵌壁式浅沟的隔绝结构的截面示意图，其中具有嵌壁式浅沟的
隔绝结构提供一含有多方向的电流的电流通道。

图 4 绘示具有单方向与多方向电流的电流通道的具有嵌壁式浅沟的隔绝结构的电压-电流曲线比较示意图。

图 5 至图 7 绘示具有多方向电流的电流通道的具有嵌壁式浅沟的隔绝结构的截面示意图。

图 8 绘示清除动作执行于存储器阵列的电荷储存在存储胞阵列的示意图。

图 9 绘示一程序化动作执行于一部份的选择的存储胞阵列的电荷储存在存储胞阵列的示意图。

图 10 绘示一程序化动作执行于另一部分的选择的存储胞阵列的电荷储存在存储胞阵列的示意图。

图 11 绘示一读取动作执行于一部份的选择的存储胞阵列的电荷储存在存储胞阵列的示意图。

图 12 绘示一读取动作执行于另一部份的选择的存储胞阵列的电荷储存在存储胞阵列的示意图。

图 13A 绘示一读取动作执行于电荷储存结构的源极的电荷储存在存储胞的示意图。

图 13B 绘示一读取动作执行于对应于漏极的部份的电荷储存结构的电荷储存在存储胞的示意图。

图 14A 至图 14C 绘示其它具有不同电荷储存结构的非挥发性存储胞的示意图。

图 15 绘示在同一基板上具有不同具有浅沟的隔绝结构的存储器电路及控制电路的示意图。

图 16 绘示具有一电荷储存在存储胞及控制电路的集成电路示意图。

具体实施方式

请同时参照图 1A~1H，其绘示是依照本发明的较佳实施例的具有嵌壁式浅沟的隔绝结构的制作工序剖面图。

如图 1A 所示，一氮化硅结构（silicon nitride structure）110 形成于一基板 100 上，基板 100 为一典型的硅（silicon）。氮化硅结构 110 形成于
一衬垫氧化层（pad oxide）上。当大量的晶格不匹配（lattice mismatch）或其它的机械应力产生时，衬垫氧化层用以作为氮化硅结构 110 及基板 100 之间的应力缓冲。当以下所述的氧化层形成时，氮化硅结构 110 是用以作为一扩散阻障层(diffusion barrier)。

如图 1B 所示，以蚀刻基板 100 的方式，形成数个沟渠 120 于硅基板 100 内。沟渠 120 是形成于以下的步骤之后：涂布一光阻层于基板的表面，并以一光罩图案化光阻层，光罩是定义具有浅沟的隔绝结构的图案。然后，移除并清洗光阻层。

如图 1C 所示，填满氧化层 130 于沟渠 120 内。氧化层 130 亦是沉积于沟渠 120 之间的氮化硅结构 110 的区域上。氧化层是经由以一化学气相沉积工序（Chemical vapor deposition，CVD）所形成，例如是一高密度等离子沉积工序(high density plasma deposition，HDP)。或者是以一退火法的旋转涂布氧化硅（spin on glass）的方法来形成氧化层。

如图 1D 所示，隔绝氧化层 130 的表面是以化学研磨法（chemical mechanical polishing，CMP）平坦化氧化层所形成。剩余的隔绝氧化层 132 具有一平滑的表面。这时候，沉积于沟渠 120 之间区域并位于氮化硅结构 110 上的氧化层已被移除。平坦化工序对于 CVD 氧化沉积工序后所留下的不平坦的晶片表面是有效的。可选择的，若采用以退火法的 SOG 制作工序，则平坦化工序可以省略。通过超研磨（over-polishing），氧化层的表面高度可减至氮化硅结构 110 的表面高度，氧化层可通过调整 CMP 时间或全性手段（overall recipe）而被控制或移除。

如图 1E 所示，作为扩散阻障层的氮化硅结构 110 在氧化层形成的过程中已被移除。同时，衬垫氧化层也被移除。

如图 1F 所示，在沟渠 120 中的部分氧化层被移除。剩下的氧化层 134 凹陷于沟渠 120 内。湿蚀刻或干蚀刻皆可被使用。从沟渠 120 的上边缘（top edge）至氧化层的深度约 5nm 至 200nm。较佳地是以 50nm 为例作说明。适当的深度可利用源极及漏极的接合深度（junction depth）来指定。

如图 1G 所示，形成非挥发性存储器结构 140。非挥发性存储器结构 140 包括电荷储存结构及氧化结构。
如图 1H 所示，形成字符线 150。字符线 150 是由多晶硅或金属硅化合物所形成。

图 2 绘示具有嵌壁式浅沟的隔绝结构的截面示意图，其中具有嵌壁式浅沟的隔绝结构提供一含有一方向的电流的电流通道。此种具有浅沟的隔绝结构是用于对应于控制电路的晶片上的区域。箭号 200 绘示位于邻近组件之间的电流信道内的电流方向。此电流方向是由两个具有浅沟的隔绝结构之间的中间区域表面所定义。

图 3 绘示具有嵌壁式浅沟的隔绝结构的截面示意图，其中具有嵌壁式浅沟的隔绝结构提供一含有多方向的电流的电流通道。此种具有浅沟的隔绝结构用于对应于控制电路的晶片上的区域。箭号 300 绘示位于邻近组件之间的电流信道内的电流的方向。相较于图 2，此结构增加了一外加的电流方向，是以具有浅沟的隔绝结构的邻接沟渠 120 所定义。在两区域之间的中间区域被布植为 n+或 p+重掺杂后，整个中间区域可提供一逆转动作。一个相对较近的距离是介于部分的中间区域及字符线之间，中间区域可提供沿着增加的方
向的逆转动作，字符线是可提供一栅极电压。对照图 2 所示，字符线相对远于中间区域，中间区域可提供沿着任何增加的方向的逆转动作。

图 4 绘示具有单一方向与多方向电流的电流通道的具有嵌壁式浅沟的隔绝结构的电压-电流曲线比较示意图。曲线 420 对应于具有单一方向电流的电流通道的具有嵌壁式浅沟的隔绝结构，如图 2 所示。曲线 430 对应于具有单一方向电流的电流通道的具有嵌壁式浅沟的隔绝结构，如图 3 所示。由于曲线 430 增加了电流方向，当给定一栅极电压 Vg 时，曲线 430 的漏极电流 Id 大于曲线 420 的漏极电流 Id。根据额外产生的电流，增加的电流方向形成一有效地较大通道宽度。曲线的斜率是由栅极的电场所计算而得。

图 5 至图 7 绘示具有多方向电流的电流通道的具有嵌壁式浅沟的隔绝结构的截面示意图。在图 5 中，具有浅沟的隔绝结构的沟渠 120 的上边缘是锐利的。在图 6 中，具有浅沟的隔绝结构的沟渠 120 的上边缘是斜角的。在图 7 中，具有浅沟的隔绝结构的沟渠 120 的上边缘是圆滑的。选择性的图案是以轻微蚀刻（slight etching）所形成，即边角的蚀刻速度比平面的蚀刻速度快。也可利用离子轰击（ion bombardment）的方式轰击并移除边角。在氧化
物形成于内壁的步骤后，可以等向性蚀刻（isotropic etch）的方式实现圆滑边角。

图 8～12 绘示非挥发性存储器串行的存储器运作示意图。图 8～12 中所绘示的非挥发性存储器串行是以具有嵌壁式浅沟的绝缘结构所形成。实际上非挥发性存储器串行是形成于具有浅沟的绝缘结构之间的中间区域上。由于此串行是由具有嵌壁式浅沟的绝缘结构所形成，因此介于在相同串行的两相邻的非挥发性存储器之间的信道提供具有多方向的电流。

在图 8 中，一存储器阵列已被抹除，其中每一存储器串行包括 N 个存储器结合成串。基板电压 802 为 -10V。存储器的字符串线 820、830、840、850、860、870 及 880 被抹除，且其电压值为 10V。字符串线的通行晶体管 810 及 890 的电压值为 5V。位线 803、804、805、806 及 807 的电压为-10V。阵列中的存储器已被抹除，例如经由 FN（Fowler-Nordheim）电子的隧道效应。隧道效应自基板（包括漏极及源极）至电荷储存结构，以及自电荷储存结构至栅极。

在图 9 中，一存储器阵列中的数个存储器已被程序化。存储器阵列包括数条存储器串行，每一存储器串行包括 N 个存储器串接成线。基板电压 902 为 0V。被程序化的存储器的字符线 940 的电压值为-5V。通过启动通行晶体管字符线 910 及其电压值为 10V。字符线 940 中的存储器中的储存电荷结构 943、944、945、946 及 947 已被选择。介于中间的存储器字符线的电压被设定为 10V。其它的通行晶体管字符线 990 及剩余的字符线 920 及 930 被关闭并设定为 0V。通过位线 904、906 及 907 设定为 5V，在选择的电荷储存结构 943、944、945、946 及 947 中，电荷储存结构 944、946 及 947 被程序化。通过位线 903 及 905 设定为 0V，在选择的电荷储存结构 943、944、945、946 及 947 中，电荷储存结构 943 及 945 未被程序化。

在图 10 中，如同图 9，数个存储器被程序化。基板电压 1002 为 0V。然而，通过启动通行晶体管字符线 1090，且其电压值为 10V。字符线 1040 中的存储器中的储存电荷结构 1043、1044、1045、1046 及 1047 已被选择。介于中间的存储器字符线 1050、1060、1070 及 1080 的电压被设定为 10V。其它的通行晶体管字符线 1010 及剩余的字符线 1020 及 1030 被关闭并设定为 0V。通过位线 1004、1006 及 1007 设定为 5V，在选择的电荷储存结构 1043、1044、
1045、1046 及 1047 中，电荷储存结构 1044、1046 及 1047 被程序化。通过位线 1003 及 1005 设定为 0V，在选择的电荷储存结构 1043、1044、1045、1046及 1047 中，电荷储存结构 1043 及 1045 未被程序化。

在图 11 中，一存储器阵列中的数个存储器已读取，存储器阵列包括数条存储器串行，每一存储器串行包括 N 个存储器串接成线。基板电压 1102 为 0V。被读取的存储器的字符线 1140 的电压值为-10V。通过启动通用晶体管字符线 1110，且其电压值为 10V，字符线 1140 中的存储器中的储存电荷结构 1143、1144、1145、1146 及 1147 已被选择。介于中间的存储器字符线 1120 及 1130 的电压被设定为 10V。其它的通用晶体管字符线 1190 及剩余的字符线 1120 及 1130 被关闭并设定为 0V。通过位线 1103、1104、1105、1106 及 1107 设定为 2V，已选择的电荷储存结构 1143、1144、1145、1146 及 1147 中被读取。在其它的实施例中，可以只设定有兴趣的位线为 2V。

在图 12 中，如同图 11，数个存储器被读取。基板电压 1202 为 0V。然而，通过启动通用晶体管字符线 1290，且其电压值为 10V，字符线 1240 中的存储器中的储存电荷结构 1243、1244、1245、1246 及 1247 已被选择。介于中间的存储器字符线 1250、1260、1270 及 1280 的电压被设定为 10V。其它的通用晶体管字符线 1210 及剩余的字符线 1220 及 1230 被关闭并设定为 0V。通过位线 1203、1204、1205、1206 及 1207 设定为 2V，已选择的电荷储存结构 1243、1244、1245、1246 及 1247 中被读取。在其它的实施例中，可以只设定有兴趣的位线为 2V。

图 13A 绘示一读取动作执行于电荷储存结构的源极的电荷储存存储器的示意图。p 型掺杂基板 1370 区域包括 n+型掺杂源极 1350 及 n+型掺杂漏极 1360。存储器其余的结构还包括一下介电结构（下氧化层）1340、一电荷储存结构 1330、一上介电结构 1320（上氧化层）及一栅极 1310。下介电结构 1340 是设置于基板上，电荷储存结构 1330 是设置于下介电结构 1340 上。上介电结构 1320 是设置于电荷储存结构 1330 上，栅极 1310 是设置于上介电结构 1320 上。典型的下介电结构 1320 包括 5 至 10nm 厚度的二氧化硅（silicon dioxide）及氮化硅（silicon oxynitride），或者是其它类似的高介电常数材质，例如是 A1203。典型的下介电结构 1340 包括 3 至 10nm 的二氧化硅及氮化硅，或
者是其它类似的高介电常数材质。典型的电荷储存结构 1330 包括 3 至 9nm 的氮化硅，或者是其它类似的高介电常数材质，例如是金属氧化物（Al₂O₃、HfO₂或其他材质）。电荷储存结构 1330 可以是非连续性的储存电荷材质的球袋（pockets）或微粒子（particles），或者是如图所示的一连续性的层（continuous layer）。

例如类似 PHINES 型的存储胞具有一 2nm 至 10nm 厚度的下氧化层，一 2nm 至 10nm 厚度的电荷储存层及一 2 至 15nm 厚度的上氧化层。

在一些实施例中，栅极包括一种材质。此材质的工作功能大于 n 型硅的固有工作功能，或者是大于 4.1eV。较佳地大于 4.25eV，包括例如大于 5eV。典型的栅极材质包括 P 型多晶硅、TiN、Pt 及其它高工作功能的金属及材质。其它具有高工作功能且适合本技术的材质包括金属、合金、金属氮化物及金属氧化物。金属包括 Ru、Ir、Ni 及 Co，合金包括 Ru-Ti 及 Ni-T，金属氧化物包括 RuO₂。但上述的材质并非用以限制本实施例的技术范围。高工作功能的栅极材质相较于一般的 n 型多晶硅栅极，高工作功能的栅极可导致较高的电子信道的接面屏障（injection barrier）。以二氧化硅作为上介电结构 1320 的 n 型多晶硅栅极的接面屏障约为 3.15eV。因此，本技术的实施例中应用材质于栅极及上介电结构 1320 具有一高于 3.15eV 的接面屏障，例如是高于 3.4eV，较佳地高于 4eV。以具有二氧化硅的上介电结构的 p 型多晶硅栅极来说，接面屏障约为 4.25eV，且收放包的导通门坎相对于具有二氧化硅介电结构的 n 型多晶硅栅极的包减为 2 电子伏特。

在图 13A 中，存储胞的漏极已被程序化，例如是经由能带-能带洞射入电荷储存结构 1330 的漏极处。存储胞的源极已被抹除，例如是经由一通道重新设定动作射入电子经由 Fowler-Nordheim 信道从栅极 1310 至电荷储存结构 1330，以及从电荷储存结构 1330 至基板 1370。

从图 13A 中电荷储存结构 1330 的源极侧来看偏压编排（bias arrangement）。栅极 1310 电压为-10V，源极 1350 电压为 2V，漏极 1360 电压是浮动的。而基板 1370 电压为 0V。图 13B 的存储胞与图 13A 的存储胞类似，其读取的动作是作用于电荷储存结构 1330 的漏极侧，而不是源极侧。从图 13B 中电荷储存结构 1330 的源极侧来看偏压编排。栅极 1310 电压为-10V，源极 1350
电压是浮动的，漏极1360电压是2V。而基板1370电压为0V。偏压编排是决定于不同的终端，例如是能量带充分的弯曲而引起在图13A的n+型重掺杂源极1350的能带-能带电流，或者是图13B的n+型重掺杂漏极1360。但基板1370与图13A的源极1350或13B图的漏极1360之间的电位差需要维持足够低，以使程序化的动作不会发生，如结合图2A所讨论的内容。

在图13A及图13B的偏压编排中，p型掺杂基板1370与n+型掺杂源极1350或n+型掺杂漏极1360之间的接面显示出一逆向偏压p-n接面。然而，栅极电压导致能带充分地弯曲，使得能带-能带隧道效应发生于图13A的n+型掺杂源极1350或图13B的n+型掺杂漏极1360中。重掺杂集中的源极1350或漏极1360，产生出的电荷空间区域的高电荷密度以及电压转换时伴随的空间电荷区域短长度，贡献出尖锐的能量带弯曲。原子价能带的电子通过禁用区间隙至传导带并向下飘移于电位丘（potential hill）并进入图13A的n+型掺杂源极1350或图13B的n+型掺杂漏极1360。同样的，空穴向上飘移于电位丘，而离开图13A的n+型掺杂源极1350或图13B的n+型掺杂漏极1360，并朝向p型掺杂基板1370。

通过下介电结构1340（下氧化层），栅极1310电压控制部分的基板1370电压。依次地，通过下介电结构1340（下氧化层），部分的基板1370电压控制能带弯曲的程度，能带是介于下介电结构（上氧化层）1340及图13A的n+型掺杂源极1350或图13B的n+型掺杂漏极1360之间。当栅极1310的负电压变的更大时，通过下介电结构1340（下氧化层），基板1370的负电压变的更大。而导致较深的能带弯曲发生于图13A的n+型掺杂源极1350或图13B的n+型掺杂漏极1360中。由于至少有些介于已占用电子能阶于弯曲的能带的一侧及为占用的电子能阶于弯曲的能带的另一侧之间所增加的重迭以及介于已占用电子能阶与未占用电子能阶之间的狭小阻障宽度的组合而产生较多的能带-能带电流。（Sze, Physics of Semiconductor Device, 1981）。

如上所述，电荷储存结构1330的漏极侧已被程序化且由空穴所占用。反之，通过电荷储存结构1330的源极侧以被抹除并由少数空穴所占用。结果，与Gauss’s法则一致，当栅极1310设为-10V，下介电结构（下氧化层）1340的负向偏压于源极侧多于漏极侧。因此，图13A的偏压编排中源极1350与基
板 1370 之间，用以读取电荷储存结构 1330 的源极侧的电流多于图 13B 的偏压编排中漏极 1360 与基板 1370 之间，用以读取电荷储存结构 1330 的源极侧的电流。在图 13A 及图 13B 中，用以读取的偏压编排及用以程序化的偏压编排之间显示一微小的均衡。以读取来说，源极区域或漏极区域的电位差不应该导致一大量的载体来传递隧道氧化物及影响电荷储存结构 1330。相反的，以程序化而言，源极区域或漏极区域的电位差可充分的导致大量的载体来传递隧道氧化物及影响电荷储存结构。

图 14A 至图 14C 绘示其它具有不同电荷储存结构的非挥发性存储胞的示意图。图 14A 绘示一具有分裂式栅极存储器结构。该存储器结构包括一第一栅极 1021、一第二栅极 1011、一电荷储存结构 1031 及一氧化层 1041。图 14B 绘示一类似图 14A 的非挥发性存储胞。图 14B 的非挥发性存储胞具有一浮动栅极 1031，浮动栅极 1031 通常由多晶硅所组成。图 14C 绘示一类似图 14A 的非挥发性存储胞。图 14C 的非挥发性存储胞具有一套米粒电荷储存结构 1031。

图 15 绘示在同一基板上具有不同具有浅沟的隔结结构的存储器电路及控制电路的示意图。尤其是，基板区分为存储器电路 1580 及具有 n 型晶体管 1560 及 p 型晶体管 1570 的控制电路。存储器电路 1580 具有浅沟的隔结结构 1510，该隔结结构 1510 是不完全地将入隔结氧化层 1512。存储器装置是以存储器结构 1514 所形成，存储器结构 1514 部分的填充于沟渠 1510 中。字符线 1516 覆盖于存储器结构 1514 上，用以提供栅极电压。控制电路具有浅沟的隔结结构，具有浅沟的隔结结构具有填满隔结氧化层 1522 的沟渠 1520。n 型晶体管 1560 是形成于一 p 型阱区 1532 中，并且 n 型晶体管具有一 n⁺ 型源极与漏极 1542 及 n⁺ 型栅极 1552。p 型晶体管 1570 是形成于一 n 型阱区 1534 中，并且 p 型晶体管具有一 p⁺ 型源极与漏极 1544 及 n⁺ 型栅极 1554。

图 16 绘示是依照本实施例的集成电路方块图。集成电路 1560 包括存储器阵列 1600，存储器阵列 1600 为数个电荷储存存储胞于一半导体基板上。在本实施例中，集成电路 1650 组件是由具有嵌壁式浅沟的隔结结构所区分。在另一实施例中，组件中的其余的电路是以相对较浅或没有嵌壁式浅沟的隔结结构所区分。列向译码器 1601 是连接于数条字符线 1602，字符线 1602 是
沿着存储器阵列 1600 的列方向排列。一行向译码器 1603 是连接于数个位线 1604，位线 1604 是沿着存储器阵列 1600 的行方向排列。通过总线（bus）1605，地址数据传递至行向译码器 1603 及列向译码器 1601。感测放大器及数据集合结构 1606 是经由数据总线 1607 连接于行向译码器 1603。数据是经由数据进入线 1611 将数据从集成电路 1650 的输入/输出端口或其它集成电路 1650 内部/外部的数据源输入至感测放大器及数据集合结构 1606。数据是经由数据输出线 1615 将数据从感测放大器及数据集合结构 1606 输出至集成电路 1650 的输入/输出端或其它集成电路 1650 内部/外部的数据目的地。一偏压编排状态装置 1609 控制偏压编排供给电压 1608 以及具有可编程、可抹除即可读取的偏压编排存储胞，偏压供给电压 1680 例如是用以抹除验证及程序化验证的电压，存储胞具有能带-能带电流。

综上所述，虽然本发明已以技术参考资料及一详细实施例揭示如上，其是用以说明本发明并非用以限定本发明。本发明所属技术领域中任何普通技术人员在不脱离本发明的精神和范围内，当可作出各种的等效的改变或替换。因此，本发明的保护范围当视后附的本申请权利要求范围所界定的为准。
图 9
图 12

1202
V_{SUB}=0V

1243

1244
1245
1246

1247
1250

1260
1270

\ldots

1279

1280
V_{WL\_N}=10V

1290
V_{SLG2}=10V

1210
V_{SLG1}=0V

1220
V_{WL1}=0V

1230
V_{WL2}=0V

1240
V_{WL3}=-10V

1250
V_{WL4}=10V

1260
V_{WL5}=10V

1270
V_{WL6}=10V

1280
V_{WL\_N}=10V

1290
V_{SLG2}=10V

1203
V_{BL}=2V

1204
V_{BL}=2V

1205
V_{BL}=2V

1206
V_{BL}=2V

1207
V_{BL}=2V
图 13A

图 13B