

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-525360

(P2010-525360A)

(43) 公表日 平成22年7月22日(2010.7.22)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 N 27/22 (2006.01)	GO 1 N 27/22 B	2GO60
GO 1 N 27/00 (2006.01)	GO 1 N 27/00 J	
GO 1 N 37/00 (2006.01)	GO 1 N 37/00 102	
GO 1 N 33/543 (2006.01)	GO 1 N 33/543 525G	

審査請求 有 予備審査請求 未請求 (全 22 頁)

(21) 出願番号 特願2010-504938 (P2010-504938)
 (86) (22) 出願日 平成20年4月22日 (2008. 4. 22)
 (85) 翻訳文提出日 平成21年11月9日 (2009. 11. 9)
 (86) 国際出願番号 PCT/IB2008/051538
 (87) 国際公開番号 W02008/132656
 (87) 国際公開日 平成20年11月6日 (2008. 11. 6)
 (31) 優先権主張番号 07107118.7
 (32) 優先日 平成19年4月27日 (2007. 4. 27)
 (33) 優先権主張国 欧州特許庁 (EP)

(71) 出願人 507219491
 エヌエックスピー ビー ヴィ
 NXP B. V.
 オランダ国 5656エイジー アインド
 ーフェン ハイ テク キャンパス 60
 High Tech Campus 60
 , NL-5656 AG Eindhoven,
 Netherlands
 (74) 代理人 100147485
 弁理士 杉村 憲司
 (74) 代理人 100134005
 弁理士 澤田 達也
 (74) 代理人 100153017
 弁理士 大倉 昭人

最終頁に続く

(54) 【発明の名称】 バイオセンサチップ及びその製造方法

(57) 【要約】

生物学的粒子を検出するバイオセンサチップ(100)であり、該バイオセンサチップ(100)は生物学的粒子に対して感受性を有するセンサ活性領域(101)を具え、該センサ活性領域(101)は該バイオセンサチップ(100)のバック・エンド・オブ・ライン部分(102)に配置されている。

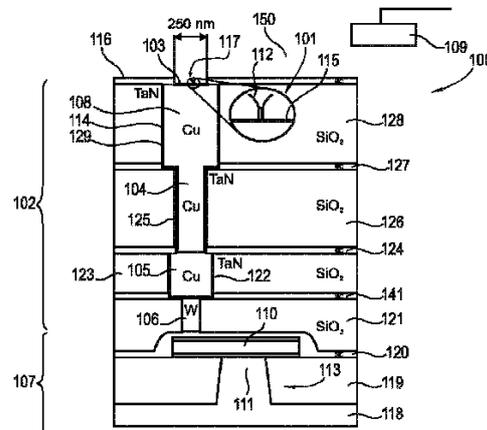


FIG. 1

【特許請求の範囲】**【請求項 1】**

生物学的粒子を検出するバイオセンサチップであって、該バイオセンサチップは、生物学的粒子に対して感受性を有するセンサ活性領域を具え、該センサ活性領域はバイオセンサチップのバック・エンド・オブ・ライン部分に配置されていることを特徴とするバイオセンサチップ。

【請求項 2】

前記センサ活性領域の露出表面は前記バイオセンサチップの製造に適用された CMOS プロセスの最小リソグラフィフィーチャサイズの最大でも 1.6 倍の寸法であることを特徴とする請求項 1 記載のバイオセンサチップ。

10

【請求項 3】

前記センサ活性領域の露出表面は前記バイオセンサチップの製造に適用された CMOS プロセスの最小リソグラフィフィーチャサイズの最大でも 1.1 倍の寸法であることを特徴とする請求項 1 記載のバイオセンサチップ。

【請求項 4】

前記センサ活性領域の露出表面は前記バイオセンサチップの製造に適用された CMOS プロセスの最小リソグラフィフィーチャサイズの最大でも 0.7 倍の寸法であることを特徴とする請求項 1 記載のバイオセンサチップ。

【請求項 5】

前記センサ活性領域は前記バイオセンサチップのバック・エンド・オブ・ライン部分の上部表面に配置されていることを特徴とする請求項 1 記載のバイオセンサチップ。

20

【請求項 6】

前記バック・エンド・オブ・ライン部分に少なくとも一つの間接メタライゼーション構造、特に少なくとも一つの間接銅構造を具え、前記センサ活性領域が前記少なくとも一つの間接メタライゼーション構造を経て前記バイオセンサチップのフロント・エンド・オブ・ライン部分に電氣的に結合されていることを特徴とする請求項 1 記載のバイオセンサチップ。

【請求項 7】

前記バック・エンド・オブ・ライン部分に少なくとも部分的に形成されたキャパシタ構造を具え、該キャパシタ構造は、そのキャパシタンス値が前記センサ活性領域における検出イベントにより影響されるように構成されていることを特徴とする請求項 1 記載のバイオセンサチップ。

30

【請求項 8】

前記フロント・エンド・オブ・ライン部分に形成され且つ前記センサ活性領域に電氣的に結合されたスイッチトランジスタを具えることを特徴とする請求項 1 記載のバイオセンサチップ。

【請求項 9】

前記センサ活性領域の表面に配置され且つ前記生物学的粒子と相互作用するように構成された 1 つ以上のキャプチャ分子を具えることを特徴とする請求項 1 記載のバイオセンサチップ。

40

【請求項 10】

前記センサ活性領域はナノ電極を具えることを特徴とする請求項 1 記載のバイオセンサチップ。

【請求項 11】

前記ナノ電極の露出表面は 300 nm より小さい寸法であることを特徴とする請求項 10 記載のバイオセンサチップ。

【請求項 12】

前記ナノ電極は、銅材料、特に自己組織化単分子層で被覆された銅材料を具えることを特徴とする請求項 10 記載のバイオセンサチップ。

【請求項 13】

50

前記バイオセンサチップの表面の一部を形成するとともに凹部を有する電気絶縁層を具え、前記センサ活性領域の露出表面及び前記電気絶縁層が前記凹部内にセンシングポケットを形成することを特徴とする請求項1記載のバイオセンサチップ。

【請求項14】

CMOS技術、特にエンベデッドflask又はエンベデッドDRAMのようなエンベデッドオプションを有するCMOS技術で製造されていることを特徴とする請求項1記載のバイオセンサチップ。

【請求項15】

半導体基板、特にIV族半導体、III-V族半導体からなる群から選ばれる一つの半導体を具える半導体基板内にモノリシックに集積化されていることを特徴とする請求項1記載のバイオセンサチップ。

10

【請求項16】

共通の基板にモノリシックに集積された複数のセンサ活性領域を具えるバイオセンサアレイとして構成されていることを特徴とする請求項1記載のバイオセンサチップ。

【請求項17】

バイオセンサチップを製造する方法であって、該方法は、
生物学的粒子に対して感受性を有するセンサ活性領域をバイオセンサチップのバック・エンド・オブ・ライン部分に形成するステップを具えることを特徴とするバイオセンサチップの製造方法。

【請求項18】

前記バイオセンサチップの表面の一部を形成するとともに凹部を有する電気絶縁層を形成するステップを具え、前記センサ活性領域の露出表面及び前記電気絶縁層が前記凹部内にセンシングポケットを形成することを特徴とする請求項17記載の方法。

20

【請求項19】

前記センサ活性領域の露出表面はエッチング処理を用いて形成することを特徴とする請求項17記載の方法。

【請求項20】

前記センサ活性領域の露出表面は化学機械研磨を用いて形成することを特徴とする請求項17記載の方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、バイオセンサチップに関する。
更に本発明はバイオセンサチップの製造方法に関する。

【背景技術】

【0002】

バイオセンサは、生物学的成分を物理化学的又は物理的検出成分と結合する検体を検出するために使用できるデバイスとして示すことができる。

【0003】

例えば、バイオセンサは、例えばキャプチャ分子としての抗体の抗体結合性断片又はDNA一本鎖の配列が目標分子の対応する配列又は構造に適合するとき、バイオセンサの表面上の固定化されたキャプチャ分子が流体試料中の目標分子と選択的にハイブリダイズすることができる現象に基づくものとし得る。このようなハイブリダイゼーション又はセンサイベントがセンサ表面で起こるとき、これは表面の電気的特性を変化させ、この電気的特性をセンサイベントとして検出することができる。

40

【0004】

特許文献1は、バイオセンサを機能化する方法を開示している。特に、このバイオセンサは完成処理されたウェハ上に取り付けられた半導体チップに基づいている。これらの半導体チップはそれらの上に配置されたセンサフィールドを具え、これらのセンサフィールドはアレイに配列することができ、例えばDNA、RNA及びPNAなどの核酸又はそれ

50

らの誘導体、プロテイン、糖分子又は抗体のような有機分子を用いて機能化を実行することができる。

【0005】

従来のバイオセンサチップは通常センシング表面が半導体構造のフロント・エンド・オブ・ライン部分 (Front End of the Line portion) に配置され、すなわち検出トランジスタのような集積半導体要素に空間的に近接して配置される。換言すれば、このような従来のアプローチでは、センサ活性表面は処理済み半導体構造の上部表面に直接配置される。

【先行技術文献】

【特許文献】

10

【0006】

【特許文献1】国際特許出願公開第2005/106478号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は口パストなバイオセンサを提供することにある。

【課題を解決するための手段】

【0008】

上記の目的を達成するために、独立請求項に記載されたバイオセンサチップ及びバイオセンサチップの製造方法が提供される。

20

【0009】

本発明の模範的な実施例によれば、生物学的粒子を検出するバイオセンサチップが提供され、このバイオセンサチップは生物学的粒子に対して感受性を有するセンサ活性領域を具え、このセンサ活性領域はバイオセンサチップのバック・エンド・オブ・ライン(部分) (Back End of the Line (portion)) に配置されている。

【0010】

本発明の別の模範的な実施例によれば、バイオセンサチップを製造する方法が提供され、この方法は、生物学的粒子に対して感受性を有するセンサ活性領域をバイオセンサチップのバック・エンド・オブ・ライン(部分) (Back End of the Line (portion)) に配置(又は形成)する。

30

【0011】

用語「バック・エンド・オブ・ライン(部分)」 (“Back End of the Line (portion)” (BEOL)) は、特に、活性要素(トランジスタ、抵抗など)をウェハ上の配線により相互接続する集積回路製造における後半部分を示す。BEOLは、一般に、第1の金属層が処理済みウェハ上に堆積されるとき開始する。BEOLは接点、絶縁体、金属配線及びチップ-パッケージ接続のためのボンディングサイトを含む。従って、特に、処理済み半導体基板と直接接触しない集積回路の各構造要素がBEOLに属するものとみなせる。

【0012】

これに対して、「フロント・エンド・オブ・ライン(部分)」 (“Front End of the Line (portion)” (FEOL)) は、特に、個々のデバイス(トランジスタ、抵抗など)を半導体にパターン化する集積回路製造における第1部分を示す。FEOLは、一般に、金属層の堆積まで(しかし金属層の堆積は含まない)のすべての処理を含む。従って、特に、処理済み半導体基板の一部分である集積回路の各構造要素はFEOLに属するものとみなせる。

40

【0013】

言い換えれば、BEOL部分は(製造手順に対応する空間方向において)FEOL部分の上に直接配置することができる。

【0014】

用語「バイオセンサ」は、特に、DNA、RNA、プロテイン、酵素、細胞、バクテリア、ウィルスなどのような生物学的分子を含む検体の検出に用いることができる任意の装

50

置を示す。バイオセンサは、生物学的要素（例えばセンサ活性表面において分子を検出することができるキャプチャ分子）を物理化学的又は物理的検出要素（例えばセンサイベントにより変化し得るキャパシタンスを有するキャパシタ又はセンサイベントにより変化し得る酸化還元電位を有する層又はセンサイベントにより変化し得るしきい値電圧又はチャネル導電率を有する電界効果トランジスタ）と組み合わせることができる。

【0015】

用語「バイオセンサチップ」は、特に、バイオセンサが集積回路として、即ち半導体技術、特にシリコン半導体技術、更には特にCMOS技術で電子チップとして形成されることを意味する。モノリシック集積バイオセンサチップは、マイクロプロセッサ技術の使用による極小寸法の特性を有し、それゆえ、バイオセンサチップの寸法、もっと正確に言えばその構成要素の寸法が生体分子の程度に達するとき、大きな空間分解能及び高い信号対雑音比を有することができる。

10

【0016】

用語「生物学的粒子」は、特に、遺伝子、DNA、RNA、プロテイン、酵素、細胞、バクテリア、ウィルス等のような、生物学上又は生物学的もしくは生物化学的方法において有意な影響を及ぼす任意の粒子を示す。

【0017】

用語「センサ活性領域」は、特に、流体試料と相互作用し、その領域にて検出イベントを生起し得る露出領域を示す。換言すれば、センサ活性領域を、センシングの基礎を成すこのようなプロセスが起こるセンサデバイスの実際の感受性領域とすることができる。

20

【0018】

用語「基板」は、半導体、ガラス、プラスチック等の任意の適切な材料とすることができる。模範的な実施例によれば、用語「基板」は、一般的には、関心のある層又は部分の下に横たわる又は上に横たわる層のための要素を特定するために使用することができる。また、基板はその上に層が形成される任意の他の基板、例えばシリコンウェハ又はシリコンチップのような半導体ウェハとすることもできる。

【0019】

用語「流体試料」は、特に、様々な相の物質の任意の一部を示す。このような流体は、液体、気体、プラズマ及びある程度までの固体、並びにそれらの混合物を含むことができる。流体試料の例は、DNA含有流体、血液、皮下組織、筋肉又は脳組織内の間質液、尿、その他の生体液である。例えば、流体試料は生物学的物質とすることができる。このような物質はプロテイン、ポリペプチド、核酸、DNA鎖等を含むことができる。

30

【0020】

本発明の模範的な実施例によれば、モノリシック集積されたバイオセンサを（半導体）基板を具える電子チップ構造内に設け、バイオセンサチップの第1の電子要素をフロント・エンド・オブ・ライン部分内に形成する。フロント・エンド・オブ・ライン部分上に、第2の他の層及び構造のスタックをバック・エンド・オブ・ライン部分として設けることができる。本発明の模範的な実施例によれば、センサ活性領域はバック・エンド・オブ・ライン部分に設けることができる。粒子検出バイオセンサプローブのBEOLプロセスは、実際の検出イベント（BEOLにおける粒子検出バイオセンサプローブで実行される）と検出信号評価（FEOL内に形成された電界効果トランジスタのような集積電子要素で実行される）との間の空間的分離のために有利とすることができる。このようなアーキテクチャは、センサ活性領域として作用するナノ電極を十分に小さく製造することができる。特に有利とすることができる。例えば、このようなナノ電極はBEOL内に250nm、130nm又はそれ以下の寸法で配置することができ、例えば検出すべき生物学的分子の寸法に近い寸法を有するセンシングポケットとして実現することができる。

40

【0021】

センサ活性領域を形成するためにBEOL部分を用いる特定の利点は、流体試料の液体成分（例えば溶液）がBEOL層と相互作用することができ、下側に配置されたFEOLスタックからBEOLスタックにより分離されるため、電界効果トランジスタのゲート領

50

域等の F E O L 要素が流体液体試料により汚染又は損傷される危険がなくなる点にある。従って、センサイベントを B E O L 内で実行させることによって、液体成分を B E O L の下の F E O L 内に設けられたマイクロ電子検出要素から確実に分離 / 絶縁することができる。標準 B E O L プロセスで設けられる材料、例えば銅は、埋め込み F E O L トランジスタに接続することができる B E O L 電極として作用させるのに有利な特性を有している。

【 0 0 2 2 】

よって、模範的な実施例によれば、センサ活性領域を F E O L 層ではなく B E O L 層に有するバイオセンサを提供することができる。F E O L 領域にセンサ活性表面を有し、その結果分析すべき流体試料と半導体構造との間で不所望な相互作用を受ける従来のバイオセンサと対比すると、本発明の実施例は、センサ活性領域 (B E O L 内) と制御又は検出電子回路 (F E O L 内) との間の空間的分離のために、よりロバストであって、高湿度の過酷な状態の下で使用することができる。

10

【 0 0 2 3 】

例えば、銅ナノ電極上に、抗体のようなキャプチャ分子を付着するように特別に設計することができる自己組織化単分子層 (S A M) を設けることができる。この場合、銅ナノ電極は、半導体層シーケンスの別のメタライゼーション層とし得る第 2 の電極又は半導体層シーケンスとは別に設けることができるカウンタ電極とし得る第 2 の電極と相まって、キャパシタとして作用することができる。この場合には、センサイベント (例えば S A M 層上に固定化されたキャプチャ分子と試料中の目標分子とのハイブリダイゼーションイベント) はキャパシタのキャパシタンス値を変化させることができる。しかし、例えばセンサ活性表面における反応がセンサ表面における酸化還元電位のような電気化学特性の変化を生じる場合には、キャパシタンスベースのセンシング技術以外の手段が可能である。これは、例えば電界効果トランジスタによりしきい値電圧又はソース / ドレイン電流の変化として検出することができる。

20

【 0 0 2 4 】

それゆえ、先進 C M O S 技術は病気の診断及び監視に関連するプロセスに関する関心分子のサイズに近づいているので、本発明の実施例は特に単一分子検出用の極めて精密な検出器のためにこのような先進 C M O S 技術を用いることができる。従って、本発明に模範的な実施例によれば、バイオセンサデバイスのナノ電極を製造する C M O S バック・エンド・プロセス技術が提供される。ナノ電極は所定の病気 (例えば癌) に関連する分子の分子レベルの検出を可能にする。単一分子レベルの検出は、先進 C M O S 技術の B E O L において製造し得る小寸法の電極によって達成できる。

30

【 0 0 2 5 】

このようなナノ電極の製造は、エッチングプロセス及び / 又は化学機械研磨 (C M P) 技術を用いることができ、これにより安くて高信頼度のバイオセンサを製造することが可能になり、このバイオセンサは単一分子バイオセンサの多量生産にふさわしい。従って、バイオセンサデバイスのナノ電極を製造するバック・エンド・プロセスは、C M O S ベースのセンサ技術、特に研磨及び / 又はエッチングを用いるプロセスを用いて可能にすることができる。

【 0 0 2 6 】

C M O S ベースのバイオセンサを製造するために純粋のフロント・エンド・プロセスを用い、バイオ分子をトランジスタのゲートが製造されるポリシリコン又は他の材料に直接付着する従来のアプローチ (I S F E T の伝統的なコンセプト参照) に対比して、本発明の実施例はセンサ活性領域を B E O L で設け、その結果デバイスの精度が大幅に増大する。

40

【 0 0 2 7 】

本発明の模範的な実施例によるバイオセンサデバイスを製造するバック・エンド・プロセスとの関連において、C M O S 技術は病気の診断及び監視を目的とする一般的な高感度バイオセンサプラットフォームを得るための強い推進力として利用することができる。従って、本発明の実施例は C M O S 技術の (セミスタンダード) バック・エンド・プロセスを

50

実施することができる。このようなデバイスの代表的なアプリケーションは、センスポケット内で抗体を捕獲し、このようなセンスポケットと関連するトランジスタによりその存在を検出できるようにすることにある。この検出は、抗体の存在により生じるキャパシタンスの変化及び関連するトランジスタのドレイン電流の変化を検出することにより行うことができる。

【0028】

本発明の実施例はセンサ活性領域をバック・エンド・オブ・ラインに製造することができ、これにより従来の方法より製造プロセスを簡単にすることができ、（例えばCMPを実行すると）本質的に平坦な構造にすることが可能になり、パターンングトポグラフィが減少する。

10

【0029】

本発明の模範的な実施例によれば、キャパシタンスの変化は（例えば抗体 - 抗原反応と関連して）センスポケットにバイオ分子が存在するかしないかに応じて発生させることができ、これはバック・エンド・オブ・ライン部分で選択的に行うことができる。センスポケット（例えば（ナノ）電極の表面）におけるセンサイベントに起因するキャパシタンスの簡単な変化に基づくバイオセンサチップの実現は無標識のバイオ試料の提供を可能にする。バイオセンサのDNA又は他の要素への（蛍光）標識の付着は追加の努力を必要とするが、本発明の実施例によればこの努力は不要になる。

【0030】

単一の共通基板内に集積化された複数のバイオセンサチップを有するバイオセンサアレイを製造することによって、精度又は感度をこのような大規模並列処理により更に改善することができる。例えば、それぞれ指定のアクセストランジスタ又は読取りトランジスタに接続された多数のナノ電極を設け、これらのナノ電極の各々において単一分子検出イベントが生起し得るようにする。また、各ナノ電極において複数のセンサイベントの実行を可能にすることもできる。しかし、このような多重ナノ電極方法によれば、各ナノ電極から個々のセンサ情報を得ることができ、精度を大幅に増大することができる。

20

【0031】

電子デバイスもバイオセンサアレイ、即ち上述のタイプの複数（多数）のバイオセンサデバイスの構成と適合させることができる。このようなバイオセンサアレイにおいては、バイオセンサセルを行列状に配置し、スイッチとして動作するトランジスタによりビット線及びワード線を介して所望のバイオセンサセルへのアクセスを許可又は拒否することができる。多数のバイオセンサセルは共通の（例えばシリコン）基板にモノリシックに集積化することができる。

30

【0032】

次に、バイオセンサチップの他の模範的な実施例を説明する。しかし、これらの実施例はバイオセンサチップを製造する方法にも適用される。

【0033】

センサ活性領域の露出表面は、バイオセンサチップを製造するために用いるCMOSプロセスの最小リソグラフィフィーチャサイズの最大で1.6倍、特に最大で1.1倍、更に特に0.7倍の寸法にすることができる。特に、先進CMOSプロセスのバック・エンド・オブ・ライン部分の表面に銅相互接続部で形成されたバイオ感受性部分を有するバイオセンサを提供することができ、露出銅表面の直径は対応するCMOSプロセスの最小銅ビアホール（最小リソグラフィフィーチャサイズの1.6倍以下とする。1より僅かに小さい値（例えば0.7）は微細な追加の製造ステップを付加することにより又は第1配線フィーチャサイズを適用することにより形成されるサブフィーチャサイズに対応するものとし得る。これはいくつかの追加の製造ステップを必要とし、また（例えば第1配線のフィーチャサイズを適用する場合には）厳しい標準CMOSステップより厳しい制御を必要とする。原理的にはもっと小さい値にすることができるが、多大の追加の製造努力が要求される。更に、これらの値はバイオセンサセルの活性領域の大きな縮小をもたらす。また、センサの感度は半径をそれ以上縮小しても大きく改善されない。なぜなら、ナノ電

40

50

極センサノードの全キャパシタンスは寄生キャパシタンスにより制限されるためである。小さいナノ電極半径の利点を実際に得るためには、トランジスタ及び相互接続層の寸法、即ち次のCMOSノードへの接続層も減少させる必要がある。

【0034】

センサ活性領域はバイオセンサチップのバック・エンド・オブ・ラインの上部表面に配置することができる。用語「上部」は、バイオセンサデバイスが製造される順序に相当する（即ち、FEOLはバイオセンサデバイスの下部分を構成し、BEOLは上部分を構成する）。従って、センサ活性領域はバイオセンサチップの表面に露出し、分析すべき流体試料と相互作用することができる。特に、複数の導電接続素子（例えばビア及びノ又はメタライゼーション構造）を含む複数の層のスタックを、センサ活性領域を読取り素子（例えば基板内に設けられた電界効果トランジスタ）から空間的に分離するが、センサ活性領域を読取り素子に電氣的に接続するように設けることができる。これにより流体又は液体試料により劣化されるFEOL要素を液体により劣化されにくいBEOL内のセンサ活性表面から適切に隔離することができる。

10

【0035】

バイオセンサチップは、バック・エンド・オブ・ライン内に少なくとも1つの中間メタライゼーション構造（通常複数の中間メタライゼーション構造）を具え、センサ活性領域を少なくとも1つの中間メタライゼーション構造を経てバイオセンサチップのフロント・エンド・オブ・ラインに電氣的に結合することができる。特に、複数のこのような中間メタライゼーション構造を複数の層に設けてFEOL及びBEOL間に高信頼度の空間分離を与えることができる。しかし、このようなメタライゼーション構造は適切に導電性の銅材料で形成することができ、センサ活性表面と下部の評価回路（例えばトランジスタ）との間の低オームの電気結合を可能にする。

20

【0036】

バイオセンサチップは、バック・エンド・オブ・ラインに少なくとも部分的に形成されたキャパシタ構造を具え、該キャパシタ構造はそのキャパシタンス値がセンサ活性領域における検出イベントにより影響されるように構成される。バイオ分子は誘電特性を有するため、キャパシタの誘電率の値はこのような分子の存在、従ってセンサイベントの存在により選択的に変化され得る。このようなキャパシタの一方の電極又はキャパシタ電極はセンサ活性領域（の一部）自体を形成するメタライゼーション電極により形成することができ、他方のキャパシタ電極は集積バイオセンサチップの別の導電構造又はバイオセンサチップを形成する層シーケンスとは別に設けられたカウンタ電極とすることができる。例えば、このようなカウンタ電極は分析すべき溶液/流体試料内に浸すことができる。しかし、キャパシタを含まない他の検出方式を実現することもでき、例えばトランジスタのゲート領域に作用する電圧へのセンサイベントの直接的な影響を実現することもできる。

30

【0037】

バイオセンサはフロント・エンド・オブ・ラインに形成され且つセンサ活性領域に電氣的に結合されたスイッチトランジスタ構造を具えることができる。このようなスイッチトランジスタはn-MOSFET又はp-MOSFETとして実現される電界効果トランジスタとすることができる。センサ活性表面をこのようなスイッチトランジスタのソース/ドレイン領域に電氣的に結合して、トランジスタのゲートに供給される読取り電圧が流体試料中の分子の存在又は不在（及びその量）に依存するソース/ドレイン電流を生じることができる。これは、分子の存在がキャパシタの電圧に影響を与え、この電圧の影響がソース/ドレイン電流の影響に変換されるためである。また、このような電圧がMOSFETのゲート領域に直接影響を与えるようにしてもよく、これによりしきい値電圧を変化させる、又はソース及びドレイン間に電圧が供給されたとき、ソース及びドレイン間を流れる電流の値を変化させることもできる。

40

【0038】

バイオセンサは、センサ活性領域の表面に配置され（例えば固定化され）且つ生物学的粒子と相互作用（例えばハイブリダイズ）するように構成された1つのキャプチャ分子（

50

又は複数のキャプチャ分子)を具えることができる。特に、ナノ電極の各々に単一のキャプチャ分子を配置すれば十分とすることができる。なぜなら、フロント・エンド・オブ・ラインにおける最新のCMOS処理の実施は例えば抗体と同程度の大きさの寸法を有するナノ電極を製造することができるためである。しかし、各ナノ電極に複数のキャプチャ分子を設けることもできる。

【0039】

センサ活性領域がナノ電極を具えるとき、この電極の寸法はナノメートルの桁程度にすることができ、例えば300nmより小さくする、例えば250nmより小さくする、又は130nm以下にすることができ、ナノ電極を小さくすればするほど、得られるセンサポケットは高感度になる。

10

【0040】

ナノ電極は銅材料を具え、特に自己組織化単分子層(SAM)により被覆された銅材料を具えるものとし得る。これらの材料は酸化保護層として又は障壁層として又はキャプチャ分子を結合する層として作用し、その高い導電性及び処理要件との準拠性のために極めて適切である。銅材料は金に化学的に類似する特性を有する。金はバイオセンサに通常使用されているが大きな欠点を有する。なぜなら、金はシリコンプロセス技術で使用される多くの材料内に急速に拡散され、IC性能を悪化させるためである。そして、金はエッチ除去することが難しく、残留する金はクリーニングステップで除去することが難しい。しかし、本発明のあまり好ましくない実施例は金を含むこともできる。更に、アルミニウムなどの他の材料を使用することもできる。

20

【0041】

バイオセンサは、バイオセンサチップの表面の一部を形成するとともに凹部を有する電気絶縁層を具え、凹部内のセンサ活性領域の露出表面をセンサポケットとして設けることができる。センサポケットを設けることによって遮蔽され限定された領域を形成し、該領域でセンサイベントが起こるようにすることができる。凹部の底に小寸法のナノ電極を設けることができるため、このようなセンサポケット内に単一又は数個のキャプチャ分子を機械的に保護された形で配置することができる。従って、バイオセンサを厳しい状態の下で使用することができる。

【0042】

バイオセンサチップはCMOS技術で製造できる。CMOS技術、特に最新世代のCMOS技術は極めて小さい寸法の構造を製造できるため、CMOS技術をフロント・エンド・オブ・ラインにおいて実施することによりデバイスの(空間)精度が改善される。CMOSプロセスは優先的選択とすることができる。實際上、BiCMOSプロセスはバイポーラトランジスタを付加するいくつかの追加の処理ステップを有するCMOSプロセスである。エンベデッドflask、エンベデッドDRAM等の他のエンベデッドオプションを有するCMOSプロセスも同様である。特に、このプロセスは、オプションの存在がしばしば追加の材料を使用する機会を提供し、“ゼロコスト”のオプションをもたらすため、適切に関連させることができる。例えば、エンベデッドDRAMプロセスに付随する適切な高k材料(高い誘電率を有する絶縁材料、例えば酸化アルミニウム)を“ゼロコスト”で用いてナノ電極の銅表面を保護誘電体層で被覆することができ、その後その上にSAMを堆積することができる(SAMの機能はキャプチャプローブ分子を付着できるようにセンサ表面を“機能化”することにある)。

30

40

【0043】

バイオセンサデバイスは半導体基板、特にIV族半導体(例えばシリコン、ゲルマニウム)及びIII族-V族半導体(例えば砒化ガリウム)からなる群のうちの一つの半導体を具える基板にモノリシックに集積化することができる。

【0044】

バイオセンサチップの製造方法の終了時に、バイオセンサチップの表面の一部を形成するとともに凹部を有する電気絶縁層を形成し、センサ活性領域の露出表面を凹部にセンサポケットとして設けることができる。このような実施例では、このようなデバイスは

50

センサ活性表面を露出させるためにエッチング処理を用いて製造するのが有利である。しかし、露出センサ活性表面を有するこのような一連の層を化学機械研磨（CMP）を用いて製造するのが更に有利である。その理由は、結果として本質的に平坦な表面を有する微小ナノ電極を得ることができるからである。

【0045】

バイオセンサチップ又はマイクロ流体デバイスは、センサデバイス、センサ読取りデバイス、ラブオンチップ、電気泳動デバイス、試料輸送デバイス、試料混合デバイス、試料洗浄デバイス、試料浄化デバイス、試料増幅デバイス、試料抽出デバイス又はハイブリダイゼーション分析デバイスとする又はその一部とすることができる。

【0046】

任意の製造ステップに対して、半導体技術から既知の任意の従来の処理を実施することができる。層又は要素の形成は、CVD（化学気相堆積）、PECVD（プラズマエンハンスド化学気相堆積）、ALD（原子層堆積）又はスパッタリングなどの堆積技術を用いることができる。層又は要素の除去は、ウェットエッチング、プラズマエッチング等のエッチング技術並びに光学リソグラフィ、UVリソグラフィ、電子ビームリソグラフィ等のパターンニング技術を用いることができる。

【0047】

本発明の実施例は特定の材料に限定されず、多くの種々の材料を使用することができる。導電構造に対しては、メタライゼーション構造、シリサイド構造又はポリシリコン構造を用いることができる。半導体領域又は要素に対しては、結晶質シリコンを用いることができる。絶縁部分に対しては、酸化シリコン又は窒化シリコンを用いることができる。

【0048】

バイオセンサは純粋な結晶質シリコンウェハ又はSOIウェハ（シリコン・オン・インシュレータ）上に形成することができる。

【0049】

CMOS、BIPOLEAR、BICMOS等の任意のプロセス技術を実施することができる。

【0050】

本発明の上述した特徴及び他の特徴は以下に記載する実施形態の種々の例から明らかになり、実施形態のこれらの例について以下に説明する。

【図面の簡単な説明】

【0051】

【図1】本発明の模範的实施例によるバイオセンサチップを示す。

【図2】本発明の模範的实施例によるバイオセンサチップを示す。

【図3】本発明の模範的实施例によるバイオセンサチップの製造中に得られる層シーケンスを示す。

【図4】本発明の模範的实施例によるバイオセンサチップの製造中に得られる層シーケンスを示す。

【図5】本発明の模範的实施例によるバイオセンサチップの製造中に得られる層シーケンスを示す。

【図6】本発明の模範的实施例によるバイオセンサチップの製造中に得られる層シーケンスを示す。

【図7】本発明の模範的实施例によるバイオセンサチップの製造中に得られる層シーケンスを示す。

【図8】本発明の模範的实施例によるバイオセンサチップの製造中に得られる層シーケンスを示す。

【図9】本発明の模範的实施例によるバイオセンサチップの製造中に得られる層シーケンスを示す。

【図10】本発明の模範的实施例によるバイオセンサチップの製造中に得られる層シーケンスを示す。

10

20

30

40

50

【図 1 1】本発明の模範的实施例によるバイオセンサチップの製造中に得られる層シーケンスを示す。

【図 1 2】なぜ CMOS 技術が本発明の模範的实施例によるバイオセンサチップを製造するために特に適切であるかを説明するための図を示す。

【図 1 3】なぜ CMOS 技術が本発明の模範的实施例によるバイオセンサチップを製造するために特に適切であるかを説明するための図を示す。

【図 1 4】本発明の模範的实施例によるバイオセンサチップを示す。

【図 1 5】本発明の模範的实施例によるバイオセンサチップを示す。

【発明を実施するための形態】

【0052】

本発明を実施形態の種々の例について以下に更に詳細に説明するが、本発明はこれらの実施例に限定されない。

【0053】

図面は略図である。異なる図において、同類又は同一の素子には同一の参照番号が付されている。

【0054】

以下において、図 1 を参照して、本発明の模範的实施例によるバイオセンサチップ 100 を説明する。

【0055】

バイオセンサ 100 は、生物学的粒子（例えば抗原、図示されていない）を検出するように構成され、生物学的粒子に対して感受性を有するセンサ活性領域 101 を具え、このセンサ活性領域 101 はバイオセンサチップ 100 のバック・エンド・オブ・ライン（BEOL）部分 102 の上に配置される。特に、センサ活性領域 101 はバイオセンサチップ 100 の BEOL 領域 102 の表面に配置される。

【0056】

BEOL 部分 102 内の複数の中間メタライゼーション構造 104 ~ 106 は、センサ活性領域 101 が中間メタライゼーション構造 104 ~ 106 を介してバイオセンサチップ 100 のフロント・エンド・オブ・ライン（FEOL）部分 107 に電氣的に結合されるように設けられる。

【0057】

特に、センサ活性領域 101 の一部分を形成するナノ電極 108 は、複数の中間メタライゼーション構造 104 ~ 106 を経て FEOL 領域 107 内に集積された電界効果トランジスタ 113 に電氣的に結合される。

【0058】

バック・エンド・オブ・ライン部分 102 内にキャパシタ構造が部分的に形成される。このキャパシタ構造は、そのキャパシタンス値がセンサ活性領域 101 における検出イベントにより（即ちセンサ活性領域 101 の表面 103 上に固定化された抗体 112 への酵素（図示せず）の結合により）影響されるように構成配置される。なぜなら、このような検出イベントはセンサポケット 117 内の誘電率に影響を与え得るからである。特に、このようなキャパシタの第 1 電極は銅層 108 で形成され、このキャパシタの第 2 電極はカウンタ電極 109 により接続される電解液 150 で形成される。電極 109 は、本例では、モノリシックに集積される層シーケンス 100 とは別に設けられる。代案として、キャパシタの第 2 電極を形成する導電構造は層シーケンス内に集積することができる。このような実施例は図 2 に示され、後に詳細に説明される。

【0059】

特に、本発明の模範的実施例によるバイオセンサ 100 の実際のキャパシタは電解キャパシタである。この場合にはセンサ 100 は測定中電解液 150 内に浸漬される。電解液 150 は検体自体とすることができ、また SAM 表面上の固定化されたキャプチャプローブによる抗原の捕獲後に電解液と置き換わる別の導電性流体とすることもできる。銅ナノ電極 108 は一方のキャパシタ電極であり、導電性流体 150 は他方のキャパシタ電極

10

20

30

40

50

である。2つのキャパシタ電極108, 150はキャパシタの誘電体として作用するSAM115により分離される。バイオ分子が(例えばSAM表面115上へのキャプチャプローブ112の固定化の結果として)SAM115に付着したとき、又は(例えばキャプチャプローブ112による抗原の捕獲の結果として)キャプチャプローブ112により捕獲されたとき、キャパシタの誘電体の誘電特性が変化し、その結果キャパシタ150のキャパシタンスも変化する。電解液150はカウンタ電極109と接続される。

【0060】

図1に概略的に示されるように、トランジスタ構造113はフロント・エンド・オブ・ライン部分107に形成され、複数のメタライゼーション構造104~106を経てセンサ活性領域101に電氣的に結合される。このようなトランジスタ113のゲート領域110及びチャンネル領域111も示されている。ソース/ドレイン領域はそれぞれ図平面の前後に位置するため、図1には明示されていない。これらの領域は、当業者に知られているように、チャンネル領域111の両側に電氣的に結合されたドープ領域として形成することができる。

10

【0061】

図1からわかるように、単一抗体分子112はセンサ活性領域101の表面103に固定化され、生物学的粒子と相互作用するように適合されている。特に抗体112は対応する抗原と相互作用するように適合されている。

【0062】

銅メタライゼーション構造108は、表面103において250nmの寸法を有することができ、よって検出イベントが生起し得るナノ電極を構成する。ナノ電極108は窒化タンタル層114でライニングされた銅材料で形成される。更に図1からわかるように、SAM層115(自己組織化単分子層)は銅構造108と抗体112を橋絡する。

20

【0063】

最終CMP工程後に残存する裸の銅表面は空気又は水中で急速に酸化し得る。それゆえ、通常は、この酸化を抑制するために、このCMP工程中(又は次のクリーニング工程中)にBTA(腐食防止剤)が堆積される。このようにして、ウェハはSAM115の堆積前にしばらくの間(数日又はことによると数週間)保存することができる。

【0064】

SAM堆積の直前に、BTAは銅表面から除去する。いくつかのウェットケミカルSAM堆積レシピは実際にBTM自体を除去することが実験的に確かめられている。この場合には、BTAの除去が自動的に起こるので、厳密にはBTAをSAM堆積前に除去する必要はない。BTAはSAM表面を汚染するので、SAM堆積後にBTAを堆積することはできない。代わりに、適切なSAM115がそれ自身腐食防止剤として作用しなくてはならない。

30

【0065】

更に、バイオセンサチップ100は、バイオセンサチップ100の表面の一部を形成するとともに凹部117を有する電気絶縁層116を具え、センサ活性領域110の露出表面103がセンシングポケット体積部として凹部117内に与えられる。

【0066】

バイオセンサチップ100は、シリコン基板118(その表面が図1に示されている)から出発して、CMOS技術で製造され、この基板はPウェル又はNウェルを有することができる。

40

【0067】

バイオセンサチップ100と電氣的に接触するボンドパッドを設けることができるが、図1には示されていない。

【0068】

特に、電気絶縁性の浅いトレンチ分離構造119が半導体基板118上/内に設けられる。ゲート110はポリシリコン材料及びCoSiシリサイド構造を具える。更に、炭化シリコン層120が浅いトレンチ分離層119の上及びゲート積層体の上に設けられる。酸化

50

シリコン層 121 は接点孔を有し、その孔内にタングステン接点 106 が形成される。この構造の上に他の炭化シリコン層 141 が設けられる。炭化シリコン層 141 の上には、窒化タンタルライナ 122 でトレンチをライニングし、銅材料で充填して銅金属構造 105 を形成する。この銅金属構造 105 は他の酸化シリコン層 123 内に埋め込まれる。この構造の上には、他の炭化シリコン層 124 が形成され、続いて他の酸化シリコン層 126 に形成されたビアホール内に窒化タンタルライナ 125 が形成される。このライニングされたビアホールは銅材料で充填され、銅ビア 104 を形成する。次に、炭化シリコン層 127 を堆積し、続いて他の酸化シリコン層 128 を堆積し、この酸化シリコン層に他のトレンチをエッチし、このトレンチを追加の窒化タンタル構造 129 でライニングすることができる。このライニングされたトレンチを銅材料で充填して、銅金属層 108 を形成することができる。

10

【0069】

CMP (化学機械研磨) 処理を実行してバイオセンサチップのほぼ平坦な表面を生成することができる。

【0070】

次に、図 2 を参照して、本発明の別の模範的な実施例によるバイオセンサチップ 200 を説明する。この実施例は、以下に詳細に説明するように、エッチング処理に基づくものである。

【0071】

図 1 の実施例と異なり、図 2 の実施例は炭化シリコン層 116 の上に他の酸化シリコン層 201 を有し、酸化シリコン層 201 の上に追加の炭化シリコン層 202 を有する。更に、炭化シリコン層 202 の上に追加の酸化シリコン 203 が設けられる。窒化タンタル構造 204 が層 201, 202 間に挟まれたワードラインとして設けられる。

20

【0072】

本例でも、センシングポケット 117 が形成される。ボンドパッドも形成されるが、図 2 には示されていない。

【0073】

図 2 において、キャパシタは導電性構造 108 と 204 との間に形成される。

【0074】

図 3 は、本発明の模範的な実施例によるバイオセンサチップを形成する層構造の断面図 300 を示す。

30

しかし、図 3 には最上部のみが示されている。

センサ活性表面 101 のみならずセンシングポケット 117 も示されている。

【0075】

例えば図 2 に示される構成要素に加えて、ボンドパッド領域 301 も示されている。ボンドパッド領域 301 は、窒化タンタル 303 でライニングされたトレンチ内に形成された銅構造 302、他の酸化シリコン層 304、窒化シリコン層 305 及びアルミニウム接点 306 を具える。他の窒化タンタル層 310 も示されている。

【0076】

しかし、図 4 ~ 図 11 につき以下に説明するように、パターンニングによるトポグラフィ及びプロセスの複雑性を本例では図 3 に比較して更に低下させることができる。

40

【0077】

図 4 ~ 図 11 につき説明する製造プロセスは図 4 に層シーケンス 400 として示す「メタル 2 レイヤ」108 で開始する。

【0078】

図 4 からわかるように、銅構造 108 の横方向 (面方向) 直径は 450 nm であるが、ボンドパッド領域 301 の銅構造 302 の直径はほぼ 10 μm 程度の寸法を有する。

【0079】

図 4 に示す層シーケンス 400 から出発して図 5 に示す層シーケンス 500 を得るために、「メタル 2」(配線レベル 2) 108 のパターンニング後に誘電体堆積を実行して、炭

50

化シリコン層 1 1 6、酸化シリコン層 5 0 1 及び窒化シリコン層 5 0 2 を層シーケンス 4 0 0 の上に堆積する。

【 0 0 8 0 】

図 6 に示す層シーケンス 6 0 0 を得るために、フォトレジスト層 6 0 1 を層構造 5 0 0 の上に形成し、ビアエッチング処理を実行してビアホール 6 0 2 を形成する。

【 0 0 8 1 】

図 7 に示す層シーケンス 7 0 0 を得るために、フォトレジスト 6 0 1 を除去し、フォトレジスト層 7 0 1 を堆積し、層シーケンス 7 0 0 の表面でパターン化してボンドパッド開口 7 0 2 を形成する。

【 0 0 8 2 】

図 8 に示す層シーケンス 8 0 0 を得るために、次の配線レベルの堆積処理を開始する。この目的のために、フォトレジスト 7 0 1 を表面からのみならずフォトレジスト 7 0 1 が少なくとも部分的に充填されているホール 6 0 2 から除去し、窒化タンタル層 8 0 2 及び銅メッキベース 8 0 3 を表面 8 0 0 の上に堆積する。

【 0 0 8 3 】

図 9 に示す層シーケンス 9 0 0 は銅材料を堆積することによって得られ、銅メッキ処理を実行して銅構造 9 0 1 を形成する。

【 0 0 8 4 】

ボンドパッド領域 3 0 1 において、これにより銅ボンドパッド 9 0 2 が形成される。

【 0 0 8 5 】

センシング領域において、これにより第 2 の銅ビア 9 0 3 が形成される。

【 0 0 8 6 】

図 1 0 に示す層シーケンス 1 0 0 0 を得るために、ガスアニールを実行して銅領域の電氣的及び物理的特性を改善し、エッチング工程中に累積されたプラズマダメージを除去する。

【 0 0 8 7 】

図 1 1 に示す層シーケンス 1 1 0 0 を得るために、CMP (化学機械研磨) 処理を銅構造 9 0 1 に実行し、簡単なプロセスで平坦なトポグラフィを得る。

【 0 0 8 8 】

以下に、先進 CMOS 技術が本発明の模範的な実施例によるバイオセンサチップに特に適切である理由を説明する。

【 0 0 8 9 】

要点は、先進 CMOS 技術の最小リソグラフィフィーチャサイズが病気の診断及び監視プロセスに関連する関心バイオ分子のサイズに近づいていることにある。この事実は単一分子検出のレベルで利用できる。

【 0 0 9 0 】

図 1 2 は、横軸 1 2 0 1 に沿って CMOS ノードが nm 単位でプロットされているグラフ 1 2 0 0 を示す。グラフ 1 2 0 0 の縦軸 1 2 0 2 に沿って CMOS 構造の直径が nm 単位で示されている。

【 0 0 9 1 】

図 1 2 からわかるように、CMOS の寸法は低下の傾向にある。比較として、1 g G 抗体の寸法が破線で示されている。

【 0 0 9 2 】

図 1 2 との比較のために、図 1 3 にグラフ 1 3 0 0 がプロットされている。

【 0 0 9 3 】

横軸 1 3 0 1 に沿って、技術的發展が年度を示す時間軸上にプロットされている。縦軸 1 3 0 2 に沿って、種々の構造のサイズが示されている。比較として、人型結核菌、IgG 抗体、ニコチン性アセチルコリン受容体、ブドウ糖酸化酵素及び 2 本鎖 DNA 分子の塩基対間隔が破線で示されている。

【 0 0 9 4 】

10

20

30

40

50

言い換えれば、図12及び図13は、先進CMOS半導体技術の最小リソグラフィフィーチャサイズが病気の診断及び監視において関心があるバイオ分子のサイズにどのように近づいているかを例示し、バクテリア及びウィルスのサイズにすでに到達している。図12と図13の組み合わせは、より小さい最小リソグラフィフィーチャサイズのCMOS技術を実施することによりバイオセンサチップの精度を増大できることを示している。

【0095】

単一分子測定（大量に並列に実行するのが好ましい）は、単一分子感度を有する多数のナノ電極から、本質的には捕獲バイオ分子の集合の平均特性に関連する信号を与えるのみである1つ又は数個の大きな電極からよりもはるかに多量の情報を抽出することができる。

10

【0096】

本発明の模範的な実施例によれば、従来の既存のCMOS処理（例えばCMP及び/又はエッチング）を用いてナノ電極を製造することができる。特に、ナノ電極を製造する2つの適切な方法はエッチング方法及びCMP方法を含む。

【0097】

エッチング方法は極めて簡単な製造を可能にする。

【0098】

しかし、CMP方法の方が更に好適である。なぜなら、CMP方法は、低い製造複雑さ及び低いトポグラフィだけでなく、ナノ電極表面上の電解液の広がり抵抗に起因するセンシングナノ電極の低い直列抵抗ももたすためである。これは更に向上した信号対雑音比に変換され、その結果バイオセンサプラットフォームの向上した感度が得られる。

20

【0099】

ナノ電極は所定の病気（例えば癌）に関連する分子の単一分子レベルでの検出を可能にする。この単一分子レンジの検出はCMOSで製造できる電極の寸法によって達成される。

【0100】

本発明の実施例によるナノ電極方法の主な利点は、標準CMOS製造設備で低コスト多量生産が可能になること、標準の設計ツールを従来のデバイスモデルおよび校正パラメータとともに用いてセンシング機能、信号処理機能、制御機能及び入力-出力機能のための内蔵電子回路を設計することができること、次世代CMOSノード生成に対する容易なスケーリング、センサ性能の改良（より小さいナノ電極）が可能等である。

30

【0101】

銅はCMOSのBEOLで使用可能なデフォルト材料であるから、銅ナノ電極を優先材料とすることができる。銅は金と化学的類似性を有する（金は電気的バイオセンサのための適切な特性を有するが、半導体技術と併用されるとき問題になり得る）。

【0102】

堆積材料は金に限定されず、銅電極上のニッケル又は銀又は塩化銀又は他の金属とすることもでき、且つ例えば電気メッキ又は化学メッキにより形成することもできる。

【0103】

銅の起こり得る問題（例えば酸化）は、銅表面を標準CMPプロセスでは“免除”されるベンゾトリアゾール（BTA）で保護することにより、及び/又は、自己組織化単分子膜（SAMs）を堆積することにより、回避又は抑制することができる。しかし、銅電極上に自己整合した薄い金属層を、例えば電気メッキ又は選択化学堆積プロセスにより堆積することもできる。

40

【0104】

銅とは別に、窒化タンタル拡散障壁を表面に露出させることもできる。また、窒化タンタルを陽極酸化して、電解液との直接接触を防止することもできる。

【0105】

以下において、図14を参照して、本発明の模範的な実施例によるバイオセンサ1400を説明する。

50

【0106】

バイオセンサ1400は、前述の実施例とは、特にトランジスタ構造が相違する。

【0107】

ソース及びドレイン領域1402はpウェル又はnウェル118内にドープ領域として設けられる。ゲートスタックは参照番号1405で示されている。タングステン接点106は金属導電性構造1401を経てソース/ドレイン領域1402に結合される。

【0108】

従って、センサイレントがセンサ活性表面101上で生起すると、これにより電気特性の変化が生じ、この変化が構造108, 104~106を経てトランジスタ1403のソース/ドレイン領域1402へ伝達される。従って、ゲート電圧がトランジスタ1403のゲート1405に供給されると、トランジスタ1403のソース/ドレイン領域1402間を流れる電流はセンサイレントに依存するものとなる。第2のトランジスタ1406を用いてナノ電極構造101を代替電気接続パスに接続することができる。第3のトランジスタ1407は隣りのナノ電極検出セルの一部である。

10

【0109】

図14のバイオセンサはエッチング方法により容易に製造することができる。

【0110】

以下において、図15を参照して、本発明の模範的な実施例によるバイオセンサチップ1500を説明する。

【0111】

このセンサはCMP（化学機械研磨）方法を用いて製造することができる。図15は、窒化タンタルライナ1502及び銅充填部1503を有する他の酸化シリコン層1501を示す。

20

【0112】

最後に、上述した実施例は本発明を限定するものでなく、当業者は添付の特許請求の範囲により特定される本発明の範囲から離れることなく多くの代替実施例を設計することができるであろう。請求項における括弧内の参照符号は請求項を限定するものと解釈されるべきでない。また、用語「具える」は任意の請求項又は明細書に記載された要素又はステップ以外の要素又はステップを排除しない。また、単数表現の要素は複数の要素の存在を排除せず、複数表現の要素は単数の要素の存在を排除しない。また、いくつかの手段を列挙する装置請求項において、これらの手段のいくつかは一つの同一のソフトウェア又はハードウェアアイテムで具体化することができる。また、所定の手段が互いに異なる従属請求項に記載されているという単なる事実は、これらの手段の組み合わせを有利に使用できないことを示すものではない。

30

【 図 1 】

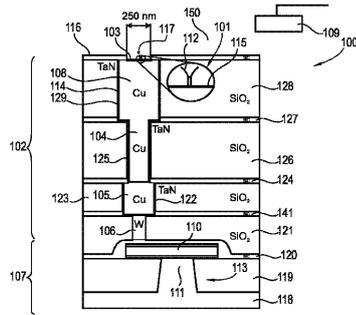


FIG. 1

【 図 2 】

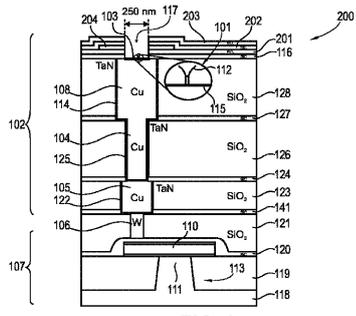


FIG. 2

【 図 3 】

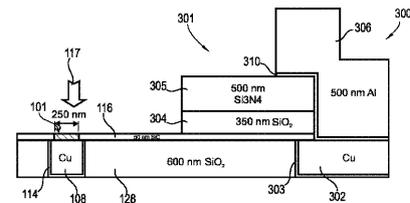


FIG. 3

【 図 4 】



FIG. 4

【 図 5 】

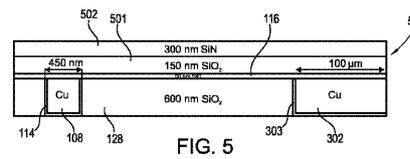


FIG. 5

【 図 6 】

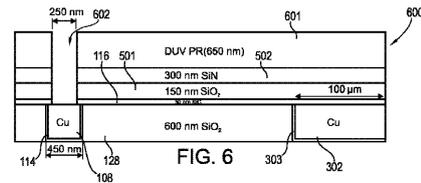


FIG. 6

【 図 9 】

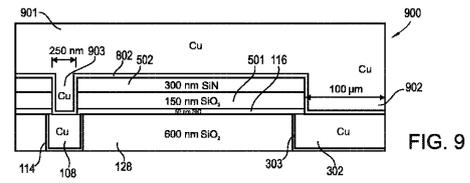


FIG. 9

【 図 7 】

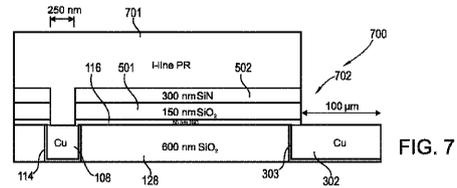


FIG. 7

【 図 10 】

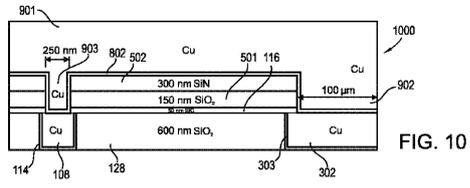


FIG. 10

【 図 8 】

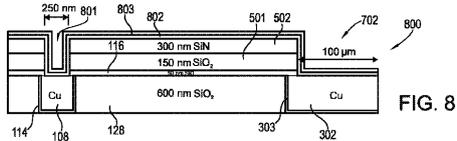


FIG. 8

【 図 11 】

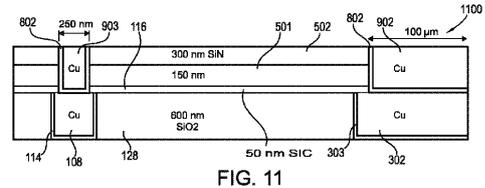
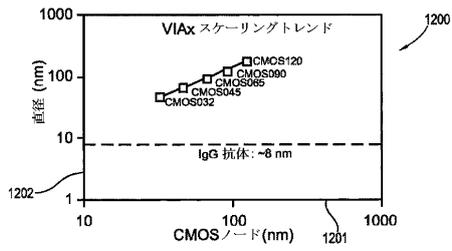
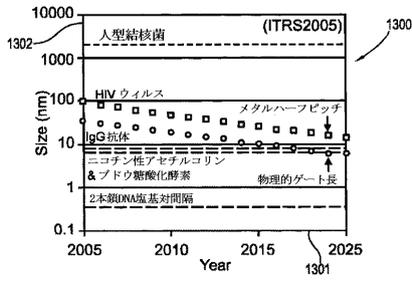


FIG. 11

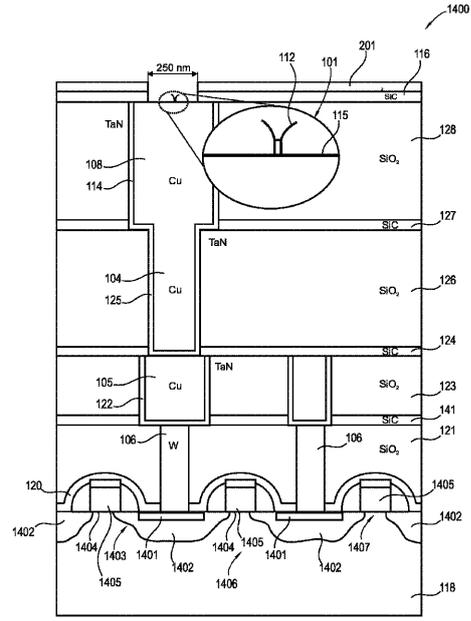
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



【 図 1 5 】

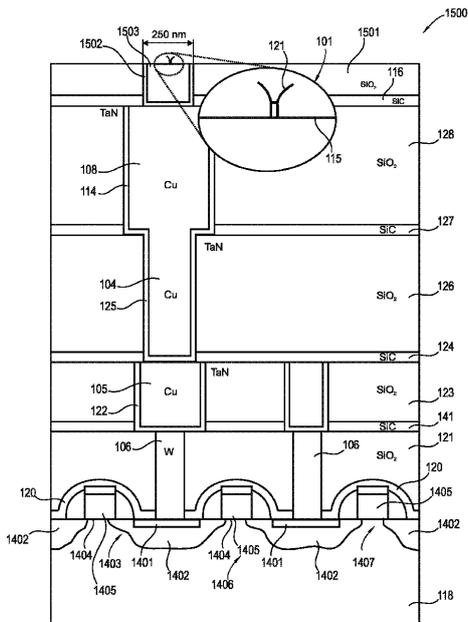


FIG. 15

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2008/051538

A. CLASSIFICATION OF SUBJECT MATTER INV. G01N27/02 G01N33/543 H01L23/522		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, COMPENDEX, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WITVROUW A ET AL: "WHY CMOS-INTEGRATED TRANSDUCERS? A REVIEW" MICROSYSTEM TECHNOLOGIES, BERLIN, DE, vol. 6, no. 5, 1 August 2000 (2000-08-01), pages 192-199, XP001050374 ISSN: 0946-7076	1-11, 14-17, 19,20
Y	paragraphs [3.2.], [004.]; figures 10,11	12
Y	DE 10 2004 058064 A1 (SIEMENS AG [DE]) 8 June 2006 (2006-06-08)	12
A	paragraphs [0019], [0020], [0053], [0058]; figure 1	6
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : 'A' document defining the general state of the art which is not considered to be of particular relevance 'E' earlier document but published on or after the international filing date 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) 'O' document referring to an oral disclosure, use, exhibition or other means 'P' document published prior to the international filing date but later than the priority date claimed 'T' later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention 'X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone 'Y' document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. 'B' document member of the same patent family		
Date of the actual completion of the international search 21 October 2008		Date of mailing of the international search report 28/10/2008
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HW Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Wilhelm, Jörg

INTERNATIONAL SEARCH REPORT

International application No

PCT/IB2008/051538

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	HOFMANN F ET AL: "PASSIVE DNA SENSOR WITH GOLD ELECTRODES FABRICATED IN A CMOS BACKEND PROCESS" PROCEEDINGS OF THE EUROPEAN SOLID STATE DEVICE RESEARCH CONFERENCE (ESSDERC), EDITION FRONTIERES, GIL-SUR-YVETTE, FR, 24 September 2002 (2002-09-24), pages 487-490, XP008033777	1,5,6,8, 9,14-17, 19,20
Y	paragraph [004.]; figures 6,7	2-4,10, 11
Y	REIMER K ET AL: "FABRICATION OF ELECTRODE ARRAYS IN THE QUARTER MICRON REGIME FOR BIOTECHNOLOGICAL APPLICATIONS" SENSORS AND ACTUATORS A, ELSEVIER SEQUOIA S.A., LAUSANNE, CH, vol. A46, no. 1/03, 1 January 1995 (1995-01-01), pages 66-70, XP000514180 ISSN: 0924-4247 abstract; figures 7-9	2-4,10, 11
X	THEWES R ET AL: "A CMOS medium density DNA microarray with electronic readout" MATERIALS RESEARCH SOCIETY SYMPOSIUM PROCEEDINGS - MATERIALS, INTEGRATION AND TECHNOLOGY FOR MONOLITHIC INSTRUMENTS 2005 MATERIALS RESEARCH SOCIETY US, vol. 869, 2005, pages 91-101, XP008097798 pages 95-96; figures 4,5	1,5-9, 13-20
X	HOFMANN F ET AL: "Technology aspects of a CMOS Neuro-Sensor: Back End Process and Packaging" EUROPEAN SOLID-STATE DEVICE RESEARCH, 2003 33RD CONFERENCE ON. ESSDERC '03 SEPT. 16-18, 2003, PISCATAWAY, NJ, USA, IEEE, 16 September 2003 (2003-09-16), pages 167-170, XP010676620 ISBN: 978-0-7803-7999-2 abstract; figures 1-3,8,9	1,5-8, 13-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2008/051538

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 102004058064 A1	08-06-2006	WO 2006058882 A1	08-06-2006
		US 2008197430 A1	21-08-2008

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 パブロ ガルシア テロ
オーストリア国 1102 ウィーン グートハイル - ショーダー - ガッセ 8 - 12 エヌエックスピー セミコンダクターズ オーストリア ゲーエムベーパー インテレクチュアル プロパティ デパートメント内

(72)発明者 エヴァライン グリデレット
オーストリア国 1102 ウィーン グートハイル - ショーダー - ガッセ 8 - 12 エヌエックスピー セミコンダクターズ オーストリア ゲーエムベーパー インテレクチュアル プロパティ デパートメント内

(72)発明者 フランシスキュス ウィデルスホーフェン
オーストリア国 1102 ウィーン グートハイル - ショーダー - ガッセ 8 - 12 エヌエックスピー セミコンダクターズ オーストリア ゲーエムベーパー インテレクチュアル プロパティ デパートメント内

Fターム(参考) 2G060 AA07 AA15 AF11 AG06 AG08 AG11 DA11 FA09 FA14