

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4040712号

(P4040712)

(45) 発行日 平成20年1月30日 (2008. 1. 30)

(24) 登録日 平成19年11月16日 (2007. 11. 16)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 6 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 4 N 5 / 6 6 (2006. 01)

G 0 9 G 3 / 3 6

G 0 9 G 3 / 2 0 6 1 2 L

G 0 9 G 3 / 2 0 6 2 2 D

H 0 4 N 5 / 6 6 1 0 2 B

請求項の数 5 (全 11 頁)

(21) 出願番号 特願平8-314625
 (22) 出願日 平成8年11月26日 (1996. 11. 26)
 (65) 公開番号 特開平9-198014
 (43) 公開日 平成9年7月31日 (1997. 7. 31)
 審査請求日 平成15年11月20日 (2003. 11. 20)
 (31) 優先権主張番号 1995P44308
 (32) 優先日 平成7年11月28日 (1995. 11. 28)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞 4 1 6
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子
 (72) 発明者 鄭 泰賢
 大韓民国京畿道龍仁郡器興邑舊葛里 3 8 5
 番地 豊林アパート 1 0 2 - 1 0 3

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 スタートパルス垂直信号生成器およびT F T液晶表示装置のゲート駆動方法

(57) 【特許請求の範囲】

【請求項 1】

外部からデータイネーブル信号 D E とメインクロック信号とを入力し、前記データイネーブル信号 D E が変化することに前記メインクロック信号のパルスをカウントし、そのカウントに基づいてクロックパルス垂直信号 C P V を生成するクロックパルス垂直信号生成部と、

前記クロックパルス垂直信号 C P V のパルスをカウントし、そのカウントに基づいて前記データイネーブル信号 D E を遅延させて遅延パルス信号を生成し、かつ、前記データイネーブル信号 D E の状態に応じてブランク期間の開始時点と終了時点とでリセットパルス信号を生成するパルス信号生成部と、

前記リセットパルス信号に応じてリセットされ、前記遅延パルス信号に応じてブランク期間で前記クロックパルス垂直信号 C P V のパルスをカウントし、そのカウントに基づき、ブランク期間の終了時点より前記クロックパルス垂直信号 C P V の周期の所定数倍分先行してプレチャージスタートパルス垂直信号を生成するプレチャージスタートパルス垂直信号生成部と、

を有するスタートパルス垂直信号生成器。

【請求項 2】

前記遅延パルス信号は、

前記データイネーブル信号 D E を前記クロックパルス垂直信号 C P V の 1 周期分遅延させた第 1 遅延パルス信号 D E $_n + 1$ と、

10

20

前記データイネーブル信号 DE を前記クロックパルス垂直信号 CPV の 3 周期分遅延させた第 2 遅延パルス信号 DE_{n+3} と、
を含み、

前記リセットパルス信号は、

前記第 1 遅延パルス信号 DE_{n+1} に応じて前記プレチャージスタートパルス垂直信号生成部によって行われる前記クロックパルス垂直信号 CPV のパルスのカウントをリセットするための第 1 リセット信号 RST_{rise} と、

前記第 2 遅延パルス信号 DE_{n+3} に応じて前記プレチャージスタートパルス垂直信号生成部によって行われる前記クロックパルス垂直信号 CPV のパルスのカウントをリセットするための第 2 リセット信号 RST_{fall} と、

を含む、請求項 1 に記載のスタートパルス垂直信号生成器。

10

【請求項 3】

前記プレチャージスタートパルス垂直信号生成部は、ブランク期間の終了時点より前記クロックパルス垂直信号 CPV の 2 周期分先行して前記プレチャージスタートパルス垂直信号を生成することを特徴とする、請求項 1 に記載のスタートパルス垂直信号生成器。

【請求項 4】

前記プレチャージスタートパルス垂直信号生成部は、

前記第 1 リセット信号 RST_{rise} に応じてリセットされ、前記第 1 遅延パルス信号 DE_{n+1} に応じてブランク期間に前記クロックパルス垂直信号 CPV のパルスをカウントする DE_{n+1} カウンタと、

20

前記第 2 リセット信号 RST_{fall} に応じてリセットされ、前記第 2 遅延パルス信号 DE_{n+3} に応じて前記 DE_{n+1} カウンタによる前記クロックパルス垂直信号 CPV のパルスのカウント開始から前記クロックパルス垂直信号 CPV の 2 周期分遅延して前記クロックパルス垂直信号 CPV のパルスをカウントし始め、ブランク期間に前記クロックパルス垂直信号 CPV のパルスをカウントする DE_{n+3} カウンタと、

ブランク期間が終了するごとに前記 DE_{n+3} カウンタのカウント値を貯蔵するためのカウンタ値貯蔵器と、

ブランク期間の一つで前記 DE_{n+3} カウンタによってカウントされて前記カウンタ値貯蔵器に貯蔵されたカウント値を次のブランク期間で前記 DE_{n+1} カウンタのカウント値と比較し、それらのカウント値が一致した時点でパルス信号を発生させるカウンタ比較器と、

30

前記カウンタ比較器から出力されるパルス信号に応じて前記プレチャージスタートパルス垂直信号を出力するプレチャージスタートパルス垂直信号生成器と、
を含む、請求項 2 に記載のスタートパルス垂直信号生成器。

【請求項 5】

外部から入力される第 1 データイネーブル信号をクロックパルス垂直信号の少なくとも 1 周期分遅延させて第 2 データイネーブル信号を生成し、

前記第 1 データイネーブル信号の示すブランク期間の一つでは前記第 2 データイネーブル信号の示すブランク期間の開始時点から前記第 1 データイネーブル信号の示すブランク期間の終了時点まで前記クロックパルス垂直信号のパルスをカウントしてそのカウント値を貯蔵し、

40

前記第 1 データイネーブル信号の示す次のブランク期間ではその開始時点から前記クロックパルス垂直信号のパルスをカウントし、そのカウント値が貯蔵されたカウント値に達した時点でプレチャージスタートパルス垂直信号を出力する、

TFT 液晶表示装置のゲート駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデータイネーブル信号(Data Enable Signal; DE) を用いて B I O S (Basic Input Output System) と無関係にプレチャージするスタートパルス垂直(Start Pulse Verti

50

cal; S T V) 信号生成器に係り、より詳しくは、液晶表示装置の駆動回路において、ゲートを駆動するための S T V 信号を入力するとき、B I O S と無関係に二つ前のクロックにおいてプレチャージ用 S T V 信号を生成せしめることにより、実際データが入るメイン S T V 信号以前に一次的にパネルのゲートをオンさせてデータを入力し、メイン S T V 信号が入力されるときゲートの駆動速度を速くするデータイネーブル信号 D E を用いて B I O S と無関係にプレチャージする S T V 信号生成器に関する。

【 0 0 0 2 】

【従来の技術】

一般的な P C セットにおいては、ディスプレイのための制御信号として垂直同期信号 Vsync、水平同期信号 Hsync、データイネーブル信号 D E、メインクロック信号 M C L K およびデータ(色信号)を生成している。このような P C セットにおいて、同期モード(Sync Mode)とはデータ制御のため垂直同期信号 Vsync、水平同期信号 Hsync に各種信号を生成することをいい、D E モードとはデータ制御のためデータイネーブル信号 D E にデータ制御信号を生成することをいう。

【 0 0 0 3 】

P C セットメーカーによっては、垂直同期信号 Vsync、水平同期信号 Hsync およびデータイネーブル信号 D E を全て提供する場合と、垂直同期信号 Vsync、水平同期信号 Hsync のみを提供する場合並びに、データイネーブル信号 D E のみを提供する場合がある。メインクロック信号 M C L K とデータは同期モードや D E モードに関係なしで常に提供される。

【 0 0 0 4 】

垂直同期信号 Vsync はディスプレイ装置の垂直ラインを制御するための信号であり、水平同期信号 Hsync は水平ラインを動作するための信号である。

同期信号は一般的なモニターを用いるとき制御のために生成する信号であり、データイネーブル信号は液晶表示装置用フラットパネルを制御するために適当であるように生成する信号である。

【 0 0 0 5 】

モニターは電子銃により 1 次元に画面構成を動作させ、液晶表示装置パネルはロー、コラムにより 2 次元に画面を構成する。

B I O S は同期モード、D E モードいずれの場合にも適応でき、制御信号の各種情報などの変化を可能にする。

これを図 3 および図 4 に示す。

【 0 0 0 6 】

B I O S はシステムの効用性を高めるため出力を行うタイミングを可変可能にし、例えば図 4 の同期モードにおいてデータ ' 1 ' は水平同期信号後にメインクロック信号 M C L K を三つ経てから出力される。

この場合、設計時にメインクロック信号三つの後、データ ' 1 ' を処理するように設定しているが、他の P C セットメーカーにおいて水平同期信号後に四つのメインクロック信号を経た後データが出力されるように設定されている場合、B I O S を変更しなければならない。

【 0 0 0 7 】

クロックパルス垂直信号(Clock Pulse Vertical Signal; C P V) は V G A 方式で用いられ、この V G A 方式では、画素として 6 4 0 カラム * 4 8 0 ロー * R G B 個の有効データ個数が存在する。

しかしながら、実際タイミングを見ると、制御信号はブラंक期間を有しており、有効データ個数より多い 8 0 0 * 5 2 5 のメインクロック個数からなる。

【 0 0 0 8 】

ブラंक期間では、電子銃が画面にデータを走査するとき水平方向に帰線する時間と垂直方向に帰線する時間が必要であり、この時間の間はデータを入力しても画面には表れない。

1 水平同期信号は 8 0 0 個のメインクロックが集まって構成され、1 垂直同期信号は水平

10

20

30

40

50

同期信号 525 個が集まって構成される。

【0009】

1 水平同期信号に係る信号はメインクロック信号からつくって用いるが、1 垂直同期信号に係る信号をメインクロック信号からつくる場合、 800×525 個のメインクロック信号をカウントしなければならないので非効率的であり、通常、垂直同期信号に係る垂直ライン制御信号などは 1 水平同期信号と周期が同一である CPV 信号を生成して用いる。

【0010】

この CPV 信号はゲートドライバー集積回路を動作するための基準信号になり、ゲート信号と関連するすべての信号を生成することになる。

一般的に、液晶表示装置の内部ではデータインーブル信号 DE とメインクロック信号を生成しており、この信号を用いて実際必要な信号を生成して用いている。

10

【0011】

この場合、液晶表示装置のゲートドライブを駆動するためのクロックパルスとして CPV 信号を用い、ゲートドライブの動作時点を知らせるため STV 信号を用いるが、これを図 1 に示す。

図 1 に示すように、STV 信号をみるとメイン STV 信号より CPV 信号 2 つ前のクロック $n - 2$ において任意の STV を生成してプレチャージさせる。

【0012】

そうすると、実際データが入力されるメイン STV 信号以前に 1 次的にパネルのゲートをスイッチオンさせ、データを入力してメイン STV 信号が動作する速度を高めることになり、結果的にゲートが正確な時点で動作を始めることになる。

20

従来では前記のような STV 信号を生成するために垂直同期信号 Vsync を用いており、これを図 2 に示す。このように、従来では垂直同期信号を基準にして一定時間 T 後に Pre - STV 信号を発生させていた。

【0013】

【発明が解決しようとする課題】

しかしながら、前記過程において垂直同期信号を基準にして Pre - STV 信号を発生する際の遅延時間 T は企業ごとに一定していない。すなわち、垂直同期信号を基準にして任意の一定時間 T だけ遅延する Pre - STV 信号をつくる場合、各企業の製品の BIOS により Pre - STV 信号が生成されるタイミングが異なるため、毎回 BIOS をセットアップさせなければならないという問題がある。

30

【0014】

つまり、従来の STV 信号生成器では各企業ごとに BIOS が異なるため、毎回 BIOS をセットアップさせなければならないという短所がある。

従来の Pre - STV 信号生成法と BIOS に従う補正方法について説明する。

図 5 または図 9 に示すように、プレチャージ用 STV 信号はポイント A において有効データが出力されるため、基準信号になる ' $n + 2$ ' 期間より以前である n 番目の位置において発生し得るように垂直同期信号 Vsync のローパルス信号からカウントしてつくらせる。

【0015】

このため、設計したシステムのプレチャージ STV 信号の n が 100 であって、B 社の場合 n が 150 個必要であるとすると、BIOS でブランク期間の基準信号を変更し、システムに適合するように 150 個を 100 個に変更しなければならない。

40

本発明はこのような BIOS の修正をすることなく、プレチャージ STV 信号の位置が図 5 のポイント A に示す有効データが出力する位置において常に一定となるようにし、例えば、 n の個数が 100 個または 150 個と無関係に常に一定の位置に発生するようにして、画面においてデータ損失をなくし、BIOS 調整の煩わしさを少なくしようとするものである。

【0016】

さらに、図 5 に示すように、 $n + 2$ 後であるポイント A において有効データが出力されるように回路設計した時の n の個数を 100 に固定すると、垂直同期信号 Vsync の後 CPV

50

信号 102 ($n + 2$) 個後に S T V 信号が発生することになるが、回路設計されたシステムはハードウェア的に構成されるため、最初の設計時に 102 個後に S T V 信号を生成するようにすると、この値は再び回路設計するまでは変化することなく固定してしまう。図 6 に C P V 信号が生成される過程の波形を示す。

【 0017 】

この方法は B I O S の値を変動することで、 n の個数を P C セットにおいて常に対応させて設計システムと同一にする方法を用いているが、煩わしいという短所がある。

従って、本発明は前記のような短所を解決するためのものであって、その目的は、B I O S と無関係に動作するデータイネーブル信号 D E を用いて P r e - S T V 信号を生成することにより、B I O S セットアップが必要でない、B I O S と無関係にプレチャージするスタートパルス垂直信号生成器を提供することにある。

【 0018 】

【課題を解決するための手段】

本発明に係るスタートパルス垂直信号生成器は、データイネーブル信号 D E とメインクロック信号が入力され、これをカウントしてクロックパルス垂直信号 C P V を生成するクロックパルス垂直信号生成部と、前記クロックパルス垂直信号 C P V とデータイネーブル信号 D E とが入力され、各種パルス信号を生成するパルス信号生成部と、前記クロックパルス垂直信号生成部のクロックパルス垂直信号 C P V とパルス信号生成部から出力される各種パルス信号が入力され、スタートパルス垂直信号 S T V を生成するスタートパルス垂直信号生成部とを含んで構成される。

【 0019 】

さらに、本発明の T F T 液晶表示装置のゲート駆動方法では、最初に入力されるブラंक期間をクロックパルス垂直信号 C P V の周期でカウントした値と、前記ブラंक期間を最小限 1 周期以上遅延させて C P V でカウントした値を所定の周期で貯蔵し、次の D E のブラंक信号のブラंक期間の始まりから前記 1 周期以上遅延させた C P V の周期後にプレチャージ S T V 信号を出力するようにすることを特徴とする。

【 0020 】

【発明の実施の形態】

以下、本発明の好ましい実施形態を添付図面に基づいて詳細に説明する。

図 7 は本発明の 1 実施形態に従うスタートパルス垂直信号生成器（以下、S T V 信号生成器と称す）のブロック構成図であり、図 8 は本発明の実施形態に従う S T V 信号生成器内のスタートパルス垂直信号生成部（以下、S T V 信号生成部と称す）の詳細図である。

【 0021 】

図 7 に示すように、本発明の実施形態に従う S T V 信号生成器の構成は、データイネーブル信号 D E とメインクロック信号 M C L K が入力され、これをカウントしてクロックパルス垂直信号 C P V を生成するためのクロックパルス垂直信号生成部 1 と、前記クロックパルス垂直信号生成部 1 に連結され、前記クロックパルス垂直信号 C P V とデータイネーブル信号 D E が入力され、各種パルス信号（ $D E_n + 1$, $D E_n + 3$, $R S T_r i s e$, $R S T_f a l l$ ）を生成するためのパルス信号生成部 2 と、前記クロックパルス垂直信号生成部 1 のクロックパルス垂直信号 C P V とパルス信号生成部 2 から出力される各種パルス信号（ $D E_n + 1$, $D E_n + 3$, $R S T_r i s e$, $R S T_f a l l$ ）が入力され、プレチャージスタートパルス垂直信号 P r e - S T V を生成するためのプレチャージ S T V 信号生成部 3 とからなる。

【 0022 】

図 8 に示すように、前記プレチャージ S T V 信号生成部 3 の構成は、データイネーブル信号 D E をクロックパルス垂直信号 C P V の 1 クロック信号分遅延した信号（ $D E_n + 1$ ）とリセット信号（ $R S T_r i s e$ ）が入力され、ブラंक期間の間カウントするための $D E_n + 1$ カウンタ 3 1 と、データイネーブル信号 D E をクロックパルス垂直信号 C P V の 3 クロック信号分遅延した信号（ $D E_n + 3$ ）とリセット信号（ $R S T_f a l l$ ）が入力され、ブラंक期間よりクロックパルス垂直信号 C P V の 2 クロック信号分遅

れてblank期間の間カウントするためのDE_{n+3}カウンタ34と、前記DE_{n+3}カウンタ34のカウント値を貯蔵するためのカウンタ値貯蔵器33と、前記カウンタ値貯蔵器33のカウント値と前記DE_{n+1}カウンタ31の値を比較して同一である場合、パルス信号を発生するためのカウンタ比較器32と、前記カウンタ比較器32から出力されるパルス信号が入力されてプレチャージスタートパルス垂直信号を出力するためのSTV信号生成器35とからなる。

【0023】

まず、この発明の基本概念について簡単に説明する。

図10に示すように、データイネーブル信号DEよりクロックパルス垂直信号CPV2つ分前にBIOSと無関係にプレチャージ用クロックパルス垂直信号STVを生成すること

10

である。
DEをもってCPVを生成する場合、DEの立上り部分においてカウントし始めて所望する時間後にCPVの立上りエッジまたは立下りエッジを形成し、次のDE立上りエッジが入る前にCPVのまた他のエッジ部分を形成する。これを図11に示す。

【0024】

DEが存在する区間のCPV信号周期T1はDE信号周期または垂直同期信号Hsync周期と同様であり、blank期間のCPV信号周期はT1と同様にすることができ、BIOS可変にもっと効果的にT1と同様に合わせることよりCPVを生成するカウンタ1周期(10ビットカウンタは1024個のメインクロック信号)T2につくることがずっと合理的であり、本発明の回路においてもこのように適用した。

20

【0025】

すなわち、最初のデータイネーブル信号DEとクロックパルス垂直信号CPVが入力されるとき、blank期間のクロックパルス垂直信号CPV値が可変しても常にデータイネーブル信号DEのスタートより二つのクロックパルス垂直信号CPV前でプレチャージさせる信号を生成することである。

まず、最初のデータイネーブル信号DEのblank期間の長さよりクロックパルス垂直信号CPV2つ分短いblank期間の任意のデータイネーブル信号DEを生成する。

【0026】

任意のデータイネーブル信号DEのblank期間内のクロックパルス垂直信号CPVの個数を数えて(3CPV)この値を貯蔵し、この後、最初のデータイネーブル信号DEの次のblank期間が始まる部分からカウントを開始して、任意のデータイネーブル信号DEのblank期間のカウント値と同一のカウント値で、パルスを発生させると、最初のデータイネーブル信号DEのblank期間において所望のタイミングで任意のパルスを発生することができる。ここでは、クロックパルス垂直信号CPVの2クロック信号分前のタイミングでパルスを発生させることができる。

30

【0027】

さらに、クロックパルス垂直信号CPVの個数が変わっても常に最初のデータイネーブル信号DEのデータイネーブルスタートポイントにおいてクロックパルス垂直信号CPV2つ分だけ先行して信号を生成できる。

前記構成によるこの発明の実施形態に従うSTV信号生成器の作用について説明する。

40

【0028】

まず、使用者により電源が印加されると、この発明の実施形態に従うBIOSと無関係にプレチャージするSTV信号生成器の動作が始まる。

動作が始まると、図9に示すような波形を有するデータイネーブル信号DEおよびメインクロック信号MCLKがクロックパルス垂直信号生成部(CPV信号生成部)1に入力される。

【0029】

そうすると、クロックパルス垂直信号生成部1においてはクロックパルス垂直信号CPVを生成して出力する。

各種のパルス信号生成部2においては前記クロックパルス垂直信号生成部1から出力され

50

るクロックパルス垂直信号 CPV とメインクロック信号 $MCLK$ が入力されて各種信号 (DE_n+1 , DE_n+3 , RST_rise , RST_fall) を生成する。この信号を図 9 に示す。

【0030】

次に、 DE_n+1 カウンタ 31 はデータイネーブル信号 DE をクロックパルス垂直信号 CPV の 1 クロック信号分遅延した信号 DE_n+1 とリセット信号 RST_rise が入力され、クロックパルス垂直信号 CPV のブランク期間の間カウントする。

同時に、 DE_n+3 カウンタ 34 はデータイネーブル信号 DE をクロックパルス垂直信号 CPV の 3 クロック信号分遅延した信号 DE_n+3 とリセット信号 RST_fall が入力され、クロックパルス垂直信号 CPV 2 つ分遅延して、ブランク期間の間カウントする。

10

【0031】

カウンタ値貯蔵器 33 は前記 DE_n+3 カウンタ 34 のカウント値を貯蔵する。

次に、図 9 に示すように、カウンタ比較器 32 は次のブランク期間が始まると、前記カウンタ値貯蔵器 33 のカウント値と前記 DE_n+1 カウンタ 31 値を比較し、同一になったとき、パルス信号を発生させる。

【0032】

その後、 $Pre-STV$ 信号生成器 35 は前記カウンタ比較器 32 から出力されるパルス信号が入力されプレチャージスタートパルス垂直信号を出力する。

【0033】

20

【発明の効果】

以上のように、本発明の実施例において、ゲートを駆動するための STV 信号を入力するとき、 $B IOS$ と無関係に 2 つ前のクロックにおいてプレチャージ用 STV 信号を生成せしめることにより、実際にデータが入るメイン STV 信号以前に 1 次的にパネルのゲートをオンさせ、データを入力してメイン STV 信号が入力されるとき、ゲートの駆動速度を速くするデータイネーブル信号 DE を用いて $B IOS$ と無関係にプレチャージする STV 信号生成器を提供することができる。

【図面の簡単な説明】

【図 1】一般的な STV を示す波形図である。

【図 2】従来の一般的な垂直同期信号を用いた STV 信号生成過程を示す波形図である。

30

【図 3】 $B IOS$ に係わる各信号の波形図である。

【図 4】 $B IOS$ に係わる各信号の波形図である。

【図 5】従来のプレチャージ STV 信号生成法と $B IOS$ に従う補正方法を示す波形図である。

【図 6】 CPV 信号生成法に従う各信号の波形図である。

【図 7】本発明の実施例に従う $B IOS$ と無関係にプレチャージする STV 信号生成器のブロック構成図である。

【図 8】本発明の実施例に従う $B IOS$ と無関係にプレチャージする STV 信号生成器内の STV 信号生成部の詳細図である。

【図 9】本発明の実施例に従う $B IOS$ と無関係にプレチャージする STV 信号生成器に用いられるそれぞれの信号波形図である。

40

【図 10】本発明の実施例に従う $B IOS$ と無関係にプレチャージする STV 信号生成器の動作を示す簡単な概念図である。

【図 11】データイネーブル信号 DE をもって CPV を生成する過程の各信号の波形図である。

【符号の説明】

1 クロックパルス垂直信号生成部

2 パルス信号生成部

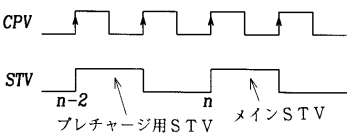
3 プレチャージ STV 信号生成部

31 DE_n+1 カウンタ

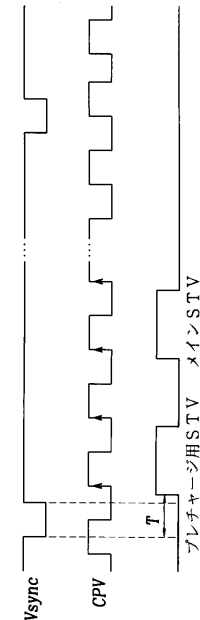
50

- 3 2 カウンタ比較器
- 3 3 カウンタ値貯蔵器
- 3 4 D E _ n + 3 カウンタ
- 3 5 P r e - S T V 信号生成器

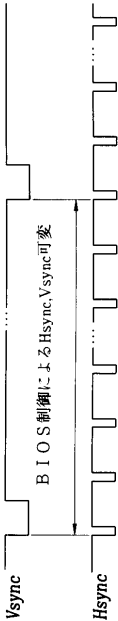
【図 1】



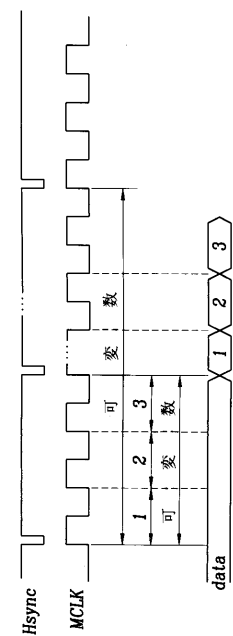
【図 2】



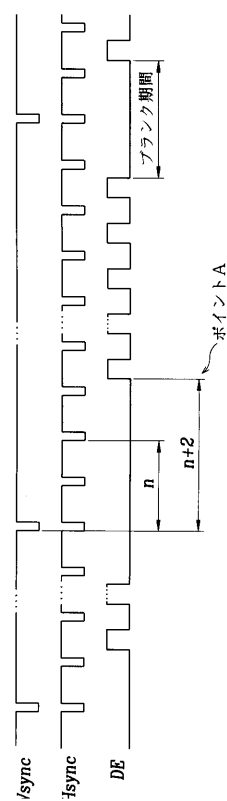
【図 3】



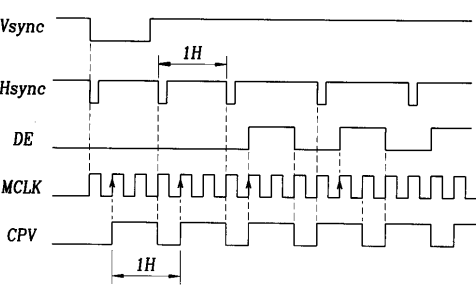
【図 4】



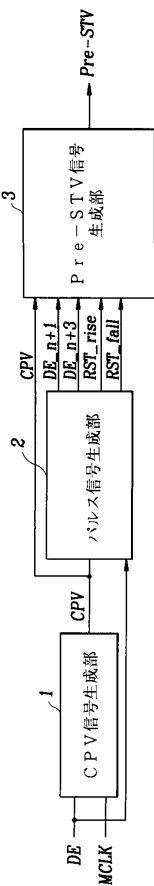
【図 5】



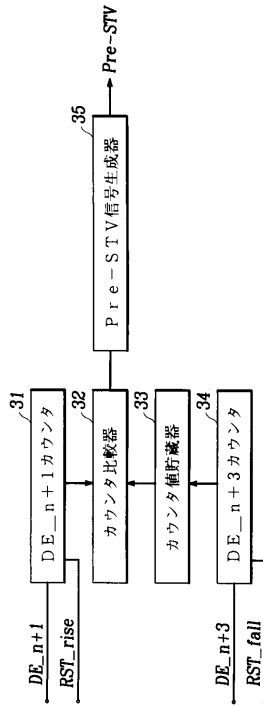
【図 6】



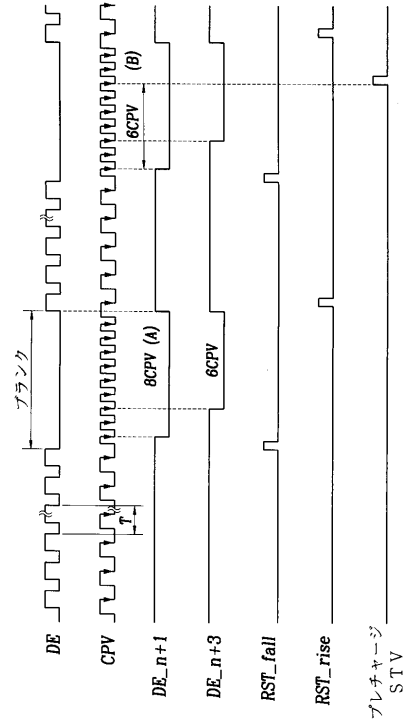
【図 7】



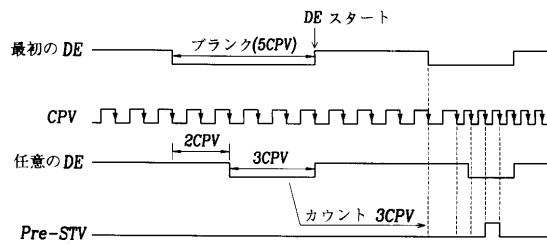
【図 8】



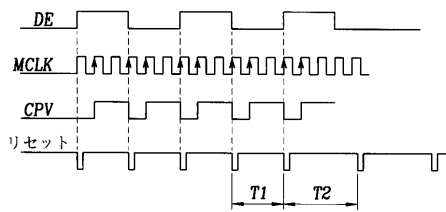
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開平 0 4 - 1 2 4 7 0 0 (J P , A)
特開平 0 7 - 2 9 5 5 2 0 (J P , A)
特開平 0 4 - 0 3 4 5 9 1 (J P , A)
特開平 0 6 - 1 7 5 6 2 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G09G 3/00- 3/38
G02F 1/133 505-580