

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-8538

(P2010-8538A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 624B	2H193
G02F 1/133 (2006.01)	G09G 3/20 621M	5C006
	G09G 3/20 680G	5C080
	G09G 3/20 611A	
審査請求 未請求 請求項の数 10 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2008-165522 (P2008-165522)
 (22) 出願日 平成20年6月25日 (2008. 6. 25)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一
 (72) 発明者 安田 好三
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内
 Fターム(参考) 2H093 NA16 NA53 NC10 NC12 NC15
 NC18 NC23 NC34 NC40 NC71
 ND60
 2H193 ZA04 ZD23 ZF22 ZF36 ZF59

最終頁に続く

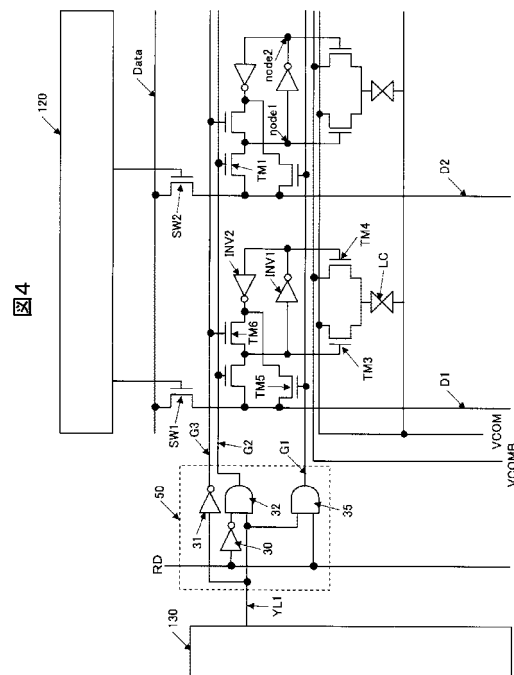
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】各表示画素毎にメモリ部を配置した表示装置において、各表示画素のメモリ部に記憶されたデータ値を読み出す。

【解決手段】複数の表示画素と、前記表示画素に映像データを入力する映像線とを有する表示パネルを備え、前記表示画素は、前記映像データを記憶するメモリ部を有し、前記メモリ部は、入力端子が第1のノードに接続され、出力端子が第2のノードに接続される第1のインバータ回路と、入力端子が前記第2のノードに接続され、出力端子が前記第1のノードに接続される第2のインバータ回路とで構成され、前記表示画素は、前記第2のインバータ回路の前記出力端子と前記映像線との間に接続される第1トランジスタと、前記第1のノードと前記映像線との間に接続される第2トランジスタを有し、前記映像データの読み出し時に、前記第2トランジスタはオフ、前記第1トランジスタはオンとなり、前記メモリ部に記憶された前記映像データを前記映像線に出力する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

複数の表示画素と、

前記表示画素に映像データを入力する映像線とを有する表示パネルを備え、

前記表示画素は、前記映像データを記憶するメモリ部を有し、

前記メモリ部に記憶された前記映像データの保持状態において、前記メモリ部は、入力端子が第 1 のノードに接続され、出力端子が第 2 のノードに接続される第 1 のインバータ回路と、

入力端子が前記第 2 のノードに接続され、出力端子が前記第 1 のノードに接続される第 2 のインバータ回路とで構成される表示装置であって、

前記表示画素は、前記第 2 のインバータの前記出力端子と前記映像線との間に接続される第 1 トランジスタと、

前記第 1 のノードと前記映像線との間に接続される第 2 トランジスタを有し、

前記映像データの読み出し時に、前記第 2 トランジスタはオフ、前記第 1 トランジスタはオンとなり、前記メモリ部に記憶された前記映像データを前記映像線に出力し、

前記映像データの書き込み時に、前記第 1 トランジスタはオフ、前記第 2 トランジスタはオンとなり、前記映像線に供給される前記映像データを前記第 1 のノードに入力することを特徴とする表示装置。

【請求項 2】

前記表示画素は、前記第 1 のノードと前記第 2 のインバータ回路の前記出力端子との間に接続される第 3 トランジスタを有し、

前記第 3 トランジスタは、前記映像データの書き込み・読み出し時にオフ、前記映像データの保存時にオンとなることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記表示パネルは、論理回路と、

1 表示ライン毎に設けられ、前記論理回路に接続される第 1 走査線、第 2 走査線および第 3 走査線とを有し、

前記第 1 走査線には第 1 トランジスタの制御電極が接続され、

前記第 2 走査線には第 2 トランジスタの制御電極が接続され、

前記第 3 走査線には第 3 トランジスタの制御電極が接続され、

前記論理回路には、前記映像データの書き込み・読み出しを実行する表示ラインを選択する表示ライン選択信号と、前記映像データの読み出しを制御する読み出し制御信号が入力され、

前記論理回路は、入力される前記読み出し制御信号と前記表示ライン選択信号とが有効の場合に、前記第 1 トランジスタをオンとする電圧を前記第 1 走査線に、前記第 2 トランジスタと前記第 3 トランジスタとをオフとする電圧を前記第 2 走査線と前記第 3 走査線に出力し、また、入力される前記読み出し制御信号が無効で、前記表示ライン選択信号が有効の場合に、前記第 2 トランジスタをオンとする電圧を前記第 2 走査線に、前記第 1 トランジスタと前記第 3 トランジスタとをオフとする電圧を前記第 1 走査線と前記第 3 走査線に出力することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記論理回路は、入力される前記読み出し制御信号と前記表示ライン選択信号とが無効の場合に、前記第 3 トランジスタをオンとする電圧を前記第 3 走査線に、前記第 1 トランジスタと前記第 2 トランジスタとをオフとする電圧を前記第 1 走査線と前記第 2 走査線に出力することを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

複数の表示画素と、

前記表示画素に映像データを入力する映像線とを有する表示パネルを備え、

前記表示画素は、前記映像データを記憶するメモリ部を有し、

前記メモリ部に記憶された前記映像データの保持状態において、前記メモリ部は、入力

10

20

30

40

50

端子が第 1 のノードに接続され、出力端子が第 2 のノードに接続される第 1 のインバータ回路と、

入力端子が前記第 2 のノードに接続され、出力端子が前記第 1 のノードに接続される第 2 のインバータ回路とで構成される表示装置であって、

前記表示画素は、前記第 2 のインバータの前記出力端子と前記第 1 のノードとの間に接続される第 1 トランジスタと、

前記第 1 トランジスタの第 1 電極と前記映像線との間に接続される第 2 トランジスタとを有し、

前記映像データの読み出し時に、前記第 1 トランジスタはオフ、前記第 2 トランジスタはオンとなり、前記メモリ部に記憶された前記映像データを前記映像線に出力し、

前記映像データの書き込み時に、前記第 1 トランジスタと前記第 2 トランジスタはオンとなり、前記映像線に供給される前記映像データを前記第 1 のノードに入力することを特徴とする表示装置。

【請求項 6】

前記表示画素は、前記第 1 トランジスタの第 1 電極と前記第 2 のインバータ回路の前記出力端子との間に接続される第 3 トランジスタを有し、

前記第 3 トランジスタは、前記映像データの書き込み時にオフ、前記映像データの読み出し・保存時にオンとなることを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

前記表示パネルは、論理回路と、

1 表示ライン毎に設けられ、前記論理回路に接続される第 1 走査線、第 2 走査線および第 3 走査線とを有し、

前記第 1 走査線には第 1 トランジスタの制御電極が接続され、

前記第 2 走査線には第 2 トランジスタの制御電極が接続され、

前記第 3 走査線には第 3 トランジスタの制御電極が接続され、

前記論理回路には、前記映像データの書き込み・読み出しを実行する表示ラインを選択する表示ライン選択信号と、前記映像データの読み出しを制御する読み出し制御信号が入力され、

前記論理回路は、入力される前記読み出し制御信号と前記表示ライン選択信号とが有効の場合に、前記第 2 トランジスタと前記第 3 トランジスタとをオンとする電圧を前記第 2 走査線と前記第 3 走査線に、前記第 1 トランジスタをオフとする電圧を前記第 1 走査線に出力し、また、入力される前記読み出し制御信号が無効で、前記表示ライン選択信号が有効の場合に、前記第 1 トランジスタと前記第 2 トランジスタとをオンとする電圧を前記第 1 走査線と前記第 2 走査線に、前記第 3 トランジスタをオフとする電圧を前記第 3 走査線に出力することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記論理回路は、入力される前記読み出し制御信号と前記表示ライン選択信号とが無効の場合に、前記第 1 トランジスタと前記第 3 トランジスタとをオンとする電圧を前記第 1 走査線と前記第 3 走査線に、前記第 2 トランジスタをオフとする電圧を前記第 2 走査線に出力することを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記表示ライン選択信号を出力する走査線シフトレジスタ回路、あるいは、走査線アドレス回路を有し、

前記走査線シフトレジスタ回路、あるいは、前記走査線アドレス回路は、前記表示パネルの前記メモリ部が形成されている基板と同一の基板に一体に形成されていることを特徴とする請求項 3、請求項 4、請求項 7、または、請求項 8 のいずれか 1 項に記載の表示装置。

【請求項 10】

前記映像データを供給すべき前記映像線を選択する映像線シフトレジスタ回路、あるいは、映像線アドレス回路を有し、

10

20

30

40

50

前記映像線シフトレジスタ回路、あるいは、前記映像線アドレス回路は、前記表示パネルの前記メモリ部が形成されている基板と同一の基板に一体に形成されていることを特徴とする請求項 9 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置や EL 表示装置などの表示装置に係り、特に、各表示画素毎にメモリを配置した表示装置に関する。

【背景技術】

【0002】

液晶表示パネル内の各表示画素にメモリ部を配置し、当該メモリ部に表示データを記憶しておき、外部からの入力信号がない場合でも、液晶表示パネルに画像が表示できる、低消費電力で、高機能の液晶表示装置が知られている。(下記、特許文献 1 参照)

前述の特許文献 1 に記載した液晶表示装置では、X アドレス回路及び Y アドレス回路を配置し、X アドレス回路及び Y アドレス回路で選択した位置の表示画素のメモリ部に映像データを書き込むものである。

さらに、前述の特許文献 1 に記載した液晶表示装置は、各表示画素のメモリ部と、X アドレス回路、および Y アドレス回路とを、半導体層としてポリシリコンを用いた薄膜トランジスタ(以下、Poly-Si TFT という。)を用いて構成し、しかも、液晶表示パネルの各表示画素のメモリ部が形成されている基板と同一の基板上に、X アドレス回路および Y アドレス回路を一体に構成したものである。

【0003】

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献 1】特開 2006 - 285118 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

液晶表示パネルの各表示画素にメモリ部を配置した液晶表示装置において、各表示画素のメモリ部に記憶されたデータ値を読み出すことが可能であれば、読み出したデータ値を直接他の表示画素のメモリ部に書き込むことにより、ソフトウェアの助けがなくてもハードウェアのみで映像の移動やスクロールが可能である。

しかしながら、例えば、前述の特許文献 1 等の開示されている、液晶表示パネルの各表示画素にメモリ部を配置した液晶表示装置では、各表示画素のメモリ部に記憶されたデータ値を読み出すことができなかった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、各表示画素毎にメモリ部を配置した表示装置において、各表示画素のメモリ部に記憶されたデータ値を読み出すことが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

(1) 複数の表示画素と、前記表示画素に映像データを入力する映像線とを有する表示パネルを備え、前記表示画素は、前記映像データを記憶するメモリ部を有し、前記メモリ部に記憶された前記映像データの保持状態において、前記メモリ部は、入力端子が第 1 のノードに接続され、出力端子が第 2 のノードに接続される第 1 のインバータ回路と、入力端子が前記第 2 のノードに接続され、出力端子が前記第 1 のノードに接続される第 2 のインバータ回路とで構成される表示装置であって、前記表示画素は、前記第 2 のインバータ回路の前記出力端子と前記映像線との間に接続される第 1 トランジスタと、前記第 1 のノード

10

20

30

40

50

ドと前記映像線との間に接続される第2トランジスタを有し、前記映像データの読み出し時に、前記第2トランジスタはオフ、前記第1トランジスタはオンとなり、前記メモリ部に記憶された前記映像データを前記映像線に出力し、前記映像データの書き込み時に、前記第1トランジスタはオフ、前記第2トランジスタはオンとなり、前記映像線に供給される前記映像データを前記第1のノードに入力する。

(2)(1)において、前記表示画素は、前記第1のノードと前記第2のインバータ回路の前記出力端子との間に接続される第3トランジスタを有し、前記第3トランジスタは、前記映像データの書き込み・読み出し時にオフ、前記映像データの保存時にオンとなる。

【0006】

(3)(2)において、前記表示パネルは、論理回路と、1表示ライン毎に設けられ、前記論理回路に接続される第1走査線、第2走査線および第3走査線とを有し、前記第1走査線には第1トランジスタの制御電極が接続され、前記第2走査線には第2トランジスタの制御電極が接続され、前記第3走査線には第3トランジスタの制御電極が接続され、前記論理回路には、前記映像データの書き込み・読み出しを実行する表示ラインを選択する表示ライン選択信号と、前記映像データの読み出しを制御する読み出し制御信号が入力され、前記論理回路は、入力される前記読み出し制御信号と前記表示ライン選択信号とが有効の場合に、前記第1トランジスタをオンとする電圧を前記第1走査線に、前記第2トランジスタと前記第3トランジスタとをオフとする電圧を前記第2走査線と前記第3走査線に出力し、また、入力される前記読み出し制御信号が無効で、前記表示ライン選択信号が有効の場合に、前記第2トランジスタをオンとする電圧を前記第2走査線に、前記第1トランジスタと前記第3トランジスタとをオフとする電圧を前記第1走査線と前記第3走査線に出力する。

(4)(3)において、前記論理回路は、入力される前記読み出し制御信号と前記表示ライン選択信号とが無効の場合に、前記第3トランジスタをオンとする電圧を前記第3走査線に、前記第1トランジスタと前記第2トランジスタとをオフとする電圧を前記第1走査線と前記第2走査線に出力する。

【0007】

(5)複数の表示画素と、前記表示画素に映像データを入力する映像線とを有する表示パネルを備え、前記表示画素は、前記映像データを記憶するメモリ部を有し、前記メモリ部に記憶された前記映像データの保持状態において、前記メモリ部は、入力端子が第1のノードに接続され、出力端子が第2のノードに接続される第1のインバータ回路と、入力端子が前記第2のノードに接続され、出力端子が前記第1のノードに接続される第2のインバータ回路とで構成される表示装置であって、前記表示画素は、前記第2のインバータ回路の前記出力端子と前記第1のノードとの間に接続される第1トランジスタと、前記第1トランジスタの第1電極と前記映像線との間に接続される第2トランジスタとを有し、前記映像データの読み出し時に、前記第1トランジスタはオフ、前記第2トランジスタはオンとなり、前記メモリ部に記憶された前記映像データを前記映像線に出力し、前記映像データの書き込み時に、前記第1トランジスタと前記第2トランジスタはオンとなり、前記映像線に供給される前記映像データを前記第1のノードに入力する。

(6)(5)において、

前記表示画素は、前記第1トランジスタの第1電極と前記第2のインバータ回路の前記出力端子との間に接続される第3トランジスタを有し、前記第3トランジスタは、前記映像データの書き込み時にオフ、前記映像データの読み出し・保存時にオンとなる。

【0008】

(7)(6)において、前記表示パネルは、論理回路と、1表示ライン毎に設けられ、前記論理回路に接続される第1走査線、第2走査線および第3走査線とを有し、前記第1走査線には第1トランジスタの制御電極が接続され、前記第2走査線には第2トランジスタの制御電極が接続され、前記第3走査線には第3トランジスタの制御電極が接続され、前記論理回路には、前記映像データの書き込み・読み出しを実行する表示ラインを選択する表示ライン選択信号と、前記映像データの読み出しを制御する読み出し制御信号が入力さ

れ、前記論理回路は、入力される前記読み出し制御信号と前記表示ライン選択信号とが有効の場合に、前記第2トランジスタと前記第3トランジスタとをオンとする電圧を前記第2走査線と前記第3走査線に、前記第1トランジスタをオフとする電圧を前記第1走査線に出力し、また、入力される前記読み出し制御信号が無効で、前記表示ライン選択信号が有効の場合に、前記第1トランジスタと前記第2トランジスタとをオンとする電圧を前記第1走査線と前記第2走査線に、前記第3トランジスタをオフとする電圧を前記第3走査線に出力する。

(8)(7)において、前記論理回路は、入力される前記読み出し制御信号と前記表示ライン選択信号とが無効の場合に、前記第1トランジスタと前記第3トランジスタとをオンとする電圧を前記第1走査線と前記第3走査線に、前記第2トランジスタをオフとする電圧を前記第2走査線に出力する。

10

【0009】

(9)(3)、(4)、(7)、または(8)の何れかにおいて、前記表示ライン選択信号を出力する走査線シフトレジスタ回路、あるいは、走査線アドレス回路を有し、前記走査線シフトレジスタ回路、あるいは、前記走査線アドレス回路は、前記表示パネルの前記メモリ部が形成されている基板と同一の基板に一体に形成されていることを特徴とする。

(10)(9)において、前記映像データを供給すべき前記映像線を選択する映像線シフトレジスタ回路、あるいは、映像線アドレス回路を有し、前記映像線シフトレジスタ回路、あるいは、前記映像線アドレス回路は、前記表示パネルの前記メモリ部が形成されている基板と同一の基板に一体に形成されている。

20

【発明の効果】

【0010】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、各表示画素毎にメモリ部を配置した表示装置において、各表示画素のメモリ部に記憶されたデータ値を読み出すことが可能となる。

【発明を実施するための最良の形態】

【0011】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

30

〔本発明の前提となる液晶表示装置〕

図1は、本発明の前提となる液晶表示装置の概略構成を示すブロック図である。

図1において、100は表示部、120はX-アドレス回路(映像線アドレス回路ともいう)、130はY-アドレス回路(走査線アドレス回路ともいう)、10は表示画素である。

表示部100は、マトリクス状に配置される複数個の表示画素10と、各表示画素10に表示データを供給する映像線(ドレイン線ともいう)(D1, D2, D3, . . . , Dn)と、各表示画素10に走査信号を供給する走査線(ゲート線ともいう)(Y1, Y2, Y3, . . . , YGm)とを有する。

40

X-アドレス回路120は、n個の出力端子を有し、X-アドレス回路120の各出力端子は、スイッチング素子(SW1, SW2, SW3, . . . , SWn)を構成する薄膜トランジスタのゲートに接続される。

選択した位置の表示画素10に映像データを書き込む場合、X-アドレス回路120により、スイッチング素子(SW1, SW2, SW3, . . . , SWn)の中で、選択した位置の表示画素10に対応するスイッチング素子SWをオンとし、映像データが供給されるデータ線(Data)から、映像線(D1, D2, D3, . . . , Dn)の中の選択した位置の表示画素10に対応する映像線に映像データを供給する。

同様に、Y-アドレス回路130により、走査線(Y1, Y2, Y3, . . . , Ym)の中の選択した位置の表示画素10に対応する走査線に選択走査電圧を供給する。

50

【 0 0 1 2 】

図 2 は、図 1 に示す表示画素 10 の等価回路を示す回路図である。

同図において、第 1 のインバータ回路 (I N V 1) と、第 2 のインバータ回路 (I N V 2) は、メモリ部を構成する。

第 1 のインバータ回路 (I N V 1) は、入力端子がノード 1 (n o d e 1) に接続され、出力端子がノード 2 (n o d e 2) に接続される。また、第 2 のインバータ回路 (I N V 2) は、入力端子がノード 2 (n o d e 2) に接続され、出力端子がノード 1 (n o d e 1) に接続される。

尚、第 2 のインバータ回路 (I N V 2) の出力端子は p 型トランジスタ (T M 2) を介して第 1 のインバータ回路 (I N V 1) の入力端子と接続されているが、この p 型トランジスタ (T M 2) は通常の状態、すなわち、メモリ部が保持動作の状態の時はオンになっている。

したがって、p 型トランジスタ (T M 2) を省略し、第 2 のインバータ回路 (I N V 2) の出力端子と、第 1 のインバータ回路 (I N V 1) の入力端子とを直接接続するようにしてもよい。

【 0 0 1 3 】

ノード 1 (n o d e 1) に、n 型トランジスタ (T M 1) のドレインと、p 型トランジスタ (T M 2) のドレインとが接続され、かつ、n 型トランジスタ (T M 1) のゲートと、p 型トランジスタ (T M 2) のゲートが走査線 (Y) に接続される。

したがって、走査線 (Y) に選択走査電圧、例えば、H i g h レベル (以下、H レベルという) が印加されると、n 型トランジスタ (T M 1) がオン、p 型トランジスタ (T M 2) がオフとなり、ノード 1 (n o d e 1) に映像線 (D) に印加される映像データ (「 1 」か「 0 」) が書き込まれる。すなわち、書き込み動作が行われる。

また、走査線 (Y) に非選択走査電圧、例えば、L o w レベル (以下、L レベルという) が印加されると、n 型トランジスタ (T M 1) がオフ、p 型トランジスタ (T M 2) がオンとなり、ノード 1 (n o d e 1) に書き込まれたデータ値が、第 1 のインバータ回路 (I N V 1) と第 2 のインバータ回路 (I N V 2) とから成るメモリ部に保持される。すなわち、保持動作が行われる。

ゲートがノード 1 (n o d e 1) に接続される n 型トランジスタ (T M 3) は、ノード 1 (n o d e 1) の電圧が H レベルの時にオンとなり、画素電極 (I T O 1) に第 1 の映像電圧 (ここでは、共通電極 (I T O 2) に印加する V C O M の電圧) を印加する。

ゲートがノード 2 (n o d e 2) に接続される n 型トランジスタ (T M 4) は、ノード 2 (n o d e 2) が H レベルの時にオンとなり、画素電極 (I T O 1) に第 2 の映像電圧 (ここでは、共通電極 (I T O 2) に印加する V C O M の電圧をインバータで反転した V C O M B の電圧) を印加する。

【 0 0 1 4 】

ノード 1 (n o d e 1) とノード 2 (n o d e 2) との関係は、信号レベルが反転した関係にある。そのため、ノード 1 (n o d e 1) の電圧が H レベルの時、ノード 2 (n o d e 2) の電圧は L レベルとなり、n 型トランジスタ (T M 3) がオン、n 型トランジスタ (T M 4) はオフとなる。ノード 1 (n o d e 1) の電圧が L レベルの時、ノード 2 (n o d e 2) の電圧は H レベルとなり、n 型トランジスタ (T M 3) がオフ、n 型トランジスタ (T M 4) はオンである。

このように、スイッチ部 (例えば、同一導電型の 2 つのトランジスタ (T M 3 , T M 4) で構成される) は、メモリ部に記憶されたデータ (映像線 (D) からメモリ部に書き込まれたデータ) に応じて、第 1 の映像電圧または第 2 の映像電圧を選択して画素電極 (I T O 1) に印加する。

画素電極 (I T O 1) と、これに対向して配置される共通電極 (コモン電極、対向電極ともいう) (I T O 2) との間に発生する電界によって、液晶 (L C) が駆動される。なお、共通電極 (I T O 2) は、画素電極 (I T O 1) が形成された基板と同じ基板に形成されていても良いし、異なる基板に形成されていても良い。

10

20

30

40

50

【 0 0 1 5 】

インバータ回路 (I N V 1 , I N V 2) を構成するトランジスタ、および、 T M 1 , T M 2 , T M 3 , T M 4 のトランジスタは、半導体層としてポリシリコンを用いた薄膜トランジスタで構成される。

図 1 中の X - アドレス回路 1 2 0 と Y - アドレス回路 1 3 0 は、液晶表示パネル内の回路であり、これらの回路は、インバータ回路 (I N V 1 , I N V 2) を構成するトランジスタ、および、 T M 1 , T M 2 , T M 3 , T M 4 のトランジスタと同様、半導体層としてポリシリコンを用いた薄膜トランジスタで構成され、これらの薄膜トランジスタは、インバータ回路 (I N V 1 , I N V 2) を構成するトランジスタ等と同時に形成される。

また、走査線 (Y) に非選択走査電圧が印加されると、トランジスタ (T M 1) がオフ、トランジスタ (T M 2) がオンとなり、ノード 1 (n o d e 1) に書き込まれたデータ値が、第 1 のインバータ回路 (I N V 1) と第 2 のインバータ回路 (I N V 2) とから成るメモリ部に保持される。これにより、画像入力がない期間内にも表示部 1 0 0 に画像が表示される。

例えば、ノーマリホワイトの液晶表示パネルの場合、ノード 1 (n o d e 1) に「 1 」 (ノード 2 (n o d e 2) は「 0 」) が書き込まれたときに「白」、ノード 1 (n o d e 1) に「 0 」 (ノード 2 (n o d e 2) は「 1 」) が書き込まれた時に「黒」となる。

画像を書き換える必要がない場合には、X - アドレス回路 1 2 0 や Y - アドレス回路 1 3 0 の動作を停止できるため、消費電力の低減が可能である。

【 0 0 1 6 】

図 3 は、図 2 に示す V C O M の電圧と、V C O M の電圧を反転したバー V C O M の電圧の反転周期を説明するための図である。

図 1 に示す液晶表示装置の交流駆動方法としてコモン反転駆動方法が採用されるが、図 1 に示す液晶表示装置では、図 3 に示すように、V C O M の電圧 (第 1 の映像電圧) と、V C O M の電圧を反転した V C O M B の電圧 (第 2 の映像電圧) とを、コモン反転周期に応じて変化させるだけよい。V C O M の電圧は、コモン反転周期に応じて、L レベル (例えば、0 V) と、H レベル (例えば、5 V) との間で反転する。V C O M B の電圧は、V C O M の電圧をインバータで反転して生成することができる。V C O M の電圧が L レベルの時、V C O M B の電圧は H レベルであり、V C O M の電圧が H レベルの時、V C O M B の電圧は L レベルである。すなわち、所定の周期で V C O M の電圧の大きさと V C O M B の電圧の大きさが互いに入れ替わる。

【 0 0 1 7 】

[実施例 1]

図 4 は、本発明の実施例 1 の液晶表示装置の概略構成を示す図である。

本実施例の液晶表示装置は、液晶表示パネル内の各表示画素にメモリ部を配置し、当該メモリ部に表示データを記憶しておき、外部からの入力信号がない場合でも、液晶表示パネルに画像が表示できる、低消費電力で、高機能の液晶表示装置において、メモリ部に記憶されたデータ値を読み出せるようにしたものである。

本実施例において、図 1 に示す液晶表示装置と異なる点は、以下の点である。

(1) メモリ部に記憶されたデータ値の読み出し用にトランジスタ (T M 5) が追加され、このトランジスタ (T M 5) は、映像線 (D) と第 2 のインバータ回路 (I N V 2) の出力端子との間に接続される点

(2) 1 表示ライン毎の走査線が 1 本から、G 1 , G 2 , G 3 の 3 本に変更され、トランジスタ (T M 5) のゲートは第 1 の走査線 (G 1) に接続され、トランジスタ (T M 1) のゲートは第 2 の走査線 (G 2) に接続され、トランジスタ (T M 6) のゲートは第 3 の走査線 (G 3) に接続される点

(3) 第 1 の走査線 (G 1) 、第 2 の走査線 (G 2) 、および、第 3 の走査線 (G 3) は、論理回路 5 0 に接続される点

(4) 新たに、読み出し制御信号 (R D) が追加され、論理回路 5 0 に入力される点

【 0 0 1 8 】

10

20

30

40

50

本実施例では、論理回路 50 は、Y - アドレス回路 130 から出力される表示ライン選択信号（H レベルの選択走査電圧、あるいは、L レベルの非選択走査電圧）（Y L）と、読み出し制御信号（R D）との論理積を取って第 1 の走査線（G 1）に出力するアンド回路 33 と、Y - アドレス回路 130 から出力される表示ライン選択信号と、インバータ回路 30 で反転された読み出し制御信号（R D）の反転信号との論理積を取って第 2 の走査線（G 2）に出力するアンド回路 32 と、Y - アドレス回路 130 から出力される表示ライン選択信号を反転して第 3 の走査線（G 3）に出力するインバータ回路 31 とで構成される。

なお、本実施例 1、および後述する実施例 2 の X - アドレス回路 120 と Y - アドレス回路 130 は、液晶表示パネル内の回路であり、これらの回路は、インバータ回路（I N V 1, I N V 2）を構成するトランジスタ、および、T M 1, T M 3, T M 4, T M 5, T M 6 のトランジスタと同様、半導体層がポリシリコン層から成る薄膜トランジスタで構成され、これらの薄膜トランジスタは、インバータ回路（I N V 1, I N V 2）を構成するトランジスタ等と同時に形成される。

また、本実施例では、図 2 に示す p 型トランジスタ（T M 2）に代えて、n 型トランジスタ（T M 6）が使用されが、図 2 と同様、p 型トランジスタ（T M 2）を使用することも可能である。その場合、インバータ回路 31 は必要ない。

また、本実施例において、X - アドレス回路 120 に代えて、X - シフトレジスタ回路を使用してもよく、また、Y - アドレス回路 130 に代えて、Y - シフトレジスタ回路を使用してもよい。

【0019】

以下、本実施例の液晶表示装置の動作を、図 5 のタイミングチャートを用いて説明する。初めに、メモリ部に記憶されたデータ値の読み出しについて説明する。

メモリ部に記憶されたデータ値を読み出す時には、図 5（a）に示すように、Y - アドレス回路 130 で読み出す表示ラインを選択する。ここでは、1 番目の表示ライン（Y L 1）を選択し、表示ライン選択信号を有効とするため、H レベルの選択走査電圧を出力する。

次に、図 5（a）に示すように、読み出し制御信号（R D）を有効とするため H レベルとする。これにより、論理回路 50 内の、インバータ回路 31、アンド回路 32、アンド回路 33 から、第 1 の走査線（G 1）、第 2 の走査線（G 2）、および、第 3 の走査線（G 3）に、図 5（a）に示す電圧が出力される。

この時、第 1 の走査線（G 1）は H レベル、第 2 の走査線（G 2）と第 3 の走査線（G 3）は L o w レベルとなるので、トランジスタ（T M 5）はオン、トランジスタ（T M 1）とトランジスタ（T M 6）はオフとなる。

したがって、映像線（D）に、メモリ部に記憶されたデータ値（第 2 のインバータ（I N V 2）の出力電圧）が読み出される。

【0020】

次に、この映像線（D）に読み出されたデータ値を、他のメモリ部に書き込むには、まず、図 5（b）に示すように、Y - アドレス回路 130 で書き込む表示ラインを選択する。ここでは、n 番目の表示ライン（Y L n）を選択し、表示ライン選択信号を有効とするため、H レベルの選択走査電圧を出力する。

また、書き込み時には、図 5（b）に示すように、読み出し制御信号（R D）を L レベルのままとする。これにより、論理回路 50 内の、インバータ回路 31、アンド回路 32、アンド回路 33 から、第 1 の走査線（G 1）、第 2 の走査線（G 2）、および、第 3 の走査線（G 3）に、図 5（b）に示す電圧が出力される。

この時、第 2 の走査線（G 2）は H レベル、第 1 の走査線（G 1）と第 3 の走査線（G 3）は L レベルとなるので、トランジスタ（T M 1）はオン、トランジスタ（T M 5）とトランジスタ（T M 6）はオフとなる。

これにより、読み出したデータ値（即ち、1 番目の表示ライン（Y L 1）のメモリ部に記録されたデータ値）が、n 番目の表示ライン（Y L n）のメモリ部に書き込まれる。こ

10

20

30

40

50

のようにして、データの移動が行なはれ、これを連続で行うことによりスクロールを行うことができる。

【 0 0 2 1 】

[実施例 2]

図 6 は、本発明の実施例 2 の液晶表示装置の概略構成を示す図である。

本実施例において、図 4 に示す液晶表示装置と異なる点は、以下の点である。

(1) メモリ部に記憶されたデータ値の読み出し用に追加されたトランジスタ (T M 5) が、トランジスタ (T M 1) のドレインと第 1 のノード (n o d e 1) との間に接続される点

(2) 論理回路 5 1 は、Y - アドレス回路 1 3 0 から出力される表示ライン選択信号 (H レベルの選択走査電圧、あるいは、L レベルの非選択走査電圧) (Y L) と、読み出し制御信号 (R D) との一致を取って第 3 の走査線 (G 3) に出力する一致回路 3 4 と、読み出し制御信号 (R D) を反転して第 1 の走査線 (G 1) に出力するインバータ回路 3 3 とで構成される。また、第 2 の走査線 (G 2) に対しては、Y - アドレス回路 1 3 0 から出力される表示ライン選択信号 (Y L) が出力される。

また、本実施例では、図 2 に示す p 型トランジスタ (T M 2) に代えて、n 型トランジスタ (T M 6) が使用されが、図 2 と同様、p 型トランジスタ (T M 2) を使用することも可能である。その場合、一致回路 3 4 に代えて、E X - O R 回路を用いればよい。

また、本実施例においても、X - アドレス回路 1 2 0 に代えて、X - シフトレジスタ回路を使用してもよく、また、Y - アドレス回路 1 3 0 に代えて、Y - シフトレジスタ回路を使用してもよい。

【 0 0 2 2 】

以下、本実施例の液晶表示装置の動作を、図 7 のタイミングチャートを用いて説明する。
初めに、メモリ部に記憶されたデータ値の読み出しについて説明する。

メモリ部に記憶されたデータ値を読み出す時には、図 7 (a) に示すように、Y - アドレス回路 1 3 0 で読み出す表示ラインを選択する。ここでは、1 番目の表示ライン (Y L 1) を選択し、表示ライン選択信号を有効とするため、H レベルの選択走査電圧を出力する。

次に、図 7 (a) に示すように、読み出し制御信号 (R D) を有効とするため H レベルとする。これにより、論理回路 5 1 内の、インバータ回路 3 5、一致回路 3 4 から、第 1 の走査線 (G 1) と、第 3 の走査線 (G 3) に、図 7 (a) に示す電圧が出力される。また、第 2 の走査線 (G 2) には、図 7 (a) に示すように、H レベルの選択走査電圧が出力される。

この時、第 2 の走査線 (G 2) と第 3 の走査線 (G 3) は H レベル、第 1 の走査線 (G 1) は L o w レベルとなるので、トランジスタ (T M 5) はオフ、トランジスタ (T M 1) とトランジスタ (T M 6) はオンとなる。

したがって、映像線 (D) に、メモリ部に記憶されたデータ値 (第 2 のインバータ (I N V 2) の出力電圧) が読み出される。

【 0 0 2 3 】

次に、この映像線 (D) に読み出されたデータ値を、他のメモリ部に書き込むには、まず、図 7 (b) に示すように、Y - アドレス回路 1 3 0 で書き込む表示ラインを選択する。ここでは、n 番目の表示ライン (Y L n) を選択し、表示ライン選択信号を有効とするため、H レベルの選択走査電圧を出力する。

また、書き込み時には、図 7 (b) に示すように、読み出し制御信号 (R D) を L レベルのままとする。これにより、論理回路 5 1 内の、インバータ回路 3 5、一致回路 3 4 から、第 1 の走査線 (G 1) と、第 3 の走査線 (G 3) に、図 7 (b) に示す電圧が出力される。また、第 2 の走査線 (G 2) には、図 7 (b) に示すように、H レベルの選択走査電圧が出力される。

この時、第 1 の走査線 (G 1) と第 2 の走査線 (G 2) は H レベル、第 3 の走査線 (G 3) は L o w レベルとなるので、トランジスタ (T M 6) はオフ、トランジスタ (T M 1

）とトランジスタ（ＴＭ５）はオンとなる。

これにより、読み出したデータ値（即ち、１番目の表示ライン（ＹＬ１）のメモリ部に記録されたデータ値）が、ｎ番目の表示ライン（ＹＬｎ）のメモリ部に書き込まれる。このようにして、データの移動が行なはれ、これを連続で行うことによりスクロールを行うことができる。

【００２４】

以上説明したように、本実施例によれば、各表示画素のメモリ部に記録されたデータ値を読み出すことができるため、それを直接他の表示画素のメモリ部に書き込むことにより、ソフトウェアの助けがなくてもハードウェアのみで映像の移動やスクロールができる。これにより、描画速度の向上や表示時の電力低減を図ることが可能となる。

10

なお、前述の実施例では、本発明を液晶表示装置に適用した場合について説明したが、本発明はこれに限定されるものではなく、本発明は、ＥＬ表示装置など（有機ＥＬ表示装置など）にも適用可能であることはいうまでもない。

また、前述の実施例では、周辺回路（例えば、Ｘ－アドレス回路１２０、あるいは、Ｙ－アドレス回路１３０）を、液晶表示パネルに内蔵（液晶表示パネルの基板上に一体に形成）した場合について説明しているが、本発明はこれに限定されるものではなく、周辺回路の一部の機能を半導体チップを用いて構成しても良い。

さらに、前述の実施例では、薄膜トランジスタとしてＭＯＳトランジスタを用いた場合について説明しているが、ＭＯＳトランジスタよりも広い概念であるＭＩＳトランジスタを用いても良い。

20

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【００２５】

【図１】本発明の前提となる液晶表示装置の概略構成を示すブロック図である。

【図２】図１に示す表示画素の等価回路を示す回路図である。

【図３】図２に示すＶＣＯＭの電圧と、ＶＣＯＭＢの電圧の反転周期を説明するための図である。

【図４】本発明の実施例１の液晶表示装置の概略構成を示す図である。

30

【図５】本発明の実施例１の液晶表示装置の動作説明するためのタイミングチャートである。

【図６】本発明の実施例２の液晶表示装置の概略構成を示す図である。

【図７】本発明の実施例２の液晶表示装置の動作説明するためのタイミングチャートである。

【符号の説明】

【００２６】

１０ 表示画素

３０，３１，３５，ＩＮＶ１，ＩＮＶ２ インバータ回路

３２，３３ アンド回路

40

３４ 一致回路

５０，５１ 論理回路

１００ 表示部

１２０ Ｘ－アドレス回路

１３０ Ｙ－アドレス回路

Ｄａｔａ データ線

Ｄ，Ｄ１，Ｄ２，Ｄ３，．．．，Ｄｎ 映像線

Ｙ，Ｙ１，Ｙ２，Ｙ３，．．．，Ｙｍ 走査線

Ｇ１ 第１の走査線

Ｇ２ 第２の走査線

50

L C 液晶

【 図 2 】

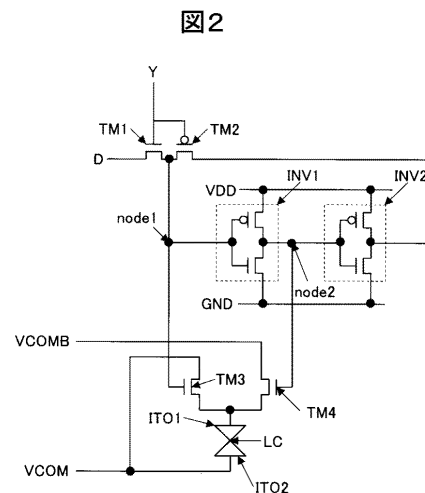
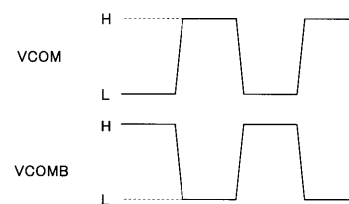
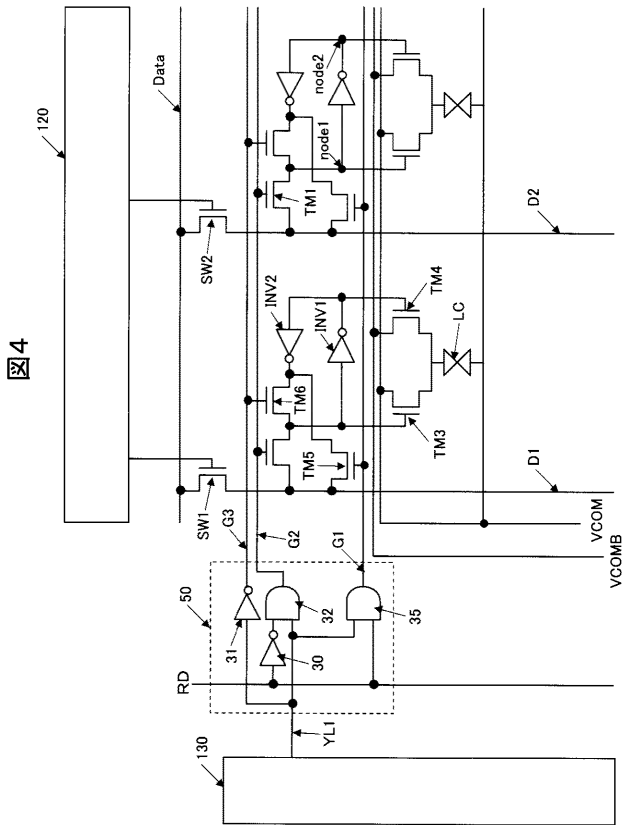


图3

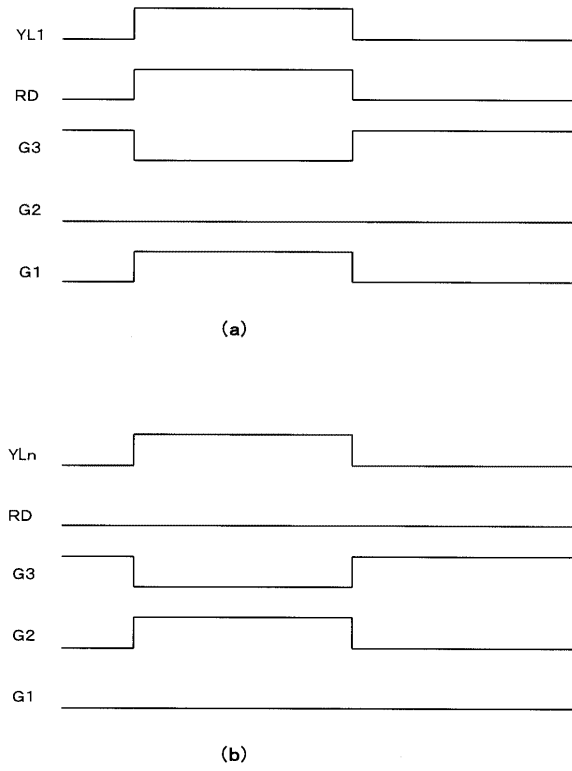


【図 4】

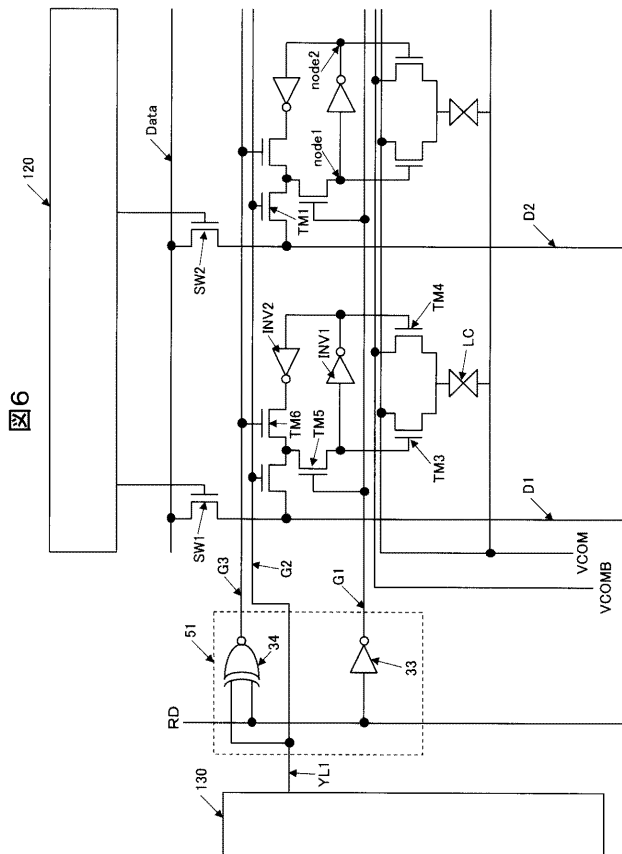


【図 5】

図 5

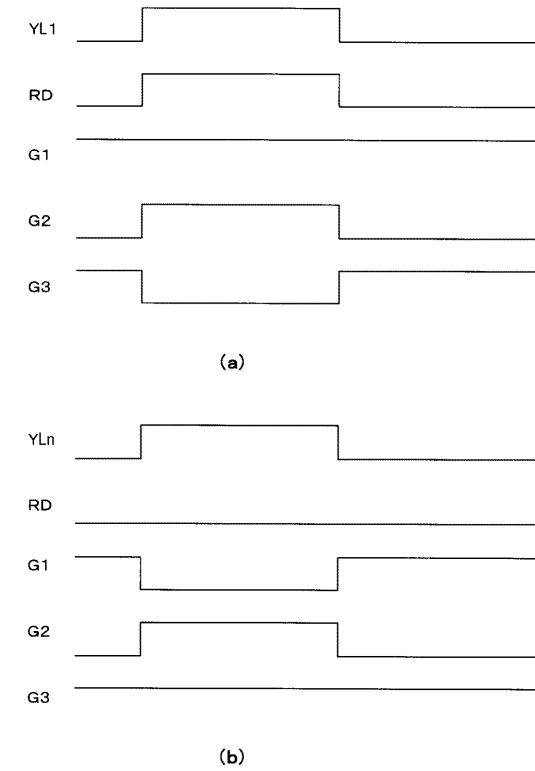


【図 6】



【図 7】

図 7



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 6 0 B
G 0 9 G	3/20	6 6 0 D
G 0 2 F	1/133	5 5 0

F ターム(参考)	5C006	AB01	AC11	AC25	AC26	AF03	AF04	AF68	AF69	AF72	BB16
		BC03	BC06	BC12	BC20	BF03	BF11	BF24	BF25	BF26	BF27
		BF34	EC06	FA12	FA13	FA16	FA48				
	5C080	AA10	BB05	CC01	DD08	DD25	DD26	EE04	EE22	FF11	GG13
		GG15	GG17	JJ02	JJ03	JJ04					