

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/66

(45) 공고일자 1999년 10월 15일
(11) 등록번호 10-0227058
(24) 등록일자 1999년 07월 29일

(21) 출원번호	10-1996-0055343	(65) 공개번호	특 1997-0030588
(22) 출원일자	1996년 11월 19일	(43) 공개일자	1997년 06월 26일
(30) 우선권 주장	95-309609 1995년 11월 28일 일본(JP) 96-235053 1996년 09월 05일 일본(JP)		

(73) 특허권자 미쓰비시덴키 가부시끼가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

(72) 발명자 히다카 히데토
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼가이샤 내 아사쿠라 미키오
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼가이샤 내 후루타니 키요히로
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼가이샤 내 카토 테츠오
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼가이샤 내 김영, 김창세

(74) 대리인 김영, 김창세

심사관 : 오재욱

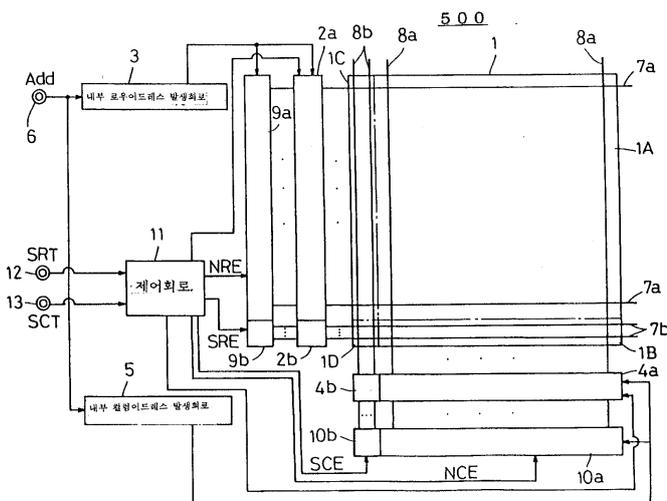
(54) 반도체 기억장치 및 그 결함 검사방법

요약

결함메모리셀의 구제전에 전체 예비 메모리셀의 테스트를 실행하는 것에 의해 제조효율을 향상시키기 위해, 테스트모드시에 정규 행의 메모리셀을 선택하기 위해, 테스트모드시에 정규 행의 메모리셀을 선택하기 위한, 제1 테스트 로우디코더(9a), 예비 메모리셀 행의 선택을 실행하기 위한 제2 테스트 로우디코더(9b), 정규 열의 메모리셀을 선택하기 위한 제1 테스트 컬럼디코더(10a) 및 예비 메모리셀 열을 선택하기 위한 제2 테스트 컬럼디코더(10b)를 마련하고, 제어신호SRT, 제어신호SCT에 의해 제어회로(11)에 의해 로우디코더와 컬럼디코더의 4종류의 조합을 전환하도록 구성한다.

이것에 의해, 결함메모리셀의 구제전에 전체 예비 메모리셀의 테스트를 실행하는 것에 의해서 제조효율이 향상된다는 효과가 얻어진다.

대표도



명세서

도면의 간단한 설명

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 정규 메모리셀의 결함을 구제하는 예비 메모리셀을 갖는 반도체 기억장치에 관한 것으로, 특히 예비 메모리셀의 결함 검사에 관한 것이다.

제30도는 종래의 다이나믹형 반도체 기억장치(이하, DRAM이라 한다)의 주요부를 도시한 평면도로서, 도면에 있어서 부호(141)은 감지증폭기 열의 배치영역(센스앰프 형성영역), (142)는 기억소자군의 배치영역(메모리셀 어레이), (143)은 메모리셀 어레이(142)중의 셀을 선택하기 위해 로우어드레스신호에 의해 지정된 워드선을 활성화하는 로우디코더, (144)는 메모리셀 어레이(142)중의 셀을 선택하기 위해 컬럼어드레스신호에 의해 지정된 비트선을 활성화하기 위한 컬럼디코더이다.

제31도는 제30도에 도시한 영역(145)의 구성의 개략을 도시한 개념도이다. 제31도에 있어서, (146)은 메모리셀 어레이(142)를 구성하고 있는 메모리셀, (147a)는 정규 메모리셀이 배치되어 있는 행에 마련되어 정규 로우디코더(143a)에 의해서 활성화/비활성의 제어가 이루어지는 워드선, (147b)는 예비 메모리셀이 배치되어 있는 예비셀 행에 마련되어 예비 로우디코더(143a)에 의해서 활성화/비활성의 제어가 워드선, (148a)는 정규 메모리셀이 배치되어 있는 정규 행에 마련되어 컬럼디코더(144)중의 정규 컬럼디코더에 의해서 활성화/비활성의 제어가 이루어지는 비트선, (148b)는 예비 메모리셀이 배치되어 있는 예비 메모리셀 열에 마련되어 컬럼디코더(144)중의 예비 컬럼디코더(144b)에 의해서 활성화/비활성의 제어가 이루어지는 비트선이다.

제 31도에 도시한 DRAM은 결함구제를 위한 용장구성을 갖고 있다. 각 메모리셀 어레이(142)는 각각 1개 또는 여러개의 예비 행(스페이 로우) 및 예비 열(스페이 컬럼)을 구비하고 있고, 메모리셀이 결함을 포함하는 경우에 레이저퓨즈 프로그램 방식동에 의해 결함을 포함한 메모리셀을 포함하는 행 또는 열을 예비 행 또는 열에 의해 전기적으로 치환해서 결함구제를 실행한다.

제32도는 종래의 다이나믹형 반도체 기억장치를 도시한 평면도이다. 제32도에 있어서, (200)은 다이나믹형 반도체 기억장치의 기억영역, (201)은 감지증폭기 열의 배치영역(센스앰프 형성영역), (202)는 여러열 마련되어 있는 감지증폭기 열의 배치영역(201) 사이에 형성된 기억소자군의 배치영역, (203)은 비교적 저저항인 금속배선을 접속하는 워드선 지지영역(backing area), (204)는 워드선 지지영역(203)과는 다른 층에 비교적 고저항인 배선이 형성되어 센스앰프 형성영역(201)과 교차하는 영역이다.

제33도는 제32도에 도시한 워드선 지지영역(203)의 구성을 도시한 개념도이다. 제33도에 있어서, (205)는 비교적 저저항이 낮은 알루미늄배선, (206)은 알루미늄배선(205)와 병렬로 접속되어 비교적 저저항이 높은 폴리사이드배선이다.

제34도는 다이나믹형 반도체 기억장치의 메모리 셀블럭의 구성을 도시한 블럭도이다. 제34도에 있어서, (141a), (141c)는 정규 메모리셀의 데이터를 리드하기 위한 센스앰프가 형성되어 있는 센스앰프 형성영역, (141b), (141d)는 예비 메모리셀의 데이터를 리드하기 위한 센스앰프가 형성되어 있는 센스앰프 형성영역, (148c)는 정규 메모리셀에서 리드하는 데이터를 전달하는 비트쌍은 도 31과 동일 부호의 부분에 상당하는 부분이다.

발명이 이루고자 하는 기술적 과제

종래의 반도체 기억장치는 이상과 같이 구성되어 있어 예비 행 및 예비 열의 메모리셀에 결함을 포함하는 경우에 결함구제를 할 수 없다는 문제점이 있다.

본 발명의 목적은 상기와 같은 문제점을 해소하기 위해 이루어진 것으로, 여러개의 예비 행 또는 열의 메모리셀의 일부에 결함을 포함하는 경우에도 유효하게 결함구제를 할 수 있는 반도체 기억장치를 제공하는 것이다.

발명의 구성 및 작용

제1의 발명에 관한 반도체 기억장치는 정규 메모리셀의 리드/라이트를 실행 하는 통상모드와 상기 정규 메모리셀 및 상기 정규 메모리셀의 결함구제를 위해 마련되어 있는 예비 메모리셀의 결함테스트를 실행하는 테스트모드의 전환이 가능한 반도체 기억장치로서, 상기 정규 메모리셀이 배치되는 정규 행 및 정규 열과 상기 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이, 상기 정규 메모리셀로 액세스하기 위한 정규 로우디코더 및 정규 컬럼디코더, 상기 통상모드시에 상기 예비 메모리셀 행을 선택하기 위한 예비 로우디코더 및 상기 통상모드시에 상기 예비 메모리셀 열을 선택하기 위한 예비 컬럼디코더를 구비하고, 상기 테스트모드시에 상기 메모리셀 어레이의 어드레스 지정을 실행하는 어드레스신호에 의해 상기 예비 로우디코더 및 상기 예비 컬럼디코더를 사용하지 않고 상기 예비 메모리셀 행 또는 상기 예비 메모리셀 열 중의 적어도 한쪽을 선택상태로 하는 것을 특징으로 한다.

제2의 발명에 관한 반도체 기억장치는 제1의 발명의 반도체 기억장치에 있어서, 상기 테스트모드시에 상기 정규 로우디코더와 상기 예비 컬럼디코더에 의해 선택되는 제1 예비 메모리셀, 상기 정규 컬럼디코더와 상기 예비 로우디코더에 의해 선택되는 제2 예비 메모리셀 및 상기 예비 로우디코더와 상기 예비 컬럼디코더에 의해 선택되는 제3 예비 메모리셀로 액세스하는 액세스수단을 더 구비해서 구성된다.

제3의 발명에 관한 반도체 기억장치는 제2의 발명의 반도체 기억장치에 있어서, 상기 액세스수단은 상기 테스트모드시에 있어서 상기 통상모드에서 상기 정규 메모리셀을 선택하기 위한 통상 로우어드레스신호와 통상 컬럼어드레스신호를 디코드해서 상기 제1~제3 예비 메모리셀을 선택하는 것을 특징으로 한다.

제4의 발명에 관한 반도체 기억장치는 제3의 발명의 반도체 기억장치에 있어서, 상기 액세스수단은 상기 테스트모드시에 상기 통상 로우어드레스신호를 디코딩해서 상기 정규 행의 선택을 실행하는 제1 테스트 로우디코더, 상기 테스트모드시에 상기 통상 로우어드레스신호를 디코딩해서 상기 예비 메모리셀 행의 선택을 실행하는 제2 테스트 로우디코더, 상기 테스트모드시에 상기 통상 컬럼어드레스신호를 디코딩해서 상기 정규 열의 선택을 실행하는 제1 테스트 컬럼디코더, 상기 테스트모드시에 상기 통상 컬럼어드레스신호를 디코딩해서 상기 예비 메모리셀 열의 선택을 실행하는 제2 테스트 컬럼디코더 및 상기 제1 테스트 로우디코더와 상기 제1 테스트 컬럼디코더를 동작시키는 제1의 상황, 상기 제1 테스트 로우디코더와 상기 제2 컬럼디코더를 동작시키는 제2의 상황, 상기 제2 테스트 로우디코더와 상기 제1 테스트 컬럼디코더를 동작시키는 제3의 상황 및 상기 제2 테스트 로우디코더와 상기 제2 테스트 컬럼디코더를 동작시키는 제4의 상황을 설정하기 위한 제어수단을 구비해서 구성된다.

제5의 발명에 관한 반도체 기억장치는 제3의 발명의 반도체 기억장치에 있어서, 상기 액세스수단은 상기 테스트모드시에 상기 통상 로우어드레스신호 및 상기 통상 컬럼어드레스신호를 변환해서 테스트 로우어드레스신호와 테스트 컬럼어드레스신호를 생성하는 변환수단, 상기 테스트모드시에 상기 테스트 로우어드레스신호를 디코딩해서 상기 정규 행 및 상기 예비 메모리셀 행을 선택하는 테스트 로우디코더, 상기 테스트모드시에 상기 테스트 컬럼어드레스신호를 디코딩해서 상기 정규 열 및 상기 예비 메모리셀 열을 선택하는 테스트 컬럼디코더를 구비해서 구성된다.

제6의 발명에 관한 반도체 기억장치는 제2의 발명의 반도체 기억장치에 있어서, 상기 액세스수단은 상기 테스트모드시에 있어서 상기 통상모드에서 상기 정규 메모리셀을 선택하기 위한 통상 어드레스신호 및 상기 통상 어드레스신호에 부가해서 인가되는 부가어드레스신호를 디코딩하는 것에 의해, 상기 정규 메모리셀 및 상기 제1~제3 예비 메모리셀의 선택을 실행하는 것을 특징으로 한다.

제7의 발명에 관한 반도체 기억장치는 제2~제6의 발명중의 어느 하나의 반도체 기억장치에 있어서, 상기 액세스수단은 제어신호에 의해서 상기 통상모드와 상기 테스트모드의 전환을 실행하고, 상기 제어신호가 입력되지 않는 상태에서는 상기 통상모드로 설정되어 있는 것을 특징으로 한다.

제8의 발명에 관한 반도체 기억장치는 제2~제7의 발명중의 어느 하나의 반도체 기억장치에 있어서, 상기 액세스수단은 상기 통상모드와 상기 테스트모드에 있어서 상기 정규 로우디코더와의 사이 및 상기 정규 컬럼디코더와의 사이에서 상기 정규 로우디코더와 동일한 구성부분 및 상기 정규 컬럼디코더와 동일한 구성부분을 각각 공유하는 것을 특징으로 한다.

제9의 발명에 관한 반도체 기억장치는 제8의 발명의 반도체 기억장치에 있어서, 상기 테스트모드시에 인가되는 어드레스신호의 상기 액세스수단으로의 입력타이밍이 상기 통상모드시에 상기 정규 로우디코더에 인가되는 상기 통상 로우어드레스신호 및 상기 정규 컬럼디코더에 인가되는 상기 통상 컬럼어드레스신호의 입력타이밍과 거의 동일하게 설정되어 있는 것을 특징으로 한다.

제10의 발명에 관한 반도체 기억장치는 정규 메모리셀이 배치되는 정규 행 및 정규 열과 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이와 결함구제를 위한 상기 메모리셀 어레이의 상기 예비 메모리셀 행 및 상기 예비 메모리셀 열에 배치된 예비 메모리셀로 액세스하는 액세스수단, 상기 메모리셀 어레이, 액세스수단 또는 주변회로를 통상동작시키기 위한 신호입출력에 사용하는 통상사용핀 및 상기 통상사용핀에 입력되는 신호를 검출하고 소정의 신호가 검출되었을 때 상기 액세스수단을 사용해서 상기 예비 메모리셀로 액세스하는 모드로 들어가도록 모드를 전환하기 위한 신호를 발생하는 모드전환 신호 발생수단을 구비해서 구성된다.

제11의 발명에 관한 반도체 기억장치는 제10의 발명의 반도체 기억장치에 있어서, 상기 액세스수단은 상기 예비 메모리셀로 액세스하는 모드에 있어서 상기 예비 메모리셀 행과 상기 정규 열의 교점, 상기 예비 메모리셀 열과 상기 정규 행의 교점 및 상기 예비 메모리셀 행과 상기 예비 메모리셀 열의 교점의 예비 메모리셀로 액세스하는 것을 특징으로 한다.

제12의 발명에 관한 반도체 기억장치는 제10의 발명의 반도체 기억장치에 있어서, 상기 액세스수단은 순차 입력되는 어드레스신호에 의해서 상기 정규 행 및 정규 열을 액세스하는 모드에 있어서는 상기 정규 행 및 상기 정규 열의 메모리셀로 직렬로 액세스하고, 상기 예비 메모리셀로 액세스하는 모드에 있어서는 모든 상기 예비 메모리셀로 직렬로 액세스하는 것을 특징으로 한다.

제13의 발명에 관한 반도체 기억장치는 정규 메모리셀이 배치되는 정규 행 및 정규 열과 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이, 결함구제를 위한 상기 메모리셀 어레이의 상기 예비 메모리셀 행 및 상기 예비 메모리셀 열에 배치된 예비 메모리셀로 액세스하는 액세스수단 및 상기 예비 메모리셀을 액세스하는 모드에 있어서 여러개의 예비 메모리셀의 데이터를 축퇴시켜 외부로 출력하는 연산 및 데이터 출력부를 구비해서 구성된다.

제14의 발명에 관한 반도체 기억장치는 정규 메모리셀이 배치되는 정규 행 및 정규 열과 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이와 결함구제를 위한 상기 메모리셀 어레이의 상기 예비 메모리셀 행 및 상기 예비 메모리셀 열에 배치된 예비 메모리셀로 액세스하는 액세스수단을 구비하고, 상기 예비 메모리셀을 액세스하는 모드에 있어서 여러개의 예비 메모리셀에 동시에 동일 데이터를 라이트하는 하는 것을 특징으로 한다.

제15의 발명에 관한 반도체 기억장치는 정규 메모리셀이 배치되는 정규 행 및 정규 열과 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이, 소정의 동작모드에 있어서 상기 메모리셀과 상기 예비 메모리셀을 동시에 액세스가능한 액세스수단 및 상기 액세스수단이 상기 소정의 동작모드로 되어 있을 때 상기 액세스수단에 의해서 액세스해서 얻은 여러개의 정규 메모리셀과 예비 메모리셀의 데이터를 축퇴시켜 외부로 출력하는 연산 및 데이터 출력부를 구비하고, 동시에 액세스되는 여러개의 정규 메모리셀과 예비 메모리셀은 결함구제시에 상기 정규 메모리셀이 상기 예비 메모리셀로 치환되는 관계에 있는 것을 특징으로 한다.

제16의 발명에 관한 반도체 기억장치는 제15의 발명의 반도체 기억장치에 있어서 상기 소정의 동작모드에

있어서 여러 비트의 정규 메모리셀 및 예비 메모리셀에 동시에 동일 데이터를 라이트하는 것을 특징으로 한다.

제17의 발명에 관한 반도체 기억장치는 제13~제18의 발명중의 어느 하나의 반도체 기억장치에 있어서, 결함테스트를 실행하는 테스트모드에 있어서 상기 정규 메모리셀과 상기 예비 메모리셀로 동시에 액세스하고, 상기 정규 메모리셀의 데이터는 통상사용시에 상기 정규 메모리셀에 사용되는 통상데이터 입출력단자에서 입출력되고, 상기 예비 메모리셀의 데이터는 상기 예비 메모리셀 전용으로 마련된 테스트용 데이터 입출력단자에서 입출력되는 것을 특징으로 한다.

제18의 발명에 관한 반도체 기억장치는 정규 메모리셀이 배치되는 정규 행 및 정규 열과 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이, 상기 메모리셀 어레이의 데이터의 입출력을 실행하는 통상모드에 있어서 리드한 데이터를 출력하는 여러개의 출력단자와 결함구제를 위한 상기 메모리셀 어레이의 상기 예비 메모리셀 행 및 상기 예비 메모리셀 열에 배치된 예비 메모리셀로 액세스하는 액세스수단을 구비하고, 상기 액세스수단은 상기 통상모드와는 다른 결함구제가 가능한지 가능하지 않은지의 판단을 실행하기 위한 테스트모드시 상기 정규 메모리셀에서 리드한 데이터를 축퇴시켜 상기 여러개의 출력단자의 일부에서 출력하고, 상기 예비 메모리셀에서 리드한 데이터를 상기 여러개의 출력단자 중의 나머지 출력단자에서 출력하는 것을 특징으로 한다.

제19의 발명에 관한 반도체 기억장치는 제18의 발명의 반도체 기억장치에 있어서 상기 예비 메모리셀에서 리드한 데이터를 축퇴시켜 출력하는 것을 특징으로 한다.

제20의 발명에 관한 반도체 기억장치는 제18의 발명의 반도체 기억장치에 있어서, 상기 테스트모드시 동시에 액세스되는 정규 메모리셀과 예비 메모리셀은 결함구제시에 상기 정규 메모리셀을 상기 예비 메모리셀로 치환하는 관계에 있는 것을 특징으로 한다.

제21의 발명에 관한 반도체 기억장치는 정규 메모리셀이 배치되는 정규 행 및 정규 열과 예비 메모리셀이 배치되는 예비 메모리셀 예비 메모리셀 열을 포함하는 메모리셀 어레이와 결함구제를 위한 상기 메모리셀 어레이의 상기 예비 메모리셀 행 및 상기 예비 메모리셀 열에 배치된 예비 메모리셀로 액세스하는 액세스수단을 구비하고, 상기 액세스수단은 동일 예비메모리셀로 치환가능한 여러개의 정규 메모리셀로 동시에 액세스하여 상기 여러개의 정규 메모리셀에서 리드된 데이터를 축퇴시켜 출력할 수 있는 것을 특징으로 한다.

제22의 발명에 관한 반도체 기억장치는 제13, 제15, 제18, 제19, 제20 또는 제21의 발명의 반도체 기억장치에 있어서, 정규 메모리셀이 배치되는 정규 행 및 정규열과 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이와, 결함구제를 위한 상기 메모리셀 어레이의 상기 예비 메모리셀 행 및 상기 예비 메모리셀 열에 배치된 예비 메모리셀로 액세스하는 액세스수단을 구비하고, 축퇴시켜 데이터를 출력할 때에 축퇴시켜 데이터를 출력하는 모드인 것을 나타내는 모드지시데이터를 출력하는 것을 특징으로 한다.

제23의 발명에 관한 반도체 기억장치의 결함검사방법은 정규 메모리셀의 리드/라이트를 실행하는 통상모드와 상기 정규 메모리셀 및 상기 정규 메모리셀의 결함구제를 위해 마련되어 있는 예비 메모리셀의 테스트를 실행하는 테스트모드의 전환이 가능하고, 상기 정규 메모리셀이 배치되는 정규 행 및 정규 열과 상기 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이, 상기 정규 메모리셀로 액세스하기 위한 정규 로우디코더 및 정규 컬럼디코더, 상기 예비 메모리셀 행을 선택하기 위한 예비 로우디코더 및 상기 예비 메모리셀 열을 선택하기 위한 예비 컬럼디코더를 구비하는 반도체 기억장치의 결함검사방법으로서, 상기 정규 메모리셀을 테스트하는 공정, 상기 정규 로우디코더와 상기 예비 컬럼디코더에 의해 선택되는 예비 메모리셀을 테스트하는 공정, 상기 정규 컬럼디코더와 상기 예비 로우디코더에 의해 선택되는 예비 메모리셀을 테스트하는 공정 및 상기 예비 로우디코더와 상기 예비 컬럼디코더에 의해 선택되는 예비 메모리셀을 테스트하는 공정을 구비해서 구성된다.

제24의 발명에 관한 반도체 기억장치의 결함검사방법은 정규 메모리셀의 리드/라이트를 실행하는 통상모드와 상기 정규 메모리셀 및 상기 정규 메모리셀의 결함구제를 위해 마련되어 있는 예비 메모리셀 결함테스트를 실행하는 테스트모드의 전환이 가능하고, 상기 정규 메모리셀이 배치되는 정규 행 및 정규 열과 상기 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이, 상기 정규 메모리셀로 액세스하기 위한 정규 로우디코더 및 정규 컬럼디코더, 상기 예비 메모리셀 행을 선택하기 위한 예비 로우디코더 및 상기 예비 메모리셀 열을 선택하기 위한 예비 컬럼디코더를 구비하는 반도체 기억장치의 결함검사방법으로서, 여러개의 상기 정규 메모리셀과 상기 예비 메모리셀을 동시에 테스트하는 공정과 상기 테스트공정에서 얻은 테스트결과에 따라서 결함구제판정을 실행하는 공정을 구비해서 구성된다.

제25의 발명에 관한 반도체 기억장치의 결함검사방법은 제24의 발명의 반도체 기억장치의 결함검사방법에 있어서, 상기 테스트공정 전에 반도체 기억장치의 패키지를 실시하는 패키지공정을 더 구비해서 구성된다.

제26의 발명에 관한 반도체 기억장치의 결함검사방법은 제25의 발명의 반도체 기억장치의 결함검사방법에 있어서, 상기 정규 메모리셀과 상기 예비 메모리셀을 동시에 테스트하는 공정은 동시에 테스트되는 정규 메모리셀과 예비 메모리셀의 관계가 결함구제시에 상기 정규 메모리셀을 상기 예비 메모리셀로 치환하는 관계에 있는 것을 특징으로 한다.

[실시예1]

이하, 본 발명의 실시예1에 의한 반도체 기억장치에 대해서 설명한다. 제1도는 본 발명의 실시예1에 의한 DRAM의 구성의 개요를 도시한 블록도이다. 제1도에 있어서 (1)은 결함구제를 위한 예비 메모리셀을 포함하는 메모리셀 어레이, (2a)메모리셀 어레이(1)의 정규 행 중 데이터의 리드 또는 라이트의 대상으로 되는 행을 지정하기 위한 정규 로우디코더, (2b)는 결함구제가 되었을 때 메모리셀 어레이(1)의 예비 메모리셀 행 중 데이터의 리드 또는 라이트의 대상으로 되는 예비 메모리셀 행을 지정하기 위한 예비 로우

디코더, (3)은 메모리셀 어레이(1)에 있어서의 라이트 또는 리드의 대상으로 되는 행을 지정하기 위한 로우어드레스신호를 발생하는 내부로우어드레스 발생회로, (4a)는 메모리셀 어레이(1)의 정규 열 중 데이터의 리드 또는 라이트의 대상으로 되는 열을 지정하기 위한 정규 컬럼디코더, (4b)는 결함구제가 되었을 때 메모리셀 어레이(1)의 예비 메모리셀 열 중 데이터의 리드 또는 라이트의 대상으로 되는 열을 지정하기 위한 예비 컬럼디코더, (5)는 메모리셀 어레이(1)에 있어서의 라이트 또는 리드의 대상으로 되는 열을 지정하기 위한 컬럼어드레스신호를 발생하는 내부컬럼어드레스 발생회로, (6)은 DRAM(500)의 외부에서 인가되는 어드레스신호를 받는 외부어드레스 입력단자, (7a)는 정규 행에 마련된 워드선, (7b)는 예비 메모리셀 열에 마련된 예비 워드선, (8a)는 정규 열에 마련된 비트선, (8b)는 예비 메모리셀 열에 마련된 예비비트선이다. 또한, 제1도에서는 다수 마련되어 있는 워드선(7a), (7b)나 비트선(8a), (8b)는 끝에 있는 것만을 기재하고 그 이외의 것은 도시를 생략한다.

메모리셀 어레이(1)은 정규 로우디코더(2a)와 정규 컬럼디코더(4a)에 의해서 선택되는 정규 메모리셀이 배치되어 있는 영역(1A), 예비 로우디코더(2b)와 정규 컬럼디코더(4a)에 의해서 선택되는 예비 메모리셀이 배치되어 있는 영역(1B), 정규 로우디코더(2a)와 예비 컬럼디코더(4b)에 의해서 선택되는 예비 메모리셀이 배치되어 있는 영역(1C) 및 예비 로우디코더(2b)와 예비 컬럼디코더(4b)에 의해서 선택되는 예비 메모리셀이 배치되어 있는 영역(1D)를 포함하고 있다.

통상동작시(이하, 통상모드시라고도 한다)에는 상기의 구성에 의해 메모리셀 어레이(1)중의 메모리셀이 선택된다.

영역(1A)에 배치된 정규 메모리셀에 결함이 없는 경우, DRAM은 정규 로우디코더(2a)와 정규 컬럼디코더(4a)에 의해서 메모리셀을 선택한다.

그리고, 정규 메모리셀중에 결함이 있는 경우에는 그 메모리셀이 배치되어 있는 행 또는 열을 사용하지 않도록 설정하고, 그 행 또는 열 대신에 예비 메모리셀 행 또는 예비 메모리셀 열을 사용하므로, 정규 로우디코더(2a)와 예비 로우디코더(2b)의 양쪽 또는 정규 컬럼디코더(4a)와 예비 컬럼디코더(4b)의 양쪽을 사용한다.

제1도에 있어서 부호(9a)는 결함구제 전의 메모리셀 어레이(1)의 결함테스트를 실행하는 테스트모드시 정규 행을 선택하기 위한 제1 테스트 로우디코더, (9b)는 테스트모드시 예비 메모리셀 행을 지정하기 위한 제2 테스트 로우디코더, (10a)는 테스트모드시 정규 열을 선택하기 위한 제1 테스트 컬럼디코더, (10b)는 테스트모드시 예비 메모리셀 열을 선택하기 위한 제2 테스트 컬럼디코더, (11)은 제1 및 제2 테스트 로우디코더(9a), (9b)와 제1 및 제2 테스트 컬럼디코더(10a), (10b)를 제어하는 제어회로, (12)는 제어회로(11)에 인가하는 제어신호SRT를 받는 입력단자, (13)은 제어회로(11)에 인가하는 제어신호SCT를 받는 입력단자이다.

테스트모드시 DRAM에 인가되는 외부 어드레스신호Add도 통상모드시 DRAM에 인가되는 것과 동일 비트수이다. 그러나, 테스트를 하는 대상인 메모리셀 어레이(1)의 메모리셀수, 행수 및 열수는 예비 메모리셀의 분만큼 증가하고 있다. 그래서, 테스트의 대상으로 되는 영역을 4개의 영역(1A)~(1D)로 분할하고, 각 영역(1A)~(1D)의 테스트시기를 어긋나게 하는 것에 의해서 외부 어드레스신호Add의 종류를 늘리는 일 없이 테스트를 실행하고 있다.

예비 메모리셀의 테스트는 테스트 패드에 신호SRT, SCT를 외부에서 인가하는 것에 의해 실행한다. 표1에 나타낸 바와 같이, 이들 2비트의 제어신호SRT, SCT에 의해서 4개의 상황의 전환을 실행한다. 그리고, 예비 행영역, 열영역 및 양자의 교차부 교차부(cross-point)영역을 개별적으로 테스트한다. 표 1에서는 개별적으로 테스트되는 제1도의 영역(1A)~(1D)를 각각 정규 셀영역, 예비 행영역, 예비 열영역 및 교차부 영역이라 부른다.

[표 1]

액세스영역	SRT	SCT	어드레스
정규 셀	개방 또는 0	개방 또는 0	RA0-n, CA0-m
예비 행(SR0-3)	1	개방 또는 0	RA0-3, CA0-m
예비 열(SC0-3)	개방 또는 0	1	RA0-n, CA0-3
교차부	1	1	RA0-3, CA0-3

제2도는 통상 로우어드레스RA0-n, 통상 컬럼어드레스CA0-m, 예비 로우어드레스SR0-3 및 예비 컬럼어드레스SC0-3과 정규 셀영역, 예비 행영역, 예비 열영역 및 교차부영역과의 관계를 도시한 개념도이다. 여기에서는 예비 메모리셀 형 및 예비 메모리셀 열이 각 4개씩인 예를 나타내고 있다.

제1도의 제어회로(11)이 신호NRE에 의해 정규 로우디코더(9a)를 비동작상태로 하고 신호SRE에 의해 예비 로우디코더(9b)를 동작상태로 되도록 제어하는 것에 의해, 표 1에 나타낸 바와 같이 예를 들면 예비 로우어드레스SR0-3으로서 통상 로우어드레스RA0-3을 사용해서 예비 열영역의 메모리셀을 선택하는 것이 가능하게 된다.

마찬가지로, 제어회로(11)이 신호NCE에 의해 정규 로우디코더(4a)를 비동작 상태로 하고 신호SCE에 의해 예비 로우디코더(10b)를 동작상태로 되도록 제어하는 것에 의해, 표 1에 나타낸 바와 같이 예를 들면 예비 컬럼어드레스SC0-3으로서 통상 로우어드레스CA0-3을 사용해서 예비 열영역의 메모리셀을 선택하는 것

이 가능하게 된다.

(1) 예비 행영역의 테스트는 다음과 같이 실행한다.

SRT = '1' 을 입력하는 것에 의해 테스트모드로 들어가고, 내부 로우어드레스 발생회로(3)에서 출력되는 로우어드레스신호에 의해 로우어드레스RA0-3의 지정이 이루어지고 4개의 예비 메모리셀 행 중의 1개가 선택된다. 그 후에 내부 컬럼어드레스 발생회로(5)에서 인가되는 컬럼어드레스신호에 의해 컬럼어드레스CA0-m의 지정이 이루어지고 정규 열 중의 어느것인가가 선택된다. 이와 같이 제2 테스트 로우디코더(9b)와 제1 테스트 컬럼디코더(10a)에 의해 예비 행영역 상의 셀의 액세스 어드레스가 지정된다.

(2) 예비 열영역의 테스트는 다음과 같이 실행한다.

SCT = '1' 을 입력하는 것에 의해 테스트모드로 들어가고, 로우어드레스신호에 의해 로우어드레스RA0-n의 지정이 이루어지고 정규 행 중의 어느것인가가 선택된다. 그 후에 입력되는 컬럼어드레스신호에 의해 컬럼어드레스CA0-3의 지정이 이루어지고 4개의 예비 행 중의 1개가 선택된다. 이와 같이, 제1 테스트 로우디코더(9a)와 제2 테스트 컬럼디코더(10b)에 의해 예비 열영역상의 셀의 액세스 어드레스의 지정이 이루어진다.

(3) 교차부영역의 테스트(예비 행/ 열)는 다음과 같이 실행한다.

SRT = 1, SCT = 1 을 입력하는 것에 의해 테스트모드로 들어가고, 로우어드레스신호에 의해 로우어드레스RA0-3의 지정이 이루어지고 4개의 예비 메모리셀 행 중의 어느것인가가 선택된다. 그 후에 입력되는 컬럼어드레스신호에 의해 컬럼어드레스CA0-3의 지정이 이루어지고 4개의 예비 메모리셀 열 중의 어느것인가가 선택된다. 이와 같이, 제2 테스트 디코더(9b)와 제2 테스트 디코더(10b)에 의해 4개의 예비 행 및 4개의 예비 열의 교점의 셀의 액세스 어드레스를 지정한다.

이와 같이, 통상사용하는 어드레스 핀(외부 어드레스 입력단자(6))으로 부터의 외부 어드레스신호에 따라서 종래와 마찬가지로 내부 로우어드레스 발생회로(3)이 발생하는 로우어드레스신호와 내부 컬럼어드레스 발생회로(5)가 발생하는 컬럼신호에 의해, 간단히 예비영역의 메모리셀의 어드레스지정을 할 수 있어 지정된 예비 메모리셀로의 액세스가 지장없이 실행된다.

DRAM등의 반도체 기억장치에 있어서 제조효율 향상을 목적으로 해서 불량 비트를 구제하기 위해 용장메모리셀을 구비하는 것이 일반적으로 되어 있지만, 이 실시예1에 의한 반도체 기억장치에서는 이 용장메모리셀이 불량인지 불량이 아닌지를 결함구제 전에 알 수 있고, 결함을 포함하는 예비 행 또는 예비 열을 결함구제에 사용하지 않는 것에 의해 예비 행 또는 예비 열에 의한 결함구제를 실행했음에도 불구하고 예비 행 메모리셀 또는 예비 열 메모리셀에 결함이 있었기 때문에 결함불능으로 되는 것에 의한 결함구제의 실패가 발생하는 것을 방지할 수 있어 결함구제 성공율을 향상시킬 수 있다.

또한, 이러한 테스트 패드SRT, SCT에 아무것도 입력하지 않는 경우(입력플로팅인 경우)에는 통상액세스가 실행되는 통상(non교)모드로 되도록 구성해 둔다. 그와 같이 구성하는 것에 의해 패키지 후에는 지장없이 통상모드동작이 실행된다.

또, 제1도에 도시한 제1 테스트 로우디코더(9a)와 정규 로우디코더(2a)는 거의 동일한 구성이므로, 제3도에 도시한 바와 같이 1개의 로우디코더를 제1 테스트 로우디코더 및 정규 로우디코더로서 공용할 수 있다. 제1 테스트 컬럼디코더(10a)와 정규 컬럼디코더(4a)에 대해서도 마찬가지이다.

다음에, 제3도에 도시한 DRAM의 구성을 상세하게 설명한다. 제4도, 제5도 및 제6도는 제3도에 있어서의 정규 로우디코더(2a)의 구성을 도시한 회로도이다. 제4도에 있어서 (20)은 워드선WL0을 활성화하기 위한 워드드라이버, (21)은 워드선WL0에 접속된 게이트와 승압된 전원전압Vpp가 인가되는 소오스와 워드드라이버(20)의 입력단에 접속된 드레인을 갖고 워드드라이버(20)의 출력을 유지시키기 위한 P채널 MOS트랜지스터, (22)는 워드드라이버(20)의 입력단에 접속된 드레인과 전원 전압Vpp가 인가되는 소오스와 신호 /WTP가 인가되는 게이트를 갖고 워드드라이버(20)의 프리차지를 실행하기 위한 P채널 MOS트랜지스터, (23)은 신호RX0이 인가되는 게이트를 갖고 최종적인 디코드를 실행하기 위한 게이트, (24)는 프리디코드된 내부 로우어드레스신호Xi, Xj를 입력으로 하는 AND게이트이다. AND게이트(24)의 출력에 의해서 선택될 가능성이 있는 워드선은 워드선WL0~WL3의 4개이다. 워드선WL1~WL3은 각각 신호RX1~RX3에 의해 선택되지만 워드선WL1~`VL3을 구동하는 회로의 구성은 상술한 워드선WL0을 구동하는 회로의 구성과 동일하므로, 설명을 생략한다. 또, 로우디코더를 구성하기 위해서는 제4도에 도시한 회로는 전체 워드선의 갯수의 1/4에 상당하는 수만큼 필요하게 되지만, 동일 회로의 반복이므로 도시를 생략한다.

제5도는 워드드라이버에 공급하는 전원Vppk를 출력하기 위한 전압공급회로이다. 제5도에 있어서 (30)은 전압Vppk를 클램프하기 위한 P채널 MOS트랜지스터, (31)은 게이트에 인가되는 제어신호에 따라서 전압Vppk를 전압Vpp와 동일한 값으로 되도록 끌어올리기 위한 P채널 MOS트랜지스터, (32)는 P채널 MOS트랜지스터(31)의 게이트에 불럭선택신호BSi, /BSi에 따른 제어신호를 인가하기 위한 제어신호 생성회로이다.

제5도에 도시한 구성은 메모리셀 어레이가 여러개의 블럭, 제30도의 메모리셀 어레이(142)에 상당하는 것으로 분할되어 있을 때, 소비전력의 저감 등을 위해 블럭마다 동작을 제어할 수 있도록 하기 위해 마련되어 있는 것이다.

제6도는 제4도에 도시한 디코더에 인가하는 신호RX0-3을 생성하기 위한 신호 생성회로를 도시한 회로도이다. 제6도에 있어서 (35)는 로우어드레스 스트로브신호RAS와 내부 로우어드레스신호를 구성하고 있는 비트X0의 부정논리곱을 출력하는 NAND게이트, (36)은 NAND게이트(35)의 출력의 부정을 출력하는 NOT게이트, (37)은 NOT게이트(36)의 출력과 정규 로우인에이블신호NRE의 부정논리곱을 출력하는 NAND게이트, (38)은 NAND게이트(37)의 부정을 출력하는 NOT게이트, (39a)NAND게이트(35), (37)과 NOT게이트(36), (38)로 구성되어 로우어드레스 스트로브신호RAS와 정규 로우인에이블신호NRE와 프리디코드된 내부 어드레스신호X0에서 신호RX0을 생성하는 회로부, (39b)~(39d)는 화로부(39a)와 마찬가지로 구성을 갖고 각각 신호RAS와 신호NRE와 내부 어드레스신호X1~3에서 신호RX1~3을 생성하는 회로부이다.

제7도는 제3도에 도시한 예비 로우디코더(2b)의 구성을 도시한 회로도이다. 제6도에 있어서 (40)은 각각

게이트에 프리디코드된 내부 로우어드레스신호X0~Xs를입력하고 내부 로우어드레스신호에 의해 워드선을 활성화할지 활성화하지 않을 지를 판정하기 위한 OR게이트를 구성하는 N채널 MOS트랜지스터, (41)은 N채널 MOS트랜지스터(40)의 드레인에 접속되어 원하는 어드레스의 조합을 프로그래밍하기 위한 퓨즈, (42)는 프리차지하기 위한 신호 /SRP가 인가되는 게이트와 전원전압 Vcc가 인가되는 소오스와 퓨즈(41)에 접속된 드레인을 갖는 P채널 MOS트랜지스터, (44)는 P채널 MOS트랜지스터(42)의 드레인에 접속된 입력단자와 출력단자를 갖는 NOT게이트, (43)은 NOT게이트(44)의 출력단자에 접속된 게이트와 전원전압Vcc가 인가되는 소오스와 NOT게이트(45)의 입력단자에 접속된 드레인을 갖는 P채널 MOS트랜지스터, (45)는 신호TSR1을 반전해서 출력하는 NOT게이트, (46)은 NOT게이트(44), (45)의 출력의 부정논리곱을 출력하는 NAND게이트이다.

또한, NAND게이트(46)의 출력이 신호 /SRD1이다.

또, 신호TSR1은 종래의 로우디코더에도 마련되어 있던 것으로, 통상시에 예비 로우디코더를 동작시킬지 동작시키지 않을지의 전환에 사용되고 있었다. 테스트모드시에 있어서는 신호TSR1은 예비 로우디코더(2a)의 동작을 제어하는 신호로서 사용되고 있다. 테스트모드시에 있어서 예비 로우디코더(2a)는 구제되기 전의 상태에서 프리디코드된 로우어드레스 신호X0~Xs중의 어느것인가가 하이레벨로 되어도 워드선 SWL0을 비활성으로 하도록 작용한다. 그래서, 테스트모드시에에는 신호TSR1에 의해서 선택적으로 예비 로우디코더(2a)를 동작상태로 하도록 신호/SRD1을 제어한다.

또, 도시를 생략하고 있지만 예비 로우디코더중에는 신호TSR1~TSR4에 대응하는 제7도에 도시한 것과 마찬가지로 회로가 3개 더 마련되어 있다.

제8도는 제어회로의 구성중의 로우디코더에 관한 부분을 도시한 논리도이다. 제8도에 있어서 (51a)~(51d)는 내부 어드레스신호RAdd0, RAdd1을 디코드하기 위한 게이트, (52a)~(52d)는 게이트(51a)~(51d)의 출력을 각각의 한쪽의 입력으로 하고 신호SRT를 다른쪽의 입력으로 해서 그 한쪽의 입력과 다른쪽의 입력의 부정논리곱을 출력하는 게이트, (53a)~(53d)는 NAND게이트(52a)~(52d)의 출력을 각각 부정해서 신호TSR1~TSR4를 출력하는 NOT게이트, (55)는 NOT게이트(53a)~(53d)의 출력을 입력하고 신호TSR1~TSR4의 부정논리합을 출력하는 NOR게이트, (56)은 NOR게이트(55)의 출력과 신호RAS의 부정논리곱을 출력하는 NAND게이트, (58)은 NAND게이트(58)의 출력을 부정한 신호NRE를 출력하는 NOT게이트, (57)은 신호 /SRD1과 신호RAS의 부정논리곱을 출력하는 NAND게이트, (59)는 NAND게이트(57)의 출력을 부정해서 신호SRE1을 생성하여 출력하는 NOT게이트이다.

제9도는 예비 로우디코더(2b)에 마련되어 워드선을 선택적으로 구동하기 위한 제2 테스트 로우디코더의 구성을 도시한 회로도이다. 제9도에 있어서 (63)은 신호RAS(또는 내부 어드레스신호RA0이라고도 좋다)를 받는 입력단자와 그것을 반전해서 신호를 출력하는 출력단자를 갖는 NOT게이트, (64)는 NOT게이트(63)의 출력단자에 접속된 안쪽 끝과 신호SRA1이 인가되는 게이트와 그 한쪽 끝에 입력된 신호를 선택적으로 출력하기 위한 다른쪽 끝을 갖는 트랜스퍼게이트, (68)은 트랜스퍼게이트(64)의 다른쪽 끝에 접속된 드레인과 신호 /WDP가 인가되는 게이트와 전압Vpp가 인가되는 소오스를 갖고 기판전위가 소오스전위와 동일하게 되도록 설정된 P채널 MOS트랜지스터, (69)는 트랜스퍼게이트(64)의 다른쪽 끝에 접속된 드레인과 워드선 SWL0에 접속된 게이트와 전압Vpp가 인가되는 드레인을 갖는 P채널 MOS트랜지스터, (70)은 트랜스퍼게이트(64)의 다른쪽 끝에 접속된 입력단자와 워드선SWL0에 접속된 출력단자를 갖는 워드드라이버이다.

또한, 이 실시예1에서 설명하고 있는 반도체 기억장치에 있어서는 부호 SWL0~SWL3에 대응하는 4개의 워드선이 마련되어 있지만, 워드선SWL0~SWL3 구동하는 회로의 구성은 동일하므로, 워드선SWL0을 선택적으로 구동하는 회로의 구성만을 도시하고 있다.

다음에, 컬럼어드레스의 선택에 대해서 제10도 및 제11도를 사용해서 설명한다. 제10도에 있어서 (75)는 접지된 소오스와 신호 /SCP가 인가되는 게이트와 신호 /SCP에 따라서 전류를 빼내기 위한 드레인을 갖는 N채널 MOS트랜지스터, (76)은 전원전압Vcc가 인가되는 소오스와 신호 /SCP가 인가되는 게이트와 신호 /SCP에 따라서 전류를 공급하기 위한 드레인을 갖고 프리차지를 실행하기 위한 P채널 MOS트랜지스터, (77)은 N채널 MOS트랜지스터(75)와 P채널 MOS트랜지스터(76)의 사이에 접속된 퓨즈, (78)은 P채널 MOS트랜지스터(76)의 드레인에 접속된 입력단자와 그 입력단자에 인가된 신호의 부정을 출력하기 위한 출력단자를 갖는 NOT게이트, (79)는 NOT게이트(78)의 출력단자에 접속된 게이트와 NOT게이트(78)의 입력단자에 접속된 드레인과 전원전압Vcc가 인가되는 소오스를 갖는 P채널 MOS트랜지스터, (80)은 NOT게이트(78)의 출력단자에 접속된 입력단자와 그 입력단자에 입력된 신호의 부정을 출력하는 NOT게이트이다.

상기의 NOT게이트(78), (80)과 P채널 MOS트랜지스터(79)에 의해 래치회로를 구성하고 있다.

또, 제10도에 있어서 (81)은 접지된 소오스와 신호Y0이 인가되는 게이트와 컬럼어드레스신호Y0에 따라서 접지전압을 출력하기 위한 드레인을 갖는 N채널 MOS트랜지스터, (82)는 전원전압Vcc가 인가되는 소오스와 컬럼어드레스신호Y0이 인가되는 게이트와 신호Y0에 따라서 전원전압Vcc를 출력하기 위한 드레인을 갖는 P채널 MOS트랜지스터, (83)은 N채널 MOS트랜지스터(81)의 드레인에 접속된 소오스와 P채널 MOS트랜지스터(82)의 드레인에 접속된 드레인과 NOT게이트(80)의 출력단자에 접속된 게이트를 갖는 N채널 MOS트랜지스터, (84)는 P채널 MOS트랜지스터(82)의 드레인에 접속된 한쪽 끝과 절단되어 있지 않을 때에는 그의 한쪽 끝에 전기적으로 접속되어 있는 다른쪽 끝을 갖는 퓨즈이다.

(85a1)은 N채널 MOS트랜지스터(81), (83)과 P채널 MOS트랜지스터(82)와 퓨즈(84)로 구성된 일치검출부이다. (85b1)~(85bk/2)는 일치검출부(85a1)와 마찬가지로의 구성을 갖고, 각각 컬럼어드레스신호Y1~Yk의 논리의 일치를 검출하는 일치검출부이다. 또한, 일치검출부(85a1)~(85bk/2)의 출력은 하이레벨이 우선적으로 출력되도록 설정되어 있다.

제10도에 있어서 부호(86)은 접지된 한쪽 끝과 입력단자(13)에 접속된 다른쪽 끝을 갖는 저항, (87a)는 저항(86)의 다른쪽 끝에 접속된 입력단자와 그 입력단자에 입력된 신호의 부정을 출력하기 위한 출력단자를 갖는 NOT게이트, (86b)는 NOT게이트(87a)의 출력단자에 접속된 입력단자와 그 입력단자에서 입력된 NOT게이트(87a)의 출력의 부정을 출력하기 위한 출력단자를 갖는 NOT게이트, (89)는 NOT게이트(87b)의 출력단자에 접속된 한쪽의 입력단자와 외부 컬럼어드레스신호CAdd0가 인가되는 다른쪽의 입력단자와 NOT게

이트(87b)의 출력과 신호CAdd0의 부정논리곱을 출력하는 NAND게이트, (90a1)은 일치검출부(85a1), (85b1)의 논리합과 NAND게이트(89)의 출력의 부정논리곱을 출력하는 NAND게이트, (90a2)~(90ak/2)는 각각 그의 한쪽의 입력단자에 접속된 2개의 일치검출부의 논리합과 신호 CAdd0의 부정 논리곱을 출력하기 위한 NAND게이트, (91)은 NAND게이트(90a1)~(90ak/2)의 부정 논리곱을 출력하는 NAND게이트, (92)는 NAND게이트(91)의 출력의 부정을 생성하기 위한 NOT게이트이다.

그리고, NOT게이트(92)의 출력이 신호SCS0으로 된다. (93)은 예비 메모리셀 열의 선택을 실행하기 위한 디코드부이고, 일치검출부(85a1)~(85bk/2)에 각각 마련되어 있는 퓨즈를 절단하는 것에 의해서 정규 열과 치환하는 예비 메모리셀 열의 어드레스의 설정을 실행할 수 있다.

(94)~(96)은 각각 NOT게이트(87b)의 출력과 외부어드레스신호CAdd1의 부정논리곱, NOT게이트(87b)의 출력과 게이트(88a)의 출력의 부정논리곱 또는 NOT게이트(87b)의 출력과 게이트(88a)의 출력의 부정논리곱을 출력하는 NAND게이트, (97)~(99)는 각각 NAND게이트(94)~(96)의 출력에서 신호SCS1~SCS3을 생성해서 출력하는 디코드부이다.

다음에, 제11도에 있어서 부호(100)은 신호SCS0과 신호CDE의 부정논리곱을 출력하는 NAND게이트, (101)은 NAND게이트(100)의 출력의 부정을 생성하는 NOT게이트이며, NOT게이트(101)의 출력이 예비 메모리셀 열의 비트선을 선택적으로 활성화하기 위한 신호SCSL0이다. 신호생성회로(102)~(105)는 신호생성회로(102)와 동일한 구성을 갖고 있고, 각각 신호SCS1~SCS3과 신호CDE를 사용해서 신호 SCSL1~SCSL3을 생성하고 있다.

또, 제11도에 있어서 부호(106)은 신호SCS0~SCS3을 입력하고 이들 신호가 일치했을 때 「1」을 출력하는 EX-NOR게이트, (107)은 컬럼어드레스신호Yi, Yj 및 EX-NOR게이트(106)의 출력의 부정논리곱을 출력하는 NAND게이트, (108)은 NAND게이트(107)의 출력의 부정을 출력하는 NOT게이트, (109)는 EX-NOR게이트(106), NAND게이트(107), NOT게이트(108)로 구성되어 비트선을 활성화하기 위한 컬럼선택신호CSLi를 출력하는 정규 컬럼디코더이다.

다음에, 제12도를 사용해서 실시예1에 의한 반도체 기억장치의 동작을 간단하게 설명한다. 로우어드레스는 외부 로우어드레스 스트로브신호 /RAS가 하강한후에 지정되고, 컬럼어드레스는 외부 컬럼어드레스 스트로브신호 /CAS가 하강한 후에 지정된다. 그리고, 신호 RAS가 상승하면, 워드드라이버의 프리차지를 실행시키는 신호 /WDP 및 예비 메모리셀 행의 선택을 실행하기 위한 예비 로우디코더의 NOT게이트(44)의 입력단자의 프리차지를 실행시키는 신호 /SRP가 상승한다.

통상모드시에는 신호SRT 및 신호SCT가 로우레벨이므로, 저항(60)에 의해서 NOT게이트(61)의 입력단자는 접지전압GND로 설정되고, NOT게이트(62)의 출력은 로우레벨로 된다. 그 때문에, NAND게이트(51),(52)의 출력은 내부 어드레스신호 RAdd0, RAdd1과 관계없이 항상 하이레벨로 되고, 그것에 의해서 NOT게이트(53),(54)의 출력은 항상 로우레벨로 된다. 게이트(55)의 입력이 모두 로우레벨이므로, 게이트(55)는 하이레벨을 출력한다. 따라서, NAND게이트(56)은 신호RAS의 부정을 출력하고, NOT게이트(58)의 출력파형 즉 신호NRE는 신호RAS와 동일한 파형으로 된다. 그 때문에, 제3도에 도시한 정규 로우디코더(2a)에 있어서 예를들면 회로부(39a)내의 NOT게이트(37)에 의해 NOT게이트(36)의 부정이 출력되고, 회로부 (39a)~(39d)가 출력하는 신호RX0~RX3중 어느것인가가 하이레벨로 된다. 내부 어드레스신호Xi, Xj를 디코드해서 로우레벨을 출력하는 NAND게이트(24)에 접속되는 워드선중 신호RX0~RX3중의 하이레벨로 되어 있는 신호가 인가되는 트랜스퍼게이트에 접속된 워드선WL0~WL3이 활성화된다.

그런데, 통상모드시의 예비 로우디코더(2b)는 NOT게이트(53)이 출력하는 신호TSR1은 로우레벨로 고정되어 있으므로, NAND게이트(45)의 출력이 항상 하이레벨로 되고, NAND게이트(46)은 NOT게이트(44)의 출력의 부정을 출력한다. 따라서, 퓨즈(41)중의 어느것인가가 절단되어 있으면, 그것에 대응한 어드레스에서 워드선의 선택을 실행하기 위한 신호를 출력한다.

테스트모드시에 신호SRT가 하이레벨로 되면 내부 어드레스신호 RAdd0에 따라서 신호TSR1이 변화하므로, 내부 어드레스신호 RAdd0에 의해 NAND게이트(46)의 출력을 제어할 수가 있다. 메모리셀의 구제가 실행되기 전에는 퓨즈(41)이 절단되어 있지 않으므로, 내부 어드레스신호X0~Xs가 입력되면 신호X0~Xs중의 어느것인가가 하이레벨로 되더라도 NOT게이트(44)의 출력은 항상 하이레벨로 된다. 따라서, 제2 테스트 로우디코더(9b)를 동작시키기 위해서는 내부 어드레스신호RAdd0을 하이레벨로 하면 좋다.

또, 테스트모드시에 신호SCT가 하이레벨로 되면, NAND게이트(89), (94)~(96)이 NOT게이트와 마찬가지로 기능을 하므로, NAND게이트(89),(94)~(96)은 AND게이트(88a)~(88d)의 출력의 부정을 출력한다. 따라서, NAND게이트(89),(94)~(96)중의 어느것인가가 로우레벨로 되므로, 신호SCS0~SCS3중의 어느것인가가 하이레벨로 설정된다.

신호SCS0~SCS3중의 어느것인가가 하이레벨로 되는 것에 의해서 EX-NOR게이트(106)은 로우레벨을 출력하므로, 여러개의 신호생성회로(109)에서 출력되는 신호CSLi는 모두 로우레벨로 고정된다. 그리고, 예를들면 SCS0~SCS3중에서 하이레벨로 되어 있는 신호가 SCS0이라고 하면, NAND게이트(100)의 출력은 로우어드레스 스트로브신호와 동일하게 상승하는 신호CDE와 신호SCS0의 부정논리곱이므로, 로우레벨로 된다. 따라서, 예비 메모리셀 열의 비트선을 선택하기 위한 신호SCSL0~SCSL3중의 신호SCSL0만이 하이레벨로 되어 예비 메모리셀 열 중의 1개가 선택된다.

또한, 테스트모드시에 정규 로우디코더(2a)와 제2 테스트 컬럼디코더(10b)에

의해서 영역(1B)를 선택시키기 위해서는 신호SRT를 로우레벨로 함과 동시에 신호SCT를 하이레벨로 설정하면 좋다. 또, 테스트모드시에 제2 테스트 로우디코더(9b)와 정규 컬럼디코더(4a)에 의해서 영역(1C)를 선택시키기 위해서는 신호SRT를 하이레벨로 함과 동시에 신호SCT를 로우레벨로 설정하면 좋다.

이상과 같이, 종래의 반도체 기억장치가 메모리셀을 선택하는 타이밍을 사용해서 테스트를 실행하고 있으므로, 종래의 반도체 기억장치와 동일한 구성부분을 용이하게 공통화할 수 있어 회로규모를 축소할 수가 있다.

또, 테스트신호SRT, SCT에 의해서 4개의 상황을 전환하기 때문에, 외부 어드레스신호를 늘리지 않고 교차부영역의 예비 메모리셀의 테스트를 실행할 수 있는 반도체 기억장치를 용이하게 형성할 수가 있다.

[실시예2]

다음에, 본 발명의 실시예2에 의한 반도체 기억장치에 대해서 설명한다. 제13도는 본 발명의 실시예2에 의한 DRAM의 구성의 개요를 도시한 블록도이다. 제13도에 있어서, (110)은 테스트모드에 있어서의 제어신호가 입력되는 입력단자, (111)은 입력단자(110)에 접속되어 내부 로우어드레스 발생회로(3) 및 내부 컬럼어드레스 발생회로(5)에서 인가되는 내부 로우어드레스신호 및 내부 컬럼어드레스신호를 변환하기 위한 변환회로, (112)는 변환회로(111)에서 출력되는 내부 로우어드레스신호와 제어신호에 의해 정규 행의 선택을 실행하는 정규 로우디코더, (113)은 변환회로(111)에서 출력되는 내부 로우어드레스신호와 제어신호에 의해 예비 메모리셀 행의 선택을 실행하는 제2 테스트 로우디코더, (114)는 변환회로(111)에서 출력되는 내부 컬럼어드레스신호와 제어신호에 의해 정규 열의 선택을 실행하는 정규 컬럼디코더, (115)는 변환회로(111)에서 출력되는 내부 컬럼어드레스신호와 제어신호에 의해 예비 메모리셀 열의 선택을 실행하는 제2 테스트 컬럼디코더이다.

제13도에 도시한 구성을 갖는 반도체 기억장치는 변환회로(111)에 의해 내부어드레스신호의 변환을 실행함과 동시에, 입력단자(110)에서 인가되는 제어신호와 내부 어드레스신호에 의해 정규 로우디코더(112)와 정규 컬럼디코더(114), 제2 테스트 로우디코더(113)과 정규 컬럼디코더(114), 정규 로우디코더(112)와 제2 테스트 컬럼디코더(115) 및 제2 테스트 로우디코더(113)과 제2 테스트 컬럼디코더(115)에 의해 선택되는 영역의 전환을 실행하고 있다. 통상모드시에는 내부 어드레스신호에 따라서 정규 로우디코더(112)와 정규 컬럼디코더(114)에 의해 정규 메모리셀이 선택된다.

제14도는 물리적인 메모리셀의 배치와 테스트모드시에 있어서의 어드레스공간에서의 메모리셀의 배치를 도시한 개념도이다. 제14도의 좌측이 물리적인 메모리셀의 배치, 우측이 어드레스공간에서의 메모리셀의 배치이다. 테스트모드시에는 어드레스의 변환이 실행되어 도면의 우측과 같은 정규 메모리셀의 어드레스의 지정에 의해 예비 행영역, 예비 열영역 및 교차부영역의 메모리셀의 선택이 실행된다($n > m$ 인 경우).

표 2에 입력단자(110)에서 입력되는 제어신호STE와 어드레스와 선택되는 영역의 관계를 도시한다.

[표 2]

	STE	어드레스
정규셀	개방 또는 0	RA0-n, CA0-m
예비행(SR0-3)	1	RA0-3, CA0-m
예비열(SC0-3)	1	RA4-7, CA0-m RA8-11, CA0-(n-m)
교차부	1	RA8-11, CA(b-m+1)-(n-m+4)

또, 변환회로(111)에 있어서의 변환전과 변환후의 어드레스의 대응을 표 3에 도시한다.

[표 3]

변환 전			변환 후	
$\begin{pmatrix} RA0 \\ CA0 \end{pmatrix}$	$\sim \begin{pmatrix} RA0 \\ CA_m \end{pmatrix}$	\longrightarrow	$\begin{pmatrix} SR0 \\ CA0 \end{pmatrix}$	$\sim \begin{pmatrix} SR0 \\ CA_m \end{pmatrix}$
\vdots	\vdots		\vdots	\vdots
$\begin{pmatrix} RA3 \\ CA0 \end{pmatrix}$	$\sim \begin{pmatrix} RA3 \\ CA_m \end{pmatrix}$	\longrightarrow	$\begin{pmatrix} SR3 \\ CA0 \end{pmatrix}$	$\sim \begin{pmatrix} SR3 \\ CA_m \end{pmatrix}$
$\begin{pmatrix} RA4 \\ CA0 \end{pmatrix}$	$\sim \begin{pmatrix} RA4 \\ CA_m \end{pmatrix}$	\longrightarrow	$\begin{pmatrix} SC0 \\ RA0 \end{pmatrix}$	$\sim \begin{pmatrix} SC0 \\ RA_m \end{pmatrix}$
\vdots	\vdots		\vdots	\vdots
$\begin{pmatrix} RA7 \\ CA0 \end{pmatrix}$	$\sim \begin{pmatrix} RA7 \\ CA_m \end{pmatrix}$	\longrightarrow	$\begin{pmatrix} SC3 \\ RA0 \end{pmatrix}$	$\sim \begin{pmatrix} SC3 \\ RA_m \end{pmatrix}$
$\begin{pmatrix} RA8 \\ CA0 \end{pmatrix}$	$\sim \begin{pmatrix} RA8 \\ CA_m \end{pmatrix}$	\longrightarrow	$\begin{pmatrix} SC0 \\ RA_{m+1} \end{pmatrix}$	$\sim \begin{pmatrix} SC0 \\ RA_n \end{pmatrix}$
\vdots	\vdots		\vdots	\vdots
$\begin{pmatrix} RA_{11} \\ CA0 \end{pmatrix}$	$\sim \begin{pmatrix} RA_{11} \\ CA_{(n-m)} \end{pmatrix}$	\longrightarrow	$\begin{pmatrix} SC3 \\ RA_{m+1} \end{pmatrix}$	$\sim \begin{pmatrix} SC3 \\ RA_n \end{pmatrix}$
$\begin{pmatrix} RA0 \\ CA_{(n-m+1)} \end{pmatrix}$	$\sim \begin{pmatrix} RA8 \\ CA_{(n-m+4)} \end{pmatrix}$	\longrightarrow	$\begin{pmatrix} SR0 \\ SC0 \end{pmatrix}$	$\sim \begin{pmatrix} SR0 \\ SC3 \end{pmatrix}$
\vdots	\vdots		\vdots	\vdots
$\begin{pmatrix} RA_{11} \\ CA_{(n-m+1)} \end{pmatrix}$	$\sim \begin{pmatrix} RA_{11} \\ CA_{(n-m+4)} \end{pmatrix}$	\longrightarrow	$\begin{pmatrix} SR3 \\ SC0 \end{pmatrix}$	$\sim \begin{pmatrix} SR3 \\ SC3 \end{pmatrix}$

제15도는 변환회로(111)의 구성의 1예를 도시한 블록도이다. 제15도에 있어서(120)은 변환전의 어드레스를 검출하는 검출부, (121)은 검출부(120)의 검출결과에따라서 내부 어드레스신호를 전환하는 전환부, (122)는 검출부(120)의 검출결과에 따라서 제어신호 SRT, SCT를 생성하는 제어신호 생성부이다.

예를들면, 표 3에 도시한 바와 같은 변환을 실행하는 경우, 테스트모드시에는 컬럼어드레스신호 CSdd가 컬럼어드레스CA0~CAm을 지정하도록 순차 변화하고, 컬럼어드레스CA0~CAm을 이동시키는 컬럼어드레스신호CAAdd의 변화가 종료할 때마다 로우어드레스신호RAAdd를 1개씩 증가시키도록 변화시키는 것으로 한다. 또, m은 n보다 작은 것으로 한다.

그 경우에는 표 4 및 표 5에 도시한 바와 같이, 로우어드레스가 RA0~RA3사이, RA4~RA7, RA8~RA11 사이에서 전환부(121) 및 제어신호 생성부(122)의 출력을 변화시킨다.

[표 4]

STE	RAdd	CAdd	SRT	SCT	전환부의 전환
H	RA0 ~RA3	임의	H	L	없음 (RAdd→Radd) CAdd→Cadd
H	RA4 ~RA7	임의	L	H	RAdd→Cadd CAdd→Radd
H	RA8 ~RA11	CA0 ~CA(n-m)	L	H	RAdd→Cadd CAdd→Radd
H	RA8 ~RA11	CA(n-m+1) ~CA(n-m+4)	H	H	없음 (RAdd→Radd) CAdd→Cadd
L 또는 개방	임의	임의	L	L	없음

[표 5]

	S-Address=SR/SC	어 드 레 스
정규셀	개방 또는 0 / 개방 또는 0	(SSR=0,RA0-n)(SSC=0,CA0-m)
예비행(SR0-3)	1/0	(SSR=1,RA0-3)(SSC=0,CA0-m)
예비열(SC0-3)	0/1	(SSR=0,RA0-n)(SSC=1,CA0-3)
교차부	1/1	(SSR=1,RA0-3)(SSC=1,CA0-3)

① 로우어드레스 RA0~RA3일 때는 컬럼어드레스의 값에 관계없이 제어신호 생성부(122)는 제어신호 SRT를 하이레벨로, 제어신호 SCT를 로우레벨로 설정한다. 또, 이 때 전환부(121)은 전환을 실행하지 않고 내부 로우어드레스신호 RAdd 및 내부 컬럼어드레스신호 CAdd를 대체하지 않고 그대로 신호 RAdd는 신호 Radd, 신호 CAdd는 신호 Cadd로서 출력한다.

② 로우어드레스 RA4~RA7일 때는 컬럼어드레스의 값에 관계없이 제어신호 생성부(122)는 제어신호 SRT를 로우레벨로, 제어신호 SCT를 하이레벨로 설정한다. 또, 이 때 전환부(121)은 전환을 실행하며, 내부 로우어드레스신호 RAdd는 신호 Cadd로서 출력하고 또 내부 컬럼어드레스신호 CAdd는 신호 Radd로서 출력한다.

③ 로우어드레스 RA8~RA11에서 컬럼어드레스 CA0~CA(n-m)일 때는 전환부(121) 및 제어신호 생성부(122)는 ②와 동일한 설정이 이루어진다.

④ 로우어드레스 RA8~RA11에서 컬럼어드레스 CA(n-m+1)~CA(n-m+4)일 때는 전환부(121)에서의 전환은 실행되지 않고, 제어신호 생성부(122)는 제어신호 SRT, SCT로서 모두 하이레벨을 출력한다.

실시예2와 같이 구성된 반도체 기억장치에 의하면, 입력하는 제어신호를 STE만으로 할 수 있어 반도체 기억장치의 핀수를 저감할 수가 있다.

실시예2에서도 실시예1과 마찬가지로 외부에서 입력하지 않는(개방 <Open> 상태)로 하면, 제어신호 SRT, SCT가 모두 로우레벨상태로 되도록 해 두면, 통상사용시에는 지장없이 정규 셀영역을 액세스할 수가 있다.

또한, 실시예2에서는 정규 로우디코더가 제1 테스트 로우디코더의 기능을 겸하고 있고, 정규 컬럼디코더가 제1 테스트 컬럼디코더의 기능을 겸하고 있다. 이상에서는 $n > m$ 인 경우를 설명했지만, $n \leq m$ 인 경우에 대해서도 마찬가지로 적용할 수가 있다.

[실시예3]

다음에, 본 발명의 실시예3에 의한 반도체 기억장치에 대해서 설명한다. 제16도는 본 발명의 실시예2에 의한 DRAM의 구성의 개요를 도시한 블록도이다. 제16도에 있어서 (130)은 종래보다 비트수가 많은 외부 어드레스신호 Add가 입력되는 입력단자, (3A)는 입력단자(130)에 접속되어 종래보다 비트수가 많은 외부 어드레스신호 Add에서 종래보다 비트수가 많은 내부 로우어드레스신호 RAdd를 발생하는 내부 로우어드레스 발생회로, 입력단자(130)에 접속되어 종래보다 비트수가 많은 외부 어드레스신호 Add에서 종래보다 비트수가 많은 내부 컬럼어드레스신호 CAdd를 발생하는 내부 컬럼어드레스 발생회로이다.

제17도에 도시한 바와 같이 예비 행영역, 예비 열영역 및 교차부는 정규 셀의 어드레스 평면의 확장영역

상에 속한다고 간주하고, 즉 로우어드레스(SR=1, RA0~RA3), 컬럼어드레스(SC=1, CA0~CAm)의 평면내에 속하는 것으로 간주하고, 내부로우어드레스신호S-RAdd, 내부 컬럼어드레스신호S-CAdd의 비트를 추가해서 외부에서 입력하고, 이들 어드레스에 의해 정규 셀과 예비 셀을 마찬가지로 액세스하는 것에 의해 실시예1에서 설명한 바와 마찬가지로 예비 메모리셀의 액세스 어드레스를 지정할 수가 있다. 이 때, 외부 어드레스신호S-Add를 외부에서 입력하지 않는(개방상태)로 하면, 내부에서 내부 로우어드레스신호S-RAdd=0, S-RAdd=0 상당의 상태로 되도록 해 두면, 통상사용시에는 정규 메모리셀을 지정없이 액세스할 수가 있다.

제18도는 제16도에 도시한 내부 로우어드레스 발생회로(3A) 및 내부 컬럼어드레스 발생회로(5A)의 구성을 설명하기 위한 블록도이다. 제18도에 있어서 (131)은 입력단자(130)에 마련된 예비 어드레스신호 입력단자, (132)는 예비 어드레스신호 입력단자(131)과 접지전위점 사이에 접속된 저항, (133)은 예비 어드레스신호 입력단자(131)에 인가된 예비 어드레스신호S-Add에서 제어신호SRT를 생성하는 SR어드레스버퍼, (134)는 예비 어드레스신호 입력단자(131)에 인가된 예비 어드레스신호S-Add에서 제어신호SCT를 생성하는 SC어드레스버퍼, (135) 제1도에 도시한 내부 로우어드레스 발생회로(3)에 상당하는 로우 어드레스버퍼, (136)은 제1도에 도시한 내부 컬럼어드레스 발생회로(5)에 상당하는 컬럼어드레스버퍼이다.

제18도에 도시한 SR어드레스버퍼(133) 및 SC어드레스버퍼(134)는 제19도에 도시한 바와 같이 시분할로 신호를 폐지한다. 그 때문에, 반도체 기억장치의 입력핀수를 저감할 수가 있다.

또한, 다른 구성은 제1도에 도시한 반도체 기억장치화 동일하게 구성할 수가 있다. 즉, 제1도의 제어회로(11)에 상당하는 구성이 내부 로우어드레스 발생회로(3A), 내부 컬럼어드레스 발생회로(5A)에 조립되어 있으면 좋다.

이상과 같이 구성된 실시예3에 의하면, 외부 어드레스핀이 1개 증가하지만 제어를 위한 핀을 필요로 하지 않고, 또 비교적 간단한 구성에 의해 본 발명의 반도체 기억장치를 얻을 수가 있다.

[실시예4]

제20도는 메모리셀 어레이의 결함을 구제하기 위한 시스템의 구성을 도시한 블록도이다. 제20도에 있어서 (201)은 테스트의 대상으로 되는 메모리셀 어레이를 갖는 반도체 기억장치, (202)는 여러개의 반도체 기억장치(201)이 형성되어 있는 웨이퍼, (203)은 피측정 디바이스인 반도체 기억장치(201)에 인가하는 시료용 전원, 타이밍 발생기의 출력, 패턴발생기의 출력을 인가하는 출력부 및 디바이스출력을 측정부에 폐지하기 위한 입력부로 구성되는 테스트헤드, (204)는 테스트패턴을 발생하기 위한 테스트패턴 발생부, (205)는 테스트헤드(203)에서 폐지한 반도체 기억장치(201)의 출력과 테스트패턴 발생부(204)에서 발생한 테스트패턴에 대한 기대값의 비교를 실행하는 데이터비교부, (206)은 데이터비교부(205)의 비교결과에서 불량으로 된 메모리셀에 관한 불량정보를 측정하는 결함(fail)메모리, (207)은 결함메모리(206)에 축적되어 있는 불량정보에 따라서 예비 메모리셀로의 치환을 실행하는 것에 의해 결함구제를 실행하는 구제판정부이다.

제21도는 실시예1~3에서 설명한 바와 같은 구성을 갖는 반도체 기억장치에 대해서 유효하게 메모리셀 어레이의 결함을 구제하기 위한 알고리즘을 도시한 흐름도이다.

먼저, 스텝ST1에서 정규 메모리셀을 테스트한다. 스텝ST2에서 스텝ST1에 있어서 실행한 테스트결과를 판단한다. 판단결과, 정규 메모리셀에 결함이 없는 경우에는 테스트를 종료한다.

스텝ST2에서 정규 메모리셀에 결함이 있다고 판단되었을 때에는 스텝ST3으로 진행하여 결함구제판정을 위해 결함정보를 축적한다.

정규 메모리셀에 결함이 있는 경우에는 스텝ST4~ST6을 거쳐 모든 예비 메모리셀의 테스트를 실행한다. 예를들면, 스텝ST4에서는 도 1에 도시한 영역(1B)에 속하는 제1 예비 메모리셀의 테스트를 실행한다. 또, 스텝ST5에서는 영역(1C)에 속하는 제2 예비메모리셀의 테스트를 실행한다. 또, 스텝ST6에서는 영역(1D)에 속하는 제3 예비 메모리셀의 테스트를 실행한다.

스텝ST7에서는 스텝ST4~ST6에서 실행한 예비 메모리셀 테스트결과를 판단하고, 예비 메모리셀에 결함이 없으면 스텝ST10으로 진행하고, 정규 행 및 열에 대해서 소정의 예비 메모리셀 행 또는 예비 메모리셀 열 또는 양쪽의 치환을 실행한다(결함구제판정1).

스텝ST7에서 예비 메모리셀에 결함이 있다고 판단되었을 때에는 예비 메모리셀에 결함이 있는 경우는 결함구제판정을 위해서 결함정보를 축적한다.

예비 메모리셀에 결함이 있는 경우에는 스텝ST9로 진행하고, 결함을 포함한 예비 메모리셀 부분을 제외하고 결함구제판정 및 구제를 실행한다(결함구제판정2).

스텝ST6에 있어서 제1도에 도시한 영역(1D) 즉 교차부영역의 예비 메모리셀의 테스트를 실행해서 그 결과를 반영시키고 있으므로, 결함이 있는 예비 메모리셀 행 또는 예비 메모리셀 열을 이용해서 치환하는 일이 없어 제조효율의 향상을 기대할 수 있다.

[실시예5]

제22도는 본 발명의 실시예5에 의한 반도체 기억장치의 구성을 개요를 도시한 블록도이다. 제22도에 도시한 바와 같이 용장 메모리셀은 예비 로우디코더(2b)와 정규 컬럼디코더(4a)에 의해서 선택되는 예비 메모리셀이 배치되어 있는 영역(1B), 정규 로우디코더(2a)와 예비 컬럼디코더(4b)에 의해서 선택되는 예비 메모리셀이 배치되어 있는 영역(1C), 예비 로우디코더(2b)와 예비 컬럼디코더(4b)에 의해서 선택되는 예비 메모리셀이 배치되어 있는 영역(1D)의 3개의 예비영역으로 분할된다. 즉, 이들 3종류의 예비영역의 선택을 특히 모드신호 입력없이 직렬로 액세스하는 것에 의해 실행하는 것이다.

제13도에 도시한 실시예2에 의한 반도체 기억장치에 모드전환신호 발생회로를 마련하는 것에 의해서 실시예5의 반도체 기억장치가 구성되고 있다. 제23도는 본 발명의 실시예5에 의한 반도체 기억장치의 모드전환신호 발생회로의 구성을 도시한 논리도이다. 제23도에 있어서 (210)은 컬럼어드레스 스트로브신호/CAS, 로우어드레스 스트로브신호 /RAS 및 라이트인에이블신호 /WE에서 모드전환신호 /WCBR를 생성하는

모드전환신호 발생회로이다.

모드전환신호 발생회로(210)이 발생하는 모드전환신호 /WCBR는 예를들면 제13도에 도시한 반도체 기억장치에 있어서는 입력단자(110)에 인가하는 제어신호STE에 상당한다.

모드전환신호 발생회로(210)은 컬럼어드레스 스트로브신호 /CAS를 반전하는 인버터(211), 로우어드레스 스트로브신호 /RAS를 반전하는 인버터(212), 인버터(211)의 출력을 받는 제1 입력단, NAND게이트(216)의 출력을 받는 제2 입력단, 이들 제1 및 제2 입력단에서 받은 신호의 부정논리곱을 출력하는 출력단을 갖는 NAND게이트(215), 인버터(212)의 출력을 받는 제1 입력단과 NAND게이트(215)의 출력을 받는 NAND게이트(216), NAND게이트(215)의 출력을 받는 제1 입력단, NAND게이트(218)의 출력을 받는 제2 입력단, 이들 제1 및 제2 입력단에서 받은 신호의 부정논리곱을 출력하는 출력단을 갖는 NAND게이트(217), NAND게이트(217)의 출력을 받는 제1 입력단, 인버터(212)의 출력을 받는 제2 입력단자, 이들 제1 및 제2 입력단에서 받은 신호의 부정논리곱을 출력하는 출력단을 갖는 NAND게이트(218), NAND게이트(218)의 출력을 반전해서 출력하기 위해 직렬로 접속된 3개의 인버터(219)~(221), 라이트인에이블신호 /WE를 반전하는 인버터(213), 로우어드레스 스트로브신호 /RAS를 반전하는 인버터(214), 인버터(213)의 출력을 받는 제1 입력단, NAND게이트(223)의 출력을 받는 제2 입력단, 이들 제1 및 제2 입력단에서 받은 신호의 부정논리곱을 출력하는, 출력단을 갖는 NAND게이트(222), NAND게이트(222)의 출력을 받는 제1 입력단, 인버터(214)의 출력을 받는 제2 입력단, 이들 제1 및 제2 입력단에서 받은 신호의 부정논리곱을 출력하는 출력단을 갖는 NAND게이트(223), NAND게이트(222)의 출력을 받는 제1 입력단, NAND게이트(225)의 출력을 받는 제2 입력단, 이들 제1 및 제2 입력단에서 받은 신호의 부정논리곱을 출력하는 출력단을 갖는 NAND게이트(224), NAND게이트(224)의 출력을 받는 제1 입력단, 인버터(214)의 출력을 받는 제2 입력단, 이들 제1 및 제2 입력단에서 받은 신호의 부정논리곱을 출력하는 NAND게이트(225), NAND게이트(225)의 출력을 반전하는 인버터(226), 인버터(221), (226)의 출력을 각각 제1 및 제2 입력단에서 받고 이들 제1 및 제2 입력단에서 받은 신호의 부정논리곱을 출력하는 NAND게이트(227)를 구비해서 구성된다.

제24도는 제23도에 도시한 모드전환신호 발생회로의 테스트모드 인사이클 및 예비 액세스사이클을 도시한 타이밍도이다. 제24(a)도는 로우어드레스 스트로브신호 /RAS, 제24(b)도는 컬럼어드레스 스트로브신호 /AS, 도 24(c)는 라이트인에이블신호 /WE, 제24(d)도는 어드레스신호Add.을 도시하고 있다.

반도체 기억장치는 테스트모드 인 사이클(test mode in cycle)로 라이트 /CAS 비포 /RAS(Write-/CAS before /RAS)타이밍에서 들어간다. 로우어드레스 스트로브신호 /RAS가 하강했을 때에 제23도에 도시한 모드전환신호 발생회로(210)의 출력신호 /WCBR가 로우레벨로 변화한다.

제24도에 어드레스키 지정에 의해 인가되는 테스트모드 인 신호에 의해서 예비 테스트모드로 들어가 원하는 예비테스트를 실행한다.

제25(a)도는 로우어드레스 스트로브신호 /RAS, 제25(b)도는 컬럼어드레스 스트로브신호 /CAS, 제25(c)도는 라이트인에이블신호 /WE를 나타내고 있다.

예비 액세스사이클에서는 로우어드레스 스트로브신호 /RAS가 하이레벨일 때에 로우어드레스를 리드하고, 로우어드레스 스트로브신호 /RAS가 하강하고 또 컬럼어드레스 스트로브신호 /CAS가 하강하면 컬럼어드레스를 리드한다

용장메모리셀은 예비 행, 예비 열 및 예비 행열의 교차부의 3개의 영역으로 분할된다. 이들 영역의 테스트는 결함구제에 앞서 실행한다. 이들 예비영역의 선택은 통상 어드레스 입력핀에서 신호A0, A1을 인가하는 것에 의해, 표 6에 도시한 바와 같이 각 영역을 개별적으로 선택하고, 각 영역내의 각 메모리셀들의 선택은 이 때 통상 사용하는 것 이외의 어드레스핀(A2, A3---)에서 예비 메모리셀 어레이 상의 소정의 어드레스를 인가하는 것에 의해 실현 할 수 있다.

[표 6]

액세스영역	(A0, A1)	어 드 레 스
정규셀	(0, 0)	RA0-n, CA0-m
예비행(SR0-3)	(1, 0)	RA0-3, CA0-m
예비열(SC0-3)	(0, 1)	RA0-n, CA0-3
교차부	(1, 1)	RA0-3, CA0-3

이와 같은 테스트모드 인 신호를 입력하지 않은 경우에는 통상 액세스가 실행되는 통상(normal)모드로 되고, 이것에 의해 통상모드동작이 실행된다.

예를들면, 4개의 예비 행을 SR0-3, 4개의 예비 열을 SC0-3으로 한다. 이들에 대한 액세스 어드레스입력은 표 6에 도시한 바와 같이 이하와 같이 실행된다.

(1) 예비 행 테스트모드에 대해서 설명한다.

어드레스 입력단자A0, A1에서 입력되는 로우어드레스에 의해 4개의 예비 메모리셀 행 중의 1개를 선택하고, 그 후에 입력되는 컬럼어드레스A0-Am에 의해 선택된 예비 행 상의 컬럼어드레스를 지정하는 것에 의해서 예비 행 상의 셀의 액세스어드레스를 지정한다.

(2) 예비 열 테스트모드에 대해서 설명한다.

어드레스입력 A0-n에서 입력되는 로우어드레스에 의해 4개의 예비 열의 로우어드레스를 지정하고, 그 후

에 입력되는 컬럼어드레스 A0, A1에 의해 4개의 예비 행 중의 1개를 선택하는 것에 의해서 예비 열 상의 셀의 액세스어드레스를 지정한다.

(3) 예비 행/열 테스트모드에 대해서 설명한다.

어드레스입력 A0, A1에서 입력되는 로우어드레스 및 그 후에 입력되는 컬럼어드레스 A0, A1에 의해 4개의 예비 행 및 4개의 예비 열의 교점의 셀의 액세스어드레스를 지정한다.

이와 같이, 통상 사용하는 어드레스핀으로부터의 어드레스입력에 의해 간단하게 예비영역의 메모리셀의 어드레스지정이 가능하고, 지정된 예비 메모리셀로의 액세스가 지장없이 실행된다.

이 구성은 여분의 테스트패드를 사용할 수 없는 패키지 후의 결함구제테스트에도 유효하다.

패키지 후의 결함구제에는 예를들면 레이저블로우(laser blow) 대신에 외부패드로부터의 전기신호입력에 의해 퓨즈를 절단하는 소위 전기퓨즈가 사용된다. 제26도는 반도체 기억장치내에 마련된 전기퓨즈에 의한 결함구제기구의 구성을 도시한 회로도이다. 제26도에 도시한 반도체 기억장치에서는 외부 고전압 인가패드(230)이 반도체 기억장치의 외부에 노출되어 있다. 그 외부전압 인가패드(230)에 접속된 배선(231)이 반도체 기억장치의 패키지내까지 끌어들여져 있다. 배선(231)에 서로 병렬로 접속된 전기퓨즈(232)가 i 개 마련되어 있다. 이 i 개의 전기퓨즈(231)에 각각 드레인을 접속한 i 개의 N채널 MOS트랜지스터(233)이 마련되어 있다. 이 i 개의 N채널 MOS트랜지스터(233)의 드레인은 모두 접지되어 있고, 각각의 게이트에 신호 $X_0 \sim X_i$ 가 인가되고 있다.

예를들면, 외부전압 인가패드(230)에 외부에서 고전압(10~20V)를 인가하고, 절단하고자 하는 전기퓨즈가 접속되어 있는 트랜지스터의 게이트에 인가하는 신호 $X_0 \sim X_i$ 를 선택적으로 하이레벨로 하는 것에 의해서 트랜지스터를 도통시키고, 원하는 전기퓨즈(232)에 대전류를 흐르게 해서 녹여 절단한다.

실시예2에서 제14도를 사용해서 설명한 바와 같은 구성과 실시예5에서 설명한 바와 같은 모드전환수단을 조합해서 제23도 및 제24도와 같은 타이밍신호((Write-/CAS before /RAS) 타이밍 및 어드레스키 지정)에 의해 원하는 예비 셀 테스트를 설명한다.

제23도에 상기와 같은 동작을 실행하기 위한 회로구성도가 도시되어 있다. 이 구성은 여분의 테스트패드를 사용할 수 없는 패키지 후의 결함구제 테스트에도 유효하다. 패키지 후의 결함구제라는 것은 제23도에 도시한 바와 같이, 레이저블로우 대신에 외부패드로부터의 전기신호입력에 의해 퓨즈를 절단하게 되는 소위 전기퓨즈를 사용하는 것이다.

[실시예6]

제27도는 본 발명의 실시예6에 의한 반도체 기억장치의 구성의 개요를 도시한 블록도로서, 용장메모리셀을 포함하는 메모리셀 어레이를 고속으로 테스트하고, 구제판정을 실행하는 방법 및 그를 위한 구성을 설명하기 위한 것이다.

제27도에 있어서 (240), (241)은 메모리셀 어레이(1)내에 마련된 정규 메모리셀, (242), (243)은 메모리셀 어레이(1)내에 마련된 예비 메모리셀(244₀)~(244_n)은 정규 메모리셀(240), (241) 및 예비 메모리셀(242), (243)에 접속된 비트선쌍, (244₀)~(248_n)은 정규 메모리셀(241), (242)에 접속된 워드선, (249₀), (249₁)은 예비 메모리셀 행에 마련되고 예비 메모리셀(243), (244)에 접속된 워드선, (250), (251)은 비트선쌍(244₀)~(244_n)에 수직으로 메모리셀 어레이(1)의 양측에 마련된 센스앰프의 배치영역, (252)는 비트선쌍(244₀)~(244_n)에 접속된 센스앰프, (253)은 센스앰프(252)의 출력을 선택하는 열선택회로, (255)는 센스앰프(252)의 출력을 전달하기 위한 I/O버스, (256)은 I/O버스(255)의 신호를 증폭하는 메인앰프, (257)은 메인앰프(256)의 출력D0~Dm의 배타적 논리합 연산을 실행해서 그 결과를 출력하는 연산 및 출력부로서, 그 밖에 제22도와 동일한 부호의 것은 제22도의 동일부호 부분에 상당하는 부분이다.

테스트모드로 되어 있을 때에 제2 테스트 로우디코더(113)에 의해서 예비 메모리셀 행에 마련된 워드선(249₀), (249₁)의 활성화/비활성이 선택적으로 실행된다. 활성화된 워드선(249₀) 또는 (249₁)의 예비 메모리셀(242)에서 리드된 데이터는 I/O버스(255)를 통과해서 메인앰프(256)에서 출력된다. 메인앰프(256)에서 출력된 모든 데이터D0~Dm은 연산 및 출력부(257)에서 배타적 논리합연산이 실행되고 그 결과가 출력된다. 제2 테스트 로우디코더(113)를 사용하고 예비 메모리셀(242)에 미리 라이트되어 있는 데이터는 모두 동일한 논리값이다. 따라서, 연산 및 출력부(257)의 출력은 예비 메모리셀에 1개라도 불량인 것이 미리 라이트안 논리값과 다른 논리값이 리드되었을 때에는 로우레벨로 된다.

결함구제시에 예비영역 중에서 동시에 리라이트되는 예비 메모리셀 행(또는 예비 메모리셀 열) 중의 여러개의 비트를 병렬로 테스트하고, 그들의 출력데이터의 곱 등으로 나타내지는 축퇴(degenerate) 테스트정보를 외부로 출력하는 것에 의해서 여러개의 예비메모리셀을 동시에 테스트할 수 있어 테스트시간을 단축할 수가 있다.

예비 메모리셀 동시에 리라이트되는 것중의 1비트라도 결함을 포함하면 결함구제에는 사용할 수 없으므로, 1행 또는 1열의 모든 메모리셀중에 불량인 것이 있는지 없는지를 테스트하면 좋고, 불량인 비트위치 정보는 필요없으므로 축퇴비트의 선택방법 등은 고려할 필요가 없다. 따라서, 정규 셀과는 달리 동일 예비 메모리셀 행/열상에 축퇴비트가 여러개 있어도 좋고, 여러개의 예비 행/열에 걸쳐서 축퇴비트가 여러개 있어도 좋다.

이 실시예에서는 동시에 액세스 및 테스트하는 여러개의 비트에 대해서 동시에 동일한 데이터를 라이트하고 그 후에 리드하며, 이들 여러개의 비트데이터의 일치/불일치를 검사해서 테스트 데이터중에 불량을 포함하는지 포함하지 않는지의 정보를 외부로 출력한다.

동시에 동일한 데이터를 라이트하기 위해서는 테스트모드로 들어갔을 때에 예를들면 모든 비트선쌍을 일치히 하이레벨로 해서 모든 워드선을 활성화하도록 구성하면 좋다.

또, 동시에 액세스 및 테스트하는 여러개의 비트를 인접하는 메모리셀 데이터로 하지 않고 물리적으로 떨어진 메모리셀 데이터로 하는 것에 의해서, 병렬테스트 비트 상호간의 간섭에 의해 테스트정보가 영향을 받아 잘못된 판정을 하는 것을 방지하고 있다.

[실시예7]

제28도는 본 발명의 실시예7에 의한 반도체 기억장치의 구성의 개요를 도시한 블록도이다. 제28도에 있어서 (1)은 정규열이 배치된 영역(1)과 예비 메모리셀 열이 배치된 영역(1Y)를 갖고 있고, 영역(1X)에 결함이 발생한 경우에 영역(1Y)의 예비 메모리셀 열에서 결함구제가 가능한 메모리셀 어레이, (260)은 메모리셀 어레이(1)의 영역(1X)에 마련되어 1비트의 데이터를 기억하기 위한 정규 메모리셀, (261)은 메모리셀 어레이(1)의 영역(1Y)에 마련되어 정규 메모리셀(260)에 결함이 발생했을 때 결함이 발생한 정규 메모리셀(260)의 대체를 하는 예비 메모리셀, (262)는 정규 메모리셀(260)과 예비 메모리셀(261)이 배열되는 행에 배치되어 데이터를 리드하거나 또는 라이트하는 메모리셀의 선택을 실행하기 위한 워드선, (263)은 워드선(262)의 활성화/비활성을 제어해서 메모리셀의 선택을 실행하기 위한 로우디코더, (264)는 정규열에 배치된 정규 메모리셀(260)에서 데이터를 리드하거나 또는 라이트하기 위한 데이터의 전달을 실행하는 비트선쌍, (265)는 예비 메모리셀 행에 배치된 예비 메모리셀(261)에서 데이터를 리드하거나 또는 라이트하기 위한 데이터의 전달을 실행하는 비트선쌍, (266)은 비트선쌍(264)에 접속되어 정규 메모리셀(260)에서 리드한 데이터의 검지를 실행하는 센스앰프, (267)은 비트선쌍(265)에 접속되어 예비 메모리셀(261)에서 리드된 데이터의 검지를 실행하는 센스앰프, (269)는 센스앰프(266)의 출력을 증폭하는 메인앰프, (270)은 센스앰프(267)의 출력을 증폭하는 메인앰프, (271)메인앰프(269)의 출력의 모든 배타적 논리합을 연산하는 XOR게이트, (272)는 모든 메인앰프(270)의 출력의 모든 배타적 논리합을 연산하는 XOR게이트, (273)은 메모리셀 어레이(1)과 외부와의 데이터의 입출력에 사용되는 통상 사용단자, (274)는 XOR게이트(271), (272)의 출력을 선택적으로 통상 사용단자(273)에 접속하는 선택회로이다.

통상 사용단자(273)에는 데이터DQ₀~DQ_n를 출력하기 위한 여러개의 통상사용핀(273₀)~(273_n)이 있다.

1행에 배치되어 있는 여러개의 정규 메모리셀을 그 행의 예비 메모리셀로 치환할 필요가 있거나 또는 예비 메모리셀로 치환하는 것이 가능한지를 파악하는 것에 의해서, 그 반도체 기억장치가 불량으로 되는지의 여부를 판단할 수 있다.

그 판단을 실행하기 위해서, 먼저 정규 메모리셀(260)이 배치되어 있는 메모리셀 어레이(1)의 영역(1X)중의 동일한 행에 속하는 여러개의 정규 메모리셀에 동일한 데이터가 라이트된다. 동일한 데이터가 라이트되어 있으므로, 이 행의 정규 메모리셀(260)에서 리드한 데이터는 결함이 없으면 모두 동일한 논리값을 갖는다. 결함이 있으면, 모두 동일한 논리값으로 되지 않으므로 XOR게이트(271)에서 「1」이 출력된다.

동시에, 예비 메모리셀(261)에도 동일한 데이터가 라이트된다. 예비 메모리셀(261)에 대해서도 정규 메모리셀(260)과 마찬가지로 예비 메모리셀(261)에 결함이 있으면 XOR게이트(272)에서 「1」이 출력되고, 예비 메모리셀(261)에 결함이 없으면 XOR게이트(272)에서 「0」이 출력된다.

이와 같이, 정규 메모리셀(260)의 결함의 유무의 검사결과를 축퇴데이터에 의해 외부로 출력하므로, 테스트모드시에 선택회로(274)에 의해 정규 메모리셀(260)을 검사하기 위한 XOR게이트(271)을 포함하는 테스트회로에 접속되는 통상 사용핀(273₀)~(273_n)의 갯수를 삭감할 수 있다. 이 때, 나머지 통상 사용핀(273₁)~(273_n)에 예비 메모리셀(261)의 검사결과를 출력할 수가 있고, 이 테스트 전용의 핀을 마련하지 않아도 좋게 되어 반도체 기억장치의 패키지를 소형화할 수가 있다.

또, 예비 메모리셀 행에서 구제되는 여러개의 비트를 병렬 테스트해서 이들의 축퇴테스트데이터를 출력하므로, 각 예비 메모리셀 행 또는 열에 대해서 대응하는 정규 메모리셀의 불량정보를 고속으로 얻을 수 있어 테스트시간을 단축할 수가 있다.

동시에 액세스 및 테스트하는 여러개의 비트에 대해서 동시에 동일한 데이터를 라이트하고 그 후에 리드하며, 이들 여러개의 비트데이터의 일치/불일치를 검사해서 테스트 데이터중에 불량을 포함하는지 포함하지 않는지의 정보를 외부로 출력한다. 또, 동시에 액세스 및 테스트하는 여러개의 비트를 인접하는 메모리셀 데이터로 하지 않고 물리적으로 떨어진 메모리셀 데이터로 하는 것에 의해서, 병렬테스트 비트 상호간의 간섭에 의해 테스트정보가 영향을 받아 잘못된 판정을 하는 것을 방지하고 있다.

[실시예8]

제29도는 본 발명의 실시예8에 의한 반도체 기억장치의 개요를 도시한 블록도이다. 제 29도에 도시한 반도체 기억장치와 제28도에 도시한 반도체 기억장치가 다른 점은 제29도의 반도체 기억장치는 메모리셀 어레이(1)의 양측에 센스앰프(266a), (266b), (267a), (267b)가 배치되어 있는 점이다.

정규 메모리셀의 치환을 할 때에는 동일측에 센스앰프가 배치되어 있는 예비 메모리셀 열을 사용해서 실행한다. 예를들면, 센스앰프(266a)에 접속되는 비트선쌍(264a)를 사용해서 데이터를 리드하는 정규 메모리셀(260)은 센스앰프(267a)에 접속되는 비트선쌍(265a)를 사용해서 데이터를 리드하는 예비 메모리셀(261)로 치환하는 것이며, 비트선쌍(265b)를 사용해서 데이터를 리드하는 예비 메모리셀(261)로 치환하는 것은 아니다.

결함구제시에 정규 메모리셀과 예비 메모리셀을 동시에 액세스한다. 예를들면, 정규 메모리셀에 대해서는 여러개의 비트 병렬테스트에 의한 축퇴테스트데이터를 출력하고, 예비 메모리셀의 테스트데이터에서는 통상 액세스데이터를 출력한다. 그리고, 정규 메모리셀의 축퇴테스트데이터DQ₀ 통상사용핀(273₀)으로 출력하고, 예비메모리셀의 테스트데이터DQ₂를 통상사용핀(273₂)으로 출력한다. 또, 정규 메모리셀의 축퇴테스트데이터DQ₁을 통상사용핀(273₁)으로 출력하고, 예비 메모리셀의 테스트데이터DQ₃을 통상사용핀(273₃)으로 출력한다. 이와같이, 정규메모리셀을 치환하는 관계에 있는 예비 메모리셀의 데이터를 쌍으로 해서 동시에 출력하는 것에 의해서, 여러개의 정규 메모리셀과 여러개의 예비 메모리셀의 불량정보를 동시에 얻을 수 있어 테스트시간을 단축할 수가 있다.

결함구제시에 정규 메모리셀 어레이내에 있어서 동일한 예비 메모리셀 행 또는 열에서 구제되는 여러개의 비트를 병렬테스트해서 이들 축퇴테스트데이터DQ0, DQ1을 통상사용핀(273₀), (273₁)로 출력하는 한편, 예비 메모리셀 행 또는 열로부터는 상기 대응하는 예비 메모리셀의 데이터DQ2, DQ3을 출력하는 것에 의해서 각 예비 메모리셀 행 또는 열에 대해서 대응하는 정규 메모리셀의 불량정보를 고속으로 얻을 수 있고, 테스트시간을 단축하여 구제판정 알고리즘의 간략화를 도모할 수가 있다.

제35도는 이와 같은 구제판정의 알고리즘을 도시한 흐름도이다. 스텝ST20에서 최초로 테스트하는 메모리셀의 어드레스를 리드한다. 리드한 어드레스에 대응한 메모리셀과 동일한 워드선(262)상에 배열되는 여러개의 메모리셀에 동일한 데이터를 라이트한다. 이들 메모리셀에서 데이터를 리드한다(스텝ST21). 이들 여러개의 비트데이터의 일치/불일치를 검사해서(스텝ST22, ST23), 테스트데이터내에 불량을 포함하는 지 포함하지 않는지의 정보를 외부로 출력한다.

동일행에 있는 정규 메모리셀(260)과 예비 메모리셀(261)을 동시에 테스트하는 것에 의해서, 스텝ST22, ST23을 동시에 실행할 수 있어 구제판정 알고리즘의 간략화를 도모할 수가 있다.

이 때, 동시에 액세스해서 테스트하는 여러개의 비트를 인접하는 메모리셀 데이터로 하지 않고 물리적으로 떨어진 메모리셀 데이터로 하는 것에 의해서, 병렬 테스트 비트 상호간의 간섭에 의해 테스트정보가 영향을 받아 잘못된 판정을 하는 것을 방지할 수가 있다.

또한, 상기 실시예4~6에서 축퇴비트 테스트출력은 전용의 테스트데이터 출력단자로 출력해도 좋고, 원래 병렬데이터 입출력방식에 있어서 여러개의 데이터 입출력단자 중의 1개에 정규셀의 테스트데이터를 입출력하고, 다른 1개에 예비셀의 테스트데이터를 입출력해도 좋다. 후자에서는 여분의 테스트용 단자를 필요로 하지 않아 칩면적의 삭감이나 패키지의 단자수의 삭감이 도모된다.

[실시예9]

제36도는 본 발명의 실시예9에 의한 반도체 기억장치의 통상사용핀과 통상사용핀의 입출력모드를 전환하는 전환회로의 구성을 도시한 회로도이다. 제36도에 있어서 SG0~SGm+1은 통상사용핀(273₀)~(273_{m+1})에 접속되어 데이터DQ0~DQm+1을 출력하기 위한 전환회로이다. 전환회로SG0~SGm은 라이트인에이블신호 WE에 의해서 데이터DQ0~DQm+1을 통상출력핀(273₀)~(273_{m+1})으로 출력시킬 것인지 출력시키지 않을 것인지를 전환을 실행한다. 라이트인에이블신호WE가 하이레벨일때에는 데이터DQ0~DQm+1을 전달하는 경로가 절단되어 데이터DQ0~DQm+1은 통상출력핀으로 출력되지 않는다.

전환회로SG0은 데이터DQ0을 반전해서 출력하는 인버터(300), 라이트인에이블신호WE와 인버터(300)의 출력의 부정논리합을 출력하는 NAND게이트(301), 라이트인에이블신호WE와 데이터DQ0의 부정논리합을 출력하는 NAND게이트(302), 전원전위점과 통상사용핀(273₀)에 각각 소오스화 드레인이 접속되고 게이트에서 NAND게이트(301)의 출력을 받는 N채널 MOS트랜지스터(303), 접지전위점과 통상사용핀(273₀)에 각각 드레인과 소오스가 접속되고 게이트에서 NAND게이트(302)의 출력을 받는 N채널 MOS트랜지스터(304)로 구성되어 있다.

전환회로SG1~SGm도 전환회로SG0과 마찬가지로 구성을 갖고 있다.

전환회로SGm+1은 테스트신호TE를 반전해서 출력하는 인버터(305), 인버터(305)의 출력에 의해서 데이터DQm+1의 전달이 제어되는 트랜스퍼 게이트(306), 트랜스퍼 게이트(306)의 출력단과 접지전위점 사이에 접속되고 테스트신호TE에 의해서 트랜스퍼 게이트(306)의 출력단을 접지전위로 선택적으로 고정시키는 N채널MOS트랜지스터(307), 트랜스퍼 게이트(306)의 출력단에 나타난 신호를 반전하는 인버터(308), 라이트인에이블신호WE와 인버터(308)의 출력의 부정논리합을 출력하는 NAND게이트(309), 라이트인에이블신호WE와 트랜스퍼 게이트(306)의 출력단에 나타나는 신호의 부정논리합을 출력하는 NAND게이트(310), 전원전위점과 통상사용핀(273_{m+1})에 각각 소오스와 드레인이 접속되고 게이트에서 NAND게이트(309)의 출력을 받는 N채널 MOS트랜지스터(311), 접지전위점과 통상사용핀(273₀)에 각각 드레인과 소오스가 접속되고 게이트에서 NAND게이트(310)의 출력을 받는 N채널 MOS트랜지스터(312)에 의해 구성되어 있다.

축퇴데이터를 통상사용핀에서 출력하는 것에 의해서, 나머지 통상사용핀을 사용하여 테스트모드 기호(signature)신호를 출력할 수가 있다.

이것은 제1도와 같이 통상사용시(통상모드시)에는 데이터 입출력단자로서 작용하는 단자DQ1~n중 축퇴데이터 입출력모드로 들어갈 때(TE=H)에 축퇴데이터입출력에 사용하는 단자DQ0~DQm 이외에 나머지 단자DQm+1~DQn을 사용해서 테스트모드로 들어가 있는 것을 확인하기 위한 신호를 출력할 수가 있다.

이것에 의해, 테스트모드 인동작이 오동작에 의해 정확하게 실행되고 있지 않은 경우에 이것을 검출하고 외부로 기호신호로서 출력하므로, 외부에서 이것을 알 수 있어 테스트의 신뢰성을 높여 잘못된 테스트를 피할 수 있다.

발명의 효과

이상 기술한 바와 같이, 제 1 발명에 관한 반도체 기억장치에 의하면, 테스트 모드시에 메모리셀 어레이의 어드레스 지정을 실행하는 어드레스신호에 의해 상기 예비 로우디코더 및 상기 예비 컬럼디코더를 사용하지 않고 예비 메모리셀 행 또는 예비 메모리셀 열 중의 적어도 한쪽을 통상모드시의 타이밍에서 선택 상태로 하도록 구성되어 있으므로, 정규 메모리셀과 예비 메모리셀에서 데이터를 리드 및 라이트하기 위한 통상의 구성을 변경하는 일 없이 테스트모드시에 통상모드시에 사용되는 어드레스신호를 사용해서 테스트를 실행할 수 있고, 예비 메모리셀을 테스트하기 위한 기능을 부가하기 위해 변경하지 않으면 안되는 개소를 적게할 수 있다는 효과가 있다.

제 2 발명에 관한 반도체 기억장치에 의하면, 액세스수단이 제3 예비 메모리셀로 액세스할 수 있도록 구성되어 있으므로, 결함이 있는 정규 메모리셀을 예비 메모리셀로 치환했을 때에 발생하는 반도체 기억장치의 불량 수를 삭감할 수 있다는 효과가 있다.

제 3 발명에 관한 반도체 기억장치에 의하면, 테스트모드시에 예비 메모리셀의 어드레스를 선택하기 위한

전용의 어드레스신호를 필요로 하지 않으므로, 어드레스신호로 지정하는 어드레스수를 감소시켜 통상모드시에 어드레스신호를 입출력하기 위한 회로규모를 삭감할 수 있다는 효과가 있다.

제 4 발명에 관한 반도체 기억장치에 의하면, 제1 및 제2 테스트 로우디코더와 제1 및 제2 테스트 컬럼디코더를 사용하여 제어수단에 의해 테스트모드시에 통상 로우어드레스신호와 통상 컬럼어드레스신호에 의해 메모리셀 어레이의 전체 메모리셀의 테스트를 실행할 수 있으므로, 외부에서 인가하는 어드레스신호에 의해 지정하는 어드레스수를 삭감할 수 있다는 효과가 있다.

제 5 발명에 관한 반도체 기억장치에 의하면, 변환수단에 의해 통상 로우어드레스신호 및 통상 컬럼어드레스신호를 변환해서 테스트 로우디코더에 인가하는 테스트 로우어드레스신호와 테스트 컬럼디코더에 인가하는 테스트 컬럼어드레스신호를 생성하므로, 외부에서 인가하는 어드레스신호에 의해 지정하는 어드레스수를 삭감할 수 있다는 효과가 있다.

제 6 발명에 관한 반도체 기억장치에 의하면, 제1~제3 예비 메모리셀을 선택하기 위한 어드레스신호를 생성할 때 통상 어드레스신호에 부가어드레스신호를 부가하므로, 외부에서 인가하는 어드레스신호에 의해 지정하는 어드레스수를 삭감할 수 있다는 효과가 있다.

제 7 발명에 관한 반도체 기억장치에 의하면, 제어신호가 입력되지 않는 상태에서는 통상모드로 설정되어 있으므로, 완성품으로 할 때 통상모드로 설정하는 수고를 덜 수 있다는 효과가 있다.

제 8 발명에 관한 반도체 기억장치에 의하면, 액세스수단은 정규 로우디코더와의 사이 및 정규 컬럼디코더와의 사이에서 정규 로우디코더와 동일한 구성부분 및 정규 컬럼디코더와 동일한 구성부분을 각각 공유하도록 구성되어 있으므로, 구성을 간략화할 수 있다는 효과가 있다.

제 9 발명에 관한 반도체 기억장치에 의하면, 테스트모드시에 인가되는 어드레스신호의 액세스수단으로의 입력타이밍이 통상모드시에 정규 로우디코더에 인가되는 통상 로우어드레스신호 및 정규 컬럼디코더에 인가되는 통상 컬럼어드레스신호의 입력타이밍과 거의 동일하게 설정되어 있으므로, 통상모드시와 테스트모드시의 신호의 인가방법을 동일하게 할 수 있어 취급을 용이하게 할 수 있다는 효과가 있다.

제 10 발명에 관한 반도체 기억장치에 의하면, 모드전환신호 발생수단에 의해 통상사용핀에 입력되는 신호에 따라서 모드 전환을 할 수 있도록 구성되어 있으므로, 핀수를 증가시키지 않아도 예비 메모리셀의 테스트가 가능하고, 테스트를 위한 기능을 구비한 반도체 기억장치의 패키지를 소형화할 수 있다는 효과가 있다.

제 11 발명에 관한 반도체 기억장치에 의하면, 예비 메모리셀 행과 예비 메모리셀 열의 교점까지 액세스하도록 구성되어 있으므로, 모드전환신호 발생수단에 의해서 모드를 전환해서 예비 메모리셀 행과 예비 메모리셀 열을 테스트할 수 있어 결함구제 후에 반도체 기억장치에 발생하는 불량률의 수를 감소시킬 수 있다는 효과가 있다.

제 12 발명에 관한 반도체 기억장치에 의하면, 순차 입력되는 어드레스신호에 의해서 예비 메모리셀로 직렬로 액세스할 수 있으므로, 정규 행열의 메모리셀보다 소수의 예비 메모리셀에 대한 액세스시에 어드레스신호의 선택을 필요로 하지 않아 모든 예비 메모리셀의 테스트를 간편하게 실행할 수 있다는 효과가 있다.

제 13 발명에 관한 반도체 기억장치에 의하면, 여러개의 예비 메모리셀의 데이터를 축퇴시키는 것에 의해서 여러개의 예비 메모리셀의 결함의 판정을 한번에 실행할 수 있어 예비 메모리셀에 결함이 있는지 없는지의 판정을 용이하게 할 수 있다는 효과가 있다.

제 14 발명에 관한 반도체 기억장치에 의하면, 여러개의 예비 메모리셀에 동시에 동일 데이터를 라이트하는 하는 것에 의해서 예비 메모리셀의 테스트의 준비를 단시간에 실행할 수 있다는 효과가 있다.

제 15 발명에 관한 반도체 기억장치에 의하면, 결함구제시에 정규 메모리셀과 그것을 치환하는 예비 메모리셀을 동시에 테스트할 수 있어 결함구제를 실행하는 경우에도 불량으로 되지 않는 반도체 기억장치를 단시간에 판별할 수 있다는 효과가 있다.

제 16 발명에 관한 반도체 기억장치에 의하면, 여러개의 정규 메모리셀과 여러개의 예비 메모리셀에 동시에 동일 데이터를 라이트하는 것에 의해서 예비 메모리셀의 테스트의 준비를 단시간에 실행할 수 있다는 효과가 있다.

제 17 발명에 관한 반도체 기억장치에 의하면, 테스트용 데이터 입출력단자를 마련하는 것에 의해 테스트용 데이터를 입출력하는 단자와 통상사용시의 데이터를 입출력하는 단자의 전환이 필요없게 되므로, 반도체 기억장치의 구성을 간소화할 수 있다는 효과가 있다.

제 18 발명에 관한 반도체 기억장치에 의하면, 테스트모드를 마련하기 위해 출력단자수를 증가시키지 않아도 좋아 반도체 기억장치의 패키지의 소형화를 도모할 수 있다는 효과가 있다.

제 19 발명에 관한 반도체 기억장치에 의하면, 여러개의 예비 메모리셀에 동시에 동일 데이터를 라이트하는 것에 의해서 예비 메모리셀의 테스트의 준비를 단시간에 실행할 수 있다는 효과가 있다.

제 20 발명에 관한 반도체 기억장치에 의하면, 동시에 액세스되는 정규 메모리셀과 예비메모리셀 사이에 사이에 그 정규 메모리셀을 그 예비 메모리셀이 치환한다는 관계가 있으므로, 그 메모리셀에 결함이 있을 때에만 예비 메모리셀의 결함테스트를 실행하면 좋아 테스트의 간략화를 도모할 수 있다는 효과가 있다.

제 21 발명에 관한 발명의 반도체 기억장치에 의하면, 축퇴되는 여러개의 정규 메모리셀을 동일 예비 메모리셀로 치환할 수 있는 여러개의 정규 메모리셀이므로, 정규 메모리셀에 치환이 필요로 된 경우에 테스트하지 않으면 안되는 예비 메모리셀을 한정할 수 있어 테스트시간을 단축할 수 있다는 효과가 있다.

제 22 발명에 관한 반도체 기억장치에 의하면, 모드지시데이터에 의해서 축퇴된 데이터를 출력하는 모드에 따르고 있는 것을 파악할 수 있으므로, 정상적으로 테스트가 실행되고 있는지 실행되고 있지 않은지의

판단이 가능하게 되어 테스트결과의 정확성을 향상시킬 수 있다는 효과가 있다.

제 23 발명에 관한 반도체 기억장치의 결함검사방법에 의하면, 예비 로우디코더와 예비 컬럼디코더에 의해 선택되는 예비 메모리셀도 테스트할 수 있어 치환한 후에 반도체 기억장치에 발생하는 불량률의 수를 삭감할 수 있다는 효과가 있다.

제 24 발명에 관한 반도체 기억장치의 결함검사방법에 의하면, 여러개의 정규 메모리셀과 예비 메모리셀을 동시에 테스트하는 것에 의해서 테스트공정을 단축할 수 있다는 효과가 있다.

제 25 발명에 관한 반도체 기억장치의 결함검사방법에 의하면, 패키지를 실시한 후에 테스트를 실행할 수 있으므로, 패키지 과정에서 발생하는 불량도 포함해서 검사할 수 있다는 효과가 있다.

제 26 발명에 관한 반도체 기억장치의 결함검사방법에 의하면, 동시에 액세스되는 정규 메모리셀과 예비 메모리셀 사이에 그 정규 메모리셀을 그 예비 메모리셀이 치환한다는 관계가 있으므로, 그 메모리셀에 결함이 있을 때에만 예비 메모리셀의 결함테스트를 실행하면 좋아 테스트의 간략화를 도모할 수 있다는 효과가 있다.

(57) 청구의 범위

청구항 1

정규 메모리셀의 리드/라이트를 실행하는 통상모드와 상기 정규 메모리셀 및 상기 정규 메모리셀의 결함구제를 위해 마련되어 있는 예비 메모리셀의 결함테스트를 실행하는 테스트모드의 전환이 가능한 반도체 기억장치에 있어서, 상기 정규 메모리셀이 배치되는 정규 행 및 정규 열과 상기 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이, 상기 정규 메모리셀로 액세스하기 위한 정규 로우디코더 및 정규 컬럼디코더, 상기 통상모드시에 상기 예비 메모리셀 행을 선택하기 위한 예비 로우디코더 및 상기 통상모드시에 상기 예비 메모리셀 열을 선택하기 위한 예비 컬럼디코더를 포함하고, 상기 테스트모드시에 상기 메모리셀 어레이의 어드레스의 지정을 실행하는 어드레스신호에 의해 상기 예비 로우디코더 및 상기 예비 컬럼디코더를 사용하지 않고 상기 예비 메모리셀 행 또는 상기 예비 메모리셀 열 중의 적어도 한쪽을 선택 상태로 하는 것을 특징으로 하는 반도체 기억장치.

청구항 2

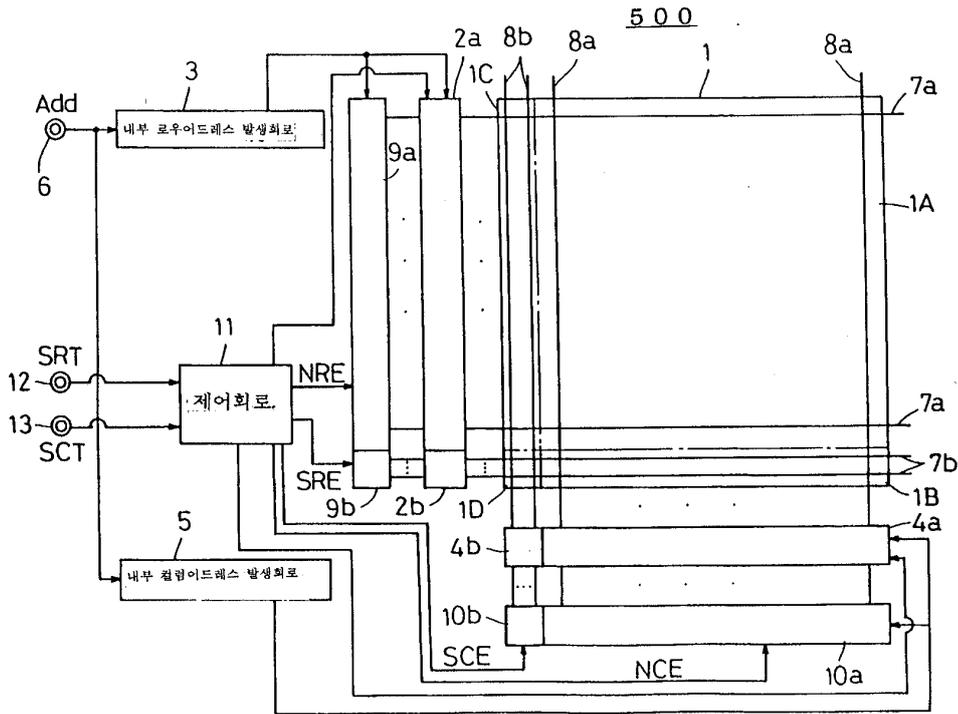
정규 메모리셀이 배치되는 정규 행 및 정규 열과 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이와 결함구제를 위한 상기 메모리셀 어레이의 상기 예비 메모리셀 행 및 상기 예비 메모리셀 열에 배치된 예비 메모리셀로 액세스하는 액세스수단을 포함하고, 상기 예비 메모리셀을 액세스하는 모드에 있어서 여러개의 예비 메모리셀에 동시에 동일 데이터를 라이트하는 것을 특징으로 하는 반도체 기억장치.

청구항 3

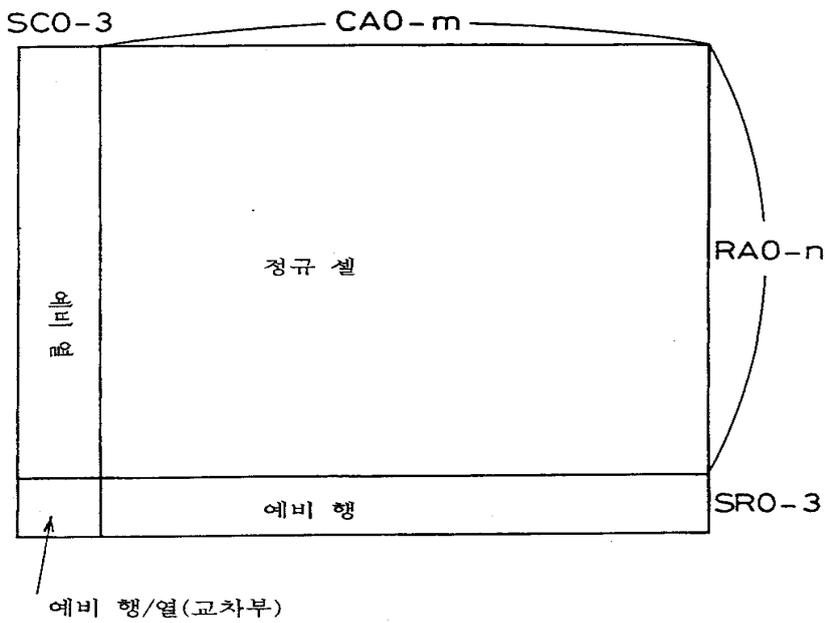
정규 메모리셀의 리드/라이트를 실행하는 통상모드와 상기 정규 메모리셀 및 상기 정규 메모리셀의 결함구제를 위해 마련되어 있는 예비 메모리셀의 테스트를 실행하는 테스트모드의 전환이 가능하고, 상기 정규 메모리셀이 배치되는 정규 행 및 정규 열과 상기 예비 메모리셀이 배치되는 예비 메모리셀 행 및 예비 메모리셀 열을 포함하는 메모리셀 어레이, 상기 정규 메모리셀로 액세스하기 위한 정규 로우디코더 및 정규 컬럼디코더, 상기 예비 메모리셀 행을 선택하기 위한 예비 로우디코더 및 상기 예비 메모리셀 열을 선택하기 위한 예비 컬럼디코더를 구비하는 반도체 기억장치의 결함검사방법에 있어서, 상기 정규 메모리셀을 테스트하는 공정, 상기 정규 로우디코더와 상기 예비 컬럼디코더에 의해 선택되는 예비 메모리셀을 테스트하는 공정, 상기 정규 컬럼디코더와 상기 예비 로우디코더에 의해 선택되는 예비 메모리셀을 테스트하는 공정 및 상기 예비 로우디코더와 상기 예비 컬럼디코더에 의해 선택되는 예비 메모리셀을 테스트하는 공정을 포함하는 반도체 기억장치의 결함검사방법.

도면

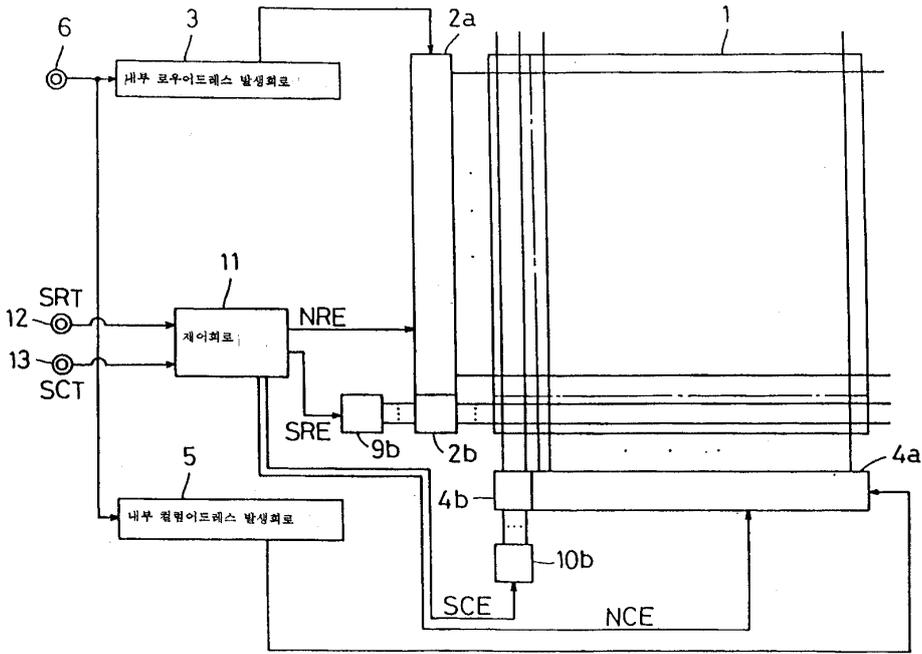
도면1



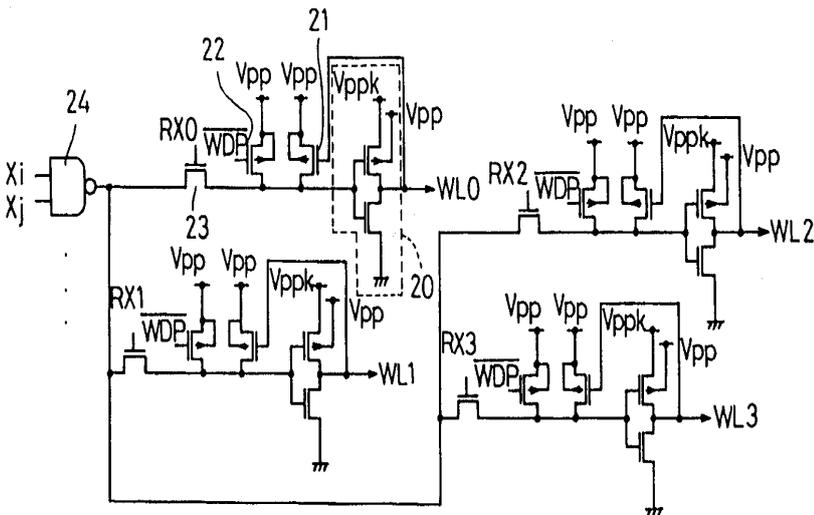
도면2



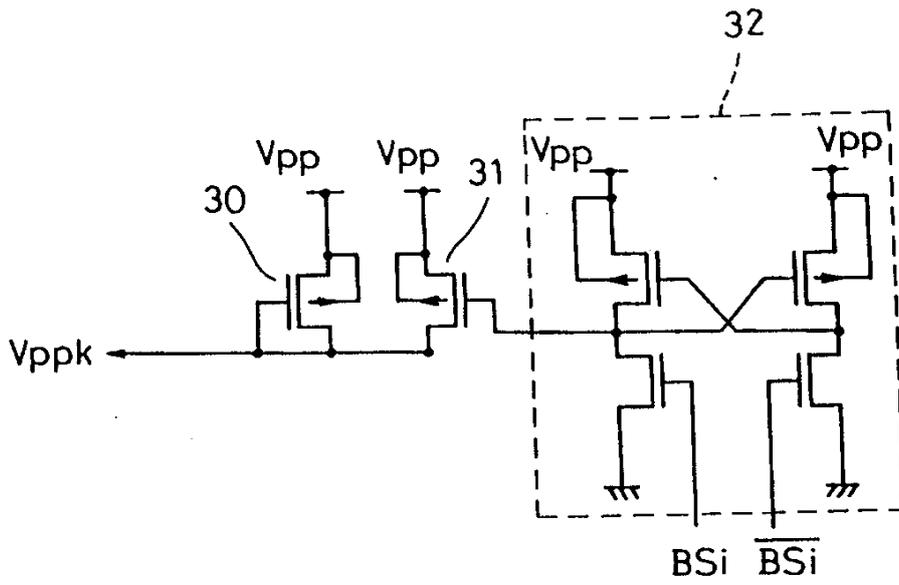
도면3



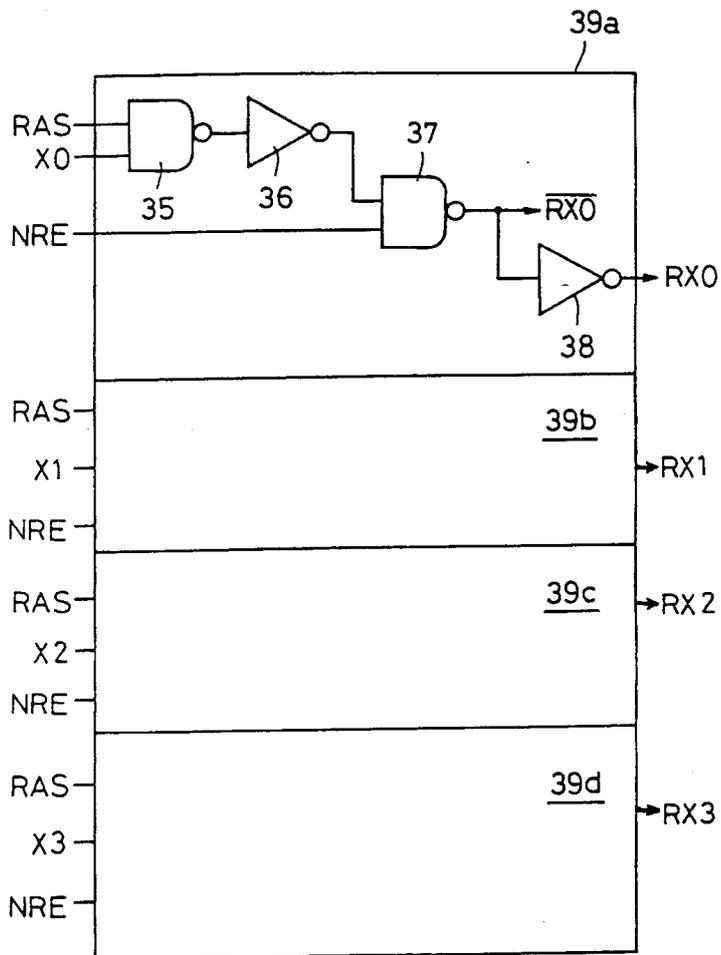
도면4



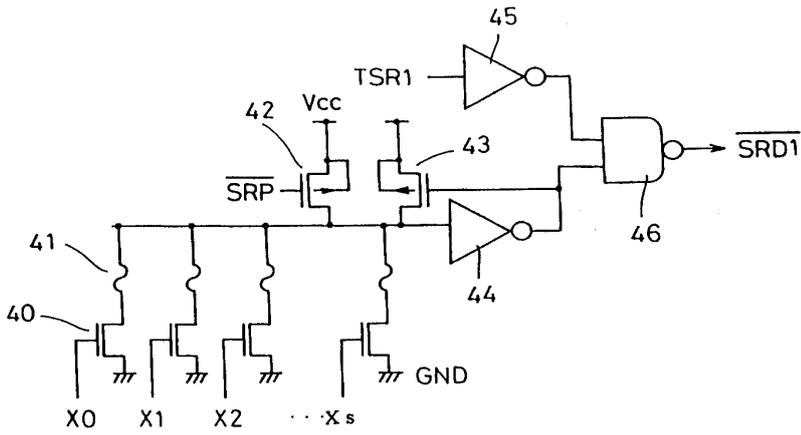
도면5



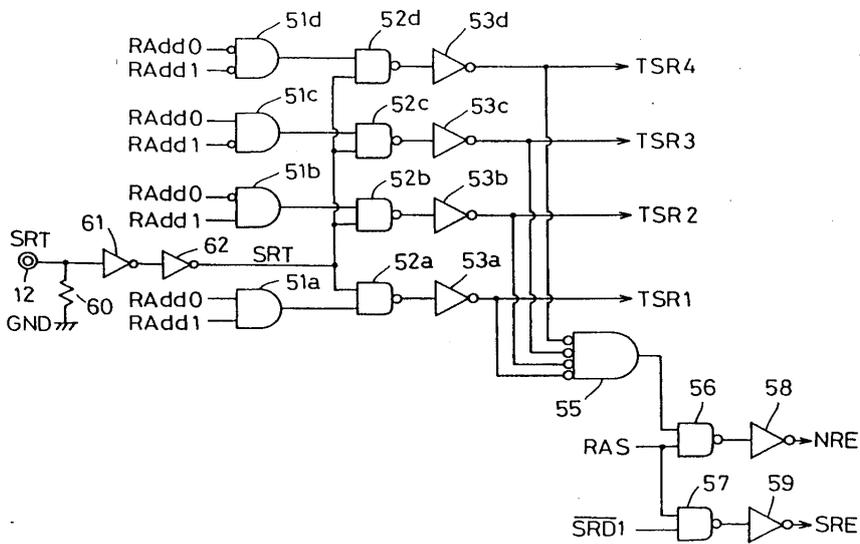
도면6



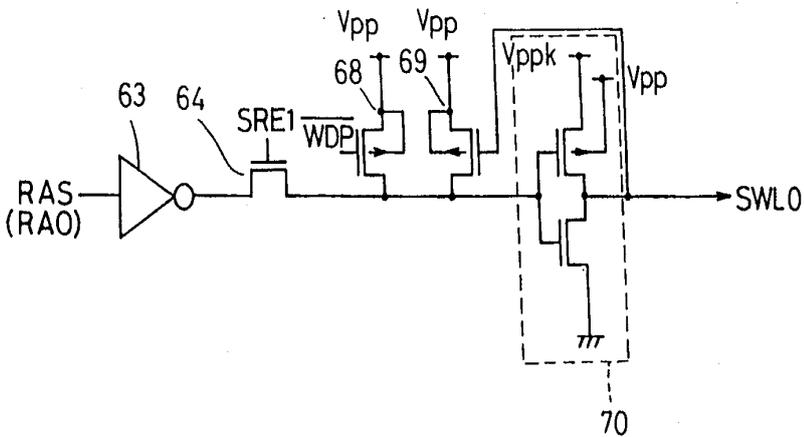
도면7



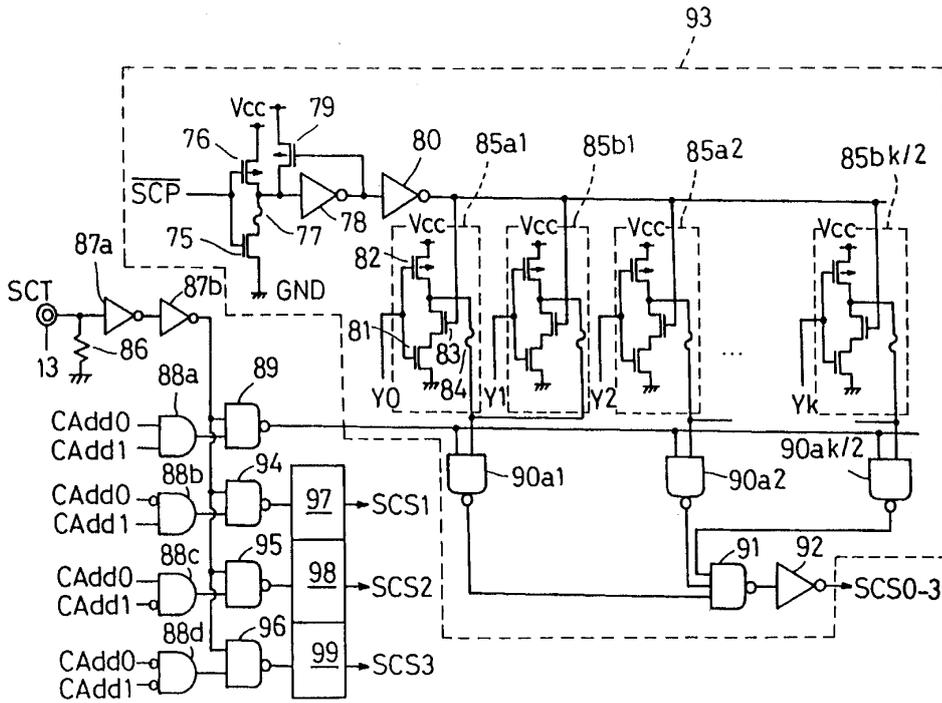
도면8



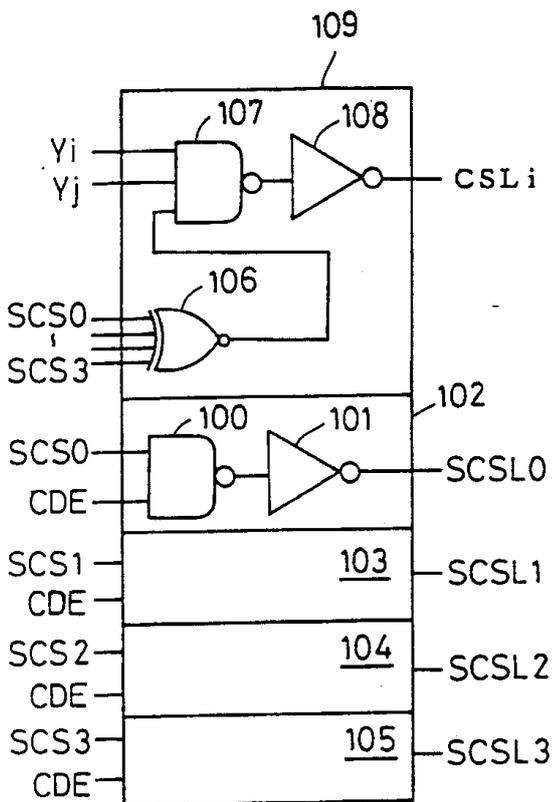
도면9



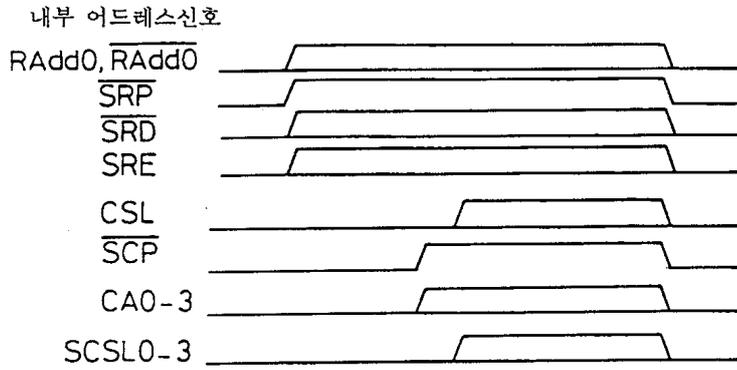
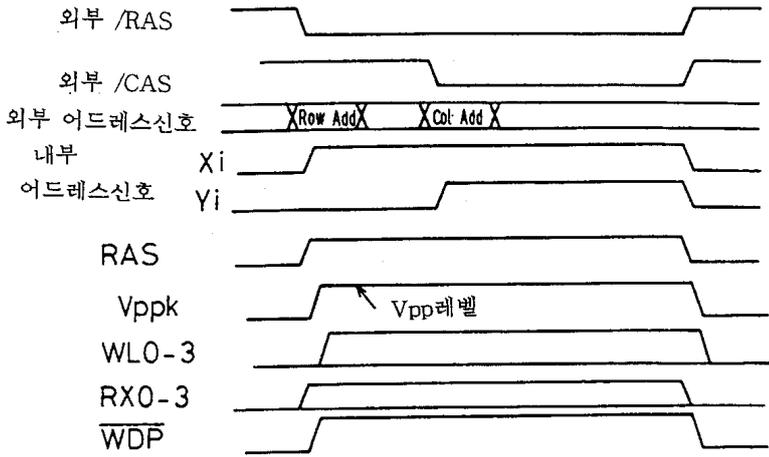
도면10



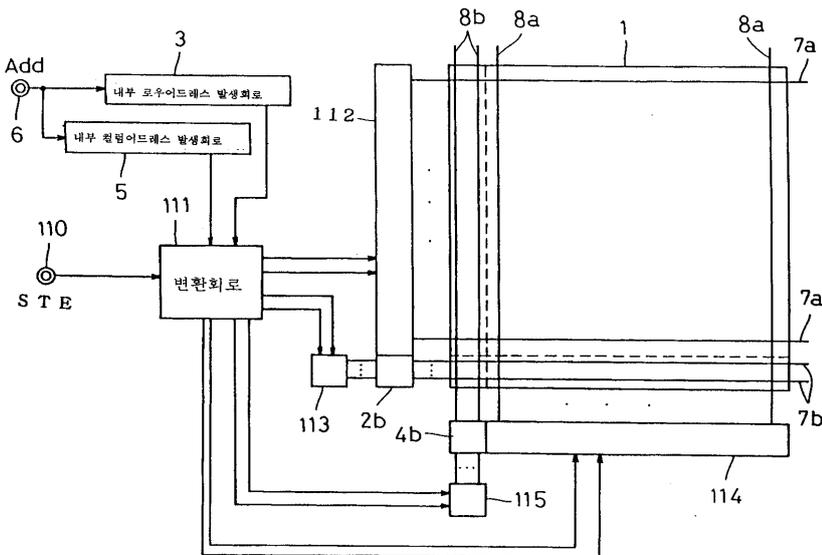
도면11



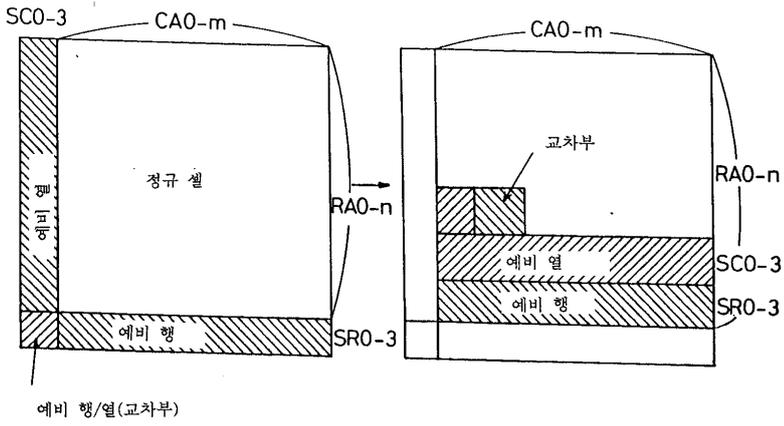
도면12



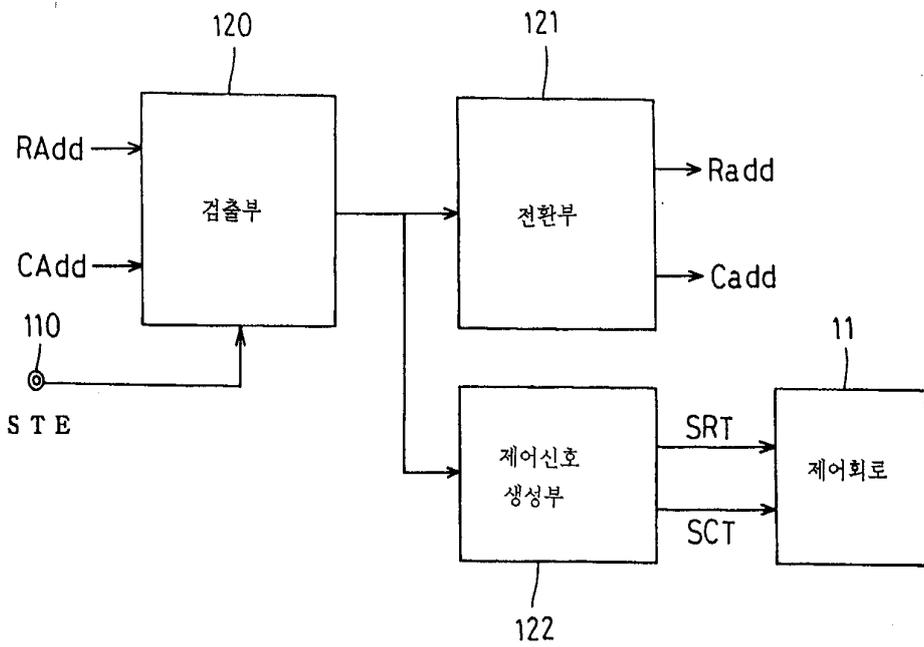
도면13



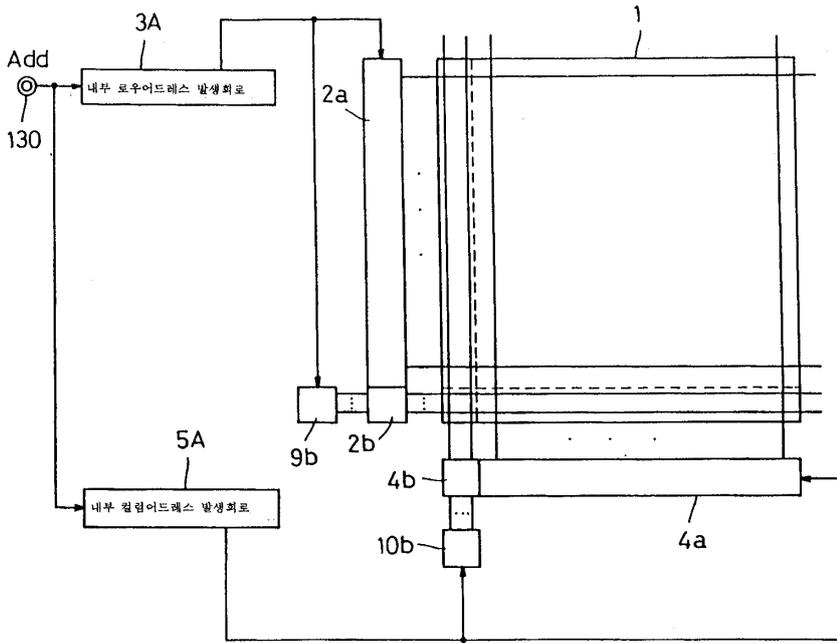
도면14



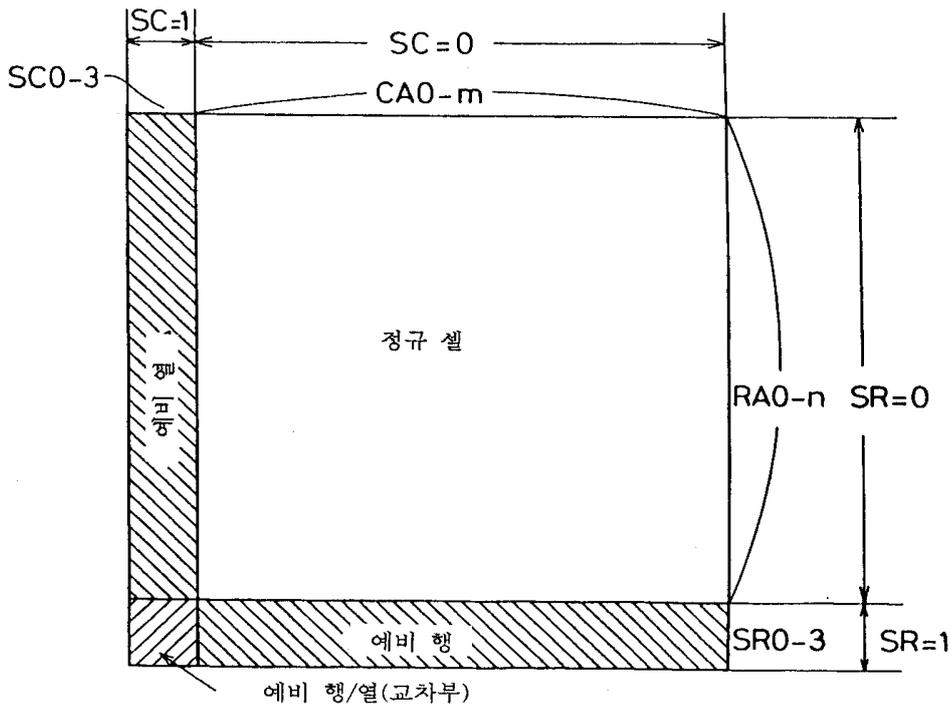
도면15



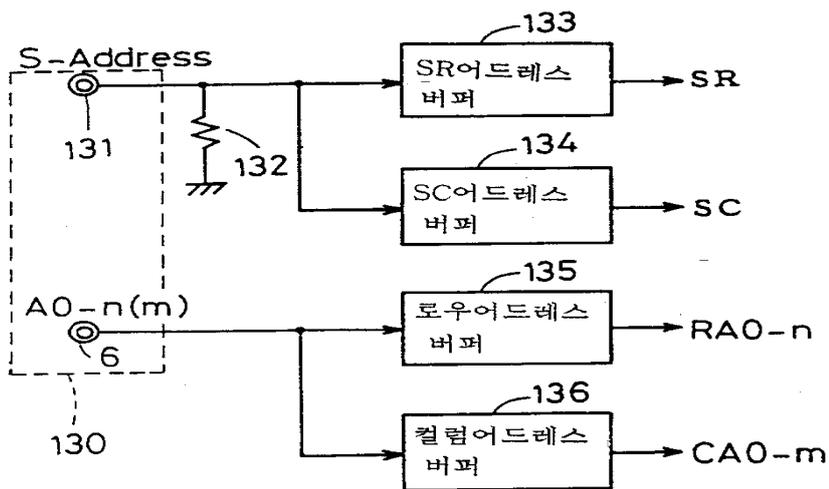
도면16



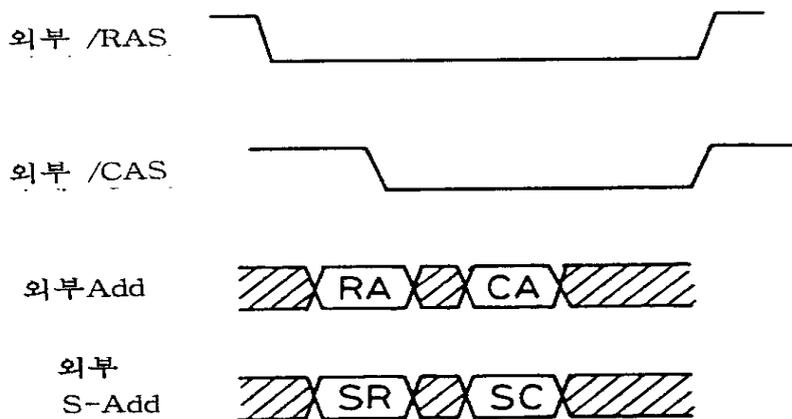
도면17



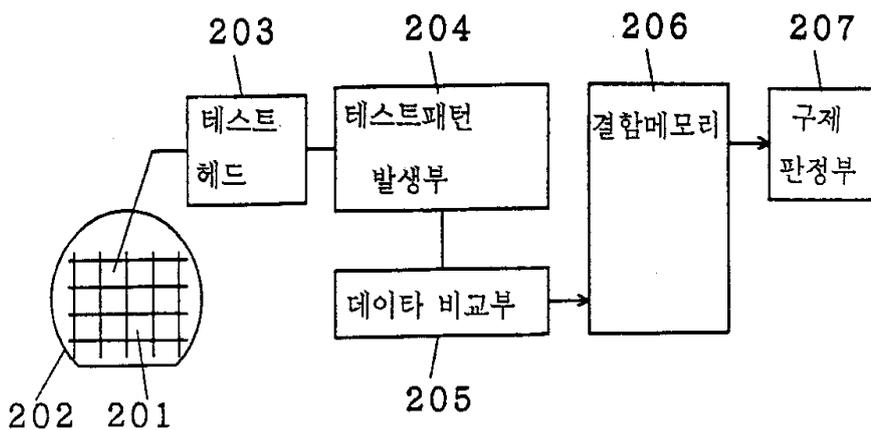
도면18



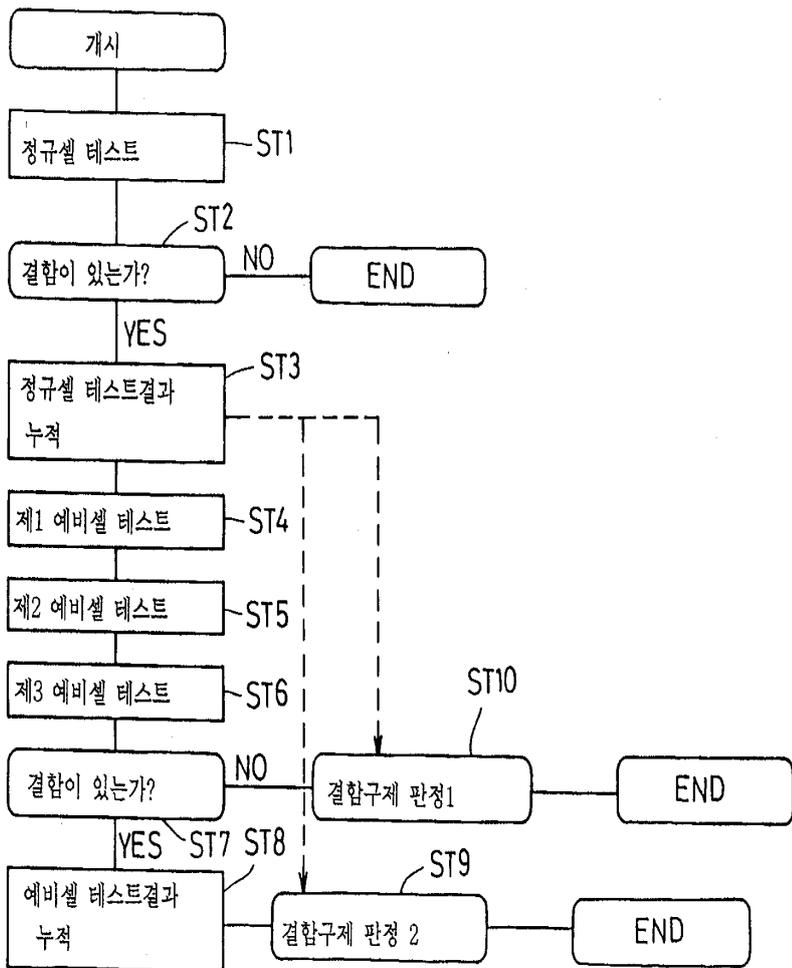
도면19



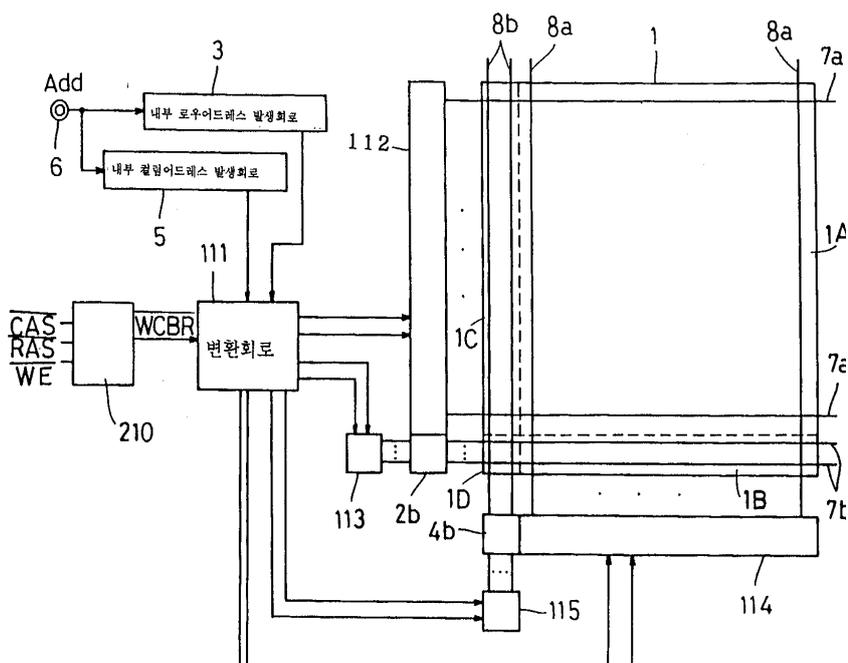
도면20



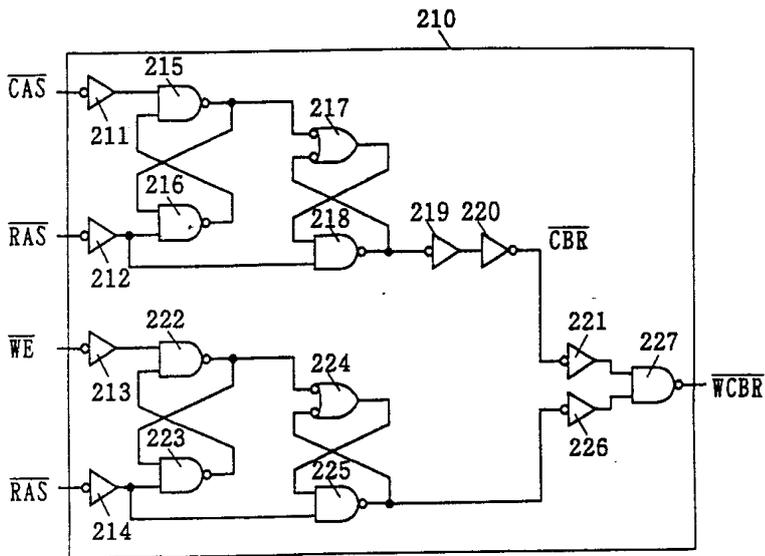
도면21



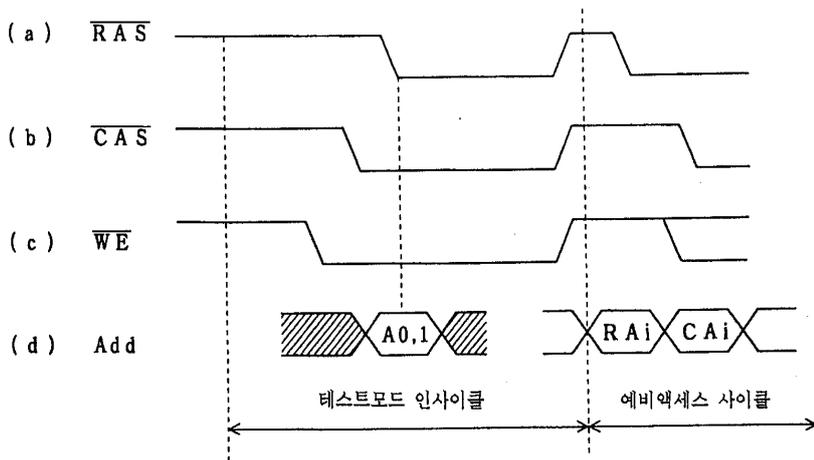
도면22



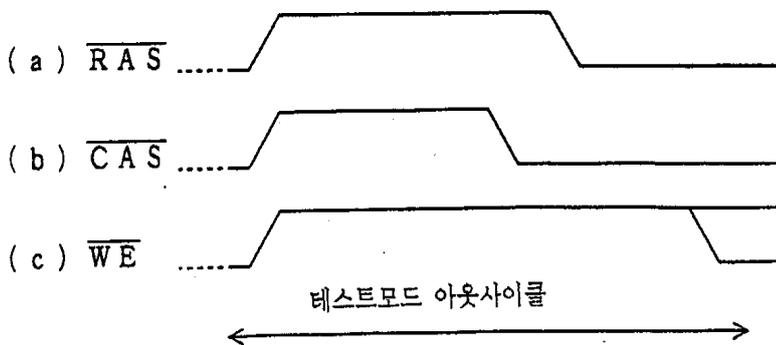
도면23



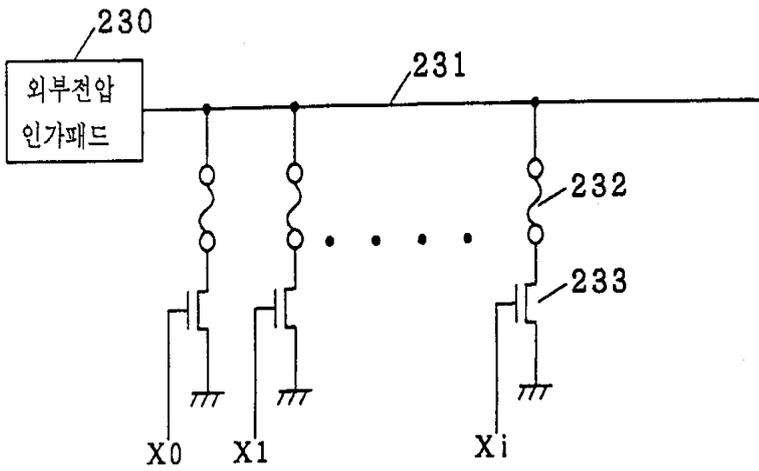
도면24



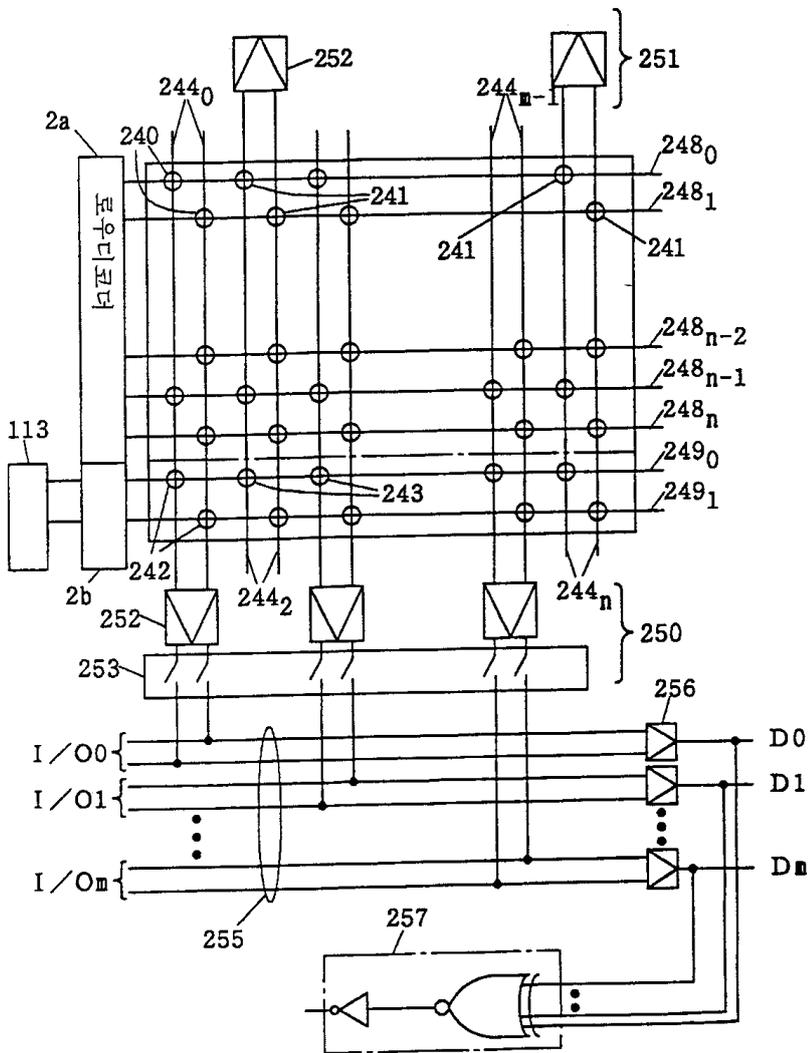
도면25



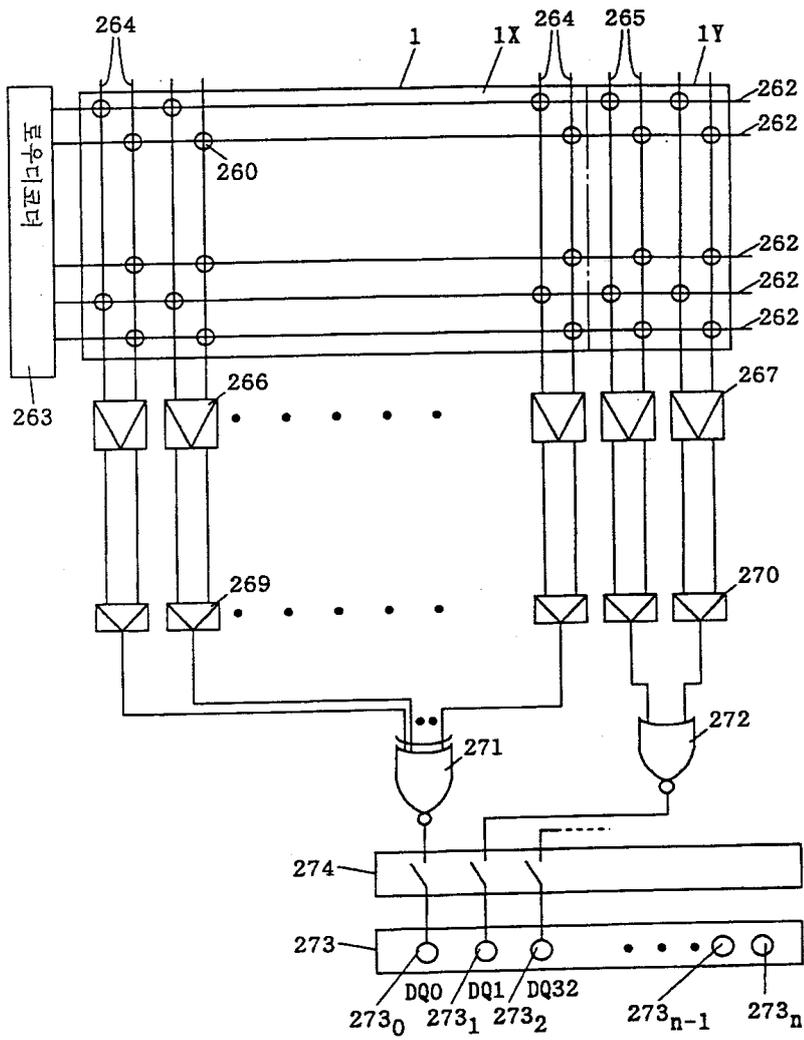
도면26



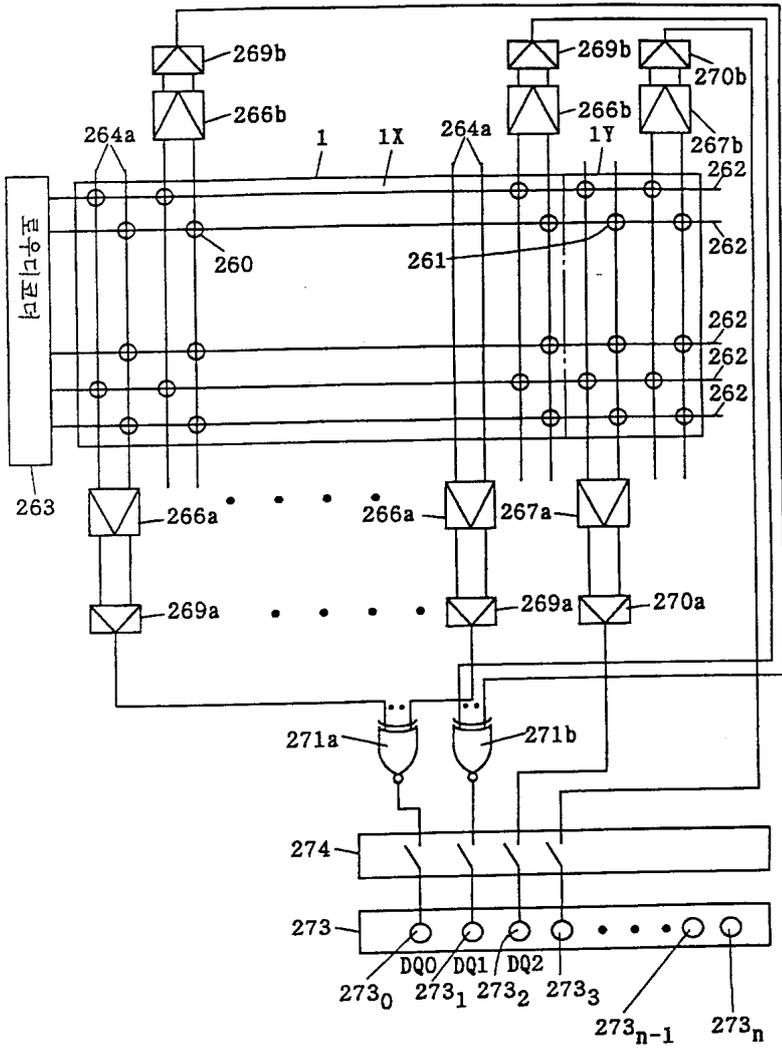
도면27



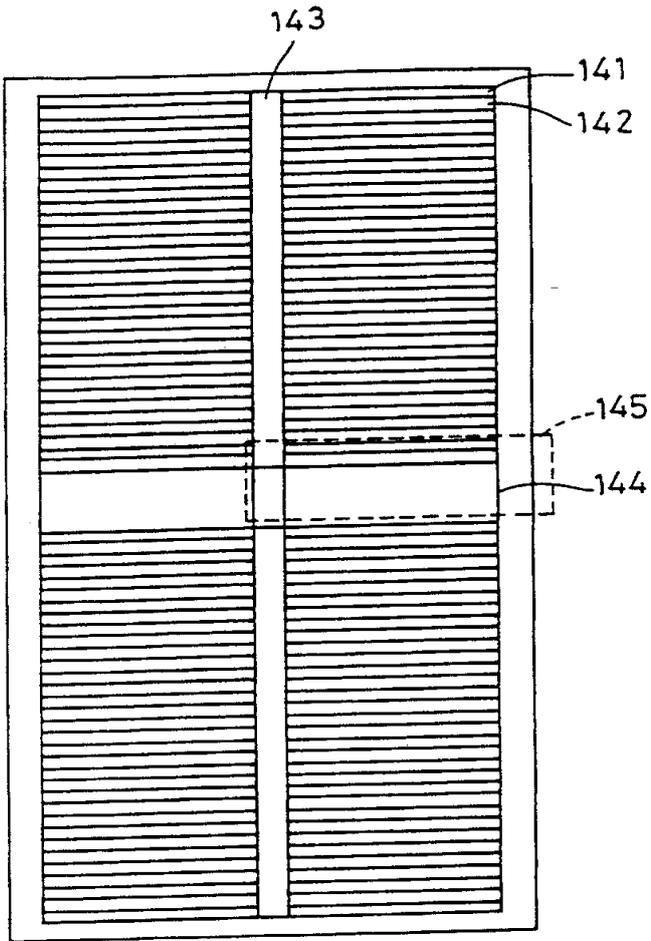
도면28



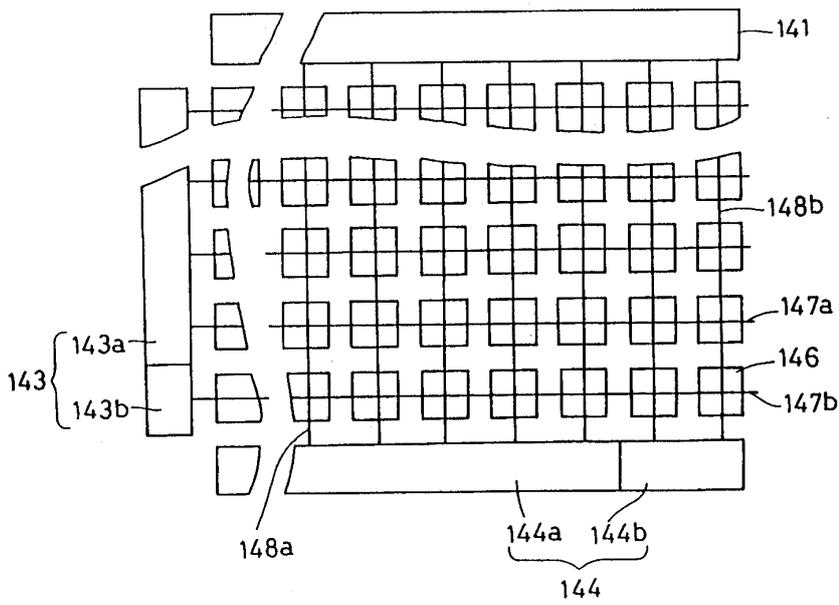
도면29



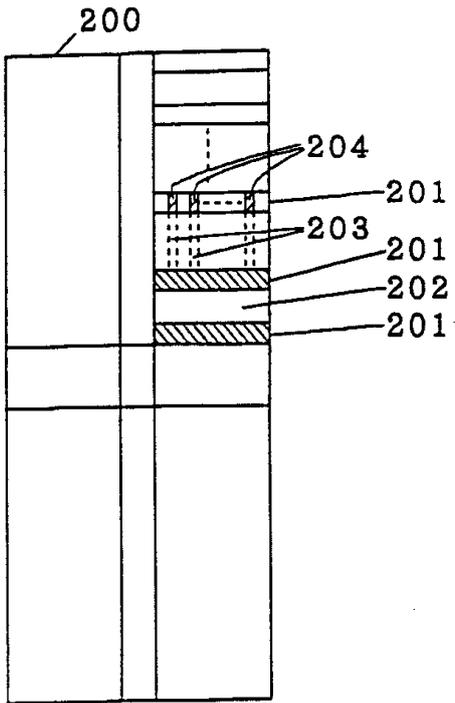
도면30



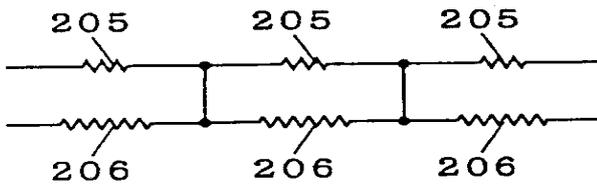
도면31



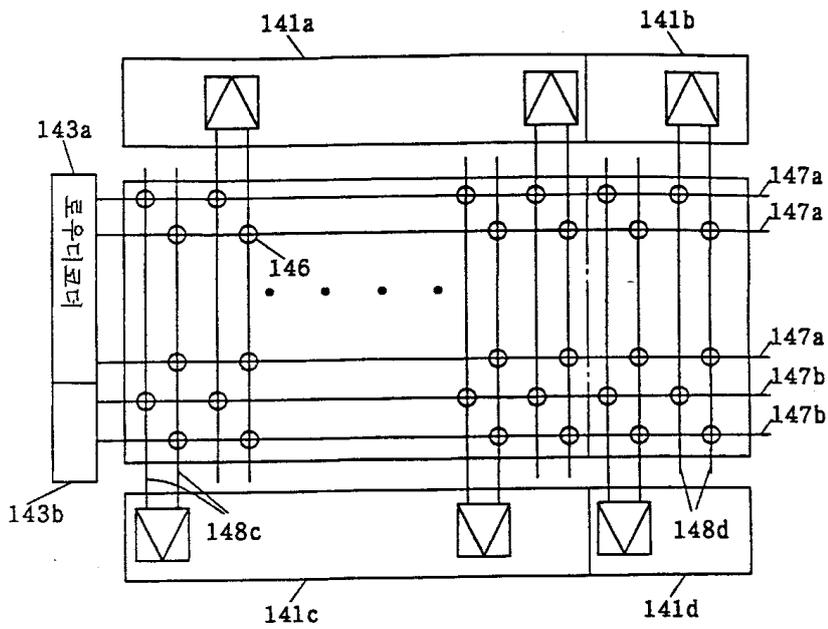
도면32



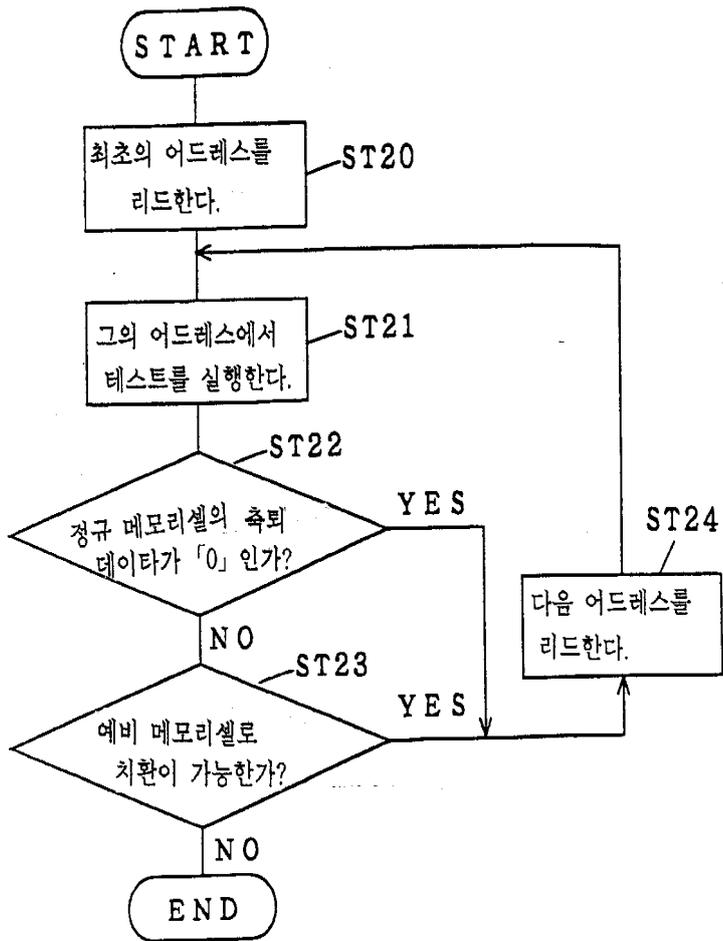
도면33



도면34



도면35



도면36

