

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 11 月 30 日 (30.11.2017)



(10) 国际公布号
WO 2017/201791 A1

(51) 国际专利分类号:
H01L 21/77 (2006.01) **H01L 29/786** (2006.01)
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2016/086849

(22) 国际申请日: 2016 年 6 月 23 日 (23.06.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610345315.9 2016年5月23日 (23.05.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO.,LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 周志超(ZHOU, Zhichao); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。 夏慧(XIA, Hui); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所(COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,

(54) Title: METHOD FOR MANUFACTURING TFT SUBSTRATE AND TFT SUBSTRATE

(54) 发明名称: TFT基板的制作方法及TFT基板

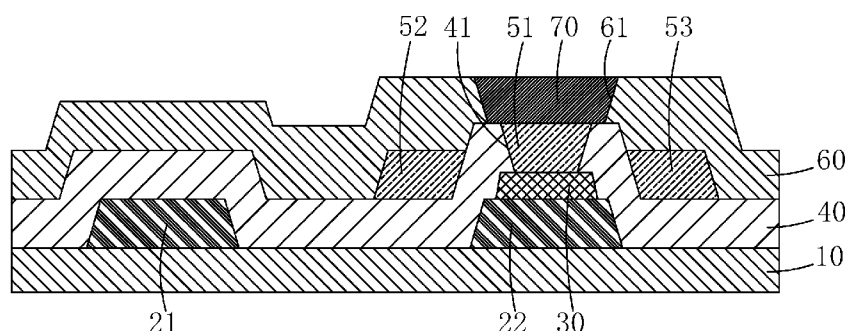


图7B

(57) Abstract: A method for manufacturing a TFT substrate and a TFT substrate. The method for manufacturing a TFT substrate uses a dual-gate structure. The dual gates are symmetrically distributed at two sides of an active layer (30), so that a variation in a threshold voltage of a TFT can be effectively prevented, thereby enhancing switching characteristics of the TFT. In addition, by making the active layer (30) and then making a gate insulating layer (40), the gate insulating layer (40) is directly grown on the active layer (30), so that the contact interface between the gate insulating layer (40) and the active layer (30) is improved, thereby further enhancing the switching characteristics of the TFT. Different from a TFT substrate having a bottom gate or top gate structure, in the TFT substrate, gates (52) and (53) are located between a source (22) and a pixel electrode (70) in a vertical direction, and the dual-gate structure symmetrical about the active layer (30) is used, so that a variation in a threshold voltage of a TFT can be prevented, thereby enhancing switching characteristics of the TFT, and the contact interface between the gate insulating layer (40) and the active layer (30) is improved, thereby enhancing the switching characteristics of the TFT.

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种TFT基板的制作方法。该TFT基板的制作方法采用双栅极结构, 该双栅极在有源层(30)两侧对称分布, 能有效防止TFT阈值电压的变动, 提升TFT的开关特性; 同时通过先制作有源层(30)后制作栅极绝缘层(40), 使栅极绝缘层(40)直接生长于有源层(30)上, 改善了栅极绝缘层(40)与有源层(30)的接触界面, 进一步提升TFT的开关特性。该TFT基板区别于底栅或顶栅结构的TFT基板, 使栅极(52)、(53)在竖直方向上位于源极(22)和像素电极(70)之间, 并且采用对称于有源层(30)的双栅极结构, 能防止TFT阈值电压的变动, 提升TFT的开关特性, 同时改善栅极绝缘层(40)与有源层(30)的接触界面, 提升TFT的开关特性。

TFT 基板的制作方法及 TFT 基板

技术领域

5 本发明涉及显示技术领域，尤其涉及一种 TFT 基板的制作方法

背景技术

10 随着显示技术的发展，液晶显示器（Liquid Crystal Display，LCD）等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

15 现有市场上的液晶显示装置大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，两片玻璃基板中间有许多垂直和水平的细小电线，通过通电与否来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。

通常液晶显示面板由彩膜（CF，Color Filter）基板、薄膜晶体管（TFT，Thin Film Transistor）基板、及夹设于彩膜基板与薄膜晶体管基板之间的液晶（LC，Liquid Crystal）及密封胶框（Sealant）组成，其成型工艺一般包括：前段阵列（Array）制程（薄膜、黄光、蚀刻及剥膜）、中段成盒（Cell）制程（TFT 基板与 CF 基板贴合）、及后段模组组装制程（驱动 IC 与印刷电路板压合）。其中，前段 Array 制程主要是形成 TFT 基板，以便于控制液晶分子的运动；中段 Cell 制程主要是在 TFT 基板与 CF 基板之间添加液晶；后段模组组装制程主要是驱动 IC 压合与印刷电路板的整合，进而驱动液晶分子转动，显示图像。

30 在液晶显示面板工业中，目前的 TFT 基板常采用单一栅极结构，而单一栅极结构的 TFT 基板在较长时间的工作后其载流子运输特性会发生变化，具体体现在其阈值电压会随工作时间的延长而发生正向偏移或是负向偏移，从而影响 TFT 的开关特性。

发明内容

本发明的目的在于提供一种 TFT 基板的制作方法，能有效防止 TFT 阈值电压的变动，并改善栅极绝缘层与有源层的接触界面，提升 TFT 的开关

特性。

本发明的目的还在于提供一种 TFT 基板，能有效防止 TFT 阈值电压的变动，并改善栅极绝缘层与有源层的接触界面，提升 TFT 的开关特性。

为实现上述目的，本发明首先提供一种 TFT 基板的制作方法，包括如

5 下步骤：

步骤 1、提供一衬底基板，在所述衬底基板上形成数据线、及与数据线相连的源极；

步骤 2、形成有源层，所述有源层至少部分位于所述源极上；

10 步骤 3、在所述有源层、源极、及衬底基板上形成栅极绝缘层，对所述栅极绝缘层进行图形化处理，在所述栅极绝缘层上形成对应于所述有源层的第一通孔；

步骤 4、形成第一栅极、第二栅极、及漏极，所述第一栅极、及第二栅极均位于栅极绝缘层上，且分别对应于所述有源层的两侧，所述漏极至少部分位于所述第一通孔内并通过第一通孔与所述有源层相连；

15 步骤 5、在所述漏极、第一栅极、第二栅极、及栅极绝缘层上形成钝化层，对所述钝化层进行图形化处理，在所述钝化层上形成对应于漏极的第二通孔；

步骤 6、形成像素电极，所述像素电极至少部分位于所述第二通孔内并通过第二通孔与漏极相连。

20 所述步骤 1 包括：采用物理气相沉积方法在所述衬底基板上沉积第一金属层，采用一道光刻制程对所述第一金属层进行图形化处理后得到数据线、及与数据线相连的源极；所述光刻制程包括涂光阻、曝光、显影、及湿蚀刻制程；

25 所述步骤 2 包括：采用化学或物理气相沉积方法在所述衬底基板、数据线、及源极上沉积半导体层，采用一道光刻制程对所述半导体层进行图形化处理后得到对应于源极上方的有源层；所述光刻制程包括涂光阻、曝光、显影、及蚀刻制程；

所述数据线、及源极的材料包括钼、钛、铝、铜中的一种或多种；

所述有源层的材料为非晶硅、多晶硅、或金属氧化物半导体。

30 所述步骤 3 包括：采用化学气相沉积方法在所述有源层、源极、数据线、及衬底基板上沉积第一绝缘层，采用一道光刻制程对所述第一绝缘层进行图形化处理后得到对应于有源层的第一通孔，形成栅极绝缘层；所述光刻制程包括涂光阻、曝光、显影、及干蚀刻制程；

所述栅极绝缘层的材料包括氧化硅、氮化硅中的一种或多种。

所述步骤 4 包括：采用物理气相沉积方法在所述栅极绝缘层上沉积第二金属层，采用一道光刻制程对所述第二金属层进行图形化处理后得到漏极、第一栅极、及第二栅极；所述光刻制程包括涂光阻、曝光、显影、及湿蚀刻制程；

5 所述漏极、及第一、第二栅极的材料包括钼、钛、铝、铜中的一种或多种。

本发明还提供一种阵列基板，包括：衬底基板、设于所述衬底基板上的源极、以及设于所述源极上方的有源层、栅极绝缘层、第一栅极、第二栅极、漏极、钝化层和像素电极，其中，

10 所述栅极绝缘层上开设有第一通孔，所述漏极至少部分位于所述第一通孔内并通过所述第一通孔与所述有源层相连；所述栅极绝缘层与所述钝化层之间设置有第一栅极和第二栅极，所述第一栅极和第二栅极分设于所述有源层两侧；

15 所述钝化层上开设有第二通孔，所述像素电极通过所述第二通孔与漏极相连。

所述衬底基板上设有数据线，所述数据线与所述源极相连并与所述源极同层设置。

所述第一通孔位于所述有源层上方，所述漏极在衬底基板上的正投影完全覆盖所述有源层在衬底基板上的正投影。

20 所述第一栅极和所述第二栅极在竖直方向上的位置与所述有源层在竖直方向上的位置至少部分重叠。

所述第二通孔位于所述漏极上方，所述像素电极在衬底基板上的正投影完全覆盖所述漏极与有源层在衬底基板上的正投影。

25 所述第一栅极和第二栅极的形状、尺寸相同，在竖直方向上的位置相同，在水平方向上与有源层的间隔距离相同。

本发明还提供一种阵列基板，包括：衬底基板、设于所述衬底基板上的源极、以及设于所述源极上方的有源层、栅极绝缘层、第一栅极、第二栅极、漏极、钝化层和像素电极，其中，

30 所述栅极绝缘层上开设有第一通孔，所述漏极至少部分位于所述第一通孔内并通过所述第一通孔与所述有源层相连；所述栅极绝缘层与所述钝化层之间设置有第一栅极和第二栅极，所述第一栅极和第二栅极分设于所述有源层两侧；

所述钝化层上开设有第二通孔，所述像素电极通过所述第二通孔与漏极相连；

其中，所述衬底基板上设有数据线，所述数据线与所述源极相连并与所述源极同层设置；

其中，所述第一通孔位于所述有源层上方，所述漏极在衬底基板上的正投影完全覆盖所述有源层在衬底基板上的正投影。

5 本发明的有益效果：本发明提供的 TFT 基板的制作方法，采用双栅极结构，所述双栅极在有源层两侧对称分布，能有效防止 TFT 阈值电压的变动，提升 TFT 的开关特性；同时通过先制作有源层后制作栅极绝缘层，使栅极绝缘层直接生长于有源层上，改善了栅极绝缘层与有源层的接触界面，进一步提升 TFT 的开关特性。本发明提供的 TFT 基板，区别于传统的
10 底栅或顶栅结构的 TFT 基板，使栅极在竖直方向上位于源极和像素电极之间，并且采用对称于有源层的双栅极结构，能有效防止 TFT 阈值电压的变动，提升 TFT 的开关特性；同时改善了栅极绝缘层与有源层的接触界面，进一步提升 TFT 的开关特性。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为本发明的 TFT 基板的制作方法的流程图；

图 2A-2B 为本发明的 TFT 基板的制作方法的步骤 1 的示意图；

图 2C 为图 2B 的俯视示意图；

25 图 3A-3B 为本发明的 TFT 基板的制作方法的步骤 2 的示意图；

图 3C 为图 3B 的俯视示意图；

图 4A-4B 为本发明的 TFT 基板的制作方法的步骤 3 的示意图；

图 4C 为图 4B 的俯视示意图；

图 5A-5B 为本发明的 TFT 基板的制作方法的步骤 4 的示意图；

30 图 5C 为图 5B 的俯视示意图；

图 6A-6B 为本发明的 TFT 基板的制作方法的步骤 5 的示意图；

图 6C 为图 6B 的俯视示意图；

图 7A-7B 为本发明的 TFT 基板的制作方法的步骤 6 的示意图；

图 7C 为图 7B 的俯视示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

5 请参阅图 1，本发明提供一种 TFT 基板的制作方法，包括如下步骤：

步骤 1、如图 2A-2C 所示，提供一衬底基板 10，在所述衬底基板 10 上形成数据线 21、及与数据线 21 相连的源极 22。

具体的，所述步骤 1 包括：采用物理气相沉积方法（Physical Vapor Deposition, PVD）在所述衬底基板 10 上沉积第一金属层 15，采用一道光
10 刻制程对所述第一金属层 15 进行图形化处理后得到数据线 21、及与数据线 21 相连的源极 22；所述光刻制程包括涂光阻、曝光、显影、及湿蚀刻制程。

具体的，所述数据线 21、及源极 22 的材料包括钼（Mo）、钛（Ti）、铝（Al）、铜（Cu）中的一种或多种。

步骤 2、如图 3A-3C 所示，形成有源层 30，所述有源层 30 至少部分位
15 于所述源极 22 上。

具体的，所述步骤 2 包括：采用化学气相沉积方法（Chemical Vapor Deposition, CVD）或物理气相沉积方法在所述衬底基板 10、数据线 21、及源极 22 上沉积半导体层 25，采用一道光刻制程对所述半导体层 25 进行
20 图形化处理后得到对应于源极 22 上方的有源层 30；所述光刻制程包括涂光阻、曝光、显影、及蚀刻制程。

具体的，所述有源层 30 的材料为非晶硅、多晶硅、或金属氧化物半导体。优选的，所述金属氧化物半导体可以为铟镓锌氧化物（Indium Gallium Zinc Oxide, IGZO）。

所述有源层 30 的材料为非晶硅或多晶硅时，采用化学气相沉积方法沉
25 积半导体层 25，所述光刻制程中的蚀刻制程为干蚀刻制程。

所述有源层 30 的材料为金属氧化物半导体时，采用物理气相沉积方法沉积半导体层 25，所述光刻制程中的蚀刻制程为湿蚀刻制程。

步骤 3、如图 4A-4C 所示，在所述有源层 30、源极 22、数据线 21、及衬底基板 10 上形成栅极绝缘层 40，对所述栅极绝缘层 40 进行图形化处理，
30 在所述栅极绝缘层 40 上形成对应于所述有源层 30 的第一通孔 41。

具体的，所述步骤 3 包括：采用化学气相沉积方法在所述有源层 30、源极 22、数据线 21、及衬底基板 10 上沉积第一绝缘层 35，采用一道光刻制程对所述第一绝缘层 35 进行图形化处理后得到对应于有源层 30 的第一通孔 41，形成栅极绝缘层 40；所述光刻制程包括涂光阻、曝光、显影、及

干蚀刻制程。

具体的，所述栅极绝缘层 40 的材料包括氧化硅 (SiO_x)、氮化硅 (SiN_x) 中的一种或多种。

5 步骤 4、如图 5A-5C 所示，形成第一栅极 52、第二栅极 53、及漏极 51，所述第一栅极 52、及第二栅极 53 均位于栅极绝缘层 40 上，且分别对应于所述有源层 30 的两侧，所述漏极 51 至少部分位于所述第一通孔 41 内并通过第一通孔 41 与所述有源层 30 相连。

具体的，所述第一栅极 52 和第二栅极 53 在竖直方向上的位置与所述有源层 30 在竖直方向上的位置至少部分重叠。

10 优选的，所述第一栅极 52 与第二栅极 53 在竖直方向上的位置与所述有源层 30 在竖直方向上的位置完全重叠。

优选的，所述第一栅极 52、第二栅极 53 的形状、尺寸相同，在竖直方向上的位置相同，在水平方向上与有源层 30 的间隔距离相同。

15 优选的，所述漏极 51 在衬底基板 10 上的正投影完全覆盖所述有源层 30 在衬底基板 10 上的正投影。

具体的，所述步骤 4 包括：采用物理气相沉积方法在所述栅极绝缘层 40 上沉积第二金属层 45，采用一道光刻制程对所述第二金属层 45 进行图形化处理后得到漏极 51、第一栅极 52、及第二栅极 53。所述光刻制程包括涂光阻、曝光、显影、及湿蚀刻制程。

20 具体的，所述漏极 51、及第一、第二栅极 52、53 的材料包括钼、钛、铝、铜中的一种或多种。

步骤 5、如图 6A-6C 所示，在所述漏极 51、第一栅极 52、第二栅极 53、及栅极绝缘层 40 上形成钝化层 60，对所述钝化层 60 进行图形化处理，在所述钝化层 60 上形成对应于漏极 51 上方的第二通孔 61。

25 具体的，所述步骤 5 包括：采用化学气相沉积方法在所述漏极 51、第一栅极 52、第二栅极 53、及栅极绝缘层 40 上沉积第二绝缘层 55，采用一道光刻制程对所述第二绝缘层 55 进行图形化处理后得到对应于漏极 51 的第二通孔 61，形成钝化层 60。所述光刻制程包括涂光阻、曝光、显影、及干蚀刻制程。

30 具体的，所述钝化层 60 的材料包括氧化硅、氮化硅中的一种或多种。

步骤 6、如图 7A-7C 所示，形成像素电极 70，所述像素电极 70 至少部分位于所述第二通孔 61 内并通过第二通孔 61 与漏极 51 相连。

具体的，所述像素电极 70 在衬底基板 10 上的正投影完全覆盖所述漏极 51 与有源层 30 在衬底基板 10 上的正投影。

至此，完成 TFT 基板的制作。

具体的，所述步骤 6 包括：采用物理气相沉积方法在所述钝化层 60 上沉积导电层 65，采用一道光刻制程对所述导电层 65 进行图形化处理后得到像素电极 70。所述光刻制程包括涂光阻、曝光、显影、及湿蚀刻制程。

5 具体的，所述像素电极 70 的材料为金属或导电金属氧化物，所述金属包括钼、钛、铝、铜中的一种或多种，所述导电金属氧化物优选为氧化铟锡（Indium Tin Oxide, ITO）。

上述 TFT 基板的制作方法，采用双栅极结构，所述双栅极在有源层两侧对称分布，使得双栅极对有源层施加电压时，有源层内的电场分布均匀，
10 能有效防止 TFT 阈值电压的变动，提升 TFT 的开关特性；同时通过先制作有源层后制作栅极绝缘层，使栅极绝缘层直接生长于有源层上，改善了栅极绝缘层与有源层的接触界面，进一步提升 TFT 的开关特性。

请参阅图 7B-7C，本发明还提供一种 TFT 基板，包括：衬底基板 10、设于所述衬底基板 10 上的源极 22 以及设于所述源极 22 上方的有源层 30、
15 栅极绝缘层 40、第一栅极 52、第二栅极 53、漏极 51、钝化层 60 和像素电极 70，其中，

所述栅极绝缘层 40 上开设有第一通孔 41，所述漏极 51 至少部分位于所述第一通孔 41 内并通过所述第一通孔 41 与所述有源层 30 相连；所述栅极绝缘层 40 与所述钝化层 60 之间设置有第一栅极 52 和第二栅极 53，所述
20 第一栅极 52 和第二栅极 53 分设于所述有源层 30 两侧；

所述钝化层 60 上开设有第二通孔 61，所述像素电极 70 通过所述第二通孔 61 与漏极 51 相连。

具体的，所述衬底基板 10 上设有数据线 21，所述数据线 21 与所述源极 22 相连并与所述源极 22 同层设置。

25 具体的，所述第一通孔 41 位于所述有源层 30 上方，所述漏极 51 在衬底基板 10 上的正投影完全覆盖所述有源层 30 在衬底基板 10 上的正投影。

具体的，所述第一栅极 52 和所述第二栅极 53 在竖直方向上的位置与所述有源层 30 在竖直方向上的位置至少部分重叠。

30 优选的，所述第一栅极 52 和所述第二栅极 53 在竖直方向上的位置与所述有源层 30 在竖直方向上的位置完全重叠。

具体的，所述第二通孔 61 位于所述漏极 51 上方，所述像素电极 70 在衬底基板 10 上的正投影完全覆盖所述漏极 51 与有源层 30 在衬底基板 10 上的正投影。

优选的，所述第一栅极 52、第二栅极 53 的形状、尺寸相同，在竖直方

向上的位置相同，在水平方向上与有源层 30 的间隔距离相同。

具体的，所述数据线 21、及源极 22 的材料包括钼、钛、铝、铜中的一种或多种。

具体的，所述有源层 30 的材料为非晶硅或多晶硅。

5 具体的，所述栅极绝缘层 40 的材料包括氧化硅、氮化硅中的一种或多种。

具体的，所述漏极 51、及第一、第二栅极 53 的材料包括钼、钛、铝、铜中的一种或多种。

具体的，所述钝化层 60 的材料包括氧化硅、氮化硅中的一种或多种。

10 具体的，所述像素电极 70 的材料为金属或导电金属氧化物，所述金属包括钼、钛、铝、铜中的一种或多种，所述导电金属氧化物优选为氧化铟锡。

上述 TFT 基板，区别于传统的底栅或顶栅结构的 TFT 基板，使栅极在
15 在竖直方向上位于源极和像素电极之间，并且采用双栅极结构，所述双栅极在有源层两侧对称分布，使得双栅极对有源层施加电压时，有源层内的电场分布均匀，能有效防止 TFT 阈值电压的变动，提升 TFT 的开关特性；同时通过先制作有源层后制作栅极绝缘层的方法，使栅极绝缘层生长于有源层上，改善了栅极绝缘层与有源层的接触界面，进一步提升 TFT 的开关特性。

20 综上所述，本发明提供一种 TFT 基板的制作方法。本发明的 TFT 基板的制作方法，采用双栅极结构，所述双栅极在有源层两侧对称分布，能有效防止 TFT 阈值电压的变动，提升 TFT 的开关特性；同时通过先制作有源层后制作栅极绝缘层，使栅极绝缘层直接生长于有源层上，改善了栅极绝缘层与有源层的接触界面，进一步提升 TFT 的开关特性。
25 本发明的 TFT 基板，区别于传统的底栅或顶栅结构的 TFT 基板，使栅极在竖直方向上位于源极和像素电极之间，并且采用对称于有源层的双栅极结构，能有效防止 TFT 阈值电压的变动，提升 TFT 的开关特性；同时改善了栅极绝缘层与有源层的接触界面，进一步提升 TFT 的开关特性。

30 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 TFT 基板的制作方法，包括如下步骤：

5 步骤 1、提供一衬底基板，在所述衬底基板上形成数据线、及与数据线相连的源极；

步骤 2、形成有源层，所述有源层至少部分位于所述源极上；

步骤 3、在所述有源层、源极、数据线、及衬底基板上形成栅极绝缘层，对所述栅极绝缘层进行图形化处理，在所述栅极绝缘层上形成对应于所述有源层的第一通孔；

10 步骤 4、形成第一栅极、第二栅极、及漏极，所述第一栅极、及第二栅极均位于栅极绝缘层上，且分别对应于所述有源层的两侧，所述漏极至少部分位于所述第一通孔内并通过第一通孔与所述有源层相连；

步骤 5、在所述漏极、第一栅极、第二栅极、及栅极绝缘层上形成钝化层，对所述钝化层进行图形化处理，在所述钝化层上形成对应于漏极的第二通孔；

15 步骤 6、形成像素电极，所述像素电极至少部分位于所述第二通孔内并通过第二通孔与漏极相连。

2、如权利要求 1 所述的 TFT 基板的制作方法，其中，所述步骤 1 包括：采用物理气相沉积方法在所述衬底基板上沉积第一金属层，采用一道光刻制程对所述第一金属层进行图形化处理后得到数据线、及与数据线相连的源极；所述光刻制程包括涂光阻、曝光、显影、及湿蚀刻制程；

所述步骤 2 包括：采用化学或物理气相沉积方法在所述衬底基板、数据线、及源极上沉积半导体层，采用一道光刻制程对所述半导体层进行图形化处理后得到对应于源极上方的有源层；所述光刻制程包括涂光阻、曝光、显影、及蚀刻制程；

所述数据线、及源极的材料包括钼、钛、铝、铜中的一种或多种；

所述有源层的材料为非晶硅、多晶硅、或金属氧化物半导体。

3、如权利要求 1 所述的 TFT 基板的制作方法，其中，所述步骤 3 包括：采用化学气相沉积方法在所述有源层、源极、数据线、及衬底基板上沉积第一绝缘层，采用一道光刻制程对所述第一绝缘层进行图形化处理后得到对应于有源层的第一通孔，形成栅极绝缘层；所述光刻制程包括涂光阻、曝光、显影、及干蚀刻制程；

所述栅极绝缘层的材料包括氧化硅、氮化硅中的一种或多种。

4、如权利要求 1 所述的 TFT 基板的制作方法，其中，所述步骤 4 包括：采用物理气相沉积方法在所述栅极绝缘层上沉积第二金属层，采用一道光刻制程对所述第二金属层进行图形化处理后得到漏极、第一栅极、及第二栅极；所述光刻制程包括涂光阻、曝光、显影、及湿蚀刻制程；

5 所述漏极、及第一、第二栅极的材料包括钼、钛、铝、铜中的一种或多种。

5. 一种阵列基板，包括：衬底基板、设于所述衬底基板上的源极、以及设于所述源极上方的有源层、栅极绝缘层、第一栅极、第二栅极、漏极、钝化层和像素电极，其中，

10 所述栅极绝缘层上开设有第一通孔，所述漏极至少部分位于所述第一通孔内并通过所述第一通孔与所述有源层相连；所述栅极绝缘层与所述钝化层之间设置有第一栅极和第二栅极，所述第一栅极和第二栅极分设于所述有源层两侧；

15 所述钝化层上开设有第二通孔，所述像素电极通过所述第二通孔与漏极相连。

6、如权利要求 5 所述的阵列基板，其中，所述衬底基板上设有数据线，所述数据线与所述源极相连并与所述源极同层设置。

7、如权利要求 5 所述的阵列基板，其中，所述第一通孔位于所述有源层上方，所述漏极在衬底基板上的正投影完全覆盖所述有源层在衬底基板上的正投影。

8、如权利要求 5 所述的阵列基板，其中，所述第一栅极和第二栅极在竖直方向上的位置与所述有源层在竖直方向上的位置至少部分重叠。

9、如权利要求 5 所述的阵列基板，其中，所述第二通孔位于所述漏极上方，所述像素电极在衬底基板上的正投影完全覆盖所述漏极与有源层在衬底基板上的正投影。

10、如权利要求 8 所述的 TFT 基板，其中，所述第一栅极和所述第二栅极的形状、尺寸相同，在竖直方向上的位置相同，在水平方向上与有源层的间隔距离相同。

11、一种阵列基板，包括：衬底基板、设于所述衬底基板上的源极、以及设于所述源极上方的有源层、栅极绝缘层、第一栅极、第二栅极、漏极、钝化层和像素电极，其中，

30 所述栅极绝缘层上开设有第一通孔，所述漏极至少部分位于所述第一通孔内并通过所述第一通孔与所述有源层相连；所述栅极绝缘层与所述钝化层之间设置有第一栅极和第二栅极，所述第一栅极和第二栅极分设于所

述有源层两侧;

所述钝化层上开设有第二通孔, 所述像素电极通过所述第二通孔与漏极相连;

5 其中, 所述衬底基板上设有数据线, 所述数据线与所述源极相连并与所述源极同层设置;

其中, 所述第一通孔位于所述有源层上方, 所述漏极在衬底基板上的正投影完全覆盖所述有源层在衬底基板上的正投影。

12、如权利要求 11 所述的阵列基板, 其中, 所述第一栅极和第二栅极在竖直方向上的位置与所述有源层在竖直方向上的位置至少部分重叠。

10 13、如权利要求 11 所述的阵列基板, 其中, 所述第二通孔位于所述漏极上方, 所述像素电极在衬底基板上的正投影完全覆盖所述漏极与有源层在衬底基板上的正投影。

15 14、如权利要求 12 所述的 TFT 基板, 其中, 所述第一栅极和所述第二栅极的形状、尺寸相同, 在竖直方向上的位置相同, 在水平方向上与有源层的间隔距离相同。

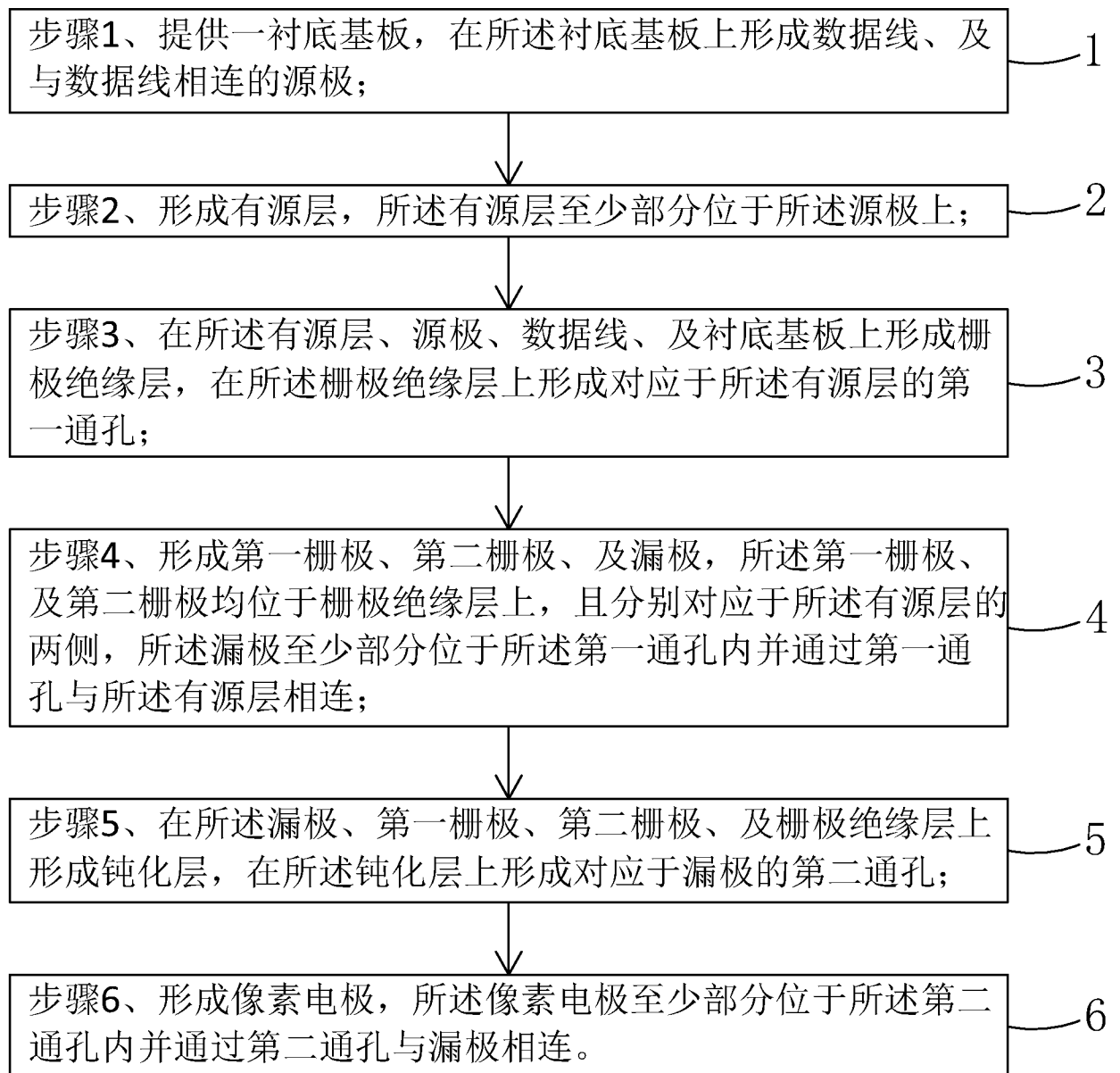


图1

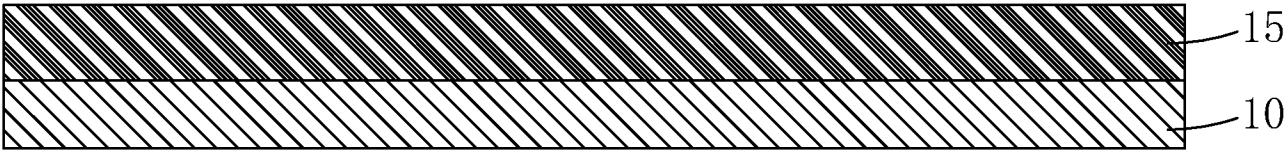


图2A

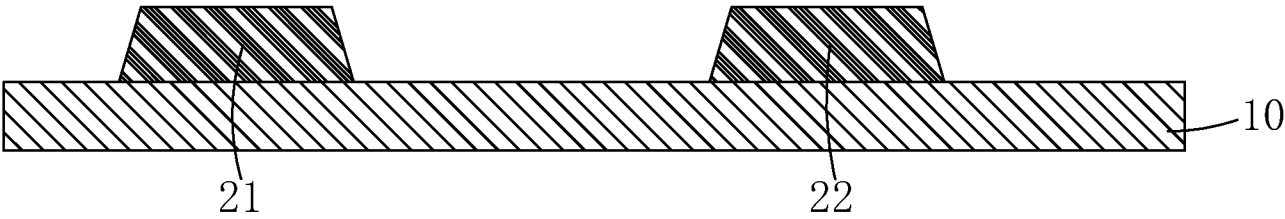


图2B

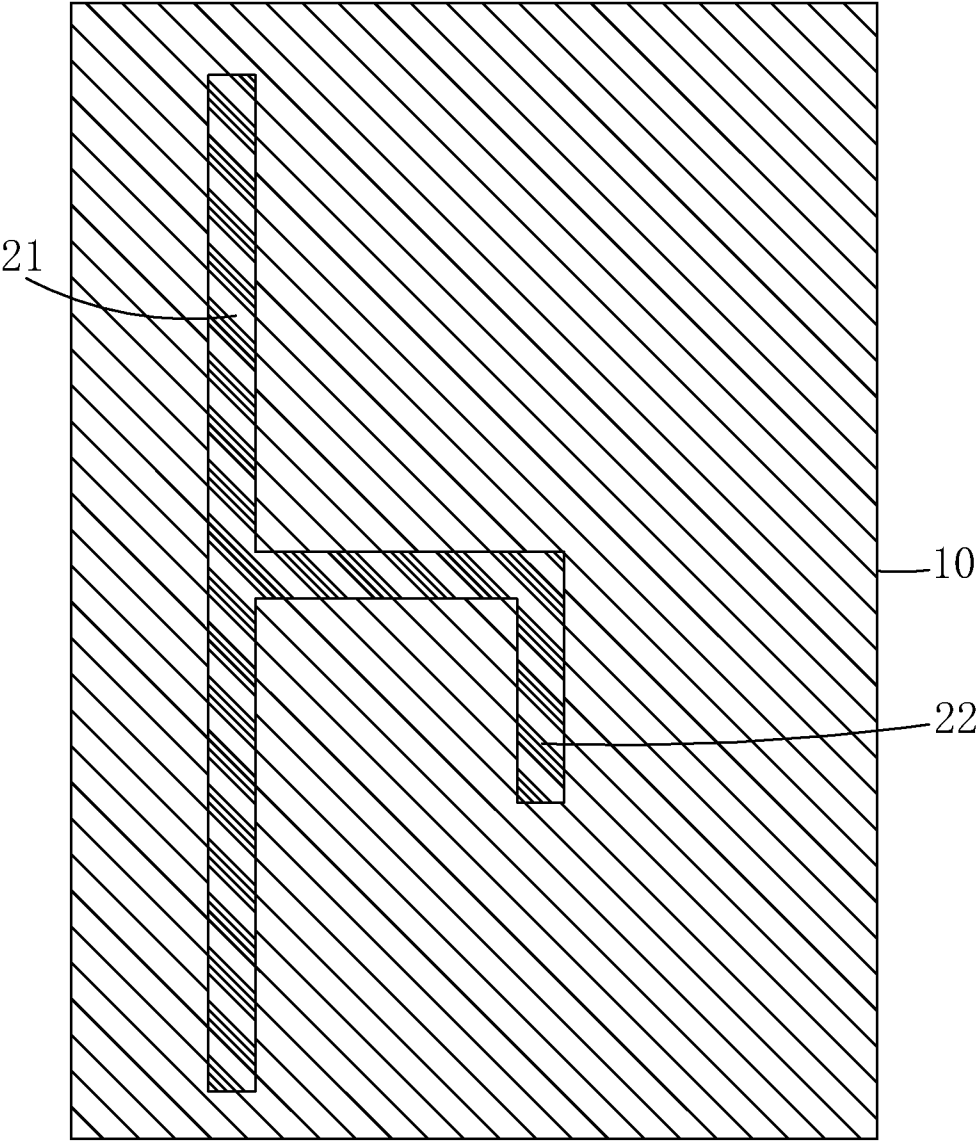


图2C

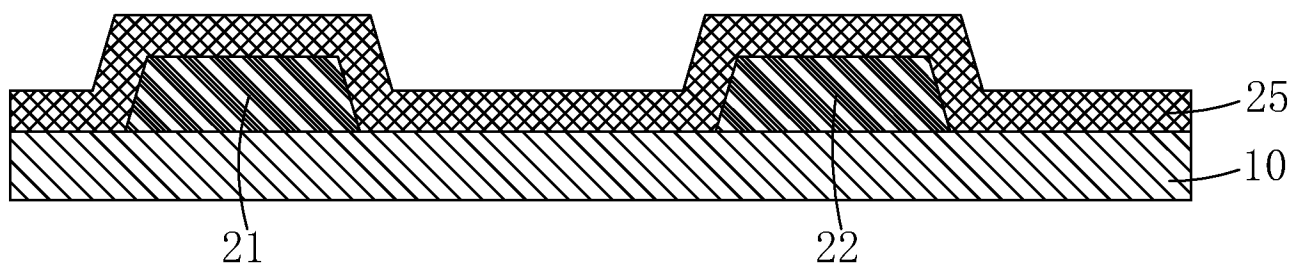


图3A

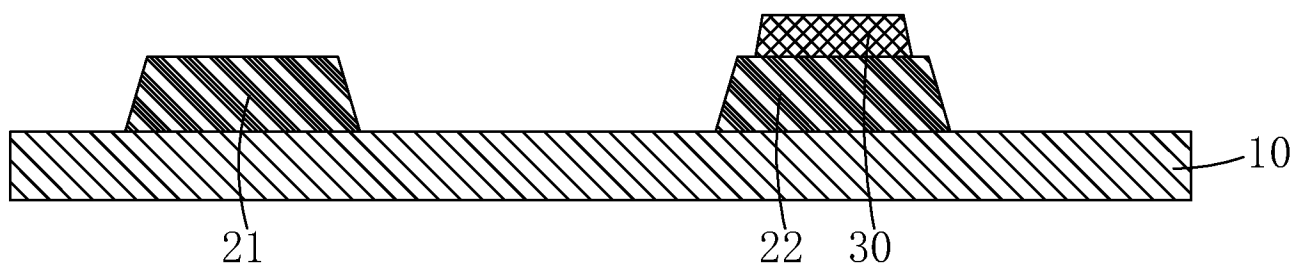


图3B

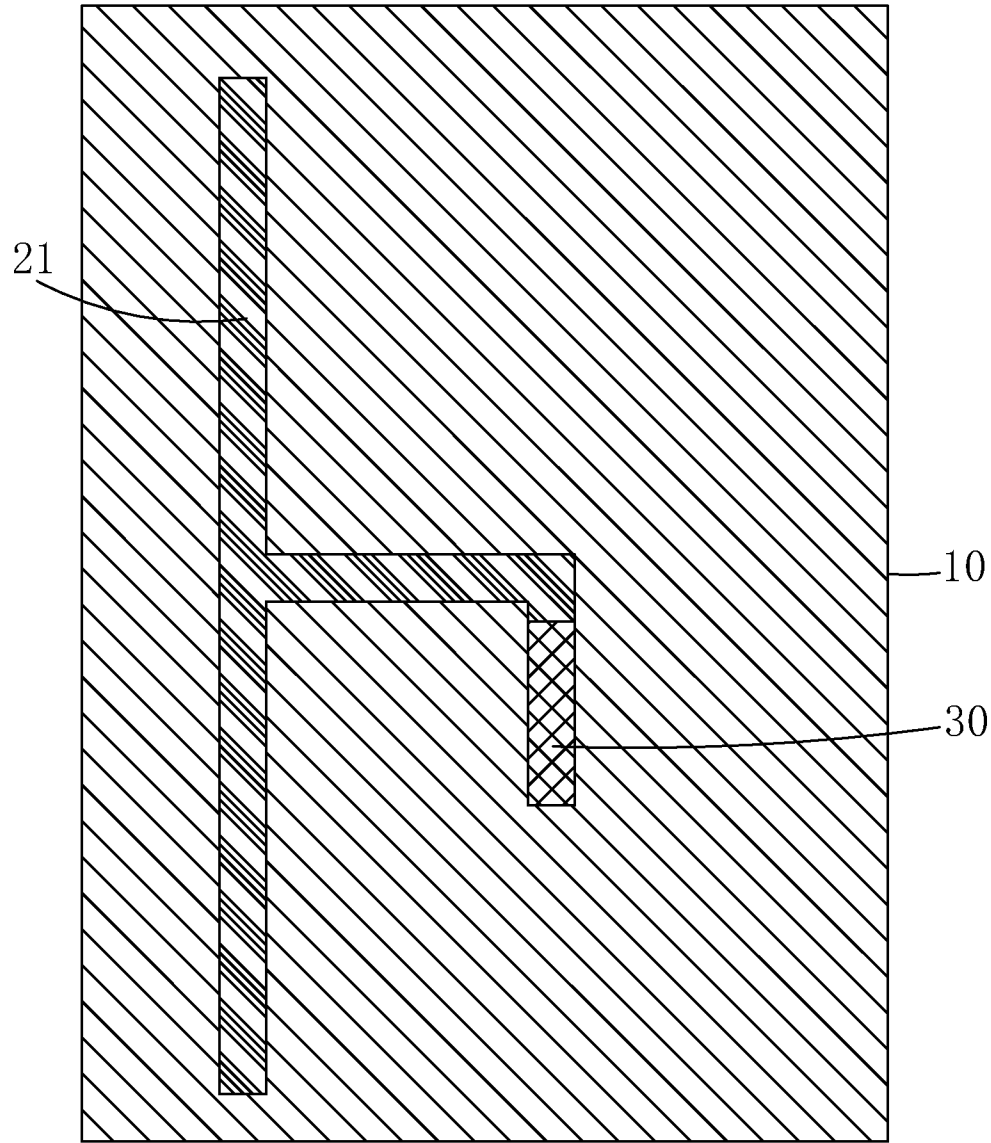


图3C

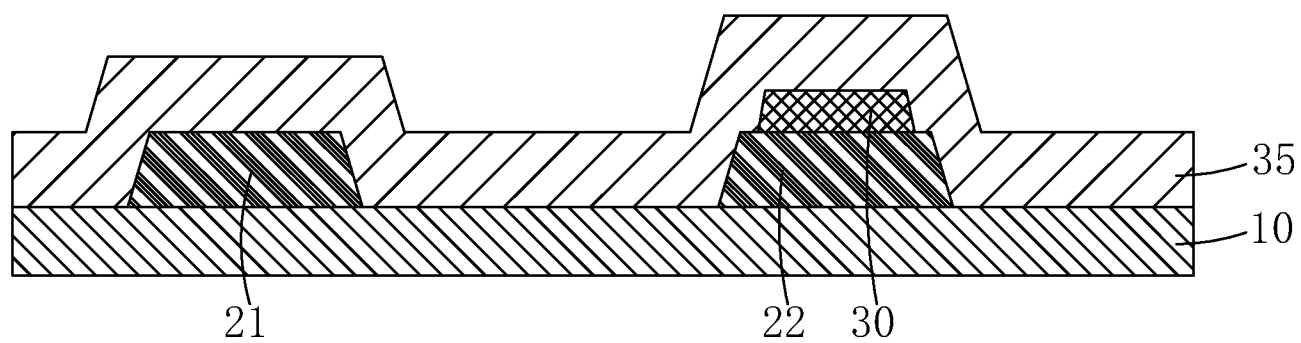


图4A

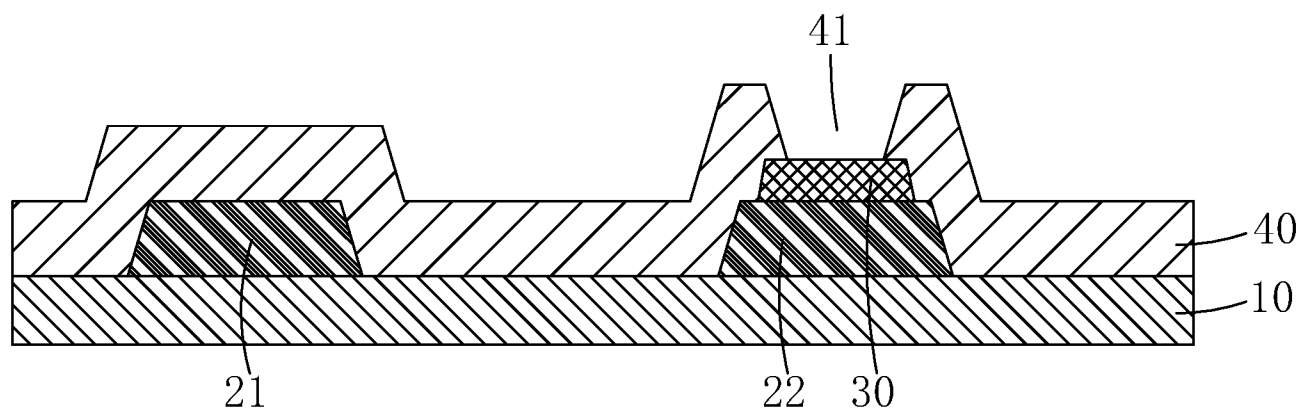


图4B

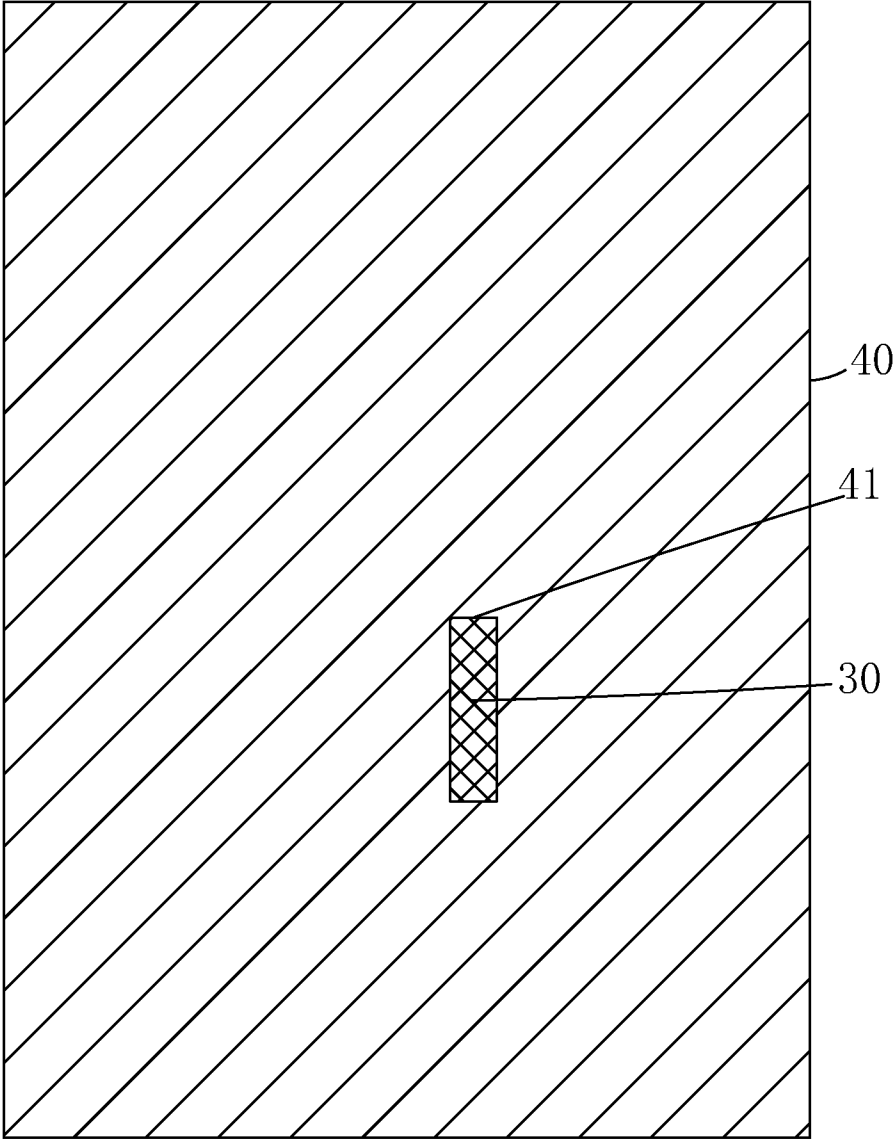


图4C

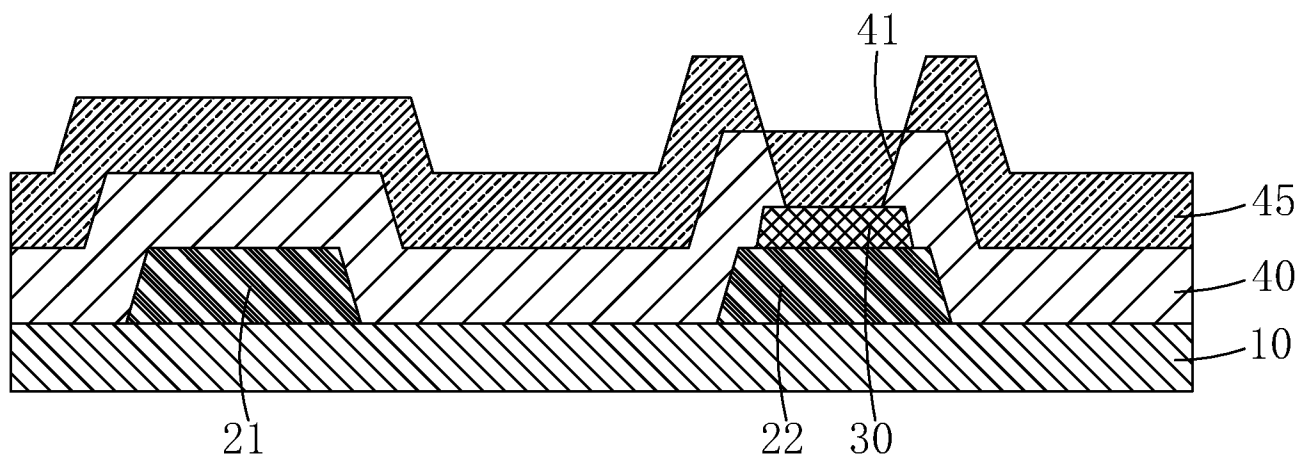


图5A

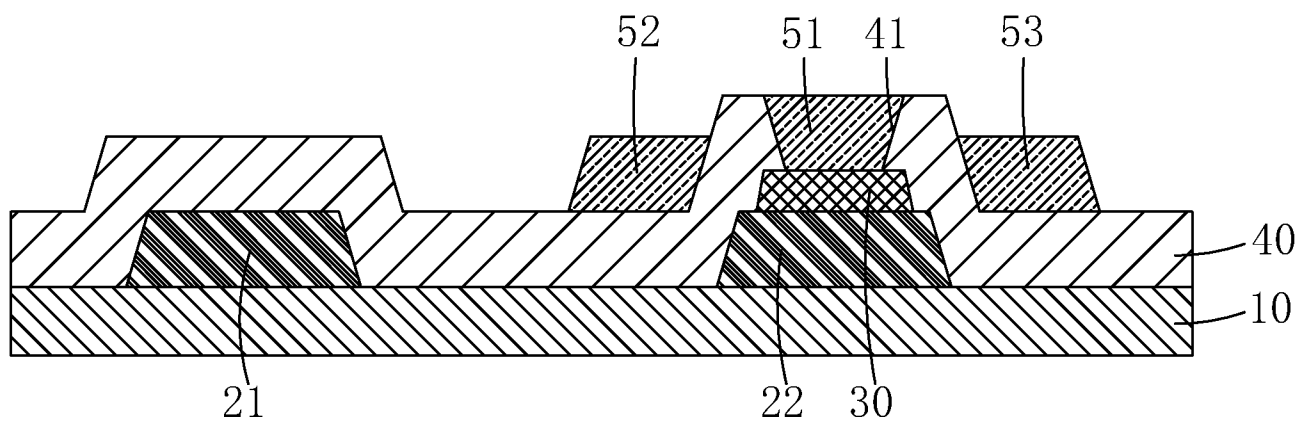


图5B

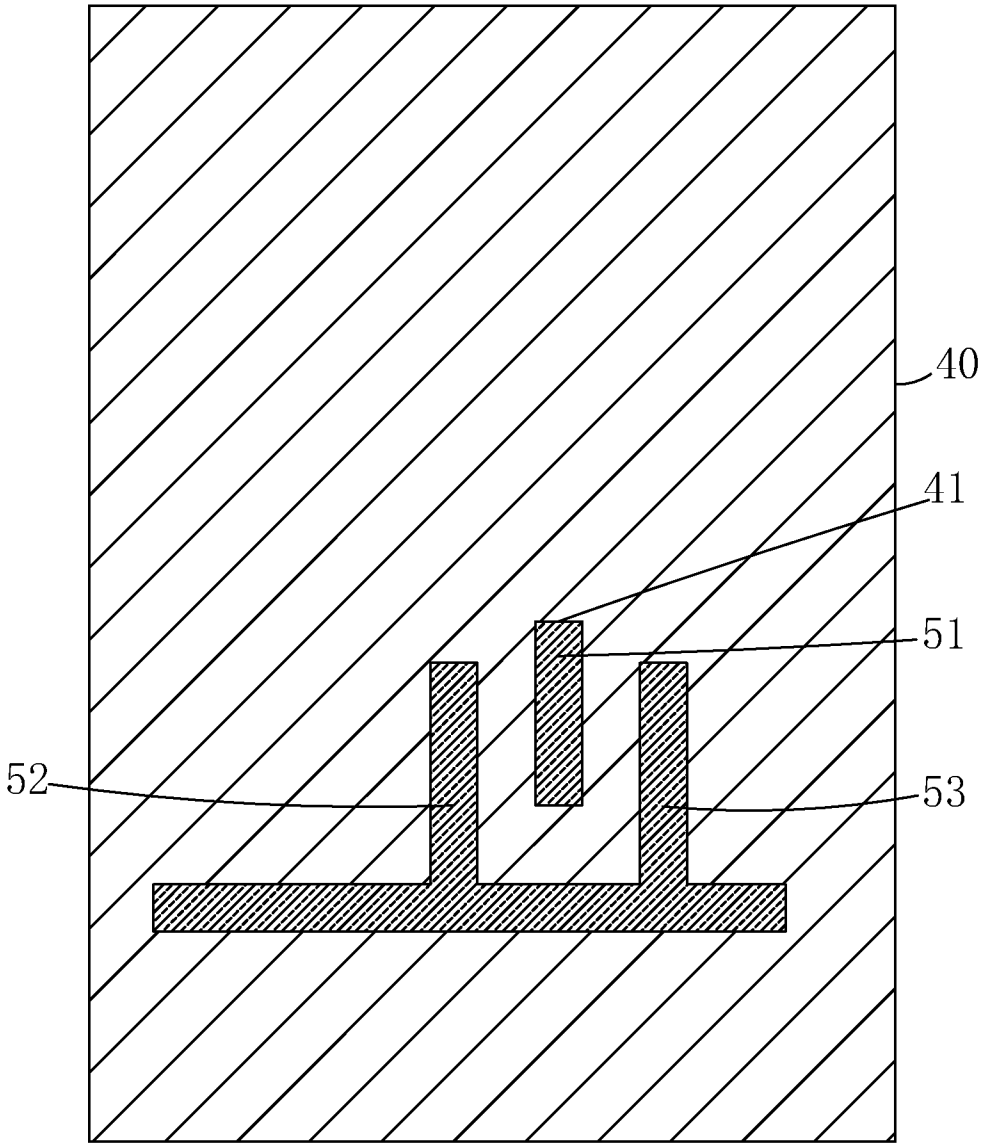


图5C

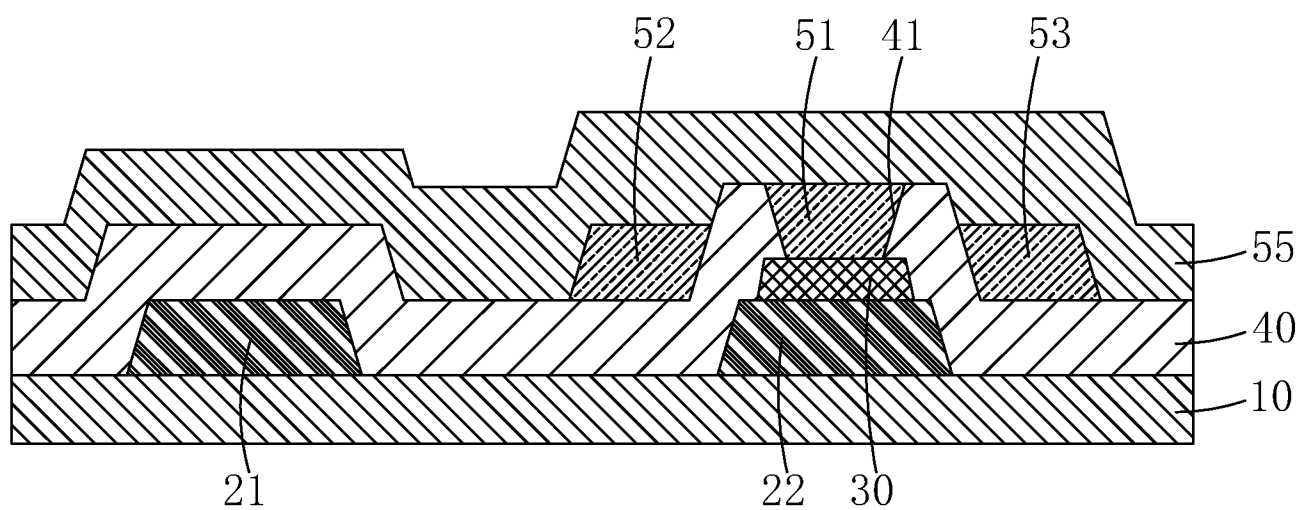


图6A

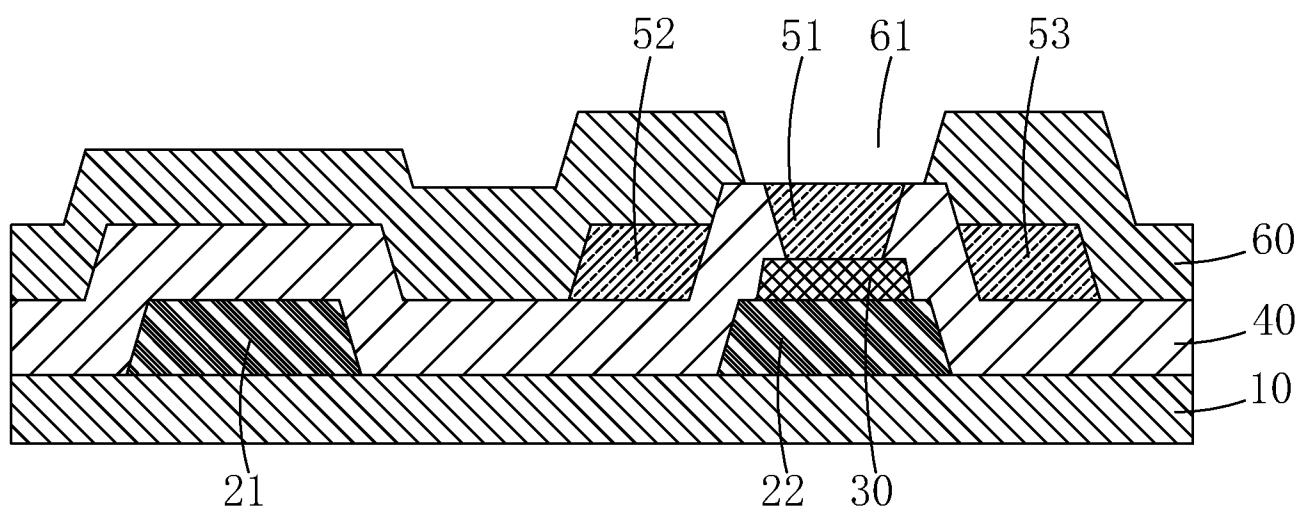


图6B

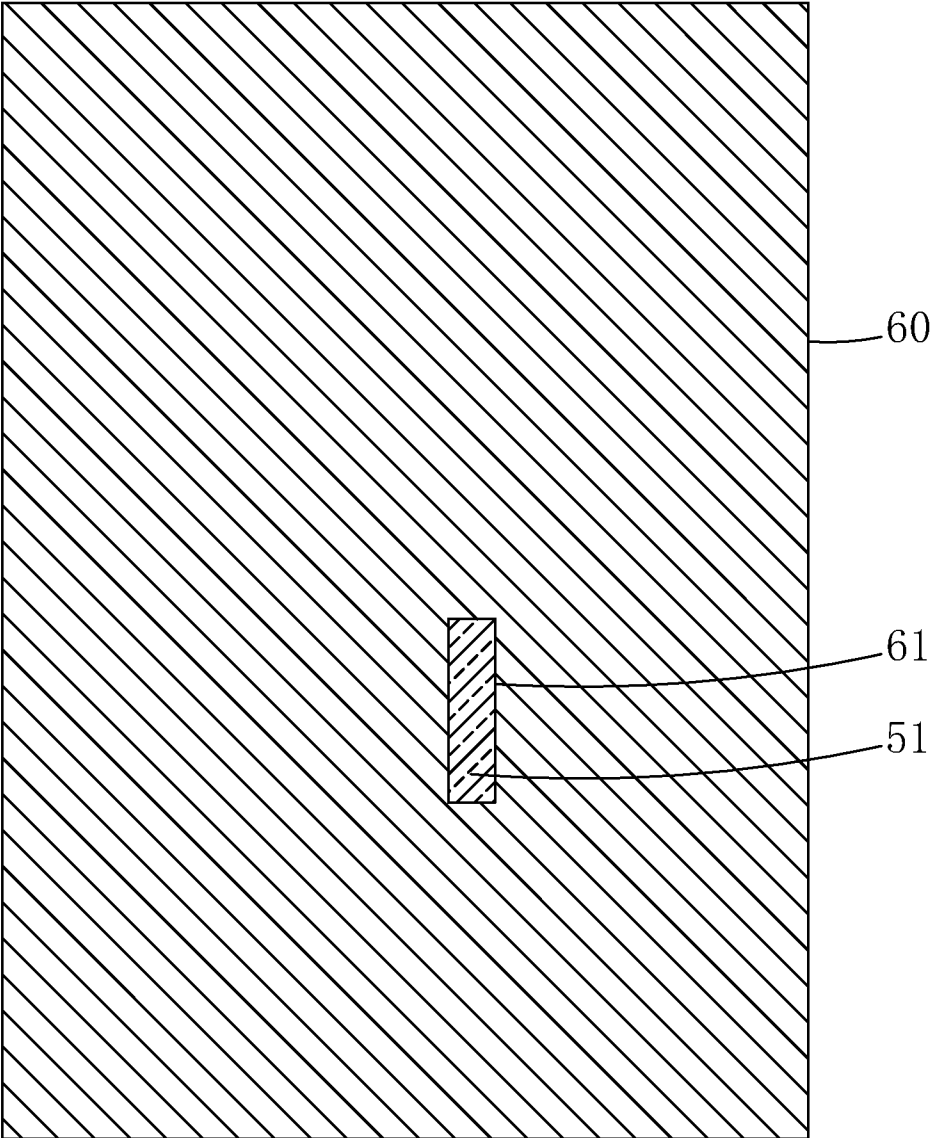


图6C

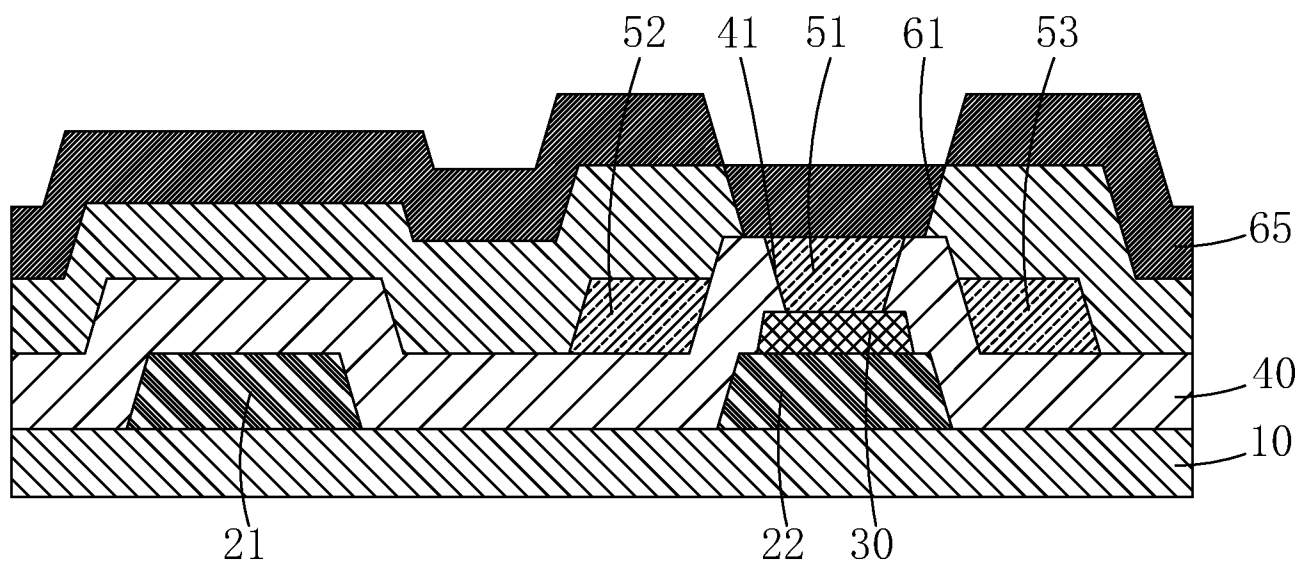


图7A

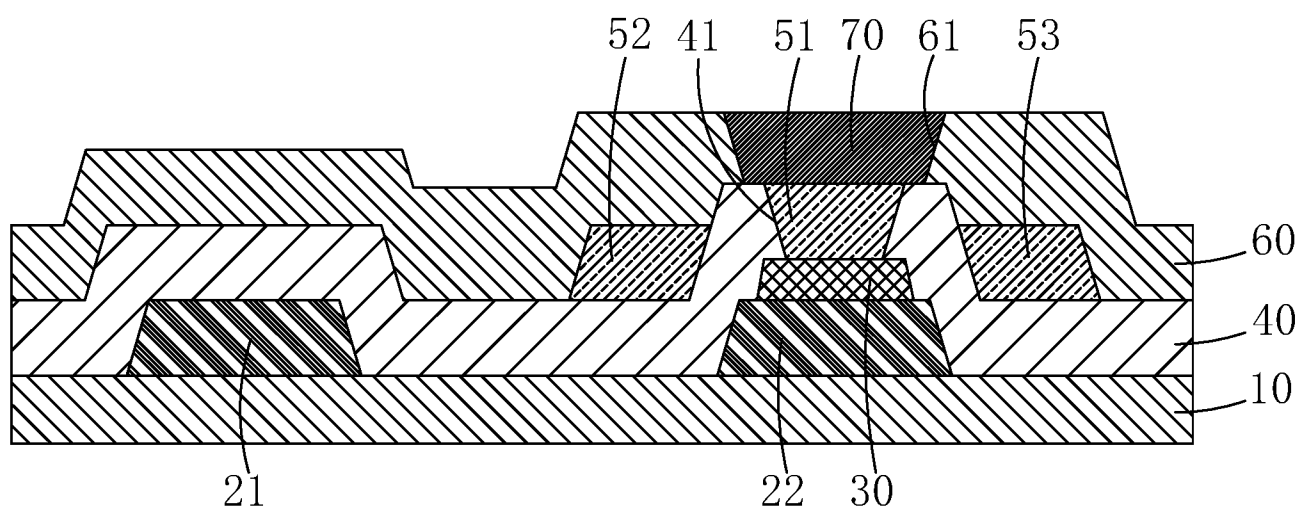


图7B

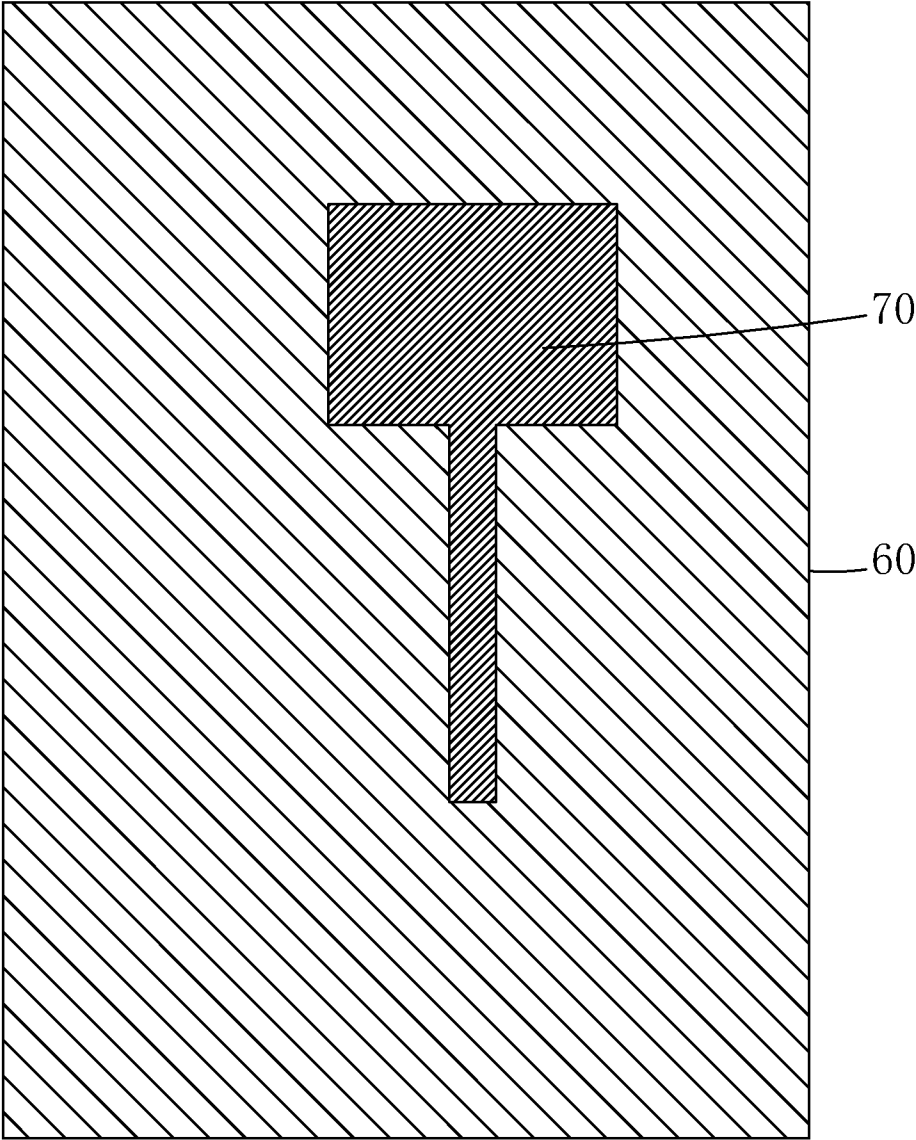


图7C

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/086849

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i; H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

SIPOABS, CNKI: transistor, column, TFT, array, substrate, gate, source, drain, electrode, double, twin, dual, plural, symmetry, series, row, parallel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011101355 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.,), 05 May 2011 (05.05.2011), description, paragraphs [0025]-[0237], and figures 1B-7E	1-14
A	CN 101404321 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 08 April 2009 (08.04.2009), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 November 2016 (29.11.2016)	Date of mailing of the international search report 04 February 2017 (04.02.2017)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Ying Telephone No.: (86-10) 62089296

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/086849

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2011101355 A1	05 May 2011	US 9105609 B2	11 August 2015
		JP 5667414 B2	12 February 2015
		WO 2011052413 A1	05 May 2011
		KR 20120102657 A	18 September 2012
		JP 2016154254 A	25 August 2016
		JP 5919367 B2	18 May 2016
		JP 2015084439 A	30 April 2015
		TW 201133852 A	01 October 2011
		JP 2011119667 A	16 June 2011
		TW I496288 B	11 August 2015
		US 8952447 B2	10 February 2015
CN 101404321 A	08 April 2009	CN 101404321 B	20 April 2011

国际检索报告

国际申请号

PCT/CN2016/086849

A. 主题的分类

H01L 21/77(2006.01)i; H01L 27/12(2006.01)i; H01L 29/786(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, DWPI, SIPOABS, CNKI: 晶体管, 阵列, 基板, 栅极, 源极, 漏极, 电极, 双, 多个, 对称, 列, 行, 平行, TFT, array, substrate, gate, source, drain, electrode, double, twin, dual, plural, symmetry, series, row, parallel

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2011101355 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.,) 2011年 5月 5日 (2011 - 05 - 05) 说明书第[0025]-[0237]段、附图1B-7E	1-14
A	CN 101404321 A (中国科学院微电子研究所) 2009年 4月 8日 (2009 - 04 - 08) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 11月 29日

国际检索报告邮寄日期

2017年 2月 4日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李莹

电话号码 (86-10)62089296

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/086849

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2011101355	A1	2011年 5月 5日	US	9105609	B2	2015年 8月 11日
				JP	5667414	B2	2015年 2月 12日
				WO	2011052413	A1	2011年 5月 5日
				KR	20120102657	A	2012年 9月 18日
				JP	2016154254	A	2016年 8月 25日
				JP	5919367	B2	2016年 5月 18日
				JP	2015084439	A	2015年 4月 30日
				TW	201133852	A	2011年 10月 1日
				JP	2011119667	A	2011年 6月 16日
				TW	I496288	B	2015年 8月 11日
				US	8952447	B2	2015年 2月 10日
CN	101404321	A	2009年 4月 8日	CN	101404321	B	2011年 4月 20日

表 PCT/ISA/210 (同族专利附件) (2009年7月)