

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第4区分  
 【発行日】平成17年4月14日(2005.4.14)

【公開番号】特開2003-151295(P2003-151295A)  
 【公開日】平成15年5月23日(2003.5.23)  
 【出願番号】特願2001-348723(P2001-348723)  
 【国際特許分類第7版】

G 1 1 C 29/00  
 G 1 1 C 11/413

【F I】

G 1 1 C 29/00 6 0 3 Z  
 G 1 1 C 29/00 6 0 3 F  
 G 1 1 C 11/34 3 4 1 C

【手続補正書】

【提出日】平成16年6月4日(2004.6.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

異なるアドレス信号に基づいてそれぞれ動作し、データを記憶可能な複数の半導体記憶回路と、

上記複数の半導体記憶回路が共有し、上記半導体記憶回路における不良を救済するための冗長回路とを備え、

上記冗長回路は、上記複数の半導体記憶回路に関わる冗長情報に応じて、何れか1つの上記半導体記憶回路内の一部として動作可能であり、

上記複数の異なるアドレス信号をそれぞれデコードして得られる制御信号および入出力されるデータを授受するための複数のスイッチング回路を介して、上記複数の半導体記憶回路と上記冗長回路とがそれぞれ接続されていることを特徴とする半導体装置。

【請求項2】

上記冗長回路は、複数のメモリセルを有する冗長メモリセルアレイと、

当該冗長メモリセルアレイに付帯する周辺回路とを備えることを特徴とする請求項1に記載の半導体装置。

【請求項3】

上記冗長情報に応じて、上記複数の異なるアドレス信号をそれぞれデコードして得られる上記複数の半導体記憶回路の制御信号を選択的に上記冗長回路に供給することを特徴とする請求項1に記載の半導体装置。

【請求項4】

上記冗長情報に応じて、上記スイッチング回路を制御する冗長制御回路をさらに備えることを特徴とする請求項1に記載の半導体装置。

【請求項5】

上記冗長制御回路は、上記冗長情報を記憶する冗長情報記憶回路を有することを特徴とする請求項4に記載の半導体装置。

【請求項6】

上記冗長制御回路は、上記冗長情報に応じて、何れか1つの上記半導体記憶回路と上記冗長回路との間で、上記制御信号および入出力されるデータが授受されるように上記複数

のスイッチング回路を同期して切り替えることを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】

上記半導体記憶回路は、複数のメモリセルアレイと、

上記複数のメモリセルアレイにデータを入出力する入出力経路を選択的に切り替えるための複数のデータ経路切替スイッチング回路とを備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

上記複数の半導体記憶回路および上記冗長回路は、回路素子を配置する領域の輪郭の形状が矩形をなし、上記複数の異なるアドレス信号をそれぞれデコードした制御信号および入出力されるデータを供給する信号線が、上記複数の半導体記憶回路と上記冗長回路との間でそれぞれ接続可能なように、上記複数の半導体記憶回路と上記冗長回路とを隣接して配置したことを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

異なるアドレス信号に基づいてそれぞれ動作し、データを記憶可能な複数の半導体記憶回路と、

上記複数の半導体記憶回路が共有し、上記半導体記憶回路における不良を救済するための冗長回路とを備え、

上記冗長回路は、上記複数の半導体記憶回路に関わる冗長情報に応じて、何れか 1 つの上記半導体記憶回路内の一部として動作可能であり、

上記冗長回路内の信号線が不活性化状態のときには、上記信号線に一定の電位を供給することを特徴とする半導体装置。

【請求項 10】

抵抗素子を介して電源またはグランドに上記信号線を接続したことを特徴とする請求項 9 に記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

【課題を解決するための手段】

本発明の半導体装置は、異なるアドレス信号に基づいてそれぞれ動作する複数の半導体記憶回路と、複数の半導体記憶回路に共有される冗長回路とを備える。上記冗長回路は、半導体記憶回路の冗長情報に応じて、何れか 1 つの半導体記憶回路内の一部として動作可能であり、上記複数の半導体記憶回路と上記冗長回路とが制御信号およびデータを授受するための複数のスイッチング回路を介してそれぞれ接続される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

上記のように構成した本発明によれば、複数の半導体記憶回路が冗長回路を共有するとともに、これらを接続するスイッチング回路を冗長情報に応じて制御することで、1 つの半導体記憶回路当たりの冗長回路の付加に要する回路面積を抑制しながらも、複数の半導体記憶回路に欠陥救済機能をそれぞれ付加することができるようになる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0091

【補正方法】変更

【補正の内容】

【0091】

【発明の効果】

以上説明したように、本発明によれば、異なるアドレス信号に基づいてそれぞれ動作する複数の半導体記憶回路と、半導体記憶回路における不良を救済する冗長回路とを備え、制御信号およびデータを授受するための複数のスイッチング回路を介して複数の半導体記憶回路と冗長回路とがそれぞれ接続され、複数の半導体記憶回路が冗長回路を共有し、半導体記憶回路に関わる冗長情報に応じて、何れか1つの上記半導体記憶回路内の一部として冗長回路を動作可能にする。