【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和7年3月26日(2025.3.26)

【国際公開番号】WO2022/238798
【出願番号】特願2023-520563(P2023-520563)
【国際特許分類】
H01L 25/07(2006.01)
H10D 86/40(2025.01)
H10D 30/67(2025.01)
G11C 11/405(2006.01)
H10B 99/00(2023.01)
H10B 12/00(2023.01)
H10B 41/70(2023.01)
H10D 88/00(2025.01)
H01L 21/02(2006.01)
【FI】
H01L 25/08 D
H01L 29/78 613B
H01L 29/78 618B
G11C 11/405
H01L 27/10
H10B 12/00 801
H10B 12/00 671Z
H10B 99/00 441
H10B 41/70
H01L 27/00 301C
H01L 27/00 301B
H01L 21/02 B

【手続補正書】
【提出日】令和7年3月17日(2025.3.17)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第１メモリセルを駆動する機能を有する第１周辺回路と、第２メモリセルを駆動する機能を有する第２周辺回路と、が設けられた第１基板と、
第２基板と、前記第１メモリセルを有する第１素子層と、を有する第１メモリセル層と、
第３基板と、前記第２メモリセルを有する第２素子層と、を有する第２メモリセル層と、を有し、
前記第１メモリセル層は、前記第１基板と、前記第２メモリセル層と、の間に設けられ、
前記第１メモリセルは、第１トランジスタおよび第１キャパシタを有し、
前記第２メモリセルは、第２トランジスタおよび第２キャパシタを有し、
前記第１トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有し、
前記第２トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、

前記第１メモリセル層は、前記第１基板の表面に対して垂直方向または概略垂直方向に、前記第１基板上に積層して設けられ、
前記第１周辺回路と、前記第１メモリセルと、は、前記第２基板および前記第１素子層に設けられた第１貫通電極を介して電気的に接続され、
前記第２周辺回路と、前記第２メモリセルと、は、前記第２基板、前記第３基板、前記第１素子層および前記第２素子層に設けられた第２貫通電極を介して電気的に接続される、半導体装置。
【請求項２】
第１メモリセルを駆動する機能を有する第１周辺回路と、第２メモリセルを駆動する機能を有する第２周辺回路と、が設けられた第１基板と、
第２基板と、前記第１メモリセルを有する第１素子層と、を有する第１メモリセル層と、
第３基板と、前記第２メモリセルを有する第２素子層と、を有する第２メモリセル層と、を有し、
前記第１メモリセル層は、前記第１基板と、前記第２メモリセル層と、の間に設けられ、
前記第１メモリセルは、第１トランジスタおよび第１キャパシタを有し、
前記第２メモリセルは、第２トランジスタおよび第２キャパシタを有し、
前記第１トランジスタは、チャネル形成領域に金属酸化物を有する半導体層を有し、
前記第２トランジスタは、チャネル形成領域にシリコンを有する半導体層を有し、
前記第１メモリセル層は、前記第１基板の表面に対して垂直方向または概略垂直方向に、前記第１基板上に積層して設けられ、
前記第２基板は、前記第１メモリセルにおけるデータの書き込みまたは読み出しを行うための増幅回路を有し、
前記第１周辺回路と、前記第１メモリセルと、は、前記第２基板および前記第１素子層に設けられた第１貫通電極を介して電気的に接続され、
前記第２周辺回路と、前記第２メモリセルと、は、前記第２基板、前記第３基板、前記第１素子層および前記第２素子層に設けられた第２貫通電極を介して電気的に接続される、半導体装置。
【請求項３】
請求項１または２において、
前記第１メモリセル層は、前記第１基板の表面に対して垂直方向または概略垂直方向に積層して設けられた複数の前記第１素子層を有する、半導体装置。
【請求項４】
請求項１または２において、
前記第１基板は、ＣＰＵを有し、
前記第２メモリセルは、前記ＣＰＵが保持するデータを保持する機能を有する、半導体装置。
【請求項５】
請求項１または２において、
前記金属酸化物は、Ｉｎと、Ｇａと、Ｚｎと、を含む、半導体装置。