

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7695392号  
(P7695392)

(45)発行日 令和7年6月18日(2025.6.18)

(24)登録日 令和7年6月10日(2025.6.10)

(51)国際特許分類 F I  
G 1 1 C 11/412(2006.01) G 1 1 C 11/412 1 2 0  
H 0 3 K 3/356(2006.01) H 0 3 K 3/356 B

請求項の数 20 (全17頁)

(21)出願番号	特願2023-565476(P2023-565476)	(73)特許権者	591016172
(86)(22)出願日	令和4年5月5日(2022.5.5)		アドバンスト・マイクロ・デバイス
(65)公表番号	特表2024-517141(P2024-517141 A)		・インコーポレイテッド
(43)公表日	令和6年4月19日(2024.4.19)		ADVANCED MICRO DEVI
(86)国際出願番号	PCT/US2022/027791		CES INCORPORATED
(87)国際公開番号	WO2022/235879		アメリカ合衆国 9 5 0 5 4 カリフォル
(87)国際公開日	令和4年11月10日(2022.11.10)		ニア州、 サンタ クララ、 オーガステ
審査請求日	令和7年4月4日(2025.4.4)	(74)代理人	ンドライブ 2 4 8 5
(31)優先権主張番号	63/185,207		100108833
(32)優先日	令和3年5月6日(2021.5.6)		弁理士 早川 裕司
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100111615
(31)優先権主張番号	17/359,253		弁理士 佐野 良太
(32)優先日	令和3年6月25日(2021.6.25)	(74)代理人	100162156
	最終頁に続く		弁理士 村雨 圭介
		(72)発明者	ジョン ジェイ . ウー
			最終頁に続く

(54)【発明の名称】 ハイブリッドライブラリラッチアレイ

(57)【特許請求の範囲】

【請求項 1】

スタティックランダムアクセスメモリ ( S R A M ) であって、  
第 1 の複数のビットセル及び第 1 の複数のマルチプレクサ回路と、  
第 2 の複数のビットセル及び第 2 の複数のマルチプレクサ回路と、を備え、  
前記第 1 の複数のビットセルは、前記第 2 の複数のマルチプレクサ回路のうち第 1 のマ  
ルチプレクサ回路に結合されており、  
前記第 2 の複数のビットセルは、前記第 1 の複数のマルチプレクサ回路のうち第 2 のマ  
ルチプレクサ回路に結合されており、  
前記第 1 の複数のビットセル及び前記第 1 の複数のマルチプレクサ回路は、第 1 の性能  
レベルを有し、前記第 2 の複数のビットセル及び前記第 2 の複数のマルチプレクサ回路は  
、前記第 1 の性能レベルよりも低い第 2 の性能レベルを有する、  
スタティックランダムアクセスメモリ ( S R A M ) 。

10

【請求項 2】

前記 S R A M は、前記第 1 の性能レベルを有する第 1 のセルと、前記第 2 の性能レベル  
を有する第 2 のセルと、を交互に並べた行 ( ロウ ) を含む、  
請求項 1 の S R A M 。

【請求項 3】

前記第 1 の性能レベルを有する第 3 の複数のビットセルと、  
前記第 2 の性能レベルを有する第 4 の複数のビットセルと、を備え、

20

前記第 3 の複数のビットセルは、前記第 2 の複数のマルチプレクサ回路のうち第 3 のマルチプレクサ回路に結合されており、

前記第 4 の複数のビットセルは、前記第 1 の複数のマルチプレクサ回路のうち第 4 のマルチプレクサ回路に結合されている、

請求項 1 の S R A M。

【請求項 4】

前記第 1 のマルチプレクサ回路及び前記第 3 のマルチプレクサ回路は、前記第 2 の複数のマルチプレクサ回路のうち第 5 のマルチプレクサ回路に結合されており、

前記第 2 のマルチプレクサ回路及び前記第 4 のマルチプレクサ回路は、前記第 1 の複数のマルチプレクサ回路のうち第 6 のマルチプレクサ回路に結合されている、

請求項 3 の S R A M。

【請求項 5】

前記第 1 の性能レベルは、少なくとも部分的に、トランジスタフィンガ当たりのフィンの第 1 の数に従って決定され、前記第 2 の性能レベルは、少なくとも部分的に、トランジスタフィンガ当たりのフィンの第 2 の数に従って決定され、前記フィンの第 1 の数は、前記フィンの第 2 の数よりも大きい、

請求項 1 の S R A M。

【請求項 6】

前記フィンの第 1 の数は 2 であり、前記フィンの第 2 の数は 1 である、

請求項 5 の S R A M。

【請求項 7】

前記第 1 の複数のビットセルは、前記 S R A M の第 1 の列（カラム）の少なくとも一部を形成しており、前記第 2 の複数のビットセルは、前記 S R A M の第 2 の列の少なくとも別の部分を形成している、

請求項 1 の S R A M。

【請求項 8】

前記第 1 の列及び前記第 2 の列は、前記 S R A M 内で隣接している、

請求項 7 の S R A M。

【請求項 9】

前記第 1 の複数のビットセル及び前記第 2 の複数のビットセルの各々は、ラッチビットセルである、

請求項 7 の S R A M。

【請求項 10】

前記第 1 の複数のビットセル及び前記第 2 の複数のビットセルの各々は、書き込みマスクされたビットセルである、

請求項 7 の S R A M。

【請求項 11】

スタティックランダムアクセスメモリ（S R A M）を動作させるための方法であって、第 1 の性能レベルを有する第 1 の複数のビットセルからの第 1 のビットセル出力を、第 2 の性能レベルを有する第 1 のマルチプレクサに供給することであって、前記第 2 の性能レベルは前記第 1 の性能レベルよりも低い、ことと、

前記第 1 のビットセル出力のうち何れかを、前記第 1 のマルチプレクサからの第 1 のマルチプレクサ出力信号として供給することと、

前記第 2 の性能レベルを有する第 2 の複数のビットセルからの第 2 のビットセル出力を、前記第 1 の性能レベルを有する第 2 のマルチプレクサに供給することと、

前記第 2 のビットセル出力のうち何れかを、第 2 のマルチプレクサ出力信号として供給することと、を含む、

方法。

【請求項 12】

前記第 1 の性能レベルを有する第 3 の複数のビットセルからの第 3 のビットセル出力を

10

20

30

40

50

、前記第 2 の性能レベルを有し、第 3 のマルチプレクサ出力信号を供給する第 3 のマルチプレクサに供給することと、

前記第 2 の性能レベルを有する第 4 の複数のビットセルからの第 4 のビットセル出力を、前記第 1 の性能レベルを有し、第 4 のマルチプレクサ出力信号を供給する第 4 のマルチプレクサに供給することと、を含む、

請求項 1 1 の方法。

【請求項 1 3】

前記第 1 のマルチプレクサ出力信号及び前記第 3 のマルチプレクサ出力信号を、前記第 2 の性能レベルを有し、第 5 のマルチプレクサ出力信号を供給する第 5 のマルチプレクサ回路に供給することと、

前記第 2 のマルチプレクサ出力信号及び前記第 4 のマルチプレクサ出力信号を、前記第 1 の性能レベルを有し、第 6 のマルチプレクサ出力信号を供給する第 6 のマルチプレクサ回路に供給することと、を含む、

請求項 1 2 の方法。

【請求項 1 4】

前記第 5 のマルチプレクサ出力信号を、第 1 の S R A M 列 ( カラム ) からの読み出しデータビットとして供給することと、

前記第 6 のマルチプレクサ出力信号を、前記第 1 の S R A M 列に隣接する第 2 の S R A M 列からの別の読み出しデータビットとして供給することと、を含む、

請求項 1 3 の方法。

【請求項 1 5】

前記第 1 の性能レベルは、少なくとも部分的に、トランジスタフィン当たりのフィンの第 1 の数に従って決定され、前記第 2 の性能レベルは、少なくとも部分的に、トランジスタフィン当たりのフィンの第 2 の数に従って判定され、前記フィンの第 1 の数は、前記フィンの第 2 の数よりも大きい、

請求項 1 1 の方法。

【請求項 1 6】

前記フィンの第 1 の数は 2 であり、前記フィンの第 2 の数は 1 である、

請求項 1 5 の方法。

【請求項 1 7】

第 1 の書き込みマスクされたビットセルからの前記第 1 のビットセル出力と、第 2 の書き込みマスクされたビットセルからの前記第 2 のビットセル出力と、を供給することを含む、

請求項 1 1 の方法。

【請求項 1 8】

スタティックランダムアクセスメモリ ( S R A M ) であって、

第 1 の性能レベルを有する第 1 のセルの第 1 の行 ( ロウ ) 内に形成された、第 1 の複数の S R A M ビットセル及び第 1 のマルチプレクサ回路と、

前記第 1 の性能レベルよりも低い第 2 の性能レベルを有する第 2 のセルの第 2 の行内に形成された、第 2 の複数の S R A M ビットセル及び第 2 のマルチプレクサ回路と、を備え、

前記第 2 のマルチプレクサ回路は、前記第 1 の複数の S R A M ビットセルの各々の第 1 の出力を受信するように結合されており、前記各々の第 1 の出力のうち何れかを第 2 のマルチプレクサ出力信号として選択し、

前記第 1 のマルチプレクサ回路は、前記第 2 の複数の S R A M ビットセルの各々の第 2 の出力を受信するように結合されており、前記各々の第 2 の出力のうち何れかを第 1 のマルチプレクサ出力信号として選択する、

スタティックランダムアクセスメモリ ( S R A M ) 。

【請求項 1 9】

前記第 1 の複数の S R A M ビットセル及び前記第 2 の複数の S R A M ビットセルは、隣接する S R A M 列 ( カラム ) にある、

10

20

30

40

50

請求項 18 の S R A M。

【請求項 20】

前記第 1 の性能レベルを有する前記第 1 の行内の第 3 の複数のビットセルと、  
前記第 2 の性能レベルを有する前記第 2 の行内の第 4 の複数のビットセルと、を備え、  
前記第 3 の複数のビットセルは、前記第 2 の行内の第 3 のマルチプレクサ回路に結合されており、前記第 4 の複数のビットセルは、前記第 1 の行内の第 4 のマルチプレクサ回路に結合されている、

請求項 18 の S R A M。

【発明の詳細な説明】

【技術分野】

10

【0001】

本願は、S R A M 及び S R A M ビットセルに関する。S R A M は、従来、6 T 又は 8 T ビットセルを使用する。S R A M は、典型的に多数のビットセルを含むので、S R A M ビットセル面積利用の効率を確実にすることは、利用されるシリコン面積に関して S R A M のコストを低減するために重要である。

【発明の概要】

【課題を解決するための手段】

【0002】

(本発明の実施形態の開示)

したがって、一実施形態では、スタティックランダムアクセスメモリ (static random access memory、S R A M) は、第 1 の複数のビットセルと、第 1 の複数のマルチプレクサ回路と、を含む。S R A M は、第 2 の複数のビットセルと、第 2 の複数のマルチプレクサ回路と、を更に含む。第 1 の複数のビットセルは、第 2 の複数のマルチプレクサ回路の第 1 のマルチプレクサ回路に結合されており、第 2 の複数のビットセルは、第 1 の複数のマルチプレクサ回路の第 2 のマルチプレクサ回路に結合されている。第 1 の複数のビットセル及び第 1 の複数のマルチプレクサ回路は、第 1 の性能レベルを有し、第 2 の複数のビットセル及び第 2 の複数のマルチプレクサ回路は、第 1 の性能レベルよりも低い第 2 の性能レベルを有する。

20

【0003】

別の実施形態では、スタティックランダムアクセスメモリ (S R A M) を動作させるための方法は、第 1 の複数のビットセルからの第 1 のビットセル出力を、第 1 のマルチプレクサに供給することを含み、第 1 の複数のビットセルは、第 1 の性能レベルを有し、第 1 のマルチプレクサは、第 1 の性能レベルよりも低い第 2 の性能レベルを有する。第 1 のマルチプレクサは、第 1 のビットセル出力のうち何れかを、第 1 のマルチプレクサからの第 1 のマルチプレクサ出力信号として供給する。本方法は、第 2 の性能レベルを有する第 2 の複数のビットセルからの第 2 のビットセル出力を、第 1 の性能レベルを有する第 2 のマルチプレクサに供給することを更に含む。第 2 のマルチプレクサは、第 2 のビットセル出力のうち何れかを、第 2 のマルチプレクサ出力信号として供給する。

30

【0004】

スタティックランダムアクセスメモリ (S R A M) は、第 1 の複数の S R A M ビットセルと、第 1 の性能レベルを有するセルの第 1 の行 (row) 内の標準セルから形成される第 1 のマルチプレクサ回路と、を含む。第 2 の複数の S R A M ビットセル及び第 2 のマルチプレクサ回路は、第 1 の性能レベルよりも低い第 2 の性能レベルを有する第 2 のセルの第 2 の行内に形成される。第 2 のマルチプレクサ回路は、第 1 の複数のビットセルのそれぞれの第 1 の出力を受信し、それぞれの第 1 の出力のうち何れかを、第 2 のマルチプレクサ出力信号として選択する。第 1 のマルチプレクサ回路は、第 2 の複数の S R A M ビットセルのそれぞれの第 2 の出力を受信し、それぞれの第 2 の出力のうち何れかを、第 1 のマルチプレクサ出力信号として選択する。

40

【0005】

本発明は、添付の図面を参照することによってより良好に理解され、その数々の目的、

50

特徴及び利点が当業者に明らかになり得る。

【図面の簡単な説明】

【0006】

【図1】一実施形態による、ラッチビットセルの一実施形態を示す図である。

【図2】ラッチビットセルの例示的なレイアウトを示す図である。

【図3】ラッチビットセルの読み出し部分及び書き込み部分において、異なる閾値電圧がどのように使用され得るかを示す図である。

【図4】32個のラッチビットセルの列(column)を示す図である。

【図5】各々が64行のラッチビットセルを有する2つの列の高レベルブロック図である。

【図6】書き込みマスクされたラッチビットセルの一実施形態を示す図である。

10

【図7】書き込みマスクされたラッチビットセルのレイアウトを示す図である。

【図8】書き込みマスクされたラッチビットセルの別の実施形態を示す図である。

【図9】WRZERO又はWRONEXパルスを発生させるためのパルス発生器の一実施形態を示す図である。

【図10】図8の書き込みマスクされたラッチビットセルのレイアウトを示す図である。

【図11】図1のラッチビットセルによって形成される列の一実施形態を示す図である。

【図12A】トランジスタフィンガ当たり2つのフィンとトランジスタフィンガ当たり1つのフィンとの交互セルを有する従来的な標準セルアーキテクチャを示す図である。

【図12B】トランジスタフィンガ当たり2つのフィンとトランジスタフィンガ当たり1つのフィンとの交互セルを有するハイブリッド標準セルアーキテクチャを示す図である。

20

【図12C】トランジスタフィンガ当たり1つのフィン及びトランジスタフィンガ当たり2つのフィンとを有するfine tの高レベルブロック図である。

【図13】ハイブリッド標準セルライブラリを利用するラッチビットセルアレイの実施形態を示す図である。

【図14】図13の実施形態よりもバランスのとれた性能を提供するハイブリッド標準セルライブラリを利用するラッチビットセルアレイの実施形態を示す図である。

【図15】ラッチビットセルアレイの一実施形態の高レベルブロック図である。

【図16】マスクされた書き込みビットセルを使用するラッチビットセルアレイの一実施形態の高レベルブロック図である。

【発明を実施するための形態】

30

【0007】

異なる図面における同じ符号の使用は、類似又は同一のアイテムを示す。

【0008】

8トランジスタ(eight transistor、8T)スタティックランダムアクセスメモリ(SRAM)アレイは、より新しい技術ノードにおいて面積に関して十分にスケールしていない。しかしながら、標準セル設計規則で構築された回路は、より新しい技術ノードにおいて相対的に良好にスケールし続ける。標準セル設計規則でSRAMアレイを構築することにより、より多くのトランジスタが存在する場合であっても、より小さい面積を使用することが可能になる。図1は、個別の読み出しポートと、書き込みポートと、を有する、ラッチビットセル100として実装されたSRAMビットセルを示している。ラッチビットセル100は、8T SRAMビットセルの8個のトランジスタと比較してビット当たり12個のトランジスタを使用するが、標準セル設計規則の使用に起因して、特定の製造技術においては依然として使用する面積がより少ないことに留意されたい。ラッチタイプのビットセルと古典的な6T/8T SRAMビットセルとの間の有意な違いは、ラッチビットセルは、書き込み中にフィードバックを無効化することである。対照的に、6T/8Tビットセルでは、パスゲート(pass gate)は、書き込みを実行するためにプルアップに抵抗する必要がある。ラッチビットセルは、書き込み中にそのような競合を有しない。

40

【0009】

標準セル設計規則を使用して実装される図1の手法は、カスタムSRAMマクロの使用

50

に必要なオーバーヘッドがなくなり、それによって、面積が低減することを意味する。例えば、標準セルレイアウト規則の使用により、標準セルロジックへの0接続ポリピッチ (connected poly pitch、CPP) (トランジスタ間の水平方向の距離) の隣接が可能になる。SRAMに対するより従来的な手法は、リソグラフィ目的のために必要とされる境界セル及びエッジセルを有する。標準セル設計規則が良好にスケールされるので、ラッチビットセル100及び標準セル設計規則に基づいてSRAMセルを実装することにより、SRAM設計が、将来の標準アーキテクチャと同様に面積においてスケールすることを可能にする。

#### 【0010】

図1に示すラッチビットセルは、より多くのセルにわたってラッチに通常存在するローカル逆変換器を償却する。図1に示すラッチビットセルは、書き込みビット線 (write bit line、WBL) と、書き込みワード線 (WWL) と、アクティブロー (low) 書き込みワード線 (WWLX) と、読み出しワード線 (RWL) と、アクティブロー (low) 読み出しワード線 (RWLX) と、を含む、ラッチへの入力に従来使用されていたであろうローカルな逆変換器を除去する。より従来的なラッチアレイでは、CMOS組み合わせ段がラッチ間で使用される。ラッチビットセル100は、RBL101に対するトライステート出力を使用する。ラッチビットセルによるトライステートドライバの使用により、いくつかのセル、例えば、16個のセルの出力 (読み出しビット線) が、出力データの任意の追加の組み合わせ段 (NOR/NAND化等) を回避するためにトライステート出力ドライバを使用して一緒に組み合わせられることを可能にする。

#### 【0011】

図2は、水平方向における7個のトランジスタを示す、ラッチビットセル100のスティックレイアウトを示している。ボックスは、トランジスタのソース/ドレイン接続を示す。トランジスタのゲート領域は、図1のトランジスタと同一のラベルを有する垂直線として示されている。長い垂直線201は、例えばトランジスタPFBO及びNFBO並びにトランジスタPINV及びNINVによる共有ゲート接続を示す。ボックス内に空白がある場合、図1では名前が付けられていないノードがあるが、識別されていないソース/ドレイン接続及びゲート接続を図1で容易に見ることができる。レイアウトは、ダミーセル (DUM) トランジスタを含む。ダミーは、形成されているが接続されていないトランジスタである。ダミートランジスタの使用は、他のトランジスタ間の分離を提供するための効率的な方法を提供する。また、ダミートランジスタの使用は、閾値電圧 ( $V_t$ ) に関して使用されるトランジスタのタイプを変更する能力における利点を提供する。実施形態において、ラッチの書き込み部分 (トランジスタPPG、NPG、PINV、NINV、NFB1、NFB0、PFBO、PFB1) は、高性能を必要としないが、ラッチの読み出し部分 (トランジスタPRP1、PRP0、NRP0、NRP1) は、高性能を必要とする。トランジスタ名の最初の文字は、トランジスタのタイプ (N又はP) を指し、残りの文字は、その機能 (PGはバスゲート、INVは逆変換器、FBはフィードバック、RPは読み出しポート) を指すことに留意されたい。

#### 【0012】

図3を参照すると、トランジスタPRP0、PRP1、NRP0、NRP1を含むラッチビットセル100の読み出し部分301が、(超低 $V_t$  (ulvt) 等の) より低い $V_t$  トランジスタを使用して実装されることを可能にし、それによって、必要とされる高性能を提供し、一方で、図3のダミートランジスタの左側のラッチビットセル100の書き込み部分303は、(低 $V_t$  (lvt) トランジスタ等の) より高い閾値電圧トランジスタで実装される。 $V_t$  がより高いトランジスタは、より低い性能を提供するが、漏れもより少なくなり、 $V_t$  がより低いトランジスタは、性能に必要とされる場合にのみ利用される。したがって、このレイアウトオプションにより、異なる性能要件を有する読み出しポートと書き込みポートとで異なる閾値電圧が利用されることを可能にし、それによって、ビットセルの一部分のみに対する性能要件を満たすために全てのデバイスに対してより低い $V_t$  デバイスを使用しなければならないことと比較して、漏れ電流が低減されるのを可

10

20

30

40

50

能にする。読み出しポート及び書き込みポート内のトランジスタは、近隣のセル間で拡散を共有し、可能であれば、最適化されていない設計に対してx t o r (トランジスタ) 負荷を半分に削減する。

#### 【 0 0 1 3 】

再び図 1 を参照して、ラッチビットセル 1 0 0 の動作を説明する。書き込みビット線 W B L 1 0 2 上のセルに書き込まれるデータ (本明細書では書き込みデータ (write data、WD) と称される) は、トランジスタ N P G 及び P P G から形成されるパスゲート 1 0 3 に供給される。ゲート又はそれらのトランジスタは、それぞれ、書き込みワード線 (W W L) 及び書き込みワード線 X (W W L X) に結合されており、ここで、「X」は、信号がアクティブローであることを表す。W W L 及び W W L X がアサートされる場合、W B L 上のデータは、データ「D」として、トランジスタ P I N V 及び N I N V によって形成される逆変換器 1 0 4 に渡される。トランジスタ N F B 1 及び P F B 1 は、W W L 及び W W L X がアサートされる場合にオフになる。ビットラッチセル 1 0 0 のフィードバック部分における N F B 0 及び P F B 0 のゲートは、逆変換器からの出力 D \_ X (「D」の逆変換値) を受信する。また、ラッチの読み出し部分 1 0 6 内の P R P 1 及び N R P 1 のゲートも D \_ X を受信する。W W L 及び W W L X がデアサートされる場合、パスゲート 1 0 3 が遮断され、トランジスタ N F B 1 及び P F B 1 がオンになり、これにより D \_ X がトランジスタ N F B 0 又は P F B 0 のうち何れかをオンにしてフィードバック信号として「D」を供給することが可能になる。トランジスタ N F B 1、N F B 0、P F B 0、P F B 1 は、キーパ回路 1 0 8 として機能し、トランジスタ P I N V と N I N V とによって形成される逆変換器とともに、W W L 及び W W L X がデアサートされた場合にノード D 上のデータが維持されることを確実にする。このようにして、D の値は、ラッチビットセル 1 0 0 の書き込み部分に維持され、ラッチが読み出される場合に利用可能である。ラッチビットセル 1 0 0 において、P M O S トランジスタ P I N V、P F B 1、P R P 1 は、それらのソースにおいて電源電圧 (V D D) に結合される。N M O S トランジスタ N I N V、N F B 1、N R P 1 は、それらのソースにおいて第 2 の電源電圧 (接地) に結合される。

#### 【 0 0 1 4 】

ラッチビットセルを読み出すために、読み出しワード線 (R W L) 及び R W L X がアサートされ、それぞれ N R P 0 及び P R P 0 をオンにする。「X」は、アクティブロー信号を示すことに留意されたい。R W L 及び R W L X のアサーションにより、D \_ X の値が、本明細書では読み出しデータ (read data、RD) と称される出力信号読み出しビット線 (read bit line、R B L) 1 0 1 の値を判定することが可能になる。R W L 及び R W L X がデアサートされる場合、R B L は、ハイインピーダンスに設定され、他の S R A M セルが読み出されるように選択された場合に、他の S R A M セルが R B L を駆動することを可能にする。

#### 【 0 0 1 5 】

図 4 は、3 2 個のラッチビットセルのグループが、ラッチビットセルの 2 つのグループ (ビット < 3 1 : 1 6 > 及びビット < 1 5 : 0 >) に形成される実施形態を示している。ラッチビットセルの各グループは、マルチプレクサ 4 0 1 にビットを供給し、マルチプレクサ 4 0 1 は、ビット < 3 1 : 1 6 > 又はビット < 1 5 : 0 > の何れかからビットを選択し、選択されたビットを r d D a t a 4 0 3 上に供給する。図 4 の実施形態では、ラッチビットセルの読み出し側の 3 ステートドライバにより、1 6 ビット (一度に 1 つだけアクティブ) がマルチプレクサ 4 0 1 に供給される同じ R B L を駆動することが可能になる。したがって、複数のラッチビットセルが同時に R B L を駆動しないことを確実にするために、各グループ [ 3 1 : 1 6 ] 及び [ 1 5 : 0 ] において一度に 1 つの R W L / R W L X のみがオンになるが、これにより高電流状況を引き起こす可能性がある。また、R W L / R W L X 信号のうち何れかがアクティブであり、ビットセルのうち何れかが R B L 上に高論理レベル又は低論理レベルを駆動することを確実にすることも重要である。デアサートされている全ての R W L / R W L X 対は、R B L 上に浮動ノードをもたらし、これは、V D D と V S S との間の中間の信号を受信する下流 C M O S ゲートにおいて高電流引き込み

10

20

30

40

50

を引き起こす可能性がある。

【 0 0 1 6 】

図 5 は、6 4 行及び 2 列のビットセルを有する実施形態のブロック図を示し、マルチプレクサ 5 0 1 は、6 4 行及び 2 列から 1 ビットを選択する。説明を容易にするために図 5 には示されていないが、図 5 に示される実施形態は、書き込み列マルチプレクサ機能も必要とする。これを達成する 1 つの方法は、WWL / WWL X 対を偶数物理列に供給し、別の WWL / WWL X 対を奇数物理列に供給することである。このようにして、1 つおきのセルに書き込むことができる。書き込みマルチプレクサ機能を達成する別の方法は、本明細書で更に説明するように、書き込みマスクを使用することである。

【 0 0 1 7 】

書き込み動作中、特定のワード線に対するワード線がアサートされる場合、ワード線内の全てのビットは、状態を変化させることができる。ワード線内の全てのビットの状態を変化させるのではなく、ワード線の選択されたセルのみに書き込むことが有利であり、これは、書き込み動作をより効率的にするのに役立つ。したがって、図 6 に示される別の実施形態では、ラッチビットセル 6 0 0 は書き込みマスクを含む。書き込みマスクは、書き込み 1 X (WRONEX) 信号 (ここで、「X」は、信号がアクティブローであることを表す) と、書き込み 0 (WRZERO) 信号と、を利用する。書き込みマスク回路は、トランジスタ PWD 6 0 1 及び NWD 6 0 3 で形成されており、ここで、WD は、書き込みデータを表す。WRONEX がアサートされる (アクティブローになる) と、書き込みデータ (WD) ノードは、トランジスタ PWD を介してハイにプルされ、WRZERO がアサートされる場合、WD ノードは、トランジスタ NWD を介してローにプルされる。書き込みマスクにより、全てのセルの状態を変化させることなく、セルの行に対する書き込みワード線がアサートされ得る。例えば、ワード線をアサートし、且つ、書き込みマスクを使用して、対象のセルのみが書き込まれることを確実にすることによって、ワード線上の 1 バイト又は数ビットのみを変化させることができる。WD の値を判定するために使用されるトランジスタ PWD 及び NWD に加えて、書き込みマスクされたラッチビットセル 6 0 0 は、キーパ回路 6 0 5 において使用されるトランジスタ NFB 2 及び PFB 2 を含む。これらのトランジスタを使用して、WWL 及び WWL X がアサートされた場合でもラッチビットセルが状態を維持するように、キーパ回路のフィードバック機能が動作し続けることを保証する。WWL X がアサートされた場合、NFB 1 がオフになり、WWL がアサートされた場合、PFB 1 がオフになる。トランジスタ NFB 2 及び PFB 2 は、ビットがラッチビットセルの書き込みを事実上阻止する書き込みマスクを有する場合、キーパ回路が、WWL 及び WWL X がアサートされた場合に NFB 0 と PFB 0 との間のノードからの正しい値で「D」を駆動し続けることを確実にする。WRONEX 及び WRZERO がデアサートされる場合、WD が浮動することに留意されたい。PWD 及び NWD トランジスタをビットセル自体に組み込むことによって、中間ノード WD 上の静電容量は、WWL / WWL X がアサートされる場合のセル安定性問題を回避するのに十分に低く保たれる。キーパスタック (keeper stack、KSTK) ノード PKSTK 6 0 2 及び NKSTK 6 0 4 は、図 6 においてラベル付けされている。

【 0 0 1 8 】

図 7 は、図 6 に示される書き込みマスクされたラッチビットセル 6 0 0 のレイアウトのスティック図である。図 6 の解決策は、図 2 に示されるレイアウトと比較して、4 つのトランジスタによってセルのサイズを増加させ、余分なダミーセルを含むことに留意されたい。したがって、書き込みマスクされたラッチビットセル 6 0 0 (図 6) は、図 1 に示されるラッチビットセル 1 0 0 についての図 2 のレイアウト (7CPP) と比較して、3CPP から 10CPP の増加を示す。

【 0 0 1 9 】

図 8 は、図 6 の書き込みマスクされたラッチビットセル 6 0 0 と比較して、書き込みマスクされたラッチビットセル 8 0 0 のより効率的な実施形態を示している。書き込みマスクされたラッチビットセル 6 0 0 内のキーパスタックノードに結合された余分なトランジ

10

20

30

40

50

スタNFB2及びPFB2は、書き込みマスクされたラッチビットセル800内のNFB1及びPFB1を置き換えることに留意されたい。書き込みマスクされたラッチビットセル800は、WWL及びWWLXがアサートされた場合(図1及び図6を参照のこと)に、NFB1及びPFB1をオフにすることによってキーパ回路805を無効化せず、代わりに、書き込みマスクされたラッチビットセル800は、WRONEX又はWRZEROがアサートされたことに応じて、単にキーパを無効化する。これにより、ラッチビットセル800がマスクされている場合に、ラッチビットセル800が状態を保持することを確実にする。WWL及びWWLXは、書き込みマスクされたラッチビットセル800内のパステートトランジスタPPG及びNPGのみに結合されることに留意されたい。WRONEXがアサートされる(アクティブローになる)場合、トランジスタNFB2がオフになり、WRZEROがアサートされる場合、トランジスタPFB2はオフになる。WWLX及びWWLがアサートされると仮定すると、WRONEXがアサートされる場合、ノードWDはハイになり、ノードDはハイになり、WRZEROがアサートされる(アクティブローになる)場合、ノードWDはローになり、ノードDはローになる。それぞれのマスクライン(WRONEX及びWRZERO)がデアサートされる場合、NFB2及びPFB2の両方がオンになり、キーパ回路は、トランジスタPINVとNINVとによって形成される逆変換器によって提供されるD\_Xの値に従ってノードDの値を維持する。D\_Xは、トランジスタNFB0をオンにしてノードDについて低い値を維持するか、又は、PFB0をオンにしてノードDについて高い値を維持する。書き込みマスク回路は、トランジスタPWD801及びNWD803によって形成され、これは図6に示される実施形態と同様である。トランジスタPRP1、PRP0、NRP0、NRP1によって形成される、書き込みマスクされたラッチビットセル800の読み出し側は、それぞれ図1及び図6に示される先のラッチビットセルの実施形態100及び600と同一である。

#### 【0020】

WRONEX又はWRZEROの何れかがアサートされる場合にはいつでも、WRONEX及びWRZEROに結合された列内の全てのビットセルのキーパ回路が無効化される。これは、WRONEXをアサートすることによってNFB2がオフになることで、D\_XがNFB0及びNFB2を介してVSSにプルされることが防止され、WRZEROをアサートすることによってPFB2がオフになることで、D\_XがPFB0及びPBF2を介してBDDにプルされることが防止されるからである。したがって、ノードDは、WRONEX又はWRZEROのアサーションに応じて浮動する。WRONEX又はWRZEROのアサーションが十分に長い場合、WRONEX又はWRZEROのアサーションによって無効化されるNFB1又はPFB1に起因してキーパ回路の少なくとも一部がオフになるので、列に沿ったセルは状態を変化させることができる。したがって、WRONEX及びWRZEROは、パルス書き込みとしてアサートされるべきである。ひいては、これらの信号は、自己タイミングパルスとして、いくつかの逆変換器遅延の長さ、例えば50psでアサートされるべきである。パルスは、例えば9個の逆変換器を使用して発生させることができる。逆変換器の数は、使用される技術に依存する。図9は、WRZERO用のパルス回路901及びWRONEX用のパルス回路903の実施形態を示している。図9に示されるパルス回路の各々において、奇数個の逆変換器が使用されていることに留意されたい。図9において、論理ゲートへの入力(書き込み0及び書き込み1)は、アクティブハイであると仮定される。WRONEX及びWRZEROに好適なパルス幅を提供する多くの他のパルス発生器回路が当業者に知られている。パルスは、1つのセルを書き込むのに十分な長さとするべきであるが、列に沿った他のセルが、パルス中にノードDが浮動するために状態を失わないように十分に短くあるべきであり、したがって、図6に示される書き込みマスクされたラッチビットセルと比較して、追加の書き込みマスク能力に対する面積ペナルティは相対的に小さい。

#### 【0021】

図10は、図8の回路のレイアウトの一例を示している。ラッチビットセル800に必要なダミートランジスタは1つのみであることを留意されたい。図10に示されるラッチ

10

20

30

40

50

ビットセル 800 のレイアウトは、図 2 に示されるベースラインラッチビットセル 100 に対して 1 つの余分な CPP のみを有する。

#### 【0022】

図 11 は、図 1 に示されたラッチのラッチアレイ列を示し、単一の標準セル行に形成されている。「単一の標準セル行」という用語は、集積回路の物理的行を指し、SRAM の論理的行を指すものではないことに留意されたい。非ハイブリッド標準セルライブラリ規則を用いた標準設計では、全てのデバイスは、通常、同じ数のフィン有する。従来の標準セルアーキテクチャでは、デバイスの全ての行が同じ高さを有する。finfet の世界では、これは概して、フィン当たりのフィン数が同一であることも意味する。図 12A は、フィン当たり 2 つのフィン有する、PFET 及び NFET の従来の標準セルアーキテクチャを示している。各標準セルは、行において均一であり、P 及び N トランジスタを有している。

10

#### 【0023】

ハイブリッド標準セルアーキテクチャは、高性能標準セル及び高密度（であるが性能はより低い）標準セルの交互の行を利用する。例えばこれは、一実施形態では、高性能セルの場合はトランジスタフィン当たり 2 つのフィン、より低性能セルはトランジスタフィン当たり 1 つのフィン有することを意味する。図 12B に示されるように、それは、より高いセル及びより低いセルの交互の行と、より短い行と、をもたらす。ハイブリッド標準セルアーキテクチャの利点は、より小さい面積及び低減された電力であるが、より短いセル高さは、より大きい 2 フィンセルと比較して、性能の減少をもたらす。図 12C は、例示的なトランジスタフィンデバイス 1201 当たり 1 つのフィン、及び、トランジスタフィンデバイス 1203 当たり 2 つのフィンを示している。

20

#### 【0024】

図 13 は、従来の標準セルライブラリからハイブリッド標準セルライブラリ手法に移行して、標準セルラッチアレイを構築することの結果として、隣接するビット間の性能がアンバランスになる可能性があることを示している。例えば、列 1301 内のビットセルは、例えば、フィン当たり 2 つのフィン有する「高速」標準セルから形成される。論理 SRAM 列 1301 は、図示した実施形態では、ハイブリッド行アーキテクチャの物理高速行内にある。列 1303 内のビットセルは、例えばフィン当たり 1 つのフィン有する「低速」セルである。したがって、列 1301 内のビットセルのうち何れかから Rddata[1]1302 を読み出すことは、列 1302 から Rddata[0]1304 を読み出すことよりも速く行われる。したがって、隣接するビットは、異なるタイミング（一方が速く、他方が遅い）で読み出されるが、これは望ましくない。

30

#### 【0025】

高速セルと低速セルとの間でよりバランスのとれた性能を提供するために、図 14 に示される実施形態は、1 つの列からのビットセルのグループ、例えば、列 1401（高速物理行）又は 1403（低速物理行）内のビットセルを使用するが、他の行からのマルチプレクサ回路を使用する。例えば、低速マルチプレクサ 1407 は、32 個の高速ビットセルから 1 ビットを選択する。32 個の高速ビットセルは、高速ビットセル 1404（ビット < 15 : 0 > のうち 1 つのみが示されている）及び高速ビットセル 1406（ビット < 31 : 16 > のうち 1 つのみが示されている）である。高速マルチプレクサ 1415 は、32 個の低速ビットセルから 1 ビットを選択する。32 個の低速ビットセルは、低速ビットセル 1409（ビット < 15 : 0 > のうち 1 つのみが示されている）及び低速ビットセル 1411（ビット < 31 : 16 > のうち 1 つのみが示されている）である。同様に、高速ビットセル 1421 及び 1423 は、低速マルチプレクサ 1425 を使用し、低速ビットセル 1427 及び 1429 は、高速マルチプレクサ 1431 を使用する。高速マルチプレクサ 1435 によって供給される読み出しデータ（Rddata[1]）は、高速マルチプレクサ（2 フィン）を有するが、低速ビットセル（1 フィン）を有し、読み出しデータ（Rddata[0]）は、低速マルチプレクサ（1 フィン）を有するが、高速ビットセル（2 フィン）を有する。したがって、1 つの論理 SRAM 列は高速ビットセルと、低

40

50

速マルチプレクサ段と、を有し、一方、隣接するSRAM論理列は低速ビットセルと、高速マルチプレクサ段と、を有する。これは、1つおきのビットが有意に異なるタイミング、すなわち高速と低速とを有するアレイと比較して、改善された性能バランスを提供する。

【0026】

図15は、ビットセルのアレイのより上位レベルのブロック図を示している。図14は、列1401及び1403内のビットセルとして利用されている図1のラッチビットセルを示す一方、他の実施形態では、他のビットセルを使用することができる。図16は、図6のマスクされた書き込みラッチビットセル600又は図8のマスクされた書き込みラッチビットセル800が利用される実施形態を示している。図16は、マスク信号WRONEX及びWRZERO信号がビットセルに分配されていることを示す。

10

【0027】

以上、ビットセル及びマルチプレキシング段がよりバランスのとれた読み出しタイミングを提供するために交互になる、高性能標準セル及び高密度標準セルの交互の行を有するハイブリッドセル標準セルアーキテクチャが説明されている。本明細書に記載された本発明の説明は、例示的なものであり、添付の特許請求の範囲に記載される本発明の範囲を限定することを意図するものではない。本明細書に開示される実施形態の変形及び修正は、添付の特許請求の範囲に記載される本発明の範囲から逸脱することなく、本明細書に記載される説明に基づいて行われ得る。

20

30

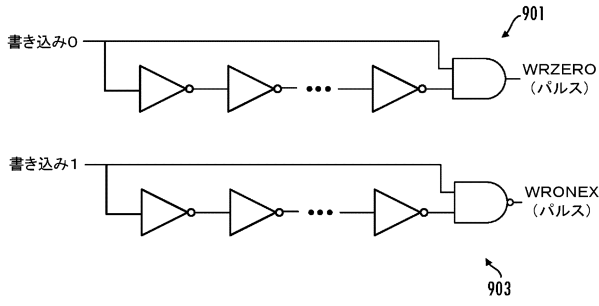
40

50





【図 9】

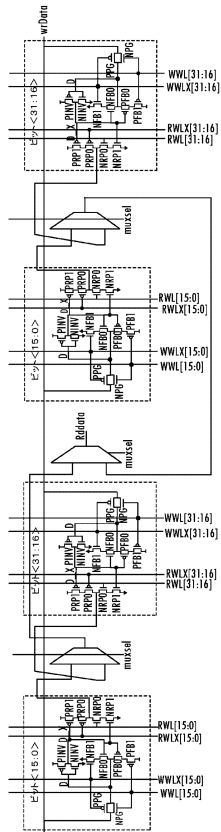


【図 10】

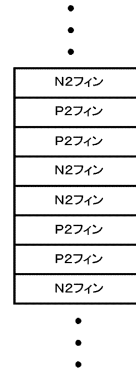
PWD	PPG	PFBO	PFBI	PINV	DUM	PRP1	PRP0
VDD	WD	D		VDD	D_X	VDD	RD
VSS	WD	D		VSS	D_X	VSS	RD
NWD	NPG	NFBO	NFBI	NINV	DUM	NRP1	NRPO

10

【図 11】



【図 12 A】



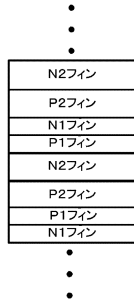
20

30

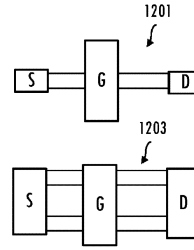
40

50

【図 1 2 B】

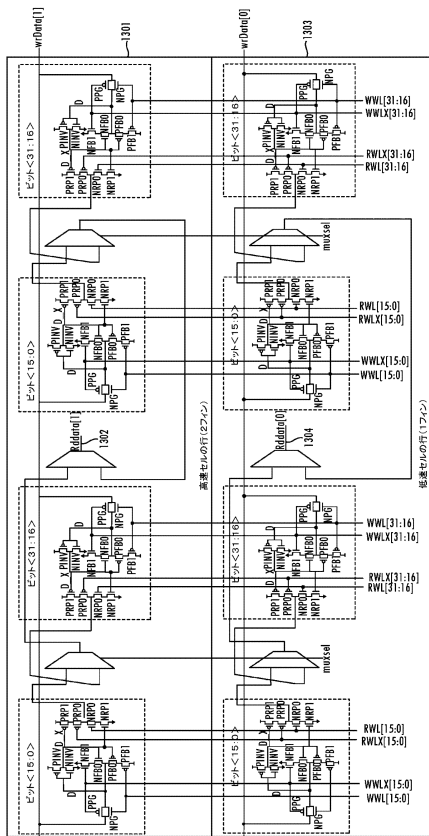


【図 1 2 C】

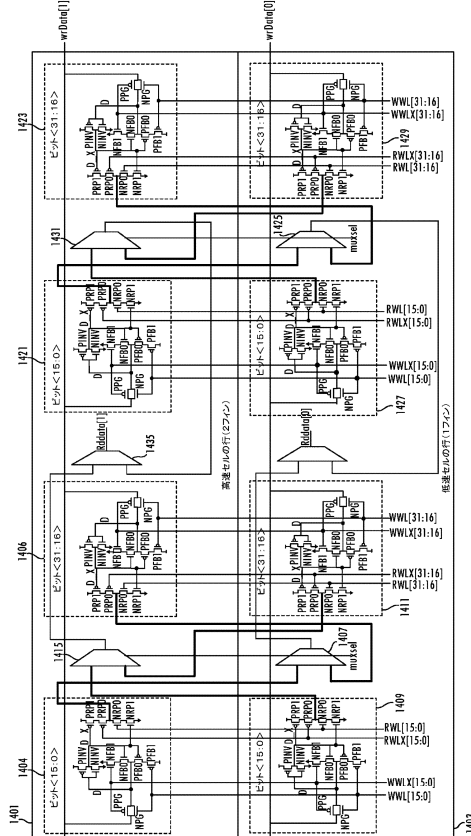


10

【図 1 3】



【図 1 4】



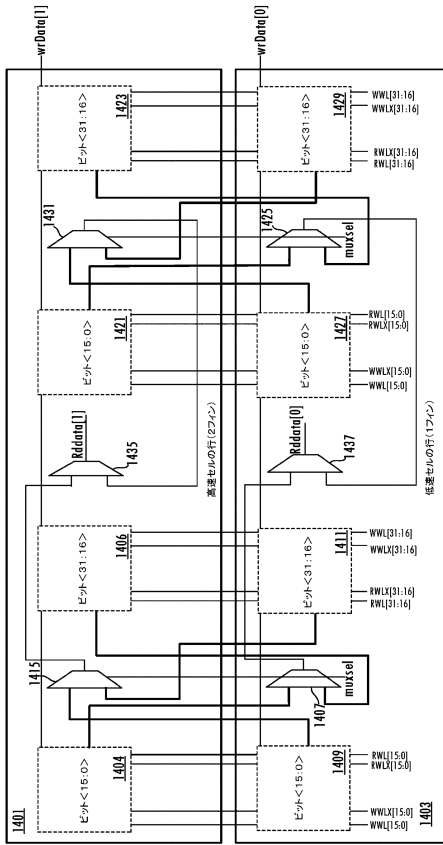
20

30

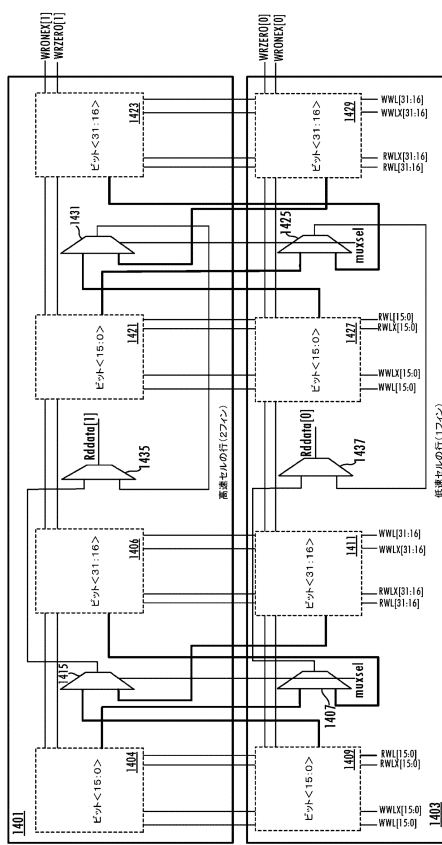
40

50

【 15 】



【 16 】



10

20

30

40

50

---

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

早期審査対象出願

アメリカ合衆国 8 0 5 2 8 - 9 5 5 8 コロラド州、フォート コリンズ、イースト ハーモニー  
ロード 2 9 5 0、スイート 3 0 0、アドバンスト・マイクロ・ディバイシズ・インコーポレイテ  
ッド

(72)発明者 ラッセル ジェイ . シュレイバー

アメリカ合衆国 7 8 7 3 5 テキサス州、オースティン、サウスウェスト パークウェイ 7 1 7  
1、アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド

審査官 後藤 彰

(56)参考文献

特開 2 0 1 3 - 2 0 6 5 1 2 ( J P , A )

特開平 1 0 - 3 4 0 5 8 4 ( J P , A )

特表 2 0 1 6 - 5 3 1 4 3 3 ( J P , A )

特開 2 0 0 8 - 9 0 9 5 8 ( J P , A )

米国特許出願公開第 2 0 1 9 / 0 3 8 5 6 7 2 ( U S , A 1 )

米国特許出願公開第 2 0 1 4 / 0 1 1 9 1 0 3 ( U S , A 1 )

中国特許出願公開第 1 0 8 5 1 1 0 1 4 ( C N , A )

(58)調査した分野 (Int.Cl. , D B 名)

G 1 1 C 1 1 / 4 1 2

H 0 3 K 3 / 3 5 6