(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7204454号
(P7204454)

(45)発行日　令和5年1月16日(2023.1.16)
(24)登録日　令和5年1月5日(2023.1.5)

(51)国際特許分類
ＨＯ１Ｌ　29/78　(2006.01)
ＨＯ１Ｌ　29/12　(2006.01)
ＨＯ１Ｌ　21/336 (2006.01)

ＦＩ
ＨＯ１Ｌ　29/78　６５２Ｇ
ＨＯ１Ｌ　29/78　６５２Ｔ
ＨＯ１Ｌ　29/78　６５３Ａ
ＨＯ１Ｌ　29/78　６５２Ｊ
ＨＯ１Ｌ　29/78　６５８Ｅ

請求項の数　7　(全17頁)　最終頁に続く

(21)出願番号　特願2018-225629(P2018-225629)
(22)出願日　平成30年11月30日(2018.11.30)
(65)公開番号　特開2020-88343(P2020-88343A)
(43)公開日　令和2年6月4日(2020.6.4)
審査請求日　令和3年7月12日(2021.7.12)

(73)特許権者　000003609
株式会社豊田中央研究所
愛知県長久手市横道４１番地の１
(73)特許権者　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人　110000110
弁理士法人 快友国際特許事務所
(72)発明者　朽木 克博
愛知県長久手市横道４１番地の１　株式会社豊田中央研究所内
(72)発明者　山下 侑佑
愛知県長久手市横道４１番地の１　株式会社豊田中央研究所内
(72)発明者　副島 成雅

最終頁に続く

(54)【発明の名称】　半導体装置

(57)【特許請求の範囲】

【請求項１】

化合物半導体を有する縦型の半導体装置であって、

負荷短絡時に大電流が流れることに応じて発熱する前記化合物半導体の特定領域が、前記化合物半導体よりも線膨張係数が小さい特定材料を含み、

前記化合物半導体は、

基板と、

前記基板の上に設けられている第１導電型のドリフト領域と、

前記ドリフト領域の上に設けられており、互いに離間している第２導電型の一対のボディ領域であって、前記化合物半導体の上面に露出している前記一対のボディ領域と、

前記ドリフト領域の上であり、かつ、前記一対のボディ領域の間に設けられている前記第１導電型のＪＦＥＴ領域であって、前記一対のボディ領域のそれぞれに接触しており、前記化合物半導体の上面に露出している前記ＪＦＥＴ領域と、

を備え、

前記半導体装置は、さらに、

ゲート絶縁膜を介して、前記化合物半導体の上面に設けられているゲート電極であって、前記ゲート絶縁膜を介して、前記一対のボディ領域の一部、及び、前記ＪＦＥＴ領域に対向する前記ゲート電極を備え、

前記特定領域は、前記半導体装置を前記化合物半導体の上面の垂直上方から見たときに、前記一対のボディ領域の間に設けられており、

前記特定領域は、前記ドリフト領域内に設けられており、
前記特定領域の下端は、前記ドリフト領域の下端よりも上方に位置している、半導体装置。
【請求項２】
前記特定領域は、前記一対のボディ領域の下面よりも下方側であり、かつ、前記半導体装置を前記化合物半導体の上面の垂直上方から見たときに、前記一対のボディ領域の間に設けられており、前記一対のボディ領域の下方に設けられていない、請求項１に記載の半導体装置。
【請求項３】
前記ドリフト領域は、前記基板の上に設けられている第１ドリフト領域と、前記第１ドリフト領域の上に設けられている第２ドリフト領域と、を備えており、
前記一対のボディ領域及び前記ＪＦＥＴ領域は、前記第２ドリフト領域の上に設けられており、
前記特定領域は、前記第１ドリフト領域に設けられており、
前記特定領域の上端は、前記第１ドリフト領域と前記第２ドリフト領域との間の界面と一致する、請求項１又は２に記載の半導体装置。
【請求項４】
複数の前記特定領域を備え、
前記半導体装置を前記化合物半導体の上面の垂直上方から見たときに、前記複数の特定領域のそれぞれが離間している、請求項１～３のいずれか一項に記載の半導体装置。
【請求項５】
前記特定材料は、導電性のＳｉ、導電性のＣ、又は、導電性を有する多結晶のＳｉＣである、請求項１～４のいずれか一項に記載の半導体装置。
【請求項６】
前記特定材料は、絶縁体であるSiO_2又は空気である、請求項１～５のいずれか一項に記載の半導体装置。
【請求項７】
前記化合物半導体は、ＳｉＣ又はＧａＮである、請求項１～６のいずれか一項に記載の半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本明細書が開示する技術は、半導体装置に関する。
【背景技術】
【０００２】
特許文献１には、化合物半導体を有する縦型の半導体装置が開示されている。化合物半導体は、基板と、エピタキシャル層と、を備える。エピタキシャル層は、一対のウェル領域と、ＪＦＥＴ領域と、を備える。一対のウェル領域は、基板の上方に設けられており、化合物半導体の上面に露出している。ＪＦＥＴ層は、基板の上方であって、一対のウェル領域の間に設けられている。ＪＦＥＴ層は、一対のウェル領域のそれぞれに接しており、化合物半導体の上面に露出している。特許文献１の半導体装置では、一対のウェル領域の間の幅、即ち、ＪＦＥＴ領域の幅を狭くすることによって、負荷短絡時に半導体装置を流れる電流量を抑制している。
【先行技術文献】
【特許文献】
【０００３】
【文献】特開２０１２－３３７３１号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
特許文献１の半導体装置では、電流経路であるＪＦＥＴ領域の幅が狭いために、負荷短絡

絡時に、化合物半導体の特定領域に電流が集中する。この場合、特定領域が自己発熱し、特定領域が局所的に熱膨張する。特定領域が局所的に熱膨張することによって、半導体装置に熱応力が作用し、半導体装置に異常が発生し得る。本明細書は、負荷短絡時における信頼性の高い半導体装置を提供することを目的とする。

【課題を解決するための手段】

【０００５】

本明細書が開示する化合物半導体を有する縦型の半導体装置は、負荷短絡時に大電流が流れることに応じて発熱する前記化合物半導体の特定領域が、前記化合物半導体よりも線膨張係数が小さい特定材料を含む。

【０００６】

上記の構成によると、特定領域が、化合物半導体よりも線膨張係数が小さい特定材料を含んでいる。このため、特定領域が、化合物半導体よりも線膨張係数が小さい特定材料を含まない場合と比較して、特定領域が熱膨張することを抑制することができる。従って、負荷短絡時に、特定領域が熱膨張することによって、半導体装置に作用する熱応力を低減することができ、半導体装置に異常が発生することを抑制することができる。従って、半導体装置の信頼性を向上させることができる。

【０００７】

上記の化合物半導体は、基板と、基板の上に設けられている第１導電型のドリフト領域と、ドリフト領域の上に設けられており、互いに離間している第２導電型の一対のボディ領域であって、化合物半導体の上面に露出している一対のボディ領域と、ドリフト領域の上であり、かつ、一対のボディ領域の間に設けられている第１導電型のＪＦＥＴ領域であって、一対のボディ領域のそれぞれに接触しており、化合物半導体の上面に露出しているＪＦＥＴ領域と、を備えていてもよい。半導体装置は、さらに、ゲート絶縁膜を介して、化合物半導体の上面に設けられているゲート電極であって、ゲート絶縁膜を介して、一対のボディ領域の一部、及び、ＪＦＥＴ領域に対向するゲート電極を備え、特定領域は、半導体装置を化合物半導体の上面の垂直上方から見たときに、一対のボディ領域の間に設けられていてもよい。効果の詳細は実施例で説明する。

【０００８】

特定領域は、一対のボディ領域の下面よりも下方側であり、かつ、半導体装置を化合物半導体の上面の垂直上方から見たときに、一対のボディ領域の間に設けられていてもよい。効果の詳細は実施例で説明する。

【０００９】

上記の化合物半導体は、基板と、基板の上に設けられている第１導電型のドリフト領域と、ドリフト領域の上に設けられている第２導電型のボディ領域であって、ボディ領域の一部は、化合物半導体の上面に露出するボディ領域と、ボディ領域の上に設けられており、化合物半導体の上面に露出する第１導電型のソース領域と、化合物半導体の上面から、ソース領域、及び、ボディ領域を貫通して、ドリフト領域に到達するトレンチと、を備えてもよい。半導体装置は、さらに、トレンチ内に設けられているトレンチゲートを備え、特定領域は、トレンチの底面よりも下方側であり、かつ、半導体装置を化合物半導体の上面の垂直上方から見たときに、トレンチが形成されている範囲内に設けられていてもよい。効果の詳細は実施例で説明する。

【００１０】

上記の半導体装置は、複数の特定領域を備え、半導体装置を化合物半導体の上面の垂直上方から見たときに、複数の特定領域のそれぞれが離間していてもよい。効果の詳細は実施例で説明する。

【００１１】

特定材料は、導電性のＳｉ、導電性のＣ、又は、導電性を有する多結晶のＳｉｃであってもよい。効果の詳細は実施例で説明する。

【００１２】

特定材料は、絶縁体である$ＳｉＯ_2$又は空気であってもよい。効果の詳細は実施例で説

明する。
【００１３】
化合物半導体は、ＳｉＣ又はＧａＮであってもよい。効果の詳細は実施例で説明する。
【図面の簡単な説明】
【００１４】
【図１】第１実施例の半導体装置の要部断面図である。
【図２】第１実施例の半導体装置の製造方法を示すフローチャートである。
【図３】第１実施例の半導体装置の製造工程を示す図である（１）。
【図４】図３の半導体装置を垂直上方から見た図である。
【図５】第１実施例の半導体装置の製造工程を示す図である（２）。
【図６】第１実施例の半導体装置の製造工程を示す図である（３）。
【図７】第１実施例の半導体装置の製造工程を示す図である（４）。
【図８】第１実施例の半導体装置の製造工程を示す図である（５）。
【図９】第１実施例の半導体装置の製造工程を示す図である（６）。
【図１０】比較例の半導体装置において、負荷短絡時の半導体装置を示す図である。
【図１１】第２実施例の半導体装置の要部断面図である。
【図１２】第２実施例の半導体装置の製造方法を示すフローチャートである。
【図１３】第２実施例の半導体装置の製造工程を示す図である（１）。
【図１４】第２実施例の半導体装置の製造工程を示す図である（２）。
【図１５】第２実施例の半導体装置の製造工程を示す図である（３）。
【図１６】第２実施例の半導体装置の製造工程を示す図である（４）。
【図１７】第２実施例の半導体装置の製造工程を示す図である（５）。
【図１８】第３実施例の半導体装置の要部断面図である。
【図１９】第４実施例の半導体装置の要部断面図である。
【図２０】第５実施例の半導体装置の要部断面図である。
【発明を実施するための形態】
【００１５】
（第１実施例）
図１の要部断面図に示されるように、半導体装置１は、縦型のＭＯＳＦＥＴである。半導体装置１は、プレーナゲート構造を有する。半導体装置１は、化合物半導体８、ゲート絶縁膜２２、ゲート電極２４、ソース電極２６、及び、ドレイン電極２８を備えている。
【００１６】
化合物半導体８は、基板１０、ｎ$^{-}$型のドリフト領域１２、ｐ型の一対のボディ領域１４ａ、１４ｂ、ｎ$^{+}$型のソース領域１６ａ、１６ｂ、複数の特定領域１８、及び、ｎ$^{-}$型のＪＦＥＴ（Junction Field Effect Transistor）領域２０を備えている。
【００１７】
基板１０は、ｎ型不純物を高濃度に含むＳｉＣの単結晶基板である。基板１０の裏面全体にドレイン電極２８がオーミック接触している。基板１０は、ドリフト領域１２がエピタキシャル成長するための下地板である。
【００１８】
ドリフト領域１２は、基板１０の上に半導体物質をエピタキシャル成長させた層である。ドリフト領域１２は、基板１０よりもｎ型不純物を低濃度に含む。
【００１９】
ｐ型の一対のボディ領域１４ａ、１４ｂは、ドリフト領域１２の上に設けられており、互いに離間している。なお、一対のボディ領域１４ａ、１４ｂを以下では、「ボディ領域１４」と総称する場合がある。ボディ領域１４の一部は、化合物半導体８の上面に露出している。ボディ領域１４のうち、後述するソース領域１６とＪＦＥＴ領域２０に挟まれた部分は、チャネル領域ＣＲと呼ばれることがある。
【００２０】
ＪＦＥＴ領域２０は、ドリフト領域１２の上であり、かつ、一対のボディ領域１４ａ、

１４ｂの間に設けられている。ＪＦＥＴ領域２０は、一対のボディ領域１４ａ、１４ｂのそれぞれに接触しており、化合物半導体８の上面に露出している。ＪＦＥＴ領域２０は、ドリフト領域１２と連続しており、ドリフト領域１２と一体である。説明の都合上、図１では、破線でＪＦＥＴ領域２０をドリフト領域１２から区別している。ＪＦＥＴ領域２０は、ドリフト領域１２と同じ組成である。

【００２１】

ｎ$^{+}$型の一対のソース領域１６ａ、１６ｂのそれぞれは、一対のボディ領域１４ａ、１４ｂに囲まれており、化合物半導体８の上面に露出している。一対のソース領域１６ａ、１６ｂは、ボディ領域１４ａ、１４ｂによって、ドリフト領域１２及びＪＦＥＴ領域２０から隔てられている。なお、以下では、一対のソース領域１６ａ、１６ｂを「ソース領域１６」と総称する場合がある。ソース領域１６にソース電極２６がオーミック接触している。なお、ボディ領域１４の表層でソース領域１６に接するようにｐ型の半導体領域であるコンタクト領域が設けられることがあるが、図１では、コンタクト領域の図示は省略した。コンタクト領域は、ｐ型不純物をボディ領域１４よりも高濃度に含む。

【００２２】

ゲート電極２４は、ゲート絶縁膜２２を介して、化合物半導体８の上面に設けられている。ゲート電極２４は、ポリシリコンからなる。ゲート電極２４は、ゲート絶縁膜２２を介して、一対のボディ領域１４ａ、１４ｂの一部、一対のソース領域１６ａ、１６ｂの一部、及び、ＪＦＥＴ領域２０と対向するように配置されている。ゲート電極２４は、半導体装置１を垂直上方（ｚ軸上方）から見たときに、一端が一方のボディ領域１４ａと重なり、他端が他方のボディ領域１４ｂと重なるように配置されている。基板１０と平行な平板状のゲート電極２４を有しているので、半導体装置１は、プレーナゲート型と呼ばれる。

【００２３】

複数の特定領域１８は、化合物半導体８のドリフト領域１２に設けられている。複数の特定領域１８は、ドリフト領域１２を構成する単結晶のＳｉＣよりも線膨張係数が小さい特定材料からなる。ＳｉＣの線膨張係数は、４．５×１０$^{-6}$／Ｋである。本実施例において、特定材料は、導電性のＳｉである。Ｓｉの線膨張係数は、３．９×１０$^{-6}$／Ｋであり、ＳｉＣの線膨張係数よりも小さい。複数の特定領域１８は、ボディ領域１４ａ、１４ｂの下面１５ａ、１５ｂよりも下方側に設けられており、かつ、半導体装置１を垂直上方から見たときに、一対のボディ領域１４の間に設けられている。また、半導体装置１を垂直上方から見たときに、複数の特定領域１８のそれぞれが離間している。

【００２４】

半導体装置１の動作について説明する。半導体装置１は、ドレイン電極２８にソース電極２６よりも高い電圧が印加され、かつ、ゲート電極２４に閾値電圧よりも高い電圧が印加されると、オン状態となる。オン状態では、チャネル領域ＣＲのゲート絶縁膜２２の近傍にｎ型の反転層が形成され、ドレイン電極２８とソース電極２６の間が導通する。一方、半導体装置１は、ドレイン電極２８にソース電極２６よりも高い電圧が印加され、かつ、ゲート電極２４に閾値電圧以下の電圧が印加されると、反転層が消失し、オフ状態となる。このように、半導体装置１は、ゲート電極２４に印加する電圧に基づいてオンとオフが切り換えられるスイッチング素子として機能する。

【００２５】

（複数の特定領域１８の効果）

負荷短絡によってドレイン電極２８に高い電圧が印加されると、ドレイン電極２８からソース電極２６に大電流が流れる。具体的には、ドレイン電極２８、基板１０、ドリフト領域１２、ＪＦＥＴ領域２０、ボディ領域１４の反転層、ソース領域１６、ソース電極２６という順番で電流が流れる。このような状況において、図１に示す電流集中領域４０に大電流が流れる。具体的には、電流集中領域４０は、ＪＦＥＴ領域２０の一部、及び、ドリフト領域１２のうちＪＦＥＴ領域２０の下方の領域である。電流集中領域４０は、大電流が流れることによって発熱する。

【００２６】

本実施例の半導体装置１の効果について説明する前に、図１０を参照して、比較例の半導体装置について説明する。比較例の半導体装置は、ドリフト領域１１２に複数の特定領域１８が設けられていない点を除いて、本実施例の半導体装置１と同様の構造を有する。従って、比較例の半導体装置においても、負荷短絡が発生すると、電流集中領域１４０に大電流が流れる。比較例の半導体装置は、複数の特定領域１８を有さない。即ち、電流集中領域１４０全体が、ＳｉＣで構成されている。このため、電流集中領域１４０における線膨張係数は、複数の特定領域１８が形成されている場合よりも、大きい。このため、図１０に示すように、負荷短絡が発生すると、電流集中領域１４０に大電流が集中し、電流集中領域１４０が発熱する。このため、ドリフト領域１１２及びＪＦＥＴ領域２０の一部が熱膨張し、その結果、比較例の半導体装置に大きな熱応力が作用する。この熱応力によって、ゲート絶縁膜２２等が変形し、ゲート絶縁膜２２等に亀裂等が発生し得る。ゲート絶縁膜２２等に亀裂が発生すると、比較例の半導体装置に異常が発生する。

【００２７】

一方、図１に示すように、本実施例の半導体装置１では、電流集中領域４０に、複数の特定領域１８が形成されている。上述のように、複数の特定領域１８の線膨張係数は、ＳｉＣの線膨張係数よりも小さい。このため、電流集中領域４０に大電流が流れ、電流集中領域４０が発熱しても、複数の特定領域１８が熱膨張することを抑制することができる。複数の特定領域１８の熱膨張が抑制されることによって、半導体装置１に作用する熱応力を低減することができる。即ち、比較例の半導体装置と比較して、負荷短絡時におけるゲート絶縁膜２２等の変形量を低減することができる。この結果、半導体装置１に異常が発生することを抑制することができ、半導体装置１の信頼性を向上させることができる。

【００２８】

（半導体装置１の製造方法）

次に、図２～図９を参照して、半導体装置１の製造方法を説明する。図２のフローチャートのステップＳ１において、ＳｉＣを材料とするｎ型の基板１０の主面上に、周知のエピタキシャル成長技術を用いてｎ型のドリフト領域１２を堆積させる（第１成長工程）。エピタキシャル成長技術の一例は、有機金属化合物気相成長法（ＭＯＣＶＤ法）である。

【００２９】

ステップＳ２において、ドリフト領域１２に、複数の特定領域１８を形成する（特定領域形成工程）（図３参照）。具体的には、周知のフォトリソグラフィー技術及びドライエッチング加工を用いて、ドリフト領域１２上に、複数の特定領域１８が開口しているマスクを加工する。次いで、ドライエッチングを利用して、開口が形成されている領域のドリフト領域１２を除去して、複数の特定領域１８に対応する複数のスリット１８ａを形成する（図４参照）。複数のスリット１８ａは、幅Ｗ１の範囲内において、間隔１８ｂを隔てて形成される。次いで、ドリフト領域１２上のマスクを除去した後に、化学気相堆積法（ＣＶＤ法）を用いて、複数のスリット１８ａ内にＳｉを堆積させる。次いで、周知のＣＭＰ（chemical mechanical polishing）技術を用いて、ドリフト領域１２の上面を研磨する。

【００３０】

ステップＳ３において、図５に示すように、ドリフト領域１２の上面に、ｎ型の半導体基板２０を貼り合わせる（貼り合わせ工程）。これにより、図６の化合物半導体８が形成される。なお、変形例では、周知のエピタキシャル成長技術を用いて、ドリフト領域１２上に、ｎ型の半導体領域を成長させてもよい。

【００３１】

ステップＳ４において、化合物半導体８に、ボディ領域１４を形成する（ボディ領域形成工程）。具体的には、周知のフォトリソグラフィー技術及びドライエッチング加工を用いて、化合物半導体８上に、ボディ領域１４が開口しているマスクを加工する。次いで、マスクを介してｐ型の不純物イオンを注入する。これにより、化合物半導体８に、一対のボディ領域１４ａ、１４ｂが形成される。そして、一対のボディ領域１４ａ、１４ｂの間に残った領域がＪＦＥＴ領域２０となる（図７参照）。なお、変形例では、ステップＳ３

において、ドリフト領域１２上にｐ型の半導体領域を堆積させ、ステップＳ４において、ＪＦＥＴ領域２０にｎ型の不純物を注入してもよい。

【００３２】

ステップＳ５において、化合物半導体８に、ソース領域１６を形成する（ソース領域形成工程）。具体的には、周知のフォトリソグラフィー技術及びドライエッチング加工を用いて、化合物半導体８上に、ソース領域１６が開口しているマスクを加工する。次いで、マスクを介してｎ型の不純物イオンを注入する。これにより、化合物半導体８に、ソース領域１６が形成される（図８参照）。

【００３３】

ステップＳ６において、化合物半導体８上に、ゲート絶縁膜２２及びゲート電極２４を形成する（ゲート電極形成工程）。まず、周知のフォトリソグラフィー技術及びドライエッチング加工を用いて、化合物半導体８上に、ゲート絶縁膜２２が形成される領域が開口しているマスクを加工する。次いで、ＣＶＤ法又は原子層堆積法（ＡＬＤ法）を用いて、化合物半導体８上に、シリコン酸化膜を成膜する。次いで、シリコン酸化膜上にゲート電極２４を形成する。具体的には、シリコン酸化膜上に、ポリシリコンを堆積する。次いで、ゲート電極２４以外の領域に形成されているポリシリコンを除去する。これにより、ゲート電極２４が形成される。次いで、シリコン酸化膜及びゲート電極２４上に、さらに、シリコン酸化膜を成膜する。これにより、ゲート絶縁膜２２が形成される（図９参照）。

【００３４】

ステップＳ７において、化合物半導体８上にソース電極２６を形成し、化合物半導体８の下面にドレイン電極２８を形成する（ドレイン電極、ソース電極形成工程）。これにより、図１に示す半導体装置１が完成する。

【００３５】

（第２実施例）

図１１に、第２実施例の半導体装置２０１の要部断面図を示す。半導体装置２０１は、縦型のＭＯＳＦＥＴであり、トレンチゲート型である。半導体装置２０１は、化合物半導体２０８、トレンチゲート２２０、絶縁膜２２５、ソース電極２２６、及び、ドレイン電極２２８を備えている。

【００３６】

化合物半導体２０８は、基板２１０、n^{-}型のドリフト領域２１２、ｐ型の一対のボディ領域２１４ａ、２１４ｂ、n^{+}型のソース領域２１６ａ、２１６ｂ、及び、複数の特定領域２１８を備えている。基板２１０は、ＳｉＣの単結晶基板である。ドリフト領域２１２は、基板２１０の上に設けられている。一対のボディ領域２１４ａ、２１４ｂは、ドリフト領域２１２の上に設けられており、一対のボディ領域２１４ａ、２１４ｂの一部は、化合物半導体８の上面に露出している。なお、一対のボディ領域２１４ａ、２１４ｂを以下では、「ボディ領域２１４」と総称する場合がある。n^{+}型の一対のソース領域２１６ａ、２１６ｂのそれぞれは、一対のボディ領域２１４ａ、２１４ｂの上に設けられており、化合物半導体２０８の上面に露出している。

【００３７】

化合物半導体２０８の表層部には、トレンチゲート２２０が形成されている。トレンチゲート２２０は、トレンチ２２０Ｔ内に設けられている。トレンチ２２０Ｔは、ソース領域２１６、及び、ボディ領域２１４を貫通してドリフト領域２１２の一部に到達している。トレンチゲート２２０は、ゲート電極２２４、及び、シリコン酸化膜からなるゲート絶縁膜２２２を有している。

【００３８】

化合物半導体８の上面には、ソース電極２２６が形成されている。ゲート電極２２４、ソース電極２２６は、絶縁膜２２５によって絶縁されている。

【００３９】

半導体装置２０１の動作について説明する。半導体装置２０１は、ドレイン電極２２８にソース電極２２６よりも高い電圧が印加され、かつ、ゲート電極２２４に閾値電圧より

も高い電圧が印加されると、オン状態となる。オン状態では、トレンチゲート２２０の側面に接するボディ領域２１４に反転層ＩＬ（図１参照）が形成され、ドレイン電極２２８とソース電極２２６の間が導通する。一方、半導体装置２０１は、ドレイン電極２２８にソース電極２２６よりも高い電圧が印加され、かつ、ゲート電極２２４に閾値電圧以下の電圧が印加されると、反転層ＩＬが消失し、オフ状態となる。このように、半導体装置２０１は、ゲート電極２２４に印加する電圧に基づいてオンとオフが切り換えられるスイッチング素子として機能する。

【００４０】

（複数の特定領域２１８の効果）

負荷短絡によってドレイン電極２２８に高い電圧が印加されると、ドレイン電極２２８からソース電極２２６に大電流が流れる。具体的には、ドレイン電極２２８、基板２１０、ドリフト領域２１２、ボディ領域２１４の反転層ＩＬ、ソース領域２１６、ソース電極２２６という順番で電流が流れる。このような状況において、図１１に示す電流集中領域２４０に大電流が流れる。具体的には、電流集中領域２４０は、トレンチ２２０Ｔの下端よりも下方であり、かつ、半導体装置２０１を垂直上方から見たときに、トレンチ２２０Ｔよりも外側の領域である。電流集中領域２４０は、大電流が流れることによって、発熱する。上述のように、ドリフト領域２１２はＳｉＣからなる。ＳｉＣの熱伝導率は、シリコン酸化膜、ポリシリコン等よりも小さい。このため、電流集中領域２４０の発熱による熱は、ドリフト領域２１２（ＳｉＣ）内を伝導する。電流集中領域２４０の上方には、熱伝導率が小さい材料が設けられていない。このため、半導体装置２０１を垂直上方から見たときに、トレンチ２２０Ｔの外側に拡散された熱は、半導体装置２０１の上方に放熱される。一方、トレンチ２２０Ｔには、熱伝導率が小さい材料からなるゲート電極２２４及びゲート絶縁膜２２２が形成されている。このため、半導体装置２０１を垂直上方から見たときに、トレンチ２２０Ｔの内側に拡散された熱は、半導体装置２０１の上方に放熱されない。このため、トレンチ２２０Ｔの下方が発熱し、発熱領域２４２となる。

【００４１】

本実施例の半導体装置２０１の効果について説明する前に、比較例の半導体装置について説明する。比較例の半導体装置は、ドリフト領域に複数の特定領域２１８が設けられていない点を除いて、本実施例の半導体装置２０１と同様の構造を有する。従って、比較例の半導体装置においても、負荷短絡が発生すると、電流集中領域２４０に大電流が流れ、その内側の発熱領域が発熱する。比較例の半導体装置は、複数の特定領域２１８を有さない。即ち、発熱領域全体が、ＳｉＣで構成されている。このため、発熱領域における線膨張係数は、複数の特定領域２１８が形成されている場合よりも大きい。このため、負荷短絡が発生すると、電流集中領域が発熱する。このため、ドリフト領域の一部が熱膨張し、その結果、比較例の半導体装置に大きな熱応力が作用する。この熱応力によって、ゲート絶縁膜等が変形する。ゲート絶縁膜が変形し、ゲート絶縁膜等に亀裂等が発生し得る。ゲート絶縁膜等に亀裂が発生すると、比較例の半導体装置に異常が発生する。

【００４２】

一方、図１１に示すように、本実施例の半導体装置２０１では、発熱領域２４２に、複数の特定領域２１８が形成されている。上述のように、複数の特定領域２１８の線膨張係数は、ＳｉＣの線膨張係数よりも小さい。このため、電流集中領域２４０に大電流が流れ、発熱領域２４２が発熱しても、複数の特定領域２１８が熱膨張することを抑制することができる。複数の特定領域２１８の熱膨張が抑制されることによって、半導体装置２０１に作用する熱応力を低減することができる。即ち、比較例の半導体装置と比較して、負荷短絡時におけるゲート絶縁膜２２２等の変形量を低減することができる。この結果、半導体装置２０１に異常が発生することを抑制することができ、半導体装置２０１の信頼性を向上させることができる。

【００４３】

（半導体装置２０１の製造方法）

次に、図１２～図１７を参照して、半導体装置２０１の製造方法を説明する。図１２の

フローチャートのステップＳ２１、Ｓ２２は、それぞれ、第１実施例における図２のフローチャートのステップＳ１、Ｓ２と同様である。これにより、図１３に示すように、ドリフト領域２１２に複数の特定領域２１８が形成される。

【００４４】

ステップＳ２３は、ドリフト領域２１２上にｐ型の半導体基板が貼り合わされる点を除いて、第１実施例における図２のフローチャートのステップＳ３と同様である。これにより、化合物半導体２０８に、ボディ領域２１４が形成される（図１４参照）。

【００４５】

ステップＳ２４において、化合物半導体２０８に、ソース領域２１６を形成する（ソース領域形成工程）。具体的には、周知のフォトリソグラフィー技術及びドライエッチング加工を用いて、化合物半導体２０８上に、ソース領域２１６が開口しているマスクを加工する。次いで、マスクを介してｎ型の不純物イオンを注入する。これにより、化合物半導体２０８に、ソース領域２１６が形成される（図１５参照）。

【００４６】

ステップＳ２５において、トレンチゲート２２０を形成する（トレンチゲート形成工程）。具体的には、フォトリソグラフィー技術を用いて、化合物半導体２０８上に、トレンチ領域が開口しているマスクを加工する。次いで、ドライエッチング加工を用いて、ソース領域２１６、及び、ボディ領域２１４を貫通してドリフト領域２１２の一部に到達するトレンチ２２０Ｔを形成する。これにより、一対のボディ領域２１４ａ、２１４ｂ、及び、一対のソース領域２１６ａ、２１６ｂが形成される。次いで、化合物半導体２０８上に、ゲート絶縁膜２２２を成膜する。次いで、ゲート絶縁膜２２２上にポリシリコン層を堆積する。これにより、トレンチゲート２２０が完成する（図１６参照）。

【００４７】

ステップＳ２６において、化合物半導体２０８の上、及び、トレンチゲート２２０の上に、絶縁膜２２５を成膜する（絶縁膜成膜工程）（図１７参照）。

【００４８】

ステップＳ２７において、化合物半導体８の上面側にソース電極２２６を形成し、化合物半導体８の下面側にドレイン電極２２８を形成する（ソース電極、ドレイン電極形成工程）。これにより、図１１に示す半導体装置２０１が完成する。

【００４９】

（第３実施例）

図１８に、第３実施例の半導体装置３０１の要部断面図を示す。第３実施例の半導体装置３０１は、特定領域３１８の構造を除いて、第１実施例の半導体装置１と同様の構造を有する。以下では、実施例間で共通する構造については、同じ符号を付して、その説明を省略する。

【００５０】

本実施例では、ドリフト領域３１２に、１個の特定領域３１８が形成されている。なお、半導体装置３０１の製造方法において、図２のステップＳ３と同様に、ドリフト領域１２の上面に、ｎ型のＳｉＣ基板を貼り合わせる工程が行われる。本実施例の特定領域３１８の幅Ｗ１は、第１実施例の複数の特定領域１８のうちの１個の特定領域１８の幅よりも大きい。仮に、図２のステップＳ３の代わりに、周知のエピタキシャル成長技術を用いて、ドリフト領域１２上に、ｎ型の半導体領域を成長させる工程が行われると、結晶面に成長するため、特定領域３１８の上方をｎ型の半導体領域で塞ぐことができない。即ち、特定領域３１８の上方に、ｎ型の半導体領域を形成させることができない。本実施例の場合、半導体装置３０１の製造方法において、ドリフト領域１２の上面に、ｎ型のＳｉＣ基板を貼り合わせるために、特定領域３１８上にも、ｎ型の半導体領域を形成することができる。また、１個の特定領域３１８によっても、第１実施例と同様の効果を奏することができる。

【００５１】

（第４実施例）

図１９に、第４実施例の半導体装置４０１の要部断面図を示す。第４実施例の半導体装置４０１は、特定領域４１８の構造を除いて、第１実施例の半導体装置１と同様の構造を有する。

【００５２】

本実施例では、複数の特定領域４１８は、化合物半導体８の上面から、ＪＦＥＴ領域２０を貫通してドリフト領域１２の一部に到達している。なお、複数の特定領域４１８は、半導体装置４０１がオン状態であるときに、ドレイン電極２８からソース電極２６に電流が流される電流経路ＣＰ上に設けられていない。従って、ドレイン電極２８からソース電極２６に流れる電流の経路は、複数の特定領域４１８によって阻害されない。

【００５３】

続いて、半導体装置４０１の製造方法について説明する。まず、図２のステップＳ１と同様に、ＳｉＣを材料とするｎ型の基板１０の主面上に、周知のエピタキシャル成長技術を用いてｎ型の半導体領域を堆積させる。なお、本実施例においては、基板１０上のｎ型の半導体領域の厚みが、ドリフト領域１２の厚みＴ１及びＪＦＥＴ領域の厚みＴ２の合計の厚みＴ３となるように、ｎ型の半導体領域の厚みを調整する。そして、図２のステップＳ２と同様に、化合物半導体８に、複数の特定領域４１８を形成する。その後、図２のステップＳ４～Ｓ７と同様の工程が行われることで、図１９の半導体装置４０１が完成する。このように、半導体装置４０１の場合、図２のステップＳ３の工程を省略することができる。従って、半導体装置４０１を容易に製造することができる。また、複数の特定領域４１８によっても、第１実施例と同様の効果を奏することができる。

【００５４】

（第５実施例）

図２０に、第５実施例の半導体装置５０１の要部断面図を示す。第５実施例の半導体装置５０１は、複数の特定領域１８上にギャップＧが形成されている点を除いて、第１実施例の半導体装置１と同様の構造を有する。なお、図２０では、見易くするために、左端の特定領域１８上のギャップにのみ符号が付されている。

【００５５】

本実施例の半導体装置５０１の製造方法は、第１実施例の半導体装置１の製造方法と異なる。具体的には、本実施例では、図２のフローチャートのステップＳ３において、周知のエピタキシャル成長技術を用いて、ドリフト領域１２上に、ｎ型の半導体領域を成長させる点が、第１の実施例の半導体装置１の製造方法と異なる。ｎ型の半導体領域を成長させる工程において、複数の特定領域１８は成長しないが、複数の特定領域１８の間の間隔１８ｂのＳｉＣは成長する。ｎ型の半導体領域を成長させる工程において、ＳｉＣは、上方向だけではなく、左右方向（ｘ軸方向）及び前後方向（ｙ軸方向）にも広がりながら成長する。図４に示すように、複数の特定領域１８の間の間隔１８ｂは、比較的に小さい。このために、上方向、左右方向、及び、前後方向に広がりながら成長するＳｉＣが特定領域１８の上方で結合する。これにより、複数の特定領域１８上にギャップＧが形成される。従って、複数の特定領域１８の間の間隔１８ｂが比較的に小さくすることで、エピタキシャル成長技術を用いて図２０の半導体装置を製造することができる。

【００５６】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

【００５７】

（第１変形例）特定領域を構成する特定材料は、ＳｉＣに限定されない。特定材料は、導電性のＣであってもよい。導電性のＣとは、グラファイトである。グラファイトの線膨張係数は、$４．２×１０^{－６}$／Ｋである。また、特定材料は、導電性を有する多結晶のＳｉＣであってもよい。多結晶のＳｉＣの線膨張係数は、$４．２×１０^{－６}$／Ｋである。

【００５８】

また、特定材料は、絶縁体である$ＳｉＯ_2$であってもよいし、空気（エアギャップ）で

あってもよい。SiO_2又は空気を特定材料として利用することで、電界集中を緩和することができる。

【００５９】

（第２変形例）半導体装置の基板は、ＧａＮの単結晶基板であってもよい。なお、ＧａＮの線膨張係数は、５．５×１０$^{-6}$／Ｋである。本変形例では、特定材料の線膨張係数は、５．５×１０$^{-6}$／Ｋよりも小さければよい。

【００６０】

本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

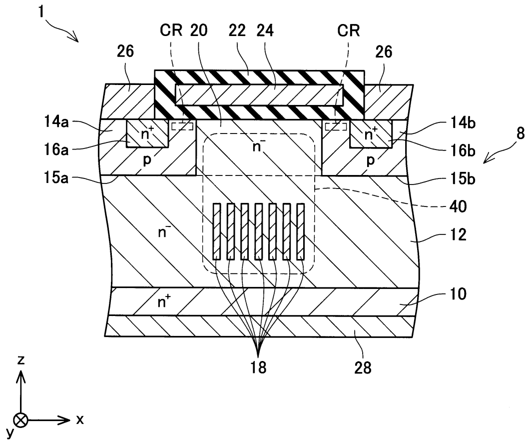
【符号の説明】

【００６１】

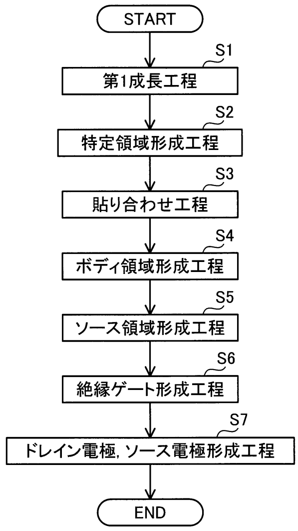
１：半導体装置、８：化合物半導体、１０：基板、１２：ドリフト領域、１４：ボディ領域、１５：下面、１６：ソース領域、１８：特定領域、１８ａ：スリット、２０：ＪＦＥＴ領域、２０ａ：半導体領域、２２：ゲート絶縁膜、２４：ゲート電極、２６：ソース電極、２８：ドレイン電極、４０：電流集中領域、１１２：ドリフト領域、１４０：電流集中領域、２０１：半導体装置、２０８：化合物半導体、２１０：基板、２１２：ドリフト領域、２１４：ボディ領域、２１６：ソース領域、２１８：特定領域、２２０：トレンチゲート、２２０Ｔ：トレンチ、２２２：ゲート絶縁膜、２２４：ゲート電極、２２５：絶縁膜、２２６：ソース電極、２２８：ドレイン電極、２４０：電流集中領域、２４２：発熱領域

【図面】

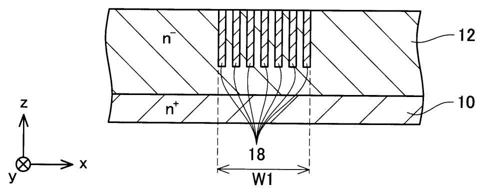
【図１】


1
CR 20 22 24 CR
26
26
14a
16a
15a
n+
p
n−
n+
p
14b
16b
15b
8
40
n−
12
n+
10
18
28
z
y
x

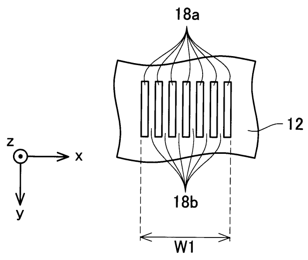
【図２】


START
S1
第1成長工程
S2
特定領域形成工程
S3
貼り合わせ工程
S4
ボディ領域形成工程
S5
ソース領域形成工程
S6
絶縁ゲート形成工程
S7
ドレイン電極, ソース電極形成工程
END

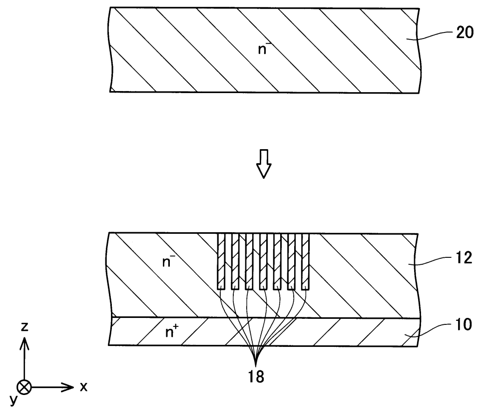
【図３】


n−
12
n+
10
18
W1
z
y
x

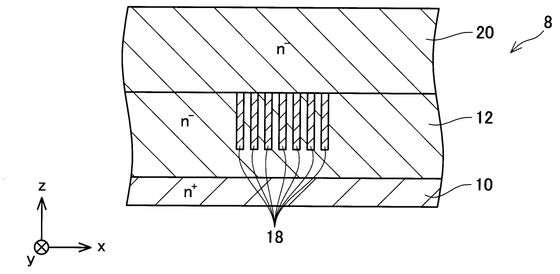
【図４】


18a
12
18b
W1
z
x
y

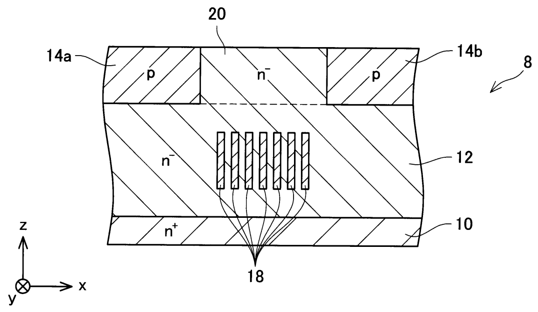
【図５】



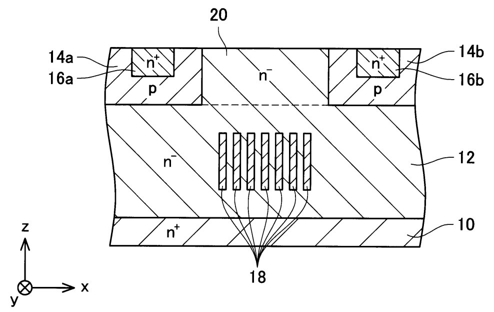
【図６】



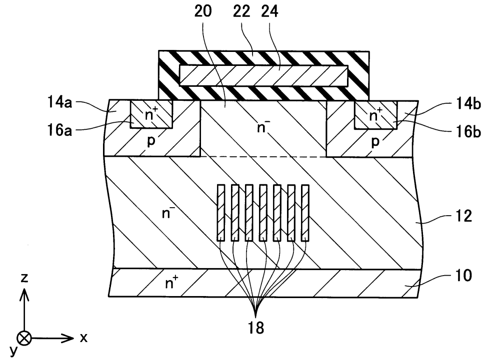
【図７】



【図８】

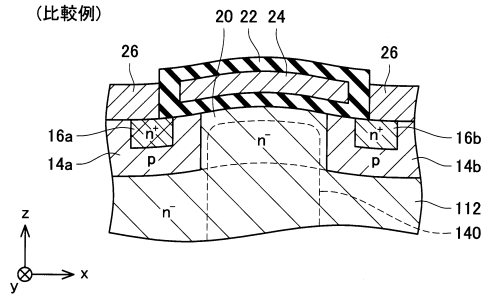


【図９】



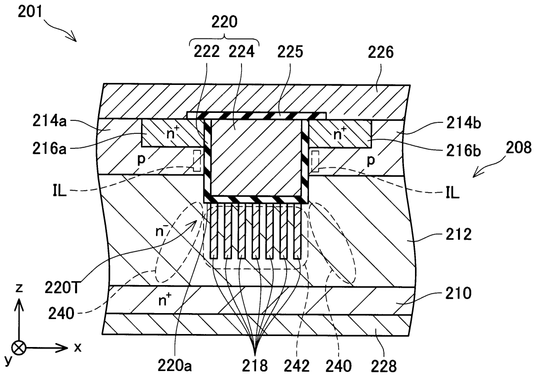
【図１０】

（比較例）

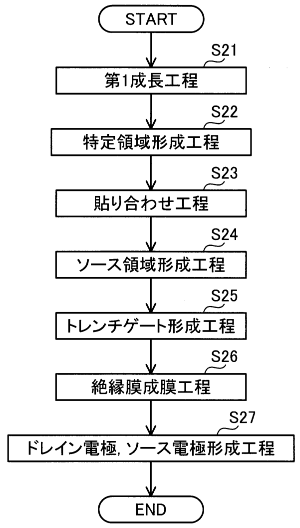


【図１１】

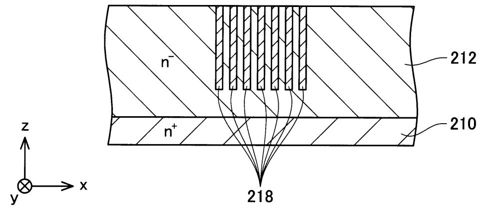
（第2実施例）



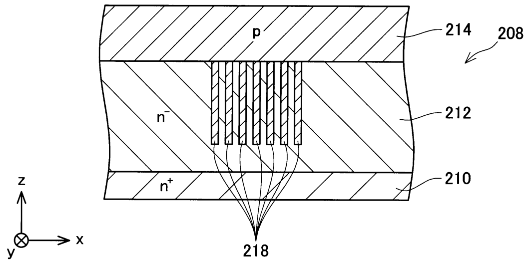
【図１２】



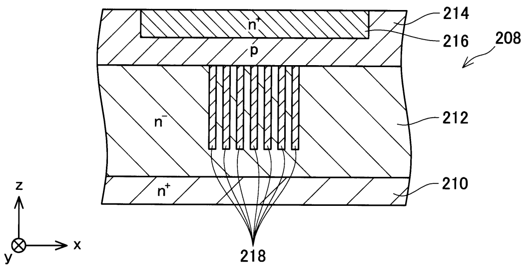
【図１３】



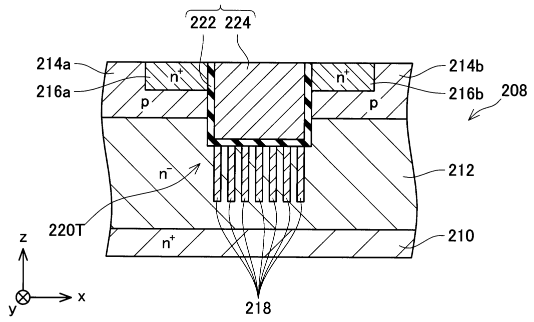
【図１４】



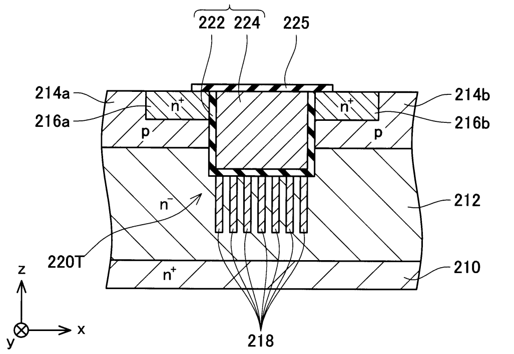
【図１５】



【図１６】

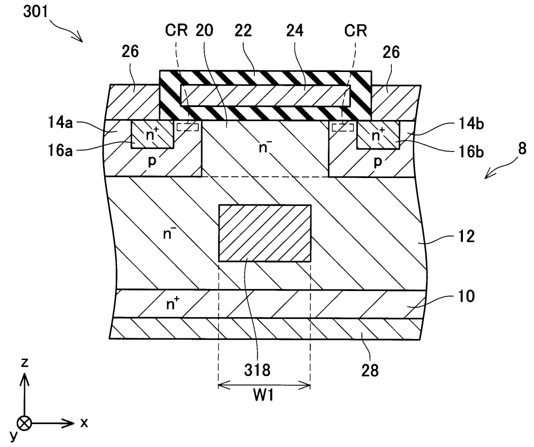


【図１７】

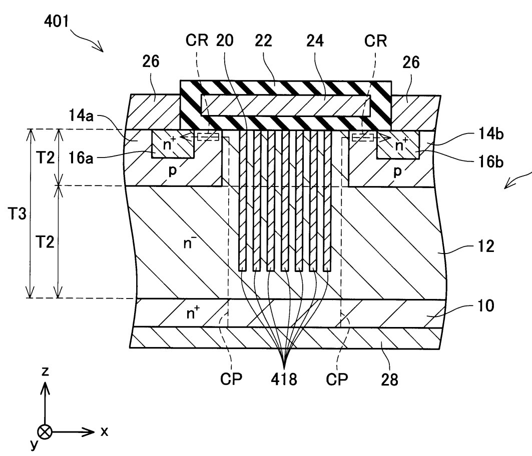


【図１８】

（第3実施例）

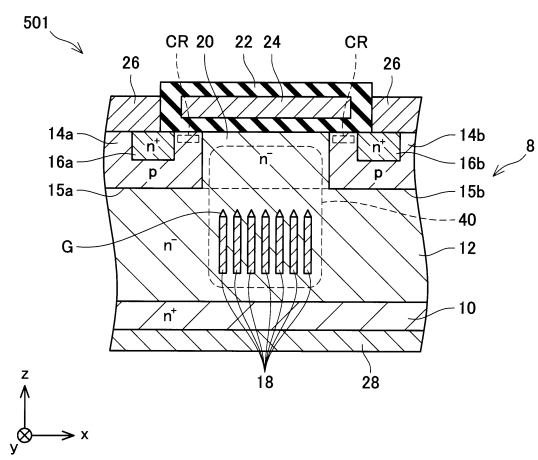


【図１９】



（第4実施例）
401
CR 20 22 24 CR
26
26
14a
14b
T2
16a
16b
8
T3
T2
n⁻
12
n⁺
10
CP 418 CP 28
z
y
x

【図２０】



（第5実施例）
501
CR 20 22 24 CR
26
26
14a
14b
16a
16b
8
15a
15b
40
G
n⁻
12
n⁺
10
18 28
z
y
x

フロントページの続き

(51)国際特許分類　　ＦＩ
ＨＯ１Ｌ　29/78　６５８Ｋ

愛知県長久手市横道４１番地の１　株式会社豊田中央研究所内
(72)発明者　渡辺　行彦
愛知県長久手市横道４１番地の１　株式会社豊田中央研究所内
(72)発明者　片岡　恵太
愛知県長久手市横道４１番地の１　株式会社豊田中央研究所内
(72)発明者　斎藤　順
愛知県豊田市トヨタ町１番地　トヨタ自動車株式会社内
(72)発明者　浦上　泰
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内
審査官　石塚　健太郎

(56)参考文献　特開２００７－２８８１７２（ＪＰ，Ａ）
特開２００９－１６４５５８（ＪＰ，Ａ）
特開２０１７－０４１６１３（ＪＰ，Ａ）
特開２０１２－１９０９８２（ＪＰ，Ａ）

(58)調査した分野　(Int.Cl.，ＤＢ名)
ＨＯ１Ｌ　２９／７８
ＨＯ１Ｌ　２９／１２
ＨＯ１Ｌ　２１／３３６