(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月2日(02.01.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/004804 A1

(51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 25/00* (2006.01)
H01F 17/00 (2006.01) *H03H 7/09* (2006.01)
H01F 27/00 (2006.01) *H05K 1/16* (2006.01)

(21) 国際出願番号： PCT/JP2024/021321

(22) 国際出願日： 2024年6月12日(12.06.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-108696 2023年6月30日(30.06.2023) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 佐藤 勇輔 (**SATOU, Yuusuke**).

(74) 代理人: 弁理士法人北斗特許事務所 (**HOKUTO PATENT ATTORNEYS OFFICE**); 〒5300001 大阪府大阪市北区梅田一丁目１２－１７ＪＲＥ梅田スクエアビル Osaka (JP).

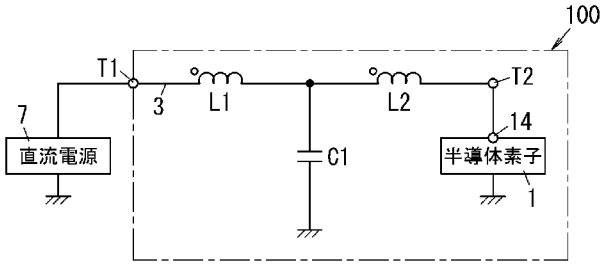
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,

(54) **Title:** SEMICONDUCTOR MODULE

(54) 発明の名称： 半導体モジュール

図 1



1 Semiconductor element
7 DC power supply

(57) **Abstract:** The present invention reduces high-frequency noise. This semiconductor module (100) is provided with a semiconductor element (1), a power supply path (3), a first inductor (L1), a capacitor (C1), and a second inductor (L2). The semiconductor element (1) has a power supply terminal (14). The power supply path (3) is connected to the power supply terminal (14) of the semiconductor element (1). The first inductor (L1) is provided in the power supply path (3). The capacitor (C1) has a first end and a second end. In the capacitor (C1), the first end is connected to the power supply path (3), and the second end is connected to the ground. The second inductor (L2) is provided in the power supply path (3) and is connected between the first inductor (L1) and the power supply terminal (14). The first inductor (L1) and the second inductor (L2) are arranged so that a magnetic field generated by the first inductor (L1) and a magnetic field generated by the second inductor (L2) are coupled.

WO 2025/004804 A1

［続葉有］

IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：高周波ノイズを低減する。半導体モジュール（１００）は、半導体素子（１）と、電源経路（３）と、第１インダクタ（Ｌ１）と、キャパシタ（Ｃ１）と、第２インダクタ（Ｌ２）と、を備える。半導体素子（１）は、電源端子（１４）を有する。電源経路（３）は、半導体素子（１）の電源端子（１４）に接続されている。第１インダクタ（Ｌ１）は、電源経路（３）に設けられている。キャパシタ（Ｃ１）は、第１端及び第２端を有する。キャパシタ（Ｃ１）では、第１端が電源経路（３）に接続されており、第２端がグランドに接続される。第２インダクタ（Ｌ２）は、電源経路（３）に設けられており、第１インダクタ（Ｌ１）と電源端子（１４）との間に接続されている。第１インダクタ（Ｌ１）と第２インダクタ（Ｌ２）とは、第１インダクタ（Ｌ１）で発生する磁界と第２インダクタ（Ｌ２）で発生する磁界とが結合するように配置されている。

明　細　書

発明の名称 ： 半導体モジュール

技術分野

[0001]　本発明は、一般に半導体モジュールに関し、より詳細には、半導体素子及びキャパシタを備える半導体モジュールに関する。

背景技術

[0002]　特許文献１は、増幅器（半導体素子）と、インダクタと、バイパスコンデンサ（キャパシタ）と、を備える電力増幅器（半導体モジュール）を開示している。

[0003]　特許文献１に開示されている電力増幅器では、インダクタは、増幅器とバイアス電源（直流電源）との間に接続されている。バイパスコンデンサは、インダクタとバイアス電源との接続点と、グランドとの間に接続されている。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第２０１１／０９２９１０号

発明の概要

発明が解決しようとする課題

[0005]　特許文献１に開示された電力増幅器では、バイパスコンデンサのＥＳＬ（Equivalent Series Inductance）の影響でバイパスコンデンサの性能が劣化し高周波ノイズが増幅器へ漏洩する場合がある。

[0006]　本発明の目的は、高周波ノイズを低減することが可能な半導体モジュールを提供することにある。

課題を解決するための手段

[0007]　本発明の一態様に係る半導体モジュールは、半導体素子と、電源経路と、第１インダクタと、キャパシタと、第２インダクタと、を備える。前記半導体素子は、電源端子を有する。前記電源経路は、前記半導体素子の前記電源

端子に接続されている。前記第１インダクタは、前記電源経路に設けられている。前記キャパシタは、第１端及び第２端を有する。前記キャパシタでは、前記第１端が前記電源経路に接続されており、前記第２端がグランドに接続される。前記第２インダクタは、前記電源経路に設けられており、前記第１インダクタと前記電源端子との間に接続されている。前記第１インダクタと前記第２インダクタとは、前記第１インダクタで発生する磁界と前記第２インダクタで発生する磁界とが結合するように配置されている。

発明の効果

[0008] 本発明の上記態様に係る半導体モジュールは、高周波ノイズを低減することが可能となる。

図面の簡単な説明

[0009] [図1]図１は、実施形態１に係る半導体モジュールの概念図である。

[図2]図２Ａは、同上の半導体モジュールの要部斜視図である。図２Ｂは、同上の半導体モジュールの一部破断した断面図である。

[図3]図３Ａは、同上の半導体モジュールにおいて発生する相互インダクタンスの説明図である。図３Ｂは、同上の半導体モジュールの要部等価回路図である。

[図4]図４は、同上の半導体モジュールの回路図である。

[図5]図５Ａは、実施形態１の変形例１に係る半導体モジュールの要部平面図である。図５Ｂは、同上の半導体モジュールを示し、図５ＡのＸ１－Ｘ１線断面図である。

[図6]図６は、実施形態２に係る半導体モジュールの概念図である。

[図7]図７Ａは、同上の半導体モジュールの要部斜視図である。図７Ｂは、同上の半導体モジュールの一部破断した断面図である。

[図8]図８は、同上の半導体モジュールにおいて発生する相互インダクタンスの説明図である。

[図9]図９は、同上の半導体モジュールの回路図である。

[図10]図１０は、実施形態２の変形例に係る半導体モジュールの概念図であ

る。

発明を実施するための形態

[0010] 以下、実施形態１～２等について、図面を参照して説明する。以下の実施形態１～２等において参照する図は、模式的な図であり、図中の構成要素の大きさ及び厚さは必ずしも実際の寸法を反映しているとは限らず、構成要素間における大きさの比及び厚さの比も、必ずしも実際の寸法比を反映しているとは限らない。

[0011] （実施形態１）

実施形態１に係る半導体モジュール１００について、図面を参照して説明する。

[0012] 実施形態１に係る半導体モジュール１００は、図１に示すように、直流電源７に接続され、直流電源７の電源電圧が半導体素子１の電源端子に供給される。

[0013] 半導体モジュール１００は、例えば、通信装置に用いられる。通信装置は、例えば、携帯電話（例えば、スマートフォン）であるが、これに限らず、例えば、ウェアラブル端末（例えば、スマートウォッチ）等であってもよい。

[0014] （１）半導体モジュールの回路構成

以下、実施形態１に係る半導体モジュール１００の回路構成について、図面を参照して説明する。

[0015] 半導体モジュール１００は、図１に示すように、第１端子Ｔ１と、第２端子Ｔ２と、グランド端子と、半導体素子１と、電源経路３と、第１インダクタＬ１と、キャパシタＣ１と、第２インダクタＬ２と、を備える。半導体素子１は、電源端子１４を有する。電源経路３は、半導体素子１の電源端子１４に接続されている。第１インダクタＬ１は、電源経路３に設けられている。キャパシタＣ１は、第１端及び第２端を有する。キャパシタＣ１では、第１端が電源経路３に接続されており、第２端がグランド端子に接続される。第２インダクタＬ２は、電源経路３に設けられており、第１インダクタＬ１

と電源端子１４との間に接続されている。

[0016] 半導体素子１は、例えば、高周波信号を電力増幅するパワーアンプであり、図４に示すように、高周波信号を電力増幅するトランジスタＱ１を含む。トランジスタＱ１は、ｎｐｎ型のバイポーラトランジスタである。トランジスタＱ１は、入力端子１１、出力端子１２及び接地端子１３を有する。トランジスタＱ１では、入力端子１１、出力端子１２及び接地端子１３は、それぞれ、ベース端子、コレクタ端子及びエミッタ端子である。トランジスタＱ１の入力端子１１は、高周波信号が入力される端子である。トランジスタＱ１の接地端子１３は、グランド端子に接続される端子である。トランジスタＱ１の出力端子１２は、電源端子１４、第２端子Ｔ２、第２インダクタＬ２、第１インダクタＬ１及び第１端子Ｔ１を介して直流電源７に接続される。トランジスタＱ１（の出力端子１２と接地端子１３との間）には、直流電源７から電源電圧が印加される。トランジスタＱ１は、入力端子１１に入力される高周波信号を増幅して出力端子１２から出力する。なお、トランジスタＱ１を構成するバイポーラトランジスタは、例えば、ＨＢＴ（Heterojunction Bipolar Transistor）である。

[0017] トランジスタＱ１の入力端子１１は、信号入力端子を介して通信装置の信号処理回路に接続される。トランジスタＱ１の出力端子１２は、アンテナ端子を介して通信装置のアンテナに接続される。パワーアンプは、信号処理回路から出力された所定バンドの高周波信号を増幅して出力する。

[0018] 第１インダクタＬ１及び第２インダクタＬ２の各々は、第１端及び第２端を有する。第１インダクタＬ１の第１端は、第１端子Ｔ１に接続されている。第１インダクタＬ１の第２端は、第２インダクタＬ２の第１端と接続されている。第２インダクタＬ２の第２端は、第２端子Ｔ２に接続されている。第２端子Ｔ２は、半導体素子１の電源端子１４に接続されている。第１インダクタＬ１及び第２インダクタＬ２は、直流電源７側から半導体素子１の電源端子１４に向かう高周波ノイズを低減するチョークコイルとして機能する。

[0019] キャパシタＣ１は、第１インダクタＬ１の第２端及び第２インダクタＬ２の第１端と接続されている。キャパシタＣ１は、例えば半導体素子１で発生する高周波信号が直流電源７へ漏洩するのを低減するバイパスキャパシタとして機能する。

[0020] （２）半導体モジュールの構造及び等価回路

半導体モジュール１００は、図２Ｂに示すように、モジュール基板５を備える。モジュール基板５は、主面５０を有する。

[0021] モジュール基板５の厚さ方向Ｄ１（図２Ｂ参照）からの平面視で、モジュール基板５の外縁は、例えば、矩形状であるが、矩形状以外の形状であってもよい。モジュール基板５は、例えば、複数の誘電体層及び複数の導電層（図示せず）が積層された多層基板である。各導電層の材料は、例えば、銅である。複数の導電層は、グランド層を含む。

[0022] モジュール基板５は、例えば、ＬＴＣＣ（Low Temperature Co-fired Ceramics）基板である。なお、モジュール基板５は、ＬＴＣＣ基板に限らず、例えば、プリント配線板、ＨＴＣＣ（High Temperature Co-fired Ceramics）基板、樹脂多層基板又は部品内蔵基板であってもよい。

[0023] 半導体素子１は、半導体チップである。半導体チップは、ＧａＡｓ系チップであるが、ＧａＡｓ系チップに限らず、Ｓｉ系チップでもよい。半導体素子１は、モジュール基板５に配置されている。より詳細には、半導体素子１は、モジュール基板５の主面５０に配置されている。「半導体素子１は、モジュール基板５に配置されている」とは、半導体素子１がモジュール基板５に機械的に接続されていることと、半導体素子１がモジュール基板５と電気的に接続されていることと、を含む。

[0024] キャパシタＣ１は、チップキャパシタである。キャパシタＣ１は、モジュール基板５に配置されている。より詳細には、キャパシタＣ１は、モジュール基板５の主面５０に配置されている。「キャパシタＣ１は、モジュール基板５に配置されている」とは、キャパシタＣ１がモジュール基板５に機械的に接続されていることと、キャパシタＣ１がモジュール基板５と電気的に接

続されていることと、を含む。

[0025] 第１インダクタＬ１及び第２インダクタＬ２は、図２Ａ及び図２Ｂに示すように、モジュール基板５内に配置された内層インダクタである。なお、図２Ａでは、モジュール基板５の図示を省略してある。

[0026] 第１インダクタＬ１は、モジュール基板５の厚さ方向Ｄ１からの平面視でスパイラル状に巻回された配線部を含んで構成されている。第２インダクタＬ２は、モジュール基板５の厚さ方向Ｄ１からの平面視でスパイラル状に巻回された配線部を含んで構成されている。

[0027] 半導体モジュール１００では、第１インダクタＬ１と第２インダクタＬ２とは、図２Ａ及び図２Ｂに示すように、第１インダクタＬ１で発生する磁界と第２インダクタＬ２で発生する磁界とが結合するように配置されている。第１インダクタＬ１及び第２インダクタＬ２は、第１インダクタＬ１と第２インダクタＬ２とが結合するように配置されている。

[0028] 半導体モジュール１００では、第１インダクタＬ１の巻回方向と第２インダクタＬ２の巻回方向とが逆向きであり、かつ、モジュール基板５の厚さ方向Ｄ１において第１インダクタＬ１の一部と第２インダクタＬ２の一部とが重なる。半導体モジュール１００では、モジュール基板５の厚さ方向Ｄ１において第１インダクタＬ１と第２インダクタＬ２とが隣接している。第１インダクタＬ１と第２インダクタＬ２とが隣接しているとは、第１インダクタＬ１と第２インダクタＬ２との間に他の回路素子が配置されることなく、第１インダクタＬ１と第２インダクタＬ２とが配置されていることを意味する。第１インダクタＬ１の第２端と第２インダクタＬ２の第１端とは、モジュール基板５内において、ビア導体を介して接続されている。半導体モジュール１００では、第１インダクタＬ１と第２インダクタＬ２とが負結合され、図３Ａでは、負の相互インダクタンスを“－Ｍ”と表してある。第１インダクタＬ１と第２インダクタＬ２との負結合を等価回路表現したものが図３Ｂであり、第１インダクタＬ１と第２インダクタＬ２との間の経路に、グランドに対して負のインダクタンス“－Ｍ”が発生する。

[0029] 図３Ｂに示す等価回路では、第１インダクタＬ１、第２インダクタＬ２及びキャパシタＣ１の他に、負の相互インダクタンスを回路素子（インダクタ）として図示してある。また、図３Ｂに示す等価回路では、キャパシタＣ１のＥＳＲ（Equivalent Series Resistance）及びＥＳＬ（Equivalent Series Inductance）も図示してある。

[0030] 半導体モジュール１００では、負のインダクタンスがキャパシタＣ１のＥＳＬを相殺することにより、キャパシタＣ１を理想的なキャパシタの振る舞いに近づけることができる。

[0031] （３）効果

実施形態１に係る半導体モジュール１００は、電源経路３に設けられている第１インダクタＬ１及び第２インダクタＬ２と、電源経路３とグランドとの間に接続されているキャパシタＣ１と、を備え、第１インダクタＬ１と第２インダクタＬ２とが、第１インダクタＬ１で発生する磁界と第２インダクタＬ２で発生する磁界とが結合するように配置されている。これにより、実施形態１に係る半導体モジュール１００は、高周波ノイズを低減することが可能となる。よって、実施形態１に係る半導体モジュール１００は、直流電源７側から半導体素子１の電源端子１４へ漏洩する高周波ノイズを低減することが可能となる。

[0032] （４）変形例

（４．１）変形例１

実施形態１の変形例１に係る半導体モジュール１００は、図５Ａ及び５Ｂに示すように、第１インダクタＬ１がチップインダクタＬ０である点で、実施形態１に係る半導体モジュール１００と相違する。なお、実施形態１に係る半導体モジュール１００と同様の構成要素には同一の符号を付して説明を省略する。

[0033] モジュール基板５の厚さ方向Ｄ１からの平面視で、チップインダクタＬ０の外縁は、長方形状である。

[0034] チップインダクタＬ０は、巻回部９と、巻回部９を覆っている直方体状の

素体８と、一対の外部電極と、を有する。巻回部９は、素体８内に配置されている。巻回部９は、一対の外部電極の間に接続されている。巻回部９は、コイル導体部であり、導電性を有する。巻回部９の形状は、例えば、スパイラル状である。素体８の材料は、セラミックを含む。一対の外部電極の各々の材料は、例えば、Ｃｕ、Ａｇ等である。巻回部９の材料は、例えば、一対の外部電極と同じ材料を含むが、これに限らない。チップインダクタＬ０は、縦巻のインダクタであり、巻回部９の巻回軸Ａ１（図５Ｂ参照）がモジュール基板５の厚さ方向Ｄ１と平行になるようにモジュール基板５の主面５０に配置されている。

[0035] 変形例１に係る半導体モジュール１００では、第１インダクタＬ１がチップインダクタＬ０であり、第２インダクタＬ２がモジュール基板５内に配置されたスパイラル状の内層インダクタである。チップインダクタＬ０における巻回部９の巻回軸Ａ１が、モジュール基板５の厚さ方向Ｄ１と平行である。

[0036] 変形例１に係る半導体モジュール１００では、モジュール基板５の厚さ方向Ｄ１からの平面視で、第１インダクタＬ１と第２インダクタＬ２とが重なる。図５Ａ及び図５Ｂの例では、第１インダクタＬ１の一部と第２インダクタのＬ２の一部とが重なるが、第１インダクタＬ１の全部が第２インダクタＬ２の全部に重なってもよいし、第１インダクタＬ１の一部が第２インダクタＬ２の全部に重なってもよい。

[0037] （４．２）変形例２

変形例２に係る半導体モジュール１００では、第１インダクタＬ１がモジュール基板５内に配置されたスパイラル状の内層インダクタであり、第２インダクタＬ２がモジュール基板５に配置されたチップインダクタである。

[0038] 実施形態１の変形例１，２に係る半導体モジュール１００は、実施形態１に係る半導体モジュール１００と同様の効果を奏する。

[0039] （実施形態２）

実施形態２に係る半導体モジュール１００Ａについて、図６～図９を参照

して説明する。実施形態２に係る半導体モジュール１００Ａに関し、実施形態１に係る半導体モジュール１００（図１～図４参照）と同様の構成要素については、同一の符号を付して説明を省略する。

[0040] （１）半導体モジュールの回路構成

以下、実施形態２に係る半導体モジュール１００Ａの回路構成について、図面を参照して説明する。

[0041] 半導体モジュール１００Ａは、図６に示すように、実施形態１に係る半導体モジュール１００と同様、第１端子Ｔ１と、第２端子Ｔ２と、グランド端子と、半導体素子１（以下、第１半導体素子１ともいう）と、電源経路３（以下、第１電源経路３ともいう）と、第１インダクタＬ１と、キャパシタＣ１（第１キャパシタＣ１）と、第２インダクタＬ２と、を備える。また、半導体モジュール１００Ａは、第３端子Ｔ３と、第２半導体素子２と、第２電源経路４と、第３インダクタＬ３と、第１整合回路ＭＮ１（図９参照）と、第２整合回路ＭＮ２（図９参照）と、第２キャパシタＣ２（図９参照）と、を更に備える。第２半導体素子２は、電源端子２４を有する。第２電源経路４は、第１電源経路３における第１インダクタＬ１及び第２インダクタＬ２の接続点と第２半導体素子２の電源端子２４との間に接続されている。第３インダクタＬ３は、第２電源経路４に設けられている。第３インダクタＬ３は、第３端子Ｔ３を介して第２半導体素子２の電源端子２４と接続されている。

[0042] 第１半導体素子１は、例えば、図９に示すように、高周波信号を電力増幅するトランジスタＱ１（以下、第１トランジスタＱ１ともいう）を含む。第２半導体素子２は、高周波信号を電力増幅する第２トランジスタＱ２を含む。第１トランジスタＱ１及び第２トランジスタＱ２の各々は、ｎｐｎ型のバイポーラトランジスタである。第１トランジスタＱ１は、入力端子１１（以下、第１入力端子１１ともいう）、出力端子１２（以下、第１出力端子１２ともいう）及び接地端子１３（以下、第１接地端子１３ともいう）を有する。第１トランジスタＱ１では、第１入力端子１１、第１出力端子１２及び第

１接地端子１３は、それぞれ、ベース端子、コレクタ端子及びエミッタ端子である。第２トランジスタＱ２は、入力端子２１（以下、第２入力端子２１ともいう）、出力端子２２（以下、第２出力端子２２ともいう）及び接地端子２３（以下、第２接地端子２３ともいう）を有する。第２トランジスタＱ２では、第２入力端子２１、第２出力端子２２及び第２接地端子２３は、それぞれ、ベース端子、コレクタ端子及びエミッタ端子である。第２半導体素子２の第２出力端子２２は、電源端子２４、第３端子Ｔ３、第３インダクタＬ３、第１インダクタＬ１及び第１端子Ｔ１を介して直流電源７に接続される。第２トランジスタＱ２（の第２出力端子２２と第２接地端子２３との間）には、直流電源７から電源電圧が印加される。なお、第１トランジスタＱ１及び第２トランジスタＱ２の各々を構成するバイポーラトランジスタは、ＨＢＴである。

[0043] 第１整合回路ＭＮ１は、第１半導体素子１の第１トランジスタＱ１の第１入力端子１１に接続されている。第２整合回路ＭＮ２は、第１半導体素子１の第１トランジスタＱ１の第１出力端子１２と第２半導体素子２の第２トランジスタＱ２の第２入力端子２１との間に接続されている。

[0044] 第１トランジスタＱ１の第１入力端子１１は、第１整合回路ＭＮ１及び信号入力端子を介して通信装置の信号処理回路に接続される。第２トランジスタＱ２の第２出力端子２２は、フィルタやアンテナ端子を介して通信装置のアンテナに接続される。

[0045] 第３インダクタＬ３は、第１端及び第２端を有する。第３インダクタＬ３の第１端は、第１インダクタＬ１の第２端及び第２インダクタＬ２の第１端と接続されている。第３インダクタＬ３の第２端は、第３端子Ｔ３に接続されている。第３端子Ｔ３は、第２半導体素子２の電源端子２４に接続されている。第１インダクタＬ１及び第２インダクタＬ２は、直流電源７側から第１半導体素子１の電源端子１４に向かう高周波ノイズを低減するチョークコイルとして機能する。また、第１インダクタＬ１及び第３インダクタＬ３は、直流電源７側から第２半導体素子２の電源端子２４に向かう高周波ノイズ

を低減するチョークコイルとして機能する。

[0046] （２）半導体モジュールの構造及び等価回路

半導体モジュール１００Ａは、図７Ｂに示すように、モジュール基板５を備える。モジュール基板５は、主面５０を有する。

[0047] 第１半導体素子１及び第２半導体素子２は、モジュール基板５に配置されている。より詳細には、第１半導体素子１及び第２半導体素子２は、モジュール基板５の主面５０に配置されている。より詳細には、第１半導体素子１と第２半導体素子２とを含むＩＣチップが、モジュール基板５の主面５０に配置されている。

[0048] キャパシタＣ１は、チップキャパシタである。キャパシタＣ１は、モジュール基板５に配置されている。

[0049] 第１インダクタＬ１、第２インダクタＬ２及び第３インダクタＬ３は、図７Ａ及び図７Ｂに示すように、モジュール基板５内に配置された内層インダクタである。なお、図７Ａでは、モジュール基板５の図示を省略してある。

[0050] 第１インダクタＬ１は、モジュール基板５の厚さ方向Ｄ１からの平面視でスパイラル状である。第２インダクタＬ２は、モジュール基板５の厚さ方向Ｄ１からの平面視でスパイラル状である。第３インダクタＬ３は、モジュール基板５の厚さ方向Ｄ１からの平面視でスパイラル状である。

[0051] 半導体モジュール１００Ａでは、第１インダクタＬ１と第２インダクタＬ２とは、第１インダクタＬ１で発生する磁界と第２インダクタＬ２で発生する磁界とが結合するように配置され、第２インダクタＬ２と第３インダクタＬ３とは、第２インダクタＬ２で発生する磁界と第３インダクタＬ３で発生する磁界とが結合するように配置されている。また、半導体モジュール１００Ａでは、第１インダクタＬ１と第３インダクタとは、第１インダクタＬ１と第３インダクタＬ３とが負結合して負の相互インダクタンスが発生するように配置されている。

[0052] 半導体モジュール１００Ａでは、第１インダクタＬ１、第２インダクタＬ２及び第３インダクタＬ３が、モジュール基板５の厚さ方向Ｄ１において、

モジュール基板５の主面５０側から、第１インダクタＬ１、第２インダクタＬ２及び第３インダクタＬ３の順に並んでいる。

[0053] 半導体モジュール１００Ａでは、第１インダクタＬ１の巻回方向と第２インダクタＬ２の巻回方向とが同じ向きであり、かつ、モジュール基板５の厚さ方向Ｄ１において第１インダクタＬ１の一部と第２インダクタＬ２の一部とが重なる。半導体モジュール１００Ａでは、モジュール基板５の厚さ方向Ｄ１において第１インダクタＬ１と第２インダクタＬ２とが隣接している。第１インダクタＬ１の第２端と第２インダクタＬ２の第１端とは、モジュール基板５内において、第１ビア導体を介して接続されている。半導体モジュール１００Ａでは、第１インダクタＬ１と第２インダクタＬ２とが正結合されるので、第１インダクタＬ１と第２インダクタＬ２との間の経路に、グランドに対して正の相互インダクタンスが発生する。図８では、正の相互インダクタンスを“Ｍ”と表してある。

[0054] また、半導体モジュール１００Ａでは、第２インダクタＬ２の巻回方向と第３インダクタＬ３の巻回方向とが逆向きであり、かつ、モジュール基板５の厚さ方向Ｄ１において第２インダクタＬ２の一部と第３インダクタＬ３の一部とが重なる。半導体モジュール１００Ａでは、モジュール基板５の厚さ方向Ｄ１において第２インダクタＬ２と第３インダクタＬ３とが隣接している。第２インダクタＬ２の第１端と第３インダクタＬ３の第１端とは、モジュール基板５内において、第２ビア導体を介して接続されている。半導体モジュール１００Ａでは、第２インダクタＬ２と第３インダクタＬ３とが負結合されるので、第２インダクタＬ２と第３インダクタＬ３との間の経路に、グランドに対して負の相互インダクタンスが発生する。図８では、負の相互インダクタンスを“－Ｍ”と表してある。

[0055] 実施形態２に係る半導体モジュール１００Ａでは、モジュール基板５の厚さ方向Ｄ１において、第１インダクタＬ１と第３インダクタＬ３とが隣接していない。

[0056] （３）効果

実施形態２に係る半導体モジュール１００Ａは、第１電源経路３における第１インダクタＬ１及び第２インダクタＬ２の接続点と第２半導体素子２の電源端子２４との間に接続されている第２電源経路４を備え、第２電源経路４に設けられている第３インダクタＬ３を備えるので、第２電源経路４から第２半導体素子２に漏洩する高周波ノイズを低減することが可能となる。

[0057] また、実施形態２に係る半導体モジュール１００Ａは、第１電源経路３と第２電源経路４とのアイソレーションを確保することが可能となる。より詳細には、実施形態２に係る半導体モジュール１００Ａは、第１端子Ｔ１と第２端子Ｔ２との間の経路と、第３端子Ｔ３と第１端子Ｔ１との間の経路と、のアイソレーションを確保することができる。

[0058] （４）変形例

実施形態２の変形例に係る半導体モジュール１００Ａでは、図１０に示すように、第１インダクタＬ１と第２インダクタＬ２とが負結合し、第２インダクタＬ２と第３インダクタＬ３とが負結合し、第１インダクタＬ１と第３インダクタＬ３とが正結合するように構成されていてもよい。この場合、第１インダクタＬ１の巻回方向と第２インダクタＬ２の巻回方向とが逆向きであり、第２インダクタＬ２と第３インダクタＬ３の巻回方向とが逆向きであり、第１インダクタＬ１の巻回方向と第３インダクタＬ３の巻回方向とが同じ向きである。

[0059] 実施形態２の変形例に係る半導体モジュール１００Ａは、実施形態２に係る半導体モジュール１００Ａと同様の効果を奏する。

[0060] 上記の実施形態１～２等は、本発明の様々な実施形態の一つに過ぎない。上記の実施形態１～２等は、本発明の目的を達成できれば、設計等に応じて種々の変更が可能である。

[0061] 第１半導体素子１に含まれる第１トランジスタＱ１及び第２半導体素子２に含まれる第２トランジスタＱ２の各々は、バイポーラトランジスタに限らず、例えば、ＭＯＳＦＥＴであってもよい。

[0062] 第１半導体素子１及び第２半導体素子２の各々は、直流電源７から供給さ

れる電源電圧を元に動作する半導体素子であればよく、パワーアンプに限らず、例えば、ローノイズアンプ又はスイッチであってもよい。

[0063] （態様）

本明細書には、以下の態様が開示されている。

[0064] 第１の態様に係る半導体モジュール（１００；１００Ａ）は、半導体素子（１）と、電源経路（３）と、第１インダクタ（Ｌ１）と、キャパシタ（Ｃ１）と、第２インダクタ（Ｌ２）と、を備える。半導体素子（１）は、電源端子（１４）を有する。電源経路（３）は、半導体素子（１）の電源端子（１４）に接続されている。第１インダクタ（Ｌ１）は、電源経路（３）に設けられている。キャパシタ（Ｃ１）は、第１端及び第２端を有する。キャパシタ（Ｃ１）では、第１端が電源経路（３）に接続されており、第２端がグランドに接続される。第２インダクタ（Ｌ２）は、電源経路（３）に設けられており、第１インダクタ（Ｌ１）と電源端子（１４）との間に接続されている。第１インダクタ（Ｌ１）と第２インダクタ（Ｌ２）とは、第１インダクタ（Ｌ１）で発生する磁界と第２インダクタ（Ｌ２）で発生する磁界とが結合するように配置されている。

[0065] この態様によれば、高周波ノイズを低減することが可能となる。

[0066] 第２の態様に係る半導体モジュール（１００；１００Ａ）では、第１の態様において、キャパシタ（Ｃ１）の第１端は、第１インダクタ（Ｌ１）と第２インダクタ（Ｌ２）との接続点に接続されている。

[0067] 第３の態様に係る半導体モジュール（１００Ａ）は、第１又は２の態様において、第２半導体素子（２）と、第２電源経路（４）と、第３インダクタ（Ｌ３）と、を更に備える。第２半導体素子（２）は、半導体素子（１）である第１半導体素子（１）とは異なる。第２半導体素子（２）は、電源端子（２４）を有する。第２電源経路（４）は、電源経路（３）である第１電源経路（３）における第１インダクタ（Ｌ１）及び第２インダクタ（Ｌ２）の接続点と第２半導体素子（２）の電源端子（２４）との間に接続されている。第３インダクタ（Ｌ３）は、第２電源経路（４）に設けられている。

[0068] この態様によれば、第２電源経路（４）から第２半導体素子（２）に漏洩する高周波ノイズを低減することが可能となる。

[0069] 第４の態様に係る半導体モジュール（１００；１００Ａ）は、第１の態様において、モジュール基板（５）を更に備える。半導体素子（１）は、モジュール基板（５）に配置されている。第１インダクタ（Ｌ１）及び第２インダクタ（Ｌ２）は、モジュール基板（５）内に配置された内層インダクタである。第１インダクタ（Ｌ１）は、モジュール基板（５）の厚さ方向（Ｄ１）からの平面視でスパイラル状に巻回された配線部を含む。第２インダクタ（Ｌ２）は、モジュール基板（５）の厚さ方向（Ｄ１）からの平面視でスパイラル状に巻回された配線部を含む。第１インダクタ（Ｌ１）と第２インダクタ（Ｌ２）とは、第１インダクタ（Ｌ１）で発生する磁界と第２インダクタ（Ｌ２）で発生する磁界とが結合するように配置されている。

[0070] 第５の態様に係る半導体モジュール（１００；１００Ａ）は、第４の態様において、モジュール基板（５）の厚さ方向（Ｄ１）において第１インダクタ（Ｌ１）と第２インダクタ（Ｌ２）とが隣接している。

[0071] この態様によれば、第１インダクタ（Ｌ１）で発生する磁界と第２インダクタ（Ｌ２）で発生する磁界とを結合させやすい。

[0072] 第６の態様に係る半導体モジュール（１００Ａ）は、第３の態様において、モジュール基板（５）を更に備える。第１半導体素子（１）及び第２半導体素子（２）は、モジュール基板（５）に配置されている。第１インダクタ（Ｌ１）、第２インダクタ（Ｌ２）及び第３インダクタ（Ｌ３）は、モジュール基板（５）内に配置された内層インダクタである。第１インダクタ（Ｌ１）は、モジュール基板（５）の厚さ方向（Ｄ１）からの平面視でスパイラル状に巻回された配線部を含む。第２インダクタ（Ｌ２）は、モジュール基板（５）の厚さ方向（Ｄ１）からの平面視でスパイラル状に巻回された配線部を含む。第３インダクタ（Ｌ３）は、モジュール基板（５）の厚さ方向（Ｄ１）からの平面視でスパイラル状に巻回された配線部を含む。第２インダクタ（Ｌ２）と第３インダクタ（Ｌ３）とは、第２インダクタ（Ｌ２）で発

生する磁界と第３インダクタ（Ｌ３）で発生する磁界とが結合するように配置されている。第１インダクタ（Ｌ１）と第３インダクタ（Ｌ３）とは、第１インダクタ（Ｌ１）で発生する磁界と第３インダクタ（Ｌ３）で発生する磁界とが相殺するように配置されている。

[0073] この態様によれば、第１電源経路（３）と第２電源経路（４）とのアイソレーションを向上させることが可能となる。

[0074] 第７の態様に係る半導体モジュール（１００Ａ）は、第６の態様に基づく。半導体モジュール（１００Ａ）では、モジュール基板（５）の厚さ方向（Ｄ１）において、第１インダクタ（Ｌ１）の配線部と第２インダクタ（Ｌ２）の配線部とが隣接している。第２インダクタ（Ｌ２）の配線部と第３インダクタ（Ｌ３）の配線部とが隣接している。第１インダクタ（Ｌ１）の配線部と第３インダクタ（Ｌ３）の配線部とが隣接していない。

[0075] この態様によれば、小型化を図ることが可能となる。

[0076] 第８の態様に係る半導体モジュール（１００；１００Ａ）は、第１～３の態様のいずれか一つにおいて、モジュール基板（５）を更に備える。半導体素子（１）は、モジュール基板（５）に配置されている。第１インダクタ（Ｌ１）の配線部と第２インダクタ（Ｌ２）の配線部とのうちの１つがチップインダクタ（Ｌ０）である。チップインダクタ（Ｌ０）は、モジュール基板（５）に配置されている。チップインダクタ（Ｌ０）は、巻回部（９）を有する。第１インダクタ（Ｌ１）の配線部と第２インダクタ（Ｌ２）の配線部とのうちの残りの１つがモジュール基板（５）内に配置されたスパイラル状の内層インダクタである。チップインダクタ（Ｌ０）の配線部における巻回部（９）の巻回軸（Ａ１）が、モジュール基板（５）の厚さ方向（Ｄ１）と平行である。モジュール基板（５）の厚さ方向（Ｄ１）からの平面視で、第１インダクタ（Ｌ１）の配線部と第２インダクタ（Ｌ２）の配線部の少なくとも一部が重なる。

符号の説明

[0077] １ 半導体素子（第１半導体素子）

１１　入力端子（第１入力端子）

１２　出力端子（第１出力端子）

１３　接地端子（第１接地端子）

１４　電源端子

２　第２半導体素子

２１　入力端子（第２入力端子）

２２　出力端子（第２出力端子）

２３　接地端子（第２接地端子）

２４　電源端子

３　電源経路（第１電源経路）

４　第２電源経路

５　モジュール基板

５０　主面

７　直流電源

８　素体

９　巻回部

１００、１００Ａ　半導体モジュール

Ａ１　巻回軸

Ｌ０　チップインダクタ

Ｌ１　第１インダクタ

Ｌ２　第２インダクタ

Ｌ３　第３インダクタ

Ｃ１　キャパシタ（第１キャパシタ）

Ｃ２　第２キャパシタ

ＭＮ１　第１整合回路

ＭＮ２　第２整合回路

Ｔ１　第１端子

Ｔ２　第２端子

Ｔ３　第３端子

請求の範囲

[請求項1] 電源端子を有する半導体素子と、

前記半導体素子の前記電源端子に接続されている電源経路と、

前記電源経路に設けられている第１インダクタと、

第１端及び第２端を有し、前記第１端が前記電源経路に接続されており、前記第２端がグランドに接続されるキャパシタと、

前記電源経路に設けられており、前記第１インダクタと前記電源端子との間に接続されている第２インダクタと、を備え、

前記第１インダクタと前記第２インダクタとは、前記第１インダクタで発生する磁界と前記第２インダクタで発生する磁界とが結合するように配置されている、

半導体モジュール。

[請求項2] 前記キャパシタの前記第１端は、前記第１インダクタと前記第２インダクタとの接続点に接続されている、

請求項１に記載の半導体モジュール。

[請求項3] 前記半導体素子である第１半導体素子とは異なり、電源端子を有する第２半導体素子と、

前記電源経路である第１電源経路における前記第１インダクタと前記第２インダクタとの間の経路と前記第２半導体素子の前記電源端子との間に接続されている第２電源経路と、

前記第２電源経路に設けられている第３インダクタと、を更に備える、

請求項１又は２に記載の半導体モジュール。

[請求項4] モジュール基板を更に備え、

前記半導体素子は、前記モジュール基板に配置されており、

前記第１インダクタ及び前記第２インダクタは、前記モジュール基板内に配置された内層インダクタであり、

前記第１インダクタは、前記モジュール基板の厚さ方向からの平面

視でスパイラル状に巻回された配線部を含み、

前記第２インダクタは、前記モジュール基板の前記厚さ方向からの平面視でスパイラル状に巻回された配線部を含み、

前記第１インダクタと前記第２インダクタとは、前記第１インダクタで発生する磁界と前記第２インダクタで発生する磁界とが結合するように配置されている、

請求項１に記載の半導体モジュール。

[請求項5] 前記モジュール基板の前記厚さ方向において前記第１インダクタと前記第２インダクタとが隣接している、

請求項４に記載の半導体モジュール。

[請求項6] モジュール基板を更に備え、

前記第１半導体素子及び前記第２半導体素子は、前記モジュール基板に配置されており、

前記第１インダクタ、前記第２インダクタ及び前記第３インダクタは、前記モジュール基板内に配置された内層インダクタであり、

前記第１インダクタは、前記モジュール基板の厚さ方向からの平面視でスパイラル状に巻回された配線部を含み、

前記第２インダクタは、前記モジュール基板の前記厚さ方向からの平面視でスパイラル状に巻回された配線部を含み、

前記第３インダクタは、前記モジュール基板の前記厚さ方向からの平面視でスパイラル状に巻回された配線部を含み、

前記第２インダクタと前記第３インダクタとは、前記第２インダクタで発生する磁界と前記第３インダクタで発生する磁界とが結合するように配置されており、

前記第１インダクタと前記第３インダクタとは、前記第１インダクタで発生する磁界と前記第３インダクタで発生する磁界とが相殺するように配置されている、

請求項３に記載の半導体モジュール。

[請求項7] 前記モジュール基板の前記厚さ方向において、

前記第１インダクタの配線部と前記第２インダクタの配線部とが隣接しており、

前記第２インダクタの配線部と前記第３インダクタの配線部とが隣接しており、

前記第１インダクタの配線部と前記第３インダクタの配線部とが隣接していない、

請求項６に記載の半導体モジュール。

[請求項8] モジュール基板を更に備え、

前記半導体素子は、前記モジュール基板に配置されており、

前記第１インダクタの配線部と前記第２インダクタの配線部とのうちの１つが前記モジュール基板に配置されており巻回部を有するチップインダクタであり、

前記第１インダクタの配線部と前記第２インダクタの配線部とのうちの残りの１つが前記モジュール基板内に配置されたスパイラル状の内層インダクタであり、

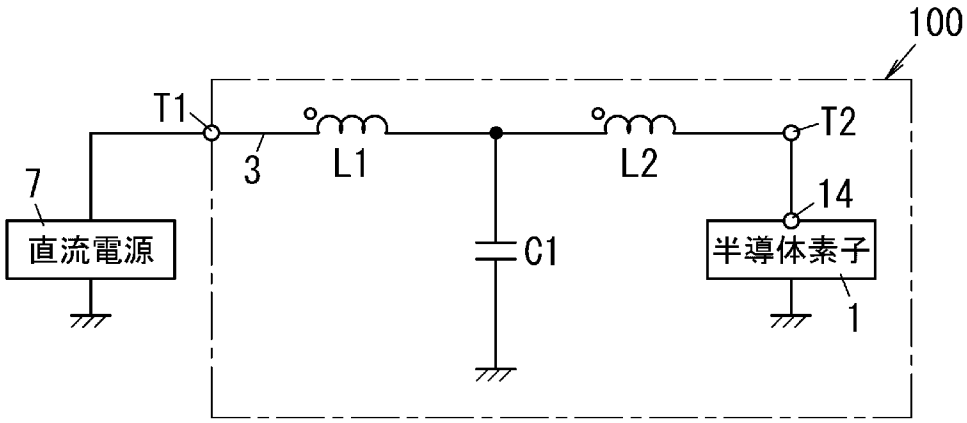
前記チップインダクタの配線部における前記巻回部の巻回軸が、前記モジュール基板の厚さ方向と平行であり、

前記モジュール基板の前記厚さ方向からの平面視で、前記第１インダクタの配線部と前記第２インダクタの配線部の少なくとも一部とが重なる、

請求項１～３のいずれか一項に記載の半導体モジュール。

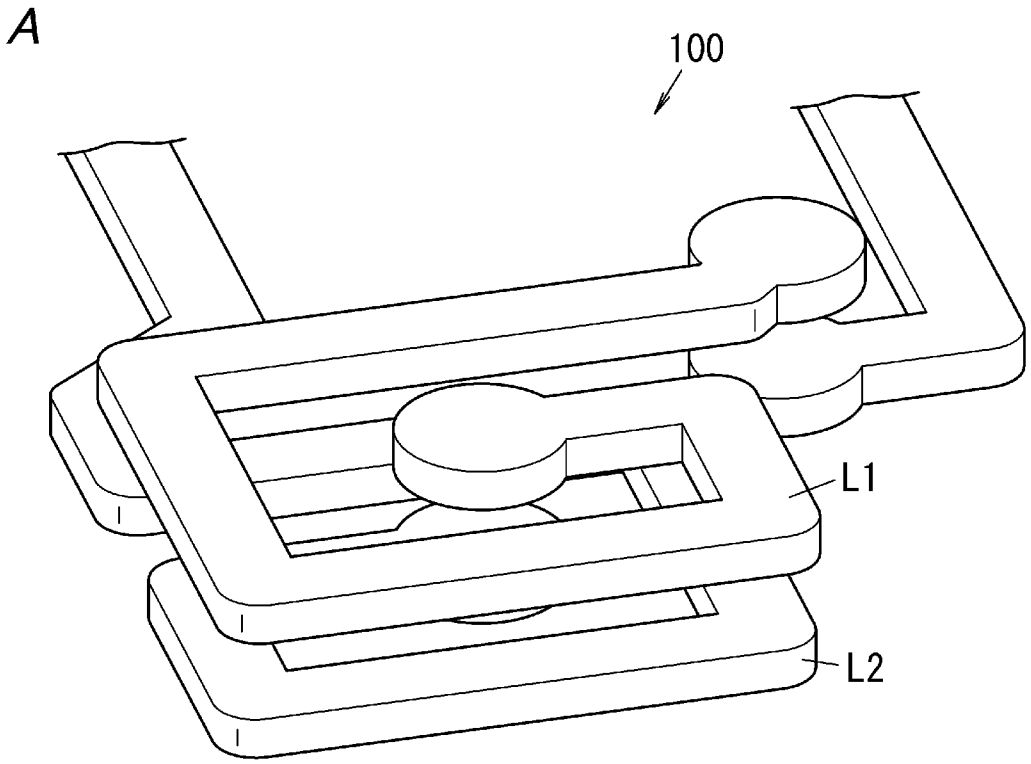
[図1]

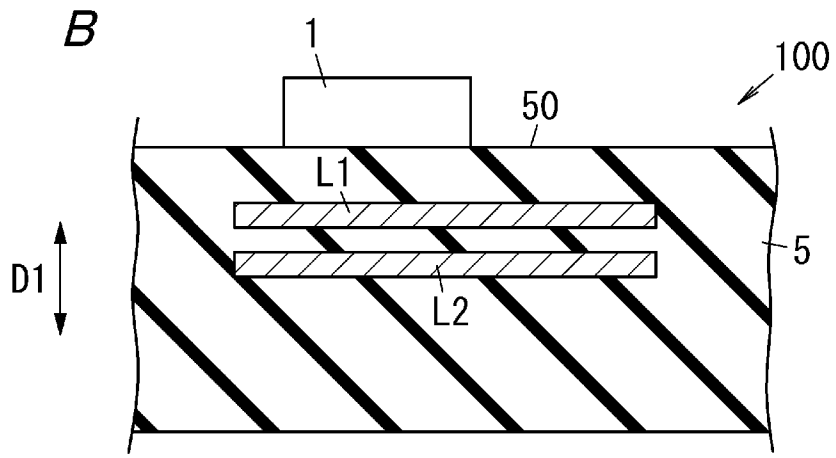
図 1



[図2]

図 2

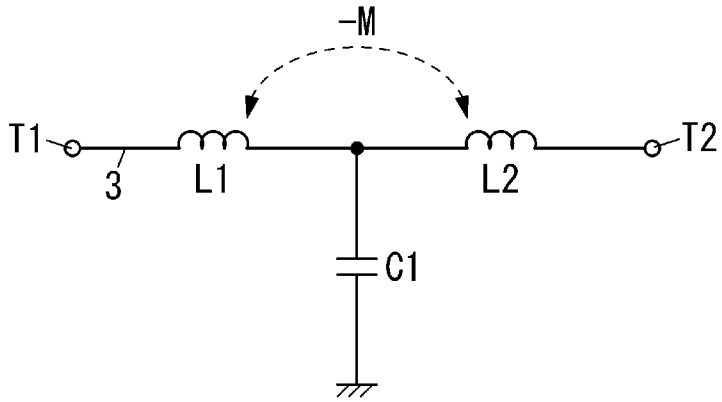




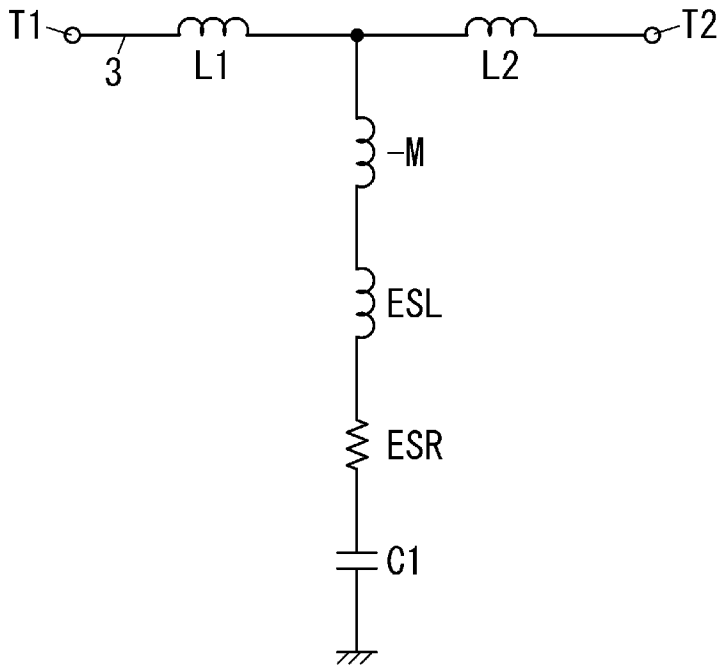
[図3]

図 3

A

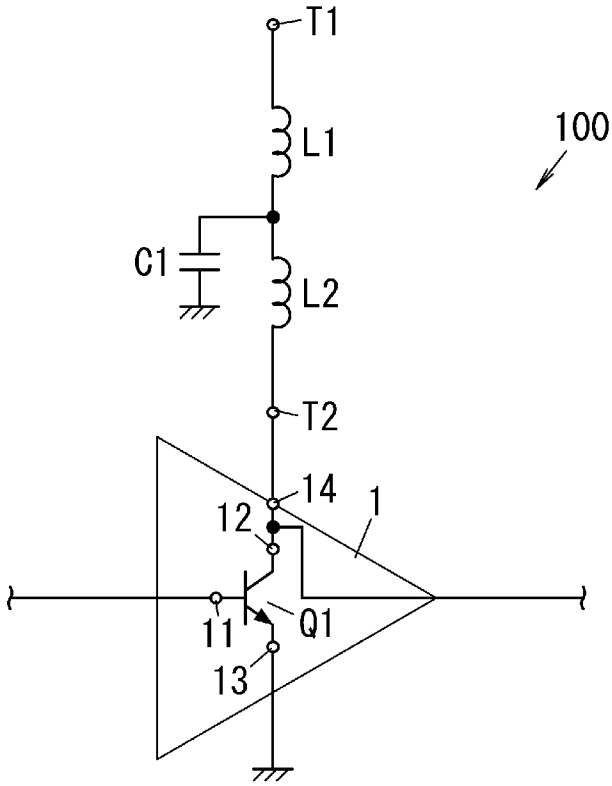


B



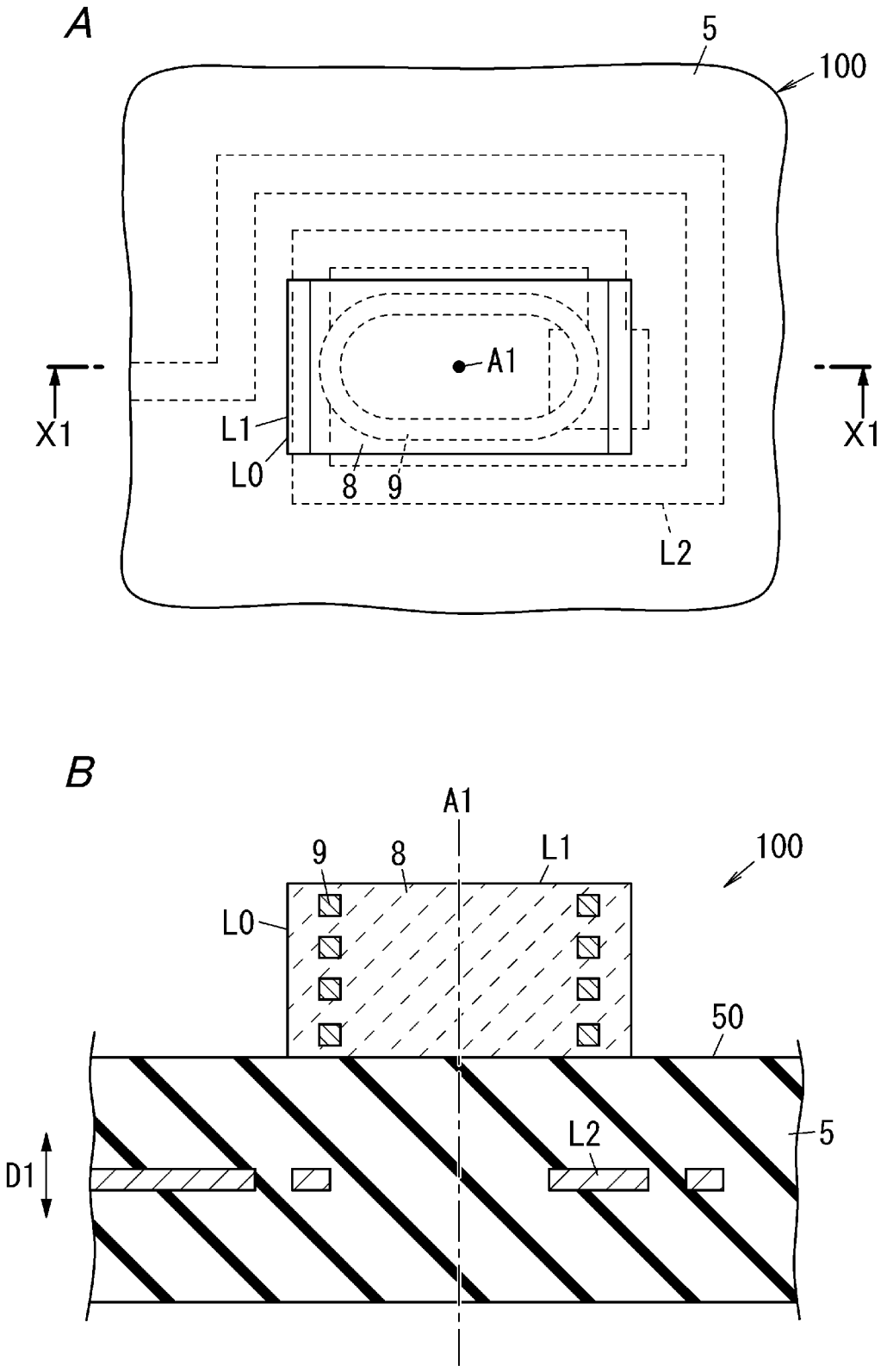
[図4]

図 4



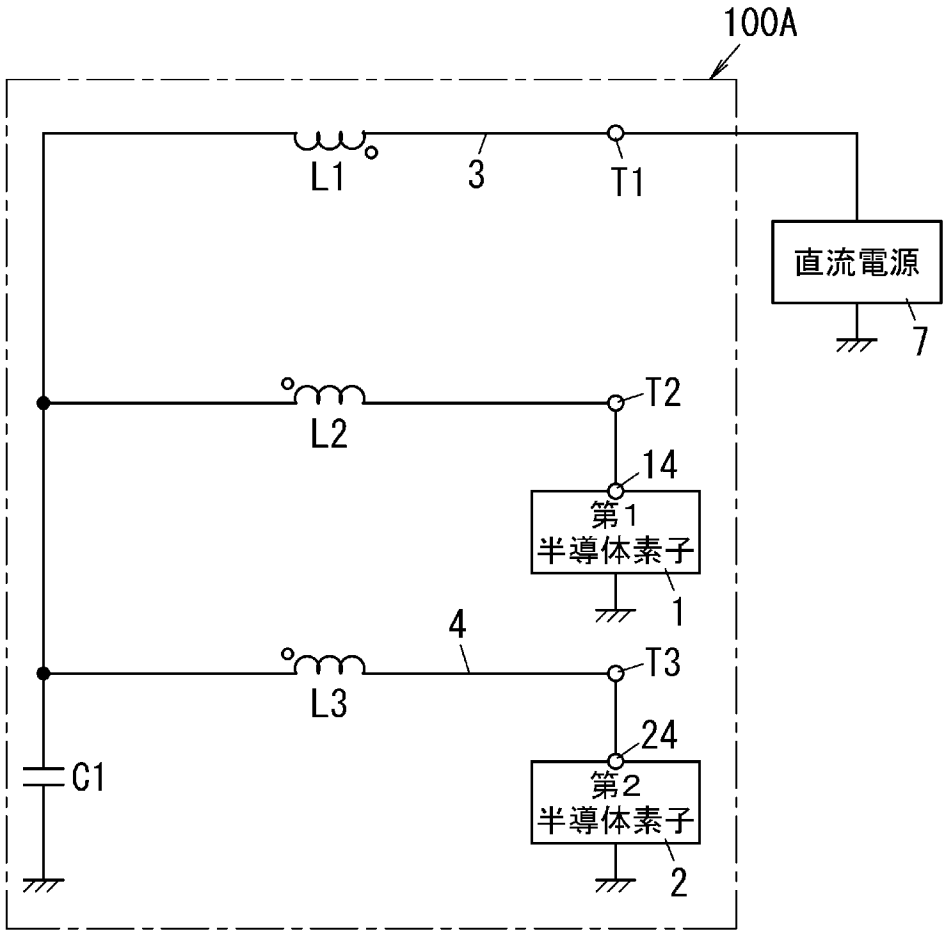
[図5]

図 5



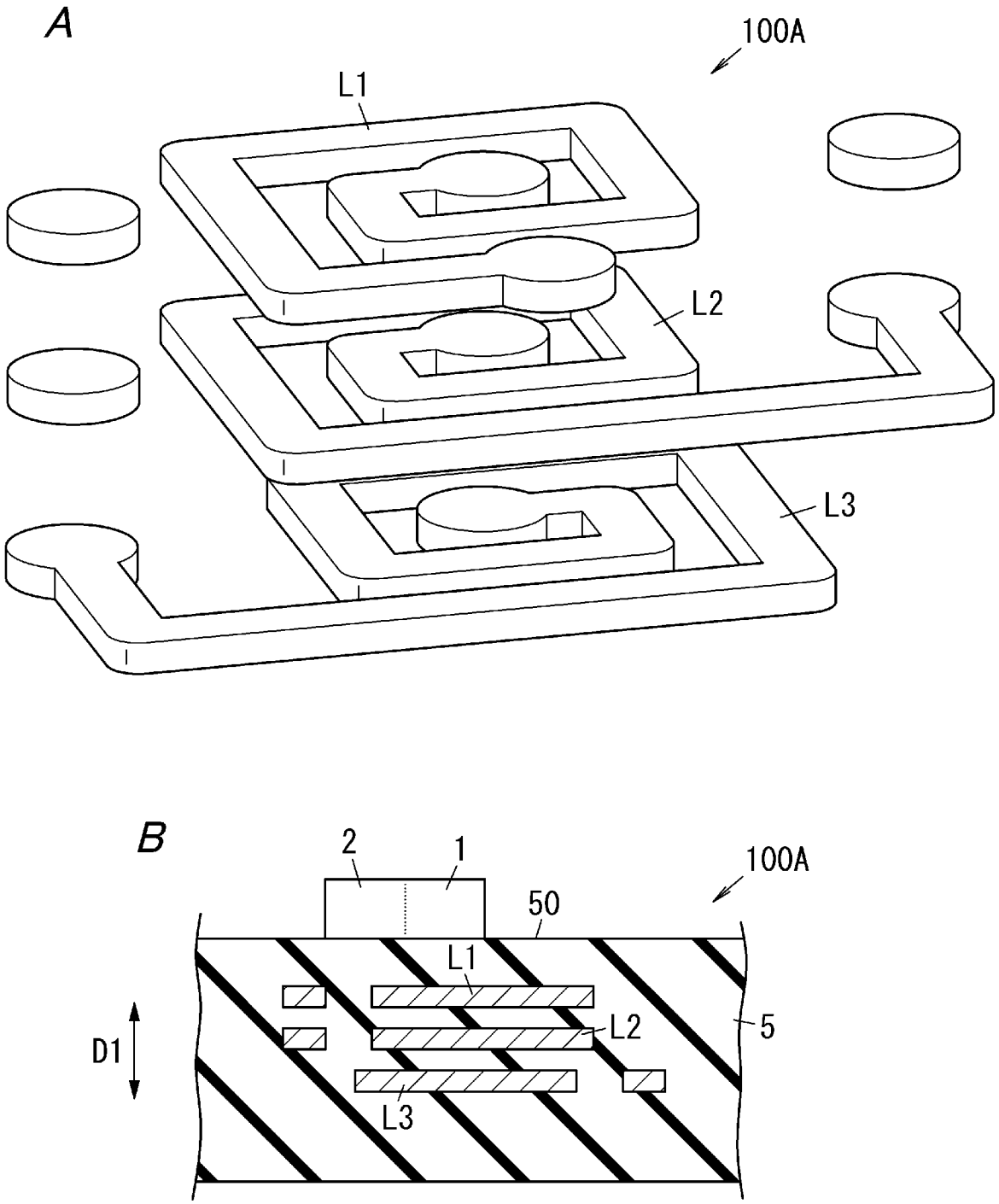
[図6]

図 6



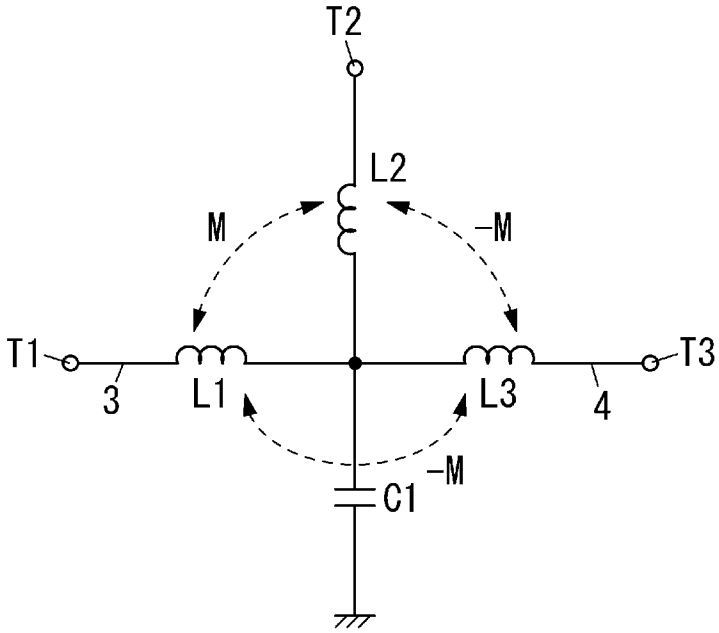
[図7]

図 7



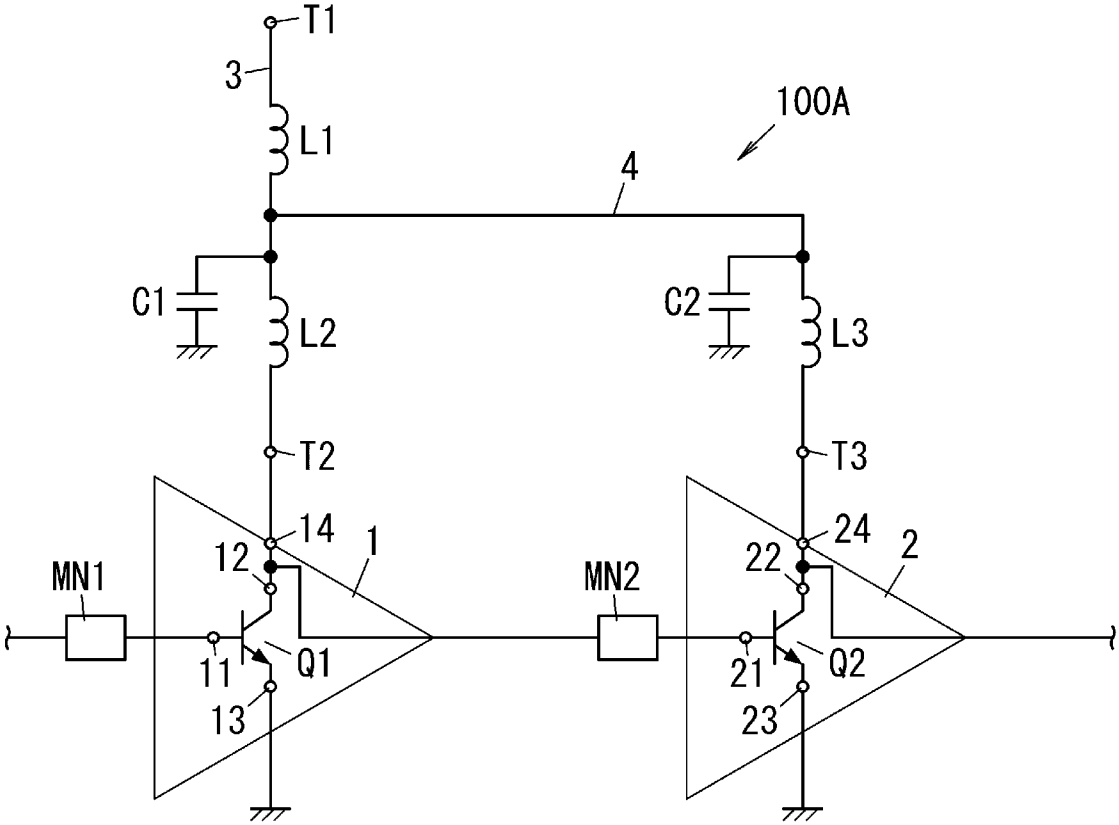
[図8]

図 8


T2
L2
M
−M
T1
T3
3
L1
L3
4
−M
C1

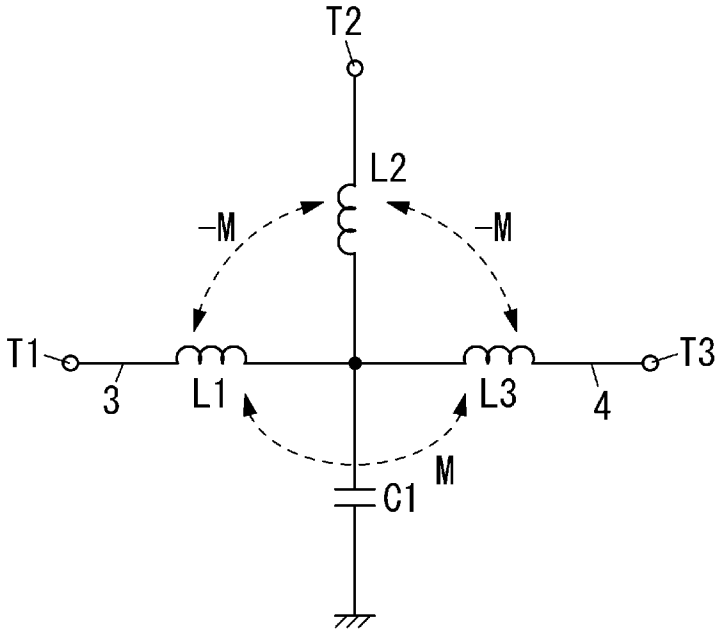
[図9]

図 9


T1
3
L1
100A
4
C1
L2
C2
L3
T2
T3
14
1
12
24
2
22
MN1
MN2
11
Q1
21
Q2
13
23

[図10]

図 10



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/021321

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/12(2006.01)i; ***H01F 17/00***(2006.01)i; ***H01F 27/00***(2006.01)i; ***H01L 25/00***(2006.01)i; ***H03H 7/09***(2006.01)i; ***H05K 1/16***(2006.01)i
FI: H01L23/12 B; H01F17/00 B; H01F27/00 R; H01F27/00 S; H01L25/00 Z; H03H7/09 Z; H05K1/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12; H01F17/00; H01F27/00; H01L25/00; H03H7/09; H05K1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012/0139641 A1 (KACZMAN, Daniel Lee) 07 June 2012 (2012-06-07) paragraphs [0133]-[0141], fig. 11, 12A, 13B	1-3
Y		4, 5
A		6-8
Y	US 2022/0416829 A1 (SILICON LABORATORIES INC.) 29 December 2022 (2022-12-29) paragraphs [0029], [0064]-[0066], fig. 6A-6C, 7	4, 5
A		6-8
A	WO 2019/187251 A1 (MURATA MANUFACTURING CO., LTD.) 03 October 2019 (2019-10-03) paragraphs [0002]-[0004]	1-8

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 July 2024	**16 July 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/021321

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2012/0139641 A1	07 June 2012	WO 2012/078808 A2	
US 2022/0416829 A1	29 December 2022	(Family: none)	
WO 2019/187251 A1	03 October 2019	US 2020/0279684 A1 paragraphs [0003]-[0004] CN 212752225 U	

国際調査報告

国際出願番号
PCT/JP2024/021321

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 23/12(2006.01)i; H01F 17/00(2006.01)i; H01F 27/00(2006.01)i; H01L 25/00(2006.01)i; H03H 7/09(2006.01)i; H05K 1/16(2006.01)i
FI: H01L23/12 B; H01F17/00 B; H01F27/00 R; H01F27/00 S; H01L25/00 Z; H03H7/09 Z; H05K1/16

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/12; H01F17/00; H01F27/00; H01L25/00; H03H7/09; H05K1/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	US 2012/0139641 A1 (KACZMAN Daniel Lee) 07.06.2012 (2012-06-07) [0133]-[0141], FIG.11, FIG.12A, FIG.13B	1-3
Y		4, 5
A		6-8
Y	US 2022/0416829 A1 (SILICON LABORATORIES INC.) 29.12.2022 (2022-12-29) [0029], [0064]-[0066], FIG.6A-FIG.6C, FIG.7	4,5
A		6-8
A	WO 2019/187251 A1 (株式会社村田製作所) 03.10.2019 (2019-10-03) [0002]-[0004]	1-8

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
05.07.2024	16.07.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
清水　稔 5D 8525
電話番号 03-3581-1101 内線 3549

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/021321

引用文献	公表日	パテントファミリー文献	公表日
US 2012/0139641 A1	07.06.2012	WO 2012/078808 A2	
US 2022/0416829 A1	29.12.2022	（ファミリーなし）	
WO 2019/187251 A1	03.10.2019	US 2020/0279684 A1 [0003]-[0004] CN 212752225 U	