

# 公告本

申請日期	91. 4. 16
案 號	9110775S
類 別	H01L 1/66

A4  
C4

538493

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

### 新 型

一、發明名稱	中 文	積體電路之後側電壓量測
	英 文	"MEASURING BACK-SIDE VOLTAGE OF AN INTEGRATED CIRCUIT"
二、發明人	姓 名	1. 克利斯多夫 R. 修 CHRISTOPHER R. SHAW 2. 彰-臣 蔡 CHUN-CHENG TSAO 3. 索多瑞 R. 露多昆斯 THEODORE R. LUNDQUIST
	國 籍	均美國 U.S.A.
住、居所		1. 美國加州蒙特唯市奇伍德路163號 163 CHETWOOD DRIVE, MOUNTAIN VIEW, CA 94043, U.S.A. 2. 美國加州庫普狄市琶皮路1327號 1327 POPPY WAY, CUPERTINO, CA 95014, U.S.A. 3. 美國加州杜布林市卡夫麗路8253號 8253 CAVALIER LANE, DUBLIN, CA 94568, U.S.A.
	三、申請人	姓 名 (名稱) 美商史蘭寶科技公司 SCHLUMBERGER TECHNOLOGIES, INC.
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國加州聖瓊斯市拜塔克路150號 150 BAYTECH DRIVE, SAN JOSE, CALIFORNIA 95134, U.S.A.
	代 表 人 姓 名	丹尼塔 馬斯利 DANITA MASELES



## 五、發明說明 ( 1 )

## 背景

本發明關於利用帶電粒子束作積體電路診斷，特性及修改。

電子束診斷系統許久已為積體電路(IC)特性及調整應用之有力工具。電子束診斷系統之知名特性包含利用內建電腦自動設計(CAD)顯示之二次電子成像，電路導航及利用電壓對比原理(見美專利號碼4,706,019)自主動電路之電壓量測。電子束診斷系統傳統上被用於一IC之前側。正面向下或倒裝IC封裝之實施對電子束診斷系統造成嚴重之限制。利用倒裝封裝之IC僅有IC之後側(矽基板)曝露。

目前有三種方法在倒裝裝置之後側實施電子束量測：(1)建於裝置內部之探針點電路節點存取(如美專利號碼5,990,562所揭示)；(2)裝置製造後以聚焦離子束經曝光之電路節點存取(參見美專利號碼6,147,399所揭示)；(3)完全去除矽基板以便以濕化學蝕刻存取至擴散，以供後側電壓量測(Yoshida等人所著之後側電子束測試方法，刊於LSI測試會刊(1997)，及美專利號碼5,972,725所揭示)。此等方法需要複雜之裝置設計或特殊裝備，或在製造後需要費時之修改。

第一個方法需要在裝置設計階段之帶探測之節點之選擇。裝置製造後，裝置調整或特性化之重要節點由電測試或其他方式決定。用於測試之節點由於設計之失察，不一定有內建之探測點。如在製造後，無需要探測之點，及無內建之探測點，可用聚焦離子束建立至節點之存取。一備選

## 五、發明說明 ( 2 )

方法為將探測點包括於每一裝置節點中，但此點不甚實際。

第二個方法在製造後利用一聚焦離子束系統建立至重要裝置節點之存取。利用此法，以裝置測試或其他方式識別節點，並利用聚焦離子束系統，自裝置後側之待探測之節點之局部區去除矽基板。此方法雖然有效，但可導致裝置受聚焦離子束系統之損壞。此外，聚焦離子系統一次僅能曝露一個裝置節點。建立多裝置之存取甚為困難，實際上為一費時及損害之事。

以濕化學蝕刻去除矽基板之第三個方法，僅能應用於以絕緣矽片(SOI)技術或有磊晶層之CMOS裝置製造之裝置。SOI裝置之 $\text{SiO}_2$ 層及CMOS裝置之磊晶層係用作障礙以阻止化學蝕刻反應。此方法需要利用特殊裝備以運送化學蝕刻劑之工作及花費。一旦矽基板已完全去除，仍然存在確實找到節點之問題。

## 發明概述

在一方面，本發明之特點為特性化及修改一積體電路之方法。此方法包括加一電壓至具有薄基板層之積體電路之一電路元件。此電路元件在薄積板層之外表面之下，所加之電壓在外表面上感應一電位。此電位被作為外表面之表面特性而偵出。

另一方面，本發明之特點為決定積體電路中電路元件之位置之方法。此方法包括以偵出外表面一區域之電位而獲得電壓對比影像。此電壓對比影像用以決定電路元件之位置。

## 五、發明說明 ( 3 )

另一方面，本發明之特點為特性化一積體電路。此方法包括，以自電子束探測器之電子束在電路中感應一通過薄基板之電流，及偵出感應電流以執行失效分析。

以下之一或多個特性可包括於特殊實施中。基板可為矽基板。薄基板層可由最深之井打薄基板至1-3微米而建立。基板之外表面可予以拋光。偵測電位可包括施加一帶電粒子束於外表面，及量測由帶電粒子束產生之二次粒子。帶電粒子束可為一電子束或聚焦離子束。電路元件可為N-井層，或P擴散於N井，一P-井層，及N擴散於P井，或積體電路之一擴散區。施加之電壓包括與時間相關，或時間獨立成分或二者。一散熱元件可置於外表面。電壓對比影像可與CAD布局影像對齊。

本發明實施後可實現以下一或多個優點。1，在前側具有金屬之IC可由帶電粒子束偵出，特性化或修改。2，此一偵測不致有損電路或使其失效。3，電路元件可予以量測而不需製造一連接至電路元件之探測點。4，以影像方法或電子束多工處理方法，同時可診斷數個電路元件。5，一帶電粒子束可將電路元件成像，所成之影像可導引電路找到待探測之電路元件。6，電子束可用以修改電路，即利用一電荷注入以損壞CMOS電晶體之閘氧化物。7，利用本發明之技術以測繪IC之電晶體以方便反向工程。8，電子束探測之應用可以擴展，因為聚焦離子束探測點不必建立。9，電路中量測及電路修改可由同一儀器實施，例如一傳統電子探測器。10，以電子束沉積加強蝕刻，可增

## 五、發明說明( 4 )

加電路中修改能力於電子束系統。11, 發現IC之結構後, 可利用電子束運送一電子劑量至任何節點, 以利用EBIC(電子束感應電流)作失效分析。

本發明之一或多個實施例配合圖式說明如下。本發明之其他特性及優點將可自以下說明, 圖式及申請專利範圍而更為明顯。

## 圖式簡略說明

圖1為本發明一實施例使用之電子束診斷系統以量測倒裝晶片IC方法流程圖。

圖2顯示倒裝晶片IC(習知技藝)拋光略圖。

圖3為一略圖顯示本發明實施中一電子束診斷系統中之已拋光倒裝晶片IC。

圖4為利用本發明一實施中之電子束診斷系統找出倒裝晶片IC之電子元件之位置方法流程圖。

圖5為以電壓加在已拋光倒裝晶片IC之N-井層之電壓對比影像。

圖6為對應圖5之電腦協助布局影像。

圖7a顯示自一拋光晶片IC之矽側探測之電路元件, 圖7b為對應CAD布局影像。

圖8為自一拋光晶片IC之矽側電子束量測之結果。

各圖式中相同號碼代表相似元件。

## 詳細說明

一帶電粒子束診斷系統根據本發明, 可經拋光之矽基板提供至下方結構之存取用以診斷, 個性化及修改倒裝晶片

## 五、發明說明( 5 )

或其他IC之電路元件。此點可實施在無法存取，但拆卸後可存取之ICs，故本發明可應用於失效分析。

如圖1所示，本發明之方法100具有五步驟。最初，倒裝晶片IC，即IC之基板變薄及拋光(步驟110)，如圖2之詳細說明。變薄之IC置於帶電粒子束診斷系統(步驟120)，如圖3所示。適當之系統包括Schlumberger IDS 10000da電子束探測系統，該系統可購自加州聖荷西之Schlumberger半導體溶液。使用此系統，待探測之電路元件可被識別(步驟130)；圖4-6說明此步驟之實施。一電壓加至電路元件，施加電壓之反應可以量出(步驟150)；圖7a，7b及圖8說明此點。決定電路元件位置後，可用帶電粒子束以模擬電路，反應可使用粒子束(此目的之多工處理)量測，或在存取點如銷或IC之接點量測。

圖2為一略圖說明倒裝晶片IC 210之細化以備量測。倒裝晶片IC 210有一矽積板212，其厚度213典型在300至700  $\mu$ m(微米)之間。基板212覆於封裝板214上，其面對基板212上之電路元件並電連接至焊接球216。焊接球216為外部連接，外部電壓可經此連接加至倒裝晶片IC 210。倒裝晶片IC 210細化後可獲得一變薄之倒裝晶片IC 210'並有拋光之外表面211。細化之基板212'有一剩餘厚度213'(圖3)自最深井約為1-3  $\mu$ m。此厚度可以達成而不致損壞電路元件，即利用2001年8月7日提出之共有美專利申請號碼09/924,736中敘述之倒裝晶片封裝之積體電路之整體印模細化及拋光方法，該申請以參考方式併入此文。其他細化技術亦可使用，如

## 五、發明說明 ( 6 )

濕或乾化學蝕刻(如美專利號碼6,093,331所述)作整體基板移除,或以雷射化學蝕刻,以飛秒雷射燒蝕,以聚焦離子束,以研磨或RIE(反應離子蝕刻)等方法去除基板。此外,不同基板材料需要不同剩餘厚度213',視外表面211與某電路元件間之電磁耦合而定,如下所述。

圖3為一略圖,說明一變薄之倒裝晶片IC 210'(此例中為pFET)置於帶電粒子束診斷系統之取樣保持器300上。此倒裝晶片IC 210'有一N-井310,其具有擴散源極320及擴散汲極330,由一具有閘極氧化物345之閘極340連接。一電壓可經接點350及金屬線360加至擴散源極320或汲極330。當電壓加上時,粒子束槍375將帶電粒子束370,一典型電子束聚焦於一變薄基板212'之外表面211上之一點上。電子束370產生二次電子380,由光電倍增器385偵出。光電倍增器385提供偵出之強度,此強度與帶電粒子束370到達變薄基板212'之外表面211之一點上電位相關。此電位可受電路元件,如N-井310,擴散源極320或擴散汲極330所影響:當此等電路元件收到電壓激勵,一電磁耦合將在此等電路元件上及附近之電荷重新安排。電壓激勵可由裝置激勵電子395提供,其可為一電路測試器或信號驅動器。特別是,電磁耦合可提供一電容耦合至外表面211,及改變該處之電位。例如,當正電壓加至N-井310,面對N-井310之外表面211之電壓改變;此電位改變降低二次電子380之數目,結果,在電壓對比影像中,光電倍增器385偵出一降低之強度。偵出之強度轉移到控制器390,其亦控制粒子束槍375及取樣保持器300。(

## 五、發明說明 ( 7 )

注意，為波形探測計，信號至光電倍增器管之前，有一能量量測。例如，電子束探測器之控制器將改變能量濾波器通過條件，故信號，即粒子無改變。此舉可使雜音與信號無關。參見美專利號碼4,706,019)。

圖4為一流程圖，顯示步驟130之實施：此一實施可藉變薄之倒裝晶片之N-井層之電壓對比影像之助，識別出待探測之電路元件。一正DC電壓加至N-井層(步驟410)。正DC電壓可選擇性提供作為一般電壓信號之一部分，其在外表面211上產生電位變化。電壓對比影像可由跨觀看區量測此等變化而獲得(步驟420)。此一影像以後用以導引找出IC中之結構。例如，外表面211，可用帶電粒子束370跨基板平移而被掃描，即光柵掃描。此一掃描可由控制器390加以控制，其可改變粒子束槍375之瞄準，或改變取樣保持器300之位置。當粒子束跨基板移動偵測器385量測產生之二次電子380，並將其偵出之強度傳輸至控制器390。電壓對比影像係指定偵出之強度至影像像素而構成。如上所述，對應N-井層之表面特性建立一電壓對比影像，較少之二次電子380造成較低之偵出強度。如利用電子束量測一裝置中之改變電壓，調節電子束探測器之能量濾波器可使二次電子收集之強度最大。

圖5顯示一結合電壓對比影像---以一3.3V DC電壓加至N-井層，以較暗出現之區域代表二次電子之較低強度。通常，施加一DC電壓可施加一正常電壓至IC's之功率銷或接點而完成。此電壓對比影像(步驟430)與對應之CAD布局影像

## 五、發明說明 ( 8 )

對齊。對應圖 5 之 CAD 布局影像顯示於圖 6 中。此 CAD 影像用以導引至待探測之電路元件(步驟 440)。對應元件之信號於是可予量測(步驟 450)。

一電路元件之電壓對比影像所示之對比與加在電路元件之電壓有關。例如，一變薄之倒裝晶片矽基 IC 之 N-井層之影像中，電壓對比影像與數因素有關，包括耦合 N-井層至外表面之電磁耦合之耦合強度，此耦合強度隨變薄基板之剩餘厚度，及隨加至 N-井層之 DC 電壓而變化。DC 電壓增加時，耦合強度增加，結果，N-井層將較 DC 電壓增加時之矽基板更暗。同理，降低剩餘厚度可增加電壓對比。

圖 7a, 7b 及 8 顯示如何利用電壓對比影像之與電壓相關之優點，及實施步驟 140 及 150(圖 1)。圖 7a 顯示一電路元件在 N-井 704 中有一 P-擴散層 702，與圖 3 之擴散源極 320 及汲極 330 相似。此 P-擴散層在電壓對比影像中與對應之 CAD 布局影像(圖 7b)對齊而識別出來，該圖顯示對應之 P-擴散層及 N-井層如區域 712 及 714。P-擴散層較 N-井層在電壓對比影像(圖 7a)上顯示較暗，此係二層間之電壓差之故。此電壓差係與時間有關，即，根據實施步驟 140，AC 電壓加在 P-擴散層。結果，電壓對比影像上之暗度或強度與時間相關；強度之時間依存性可在步驟 150 時由電子束診斷系統之控制器 390 量測。

圖 8 顯示 N-井強度量測波形之結果，其中之定期步進型電壓(此例為方波，3.3V，7.81MHz)加至變薄之倒裝晶片 IC 之電路元件上。圖 8 中，每一垂直量度為 500mV，水平量度

## 五、發明說明( 9 )

為 50 ns(毫微秒)。如圖 8 所示，量測之強度與所加電壓有一相同期間，但步進形狀不同。此一形狀改變係在加電壓之電路元件與帶電粒子束量測之外表面之一點間之電磁耦合特性。圖 8 中，形狀改變可用電磁耦合之電容或電阻性說明。任何情形下，此量測之退化係由於厚度，當矽進一步變薄時確實降低。

某些情況下，應使用熱擴散技術。例如，熱擴散元件可置於外表面 211 上以增加矽基板 210' 之熱擴散能力。熱擴散元件可為一鑽石熱擴散器，如 Eiles T., 等人，在測試及失效分析(2000)年會發表之高功率微處理器之後側光學分析用之透明熱擴散器所揭示者相似。因為電子束無法穿透鑽石，熱擴散器需加修改，即在外表面 211 之目標區之上方，置一貫穿洞。此外，鑽石熱擴散器與變薄之表面 210' 可作調整，以提供適當之熱擴散，及使鑽石上之洞能追蹤分析之區域以使電子束掃描較洞為大之外表面 211 之一區域。

本發明之數個實施已說明如上。但可瞭解，可作不同之修改而不致有悖本發明之精神與範疇。例如，某些應用中，鎘離子聚焦束可以使用以取代電子束。本發明可實施於上述之以外之裝置上，包括雙極裝置。本發明可實施於上述特殊基板以外之不同基板，包括砷化鎘基板及 N-型矽基板。準此，其它實施亦在以下申請專利範圍之內。

## 四、中文發明摘要(發明之名稱：積體電路之後側電壓量測)

一種利用一帶電粒子束以供積體電路診斷之方法。在一實施例中，積體電路之大型矽基板自最深井之厚度約為1-3  $\mu\text{m}$ ，一電壓加在一電路元件上，該元件位於薄基板之外表面之下。所加之電壓在外表面感應一電位，該電位由其與帶電粒子束之相用作用而被偵出作為外表面之表面特性。

## 英文發明摘要(發明之名稱："MEASURING BACK-SIDE VOLTAGE OF AN INTEGRATED CIRCUIT")

Methods for integrated circuit diagnosis, characterization or modification using a charged particle beam. In one implementation, the bulk silicon substrate of an integrated circuit is thinned to about 1 to 3  $\mu\text{m}$  from the deepest well, a voltage is applied to a circuit element that is beneath the outer surface of the thinned substrate. The applied voltage induces an electrical potential on the outer surface, which is detected as a surface feature on the outer surface by its interaction with the charged particle beam.

## 五、發明說明 ( 10 )

## 圖式元件符號說明

210	倒裝晶片 IC	345	閘極氧化物
210'	變薄之倒裝晶片 IC	350	接點
211	外表面	360	金屬線
212	基板	370	帶電粒子束
212'	細化之基板	375	粒子束槍
213	厚度	380	二次電子
213'	剩餘厚度	385	光電倍增器
214	封裝板	390	控制器
216	焊接球	395	裝置激勵電子
300	樣品保持器	702	P-擴散層
310	N-井	704	N-井
320	擴散源極	712	區域
330	擴散汲極	714	區域
340	閘極		

## 六、申請專利範圍

1. 一種測量積體電路之特性之方法，包含：

施加一電壓至具有薄基板層之積體電路之電路元件，電路元件位於薄基板層外表面之下方，所加之電壓在外表面上感應一電位；及

偵出電位以作為外表面上之表面特性。

2. 如申請專利範圍第1項之方法，其中該基板係一矽基板，方法含：

將基板自最深之井細化至1-3微米以建立一薄基板層。

3. 如申請專利範圍第2項之方法，其中該建立一薄基板層尚含：

將基板外表面拋光。

4. 如申請專利範圍第1項之方法，其中該偵出電位尚含：

施加一帶電粒子束至外表面，及量測由帶電粒子束產生之二次粒子。

5. 如申請專利範圍第4項之方法，其中該帶電粒子束為一電子束。

6. 如申請專利範圍第4項之方法，其中該帶電粒子束為一聚焦離子束。

7. 如申請專利範圍第1項之方法，尚含：

偵出外表面上因埋入之電路元件而起之複數個特性之電位，以獲得一表面電壓對比影像。

8. 如申請專利範圍第7項之方法，尚含：

## 六、申請專利範圍

利用電壓對比影像找出積體電路中之電路元件。

9.如申請專利範圍第8項之方法，尚含：

與CAD布局影像對齊電壓對比影像。

10.如申請專利範圍第1項之方法，其中該電路元件為積體電路之一N-井層。

11.如申請專利範圍第10項之方法，其中該電路元件為一在N井中之P擴散。

12.如申請專利範圍第1項之方法，其中之電路元件為積體電路之一P-井層。

13.如申請專利範圍第12項之方法，其中該電路元件P井中之一N擴散。

14.如申請專利範圍第1項之方法，其中該電路元件為積體電路之一擴散區。

15.如申請專利範圍第1項之方法，其中該施加之電壓包括時間相關成份。

16.如申請專利範圍第1項之方法，其中該施加之電壓包括一與時間無關之成份。

17.如申請專利範圍第1項之方法，尚含放置一熱擴散器於外表面上。

18.一種用以決定積體電路中一電路元件之位置之方法，包含：

施加一電壓於具有薄基板層之積體電路之電路元件，電路元件位於薄基板層外表面之下方，所加之電壓

## 六、申請專利範圍

在外表面感應一電位；

在外表面區域偵出電位以獲得電壓對比影像；及  
利用電壓對比影像決定電路元件之位置。

19.如申請專利範圍第18項之方法，尚含：

與CAD布局影像對齊電壓對比影像。

20.如申請專利範圍第18項之方法，其中該偵出電位方法包括施加一帶電粒子束於外表面，及量測由帶電粒子束產生之二次粒子。

21.如申請專利範圍第20項之方法，其中該帶電粒子束為一電子束。

22.如申請專利範圍第18項之方法，其中該電路元件為一N-井層。

23.如申請專利範圍第18項之方法，其中該所加之電壓為DC電壓。

24.一種測量積體電路之特性之方法，包含：

施加一電壓至電路元件以決定電路元件在積體電路中之位置，電路元件係配置在薄基板之上及位於薄基板外表面之下方，施加之電壓在外表面感應一電位，利用一電子束探測器以偵出電位作為外表面之表面特性；及  
以來自電子束探測器之電子束經由薄基板感應一電流於電路元件。

25.如申請專利範圍第24項之方法，尚含：

偵出感應電流以實施失效分析。

第 091107758 號專利申請案  
中文圖式替換本(92年4月)

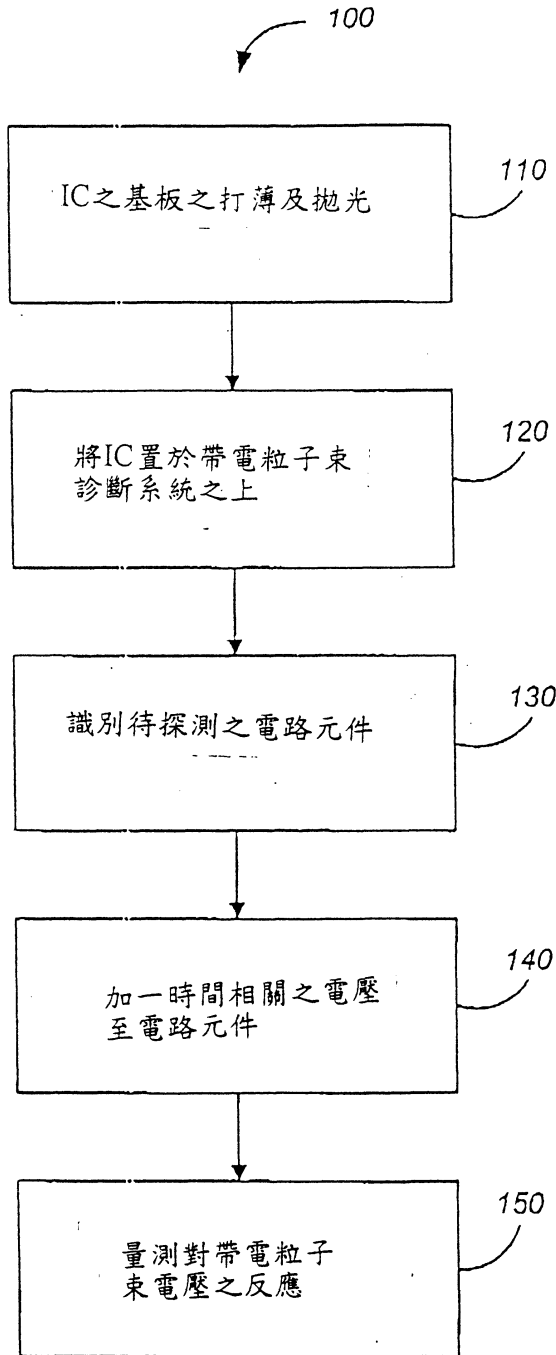


圖 1

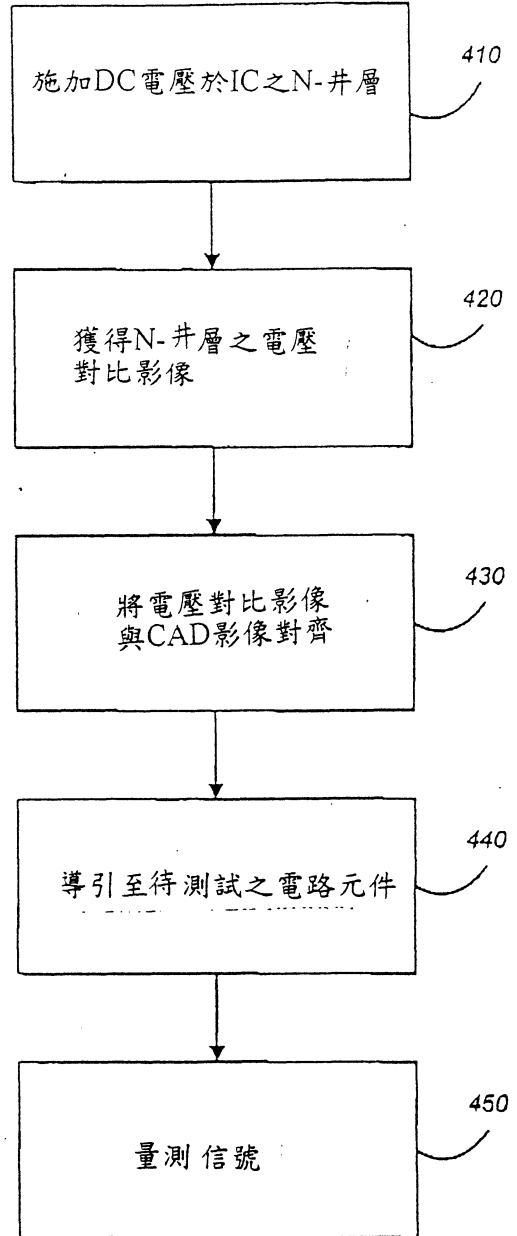


圖 4

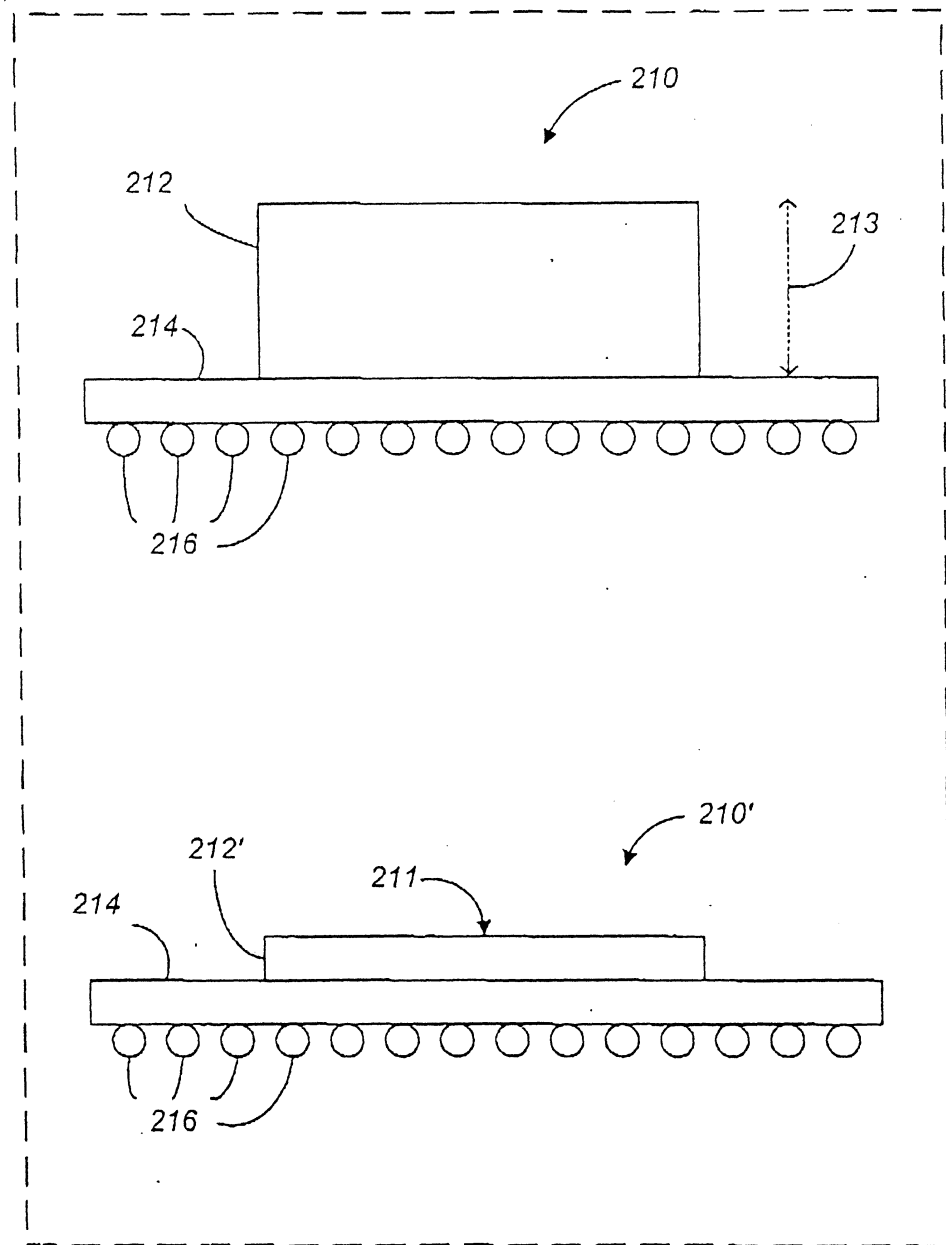


圖 2

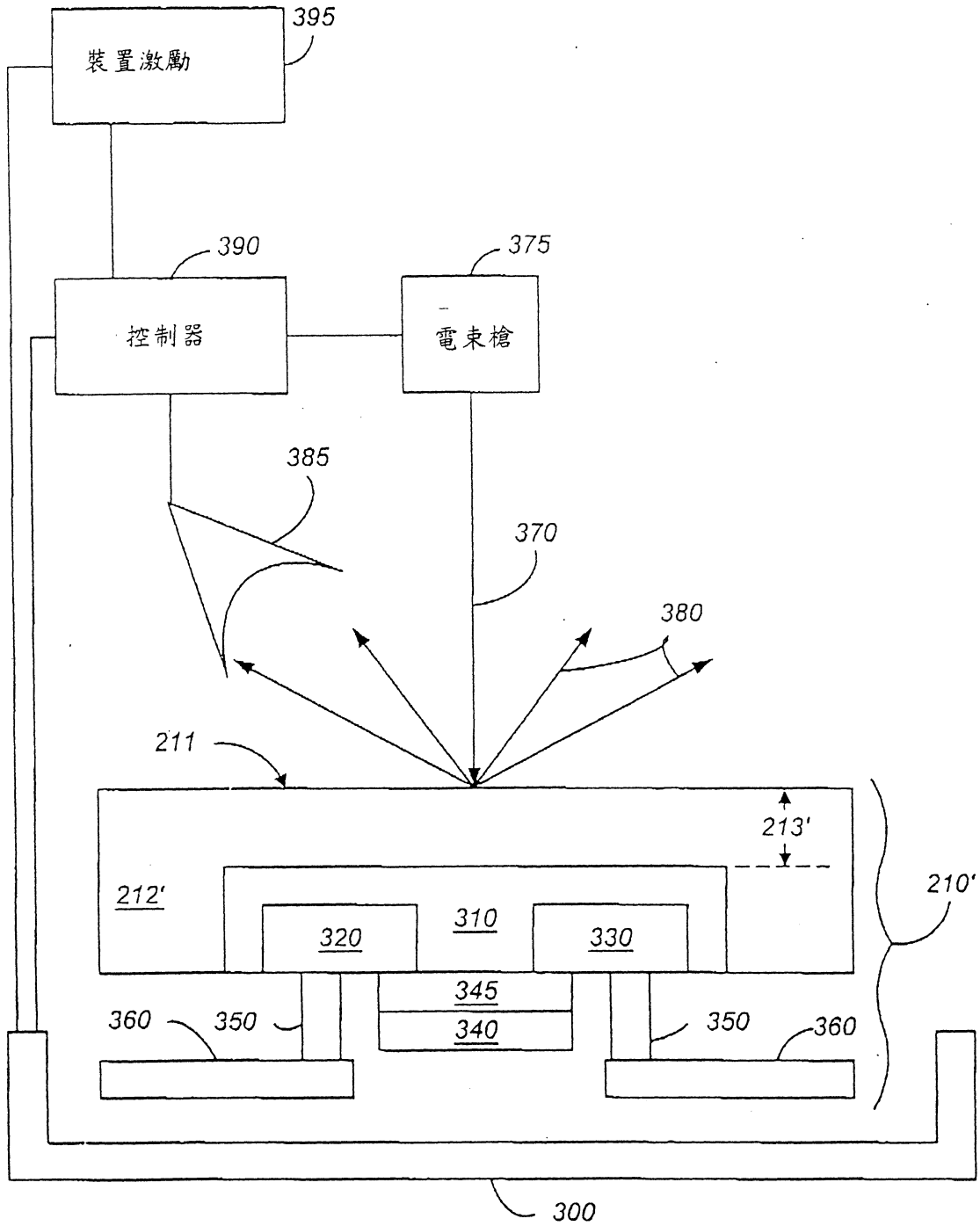


圖 3

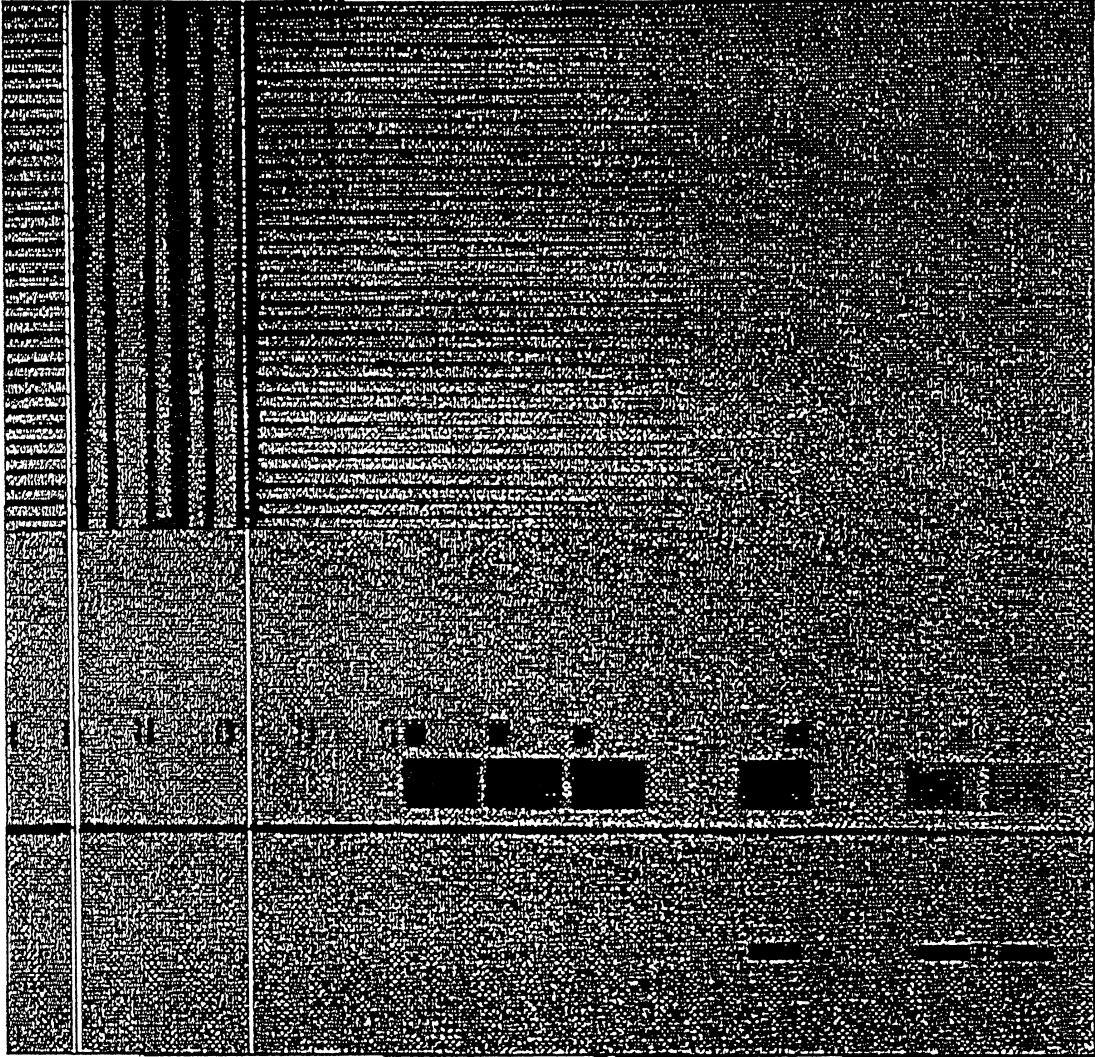


圖 5

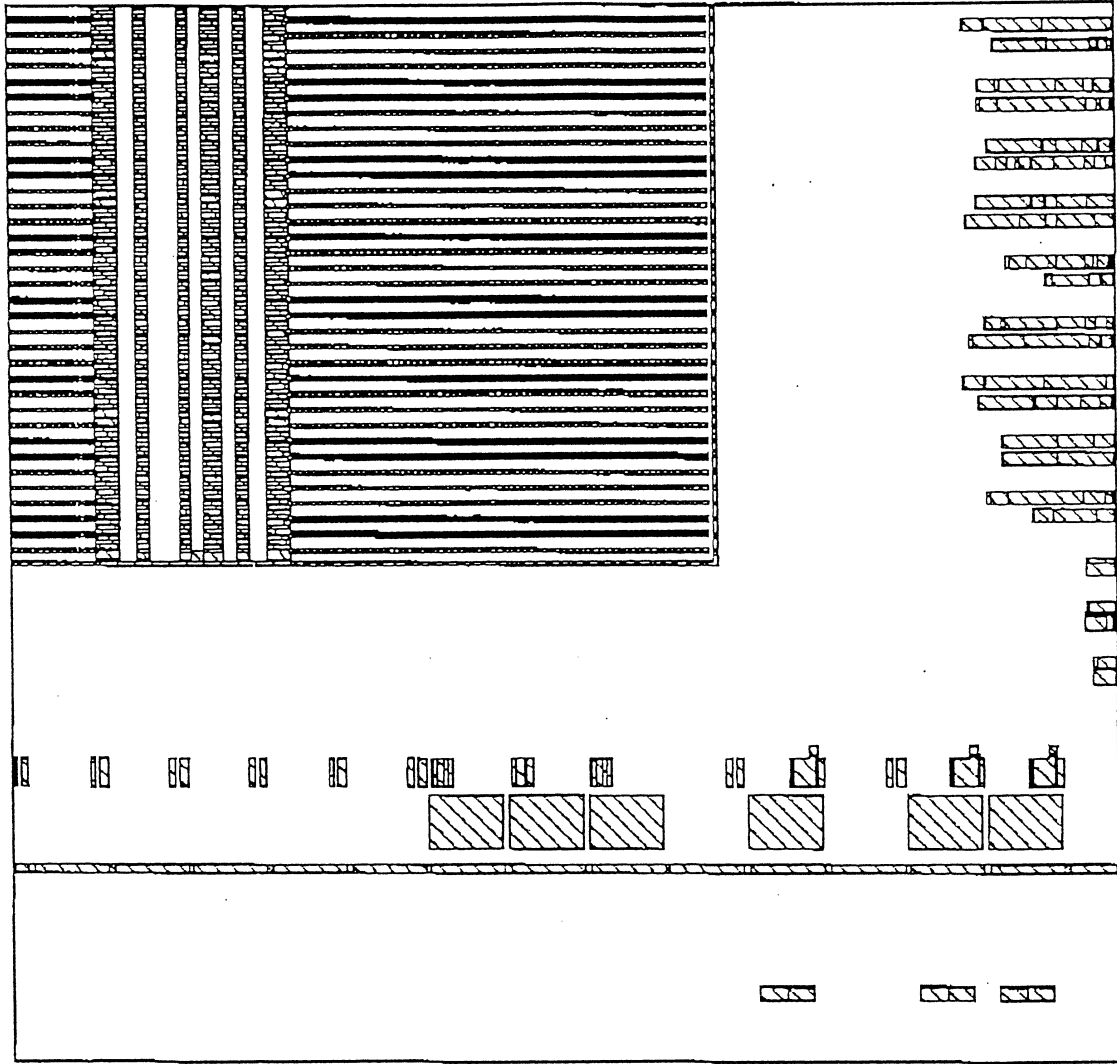


圖 6

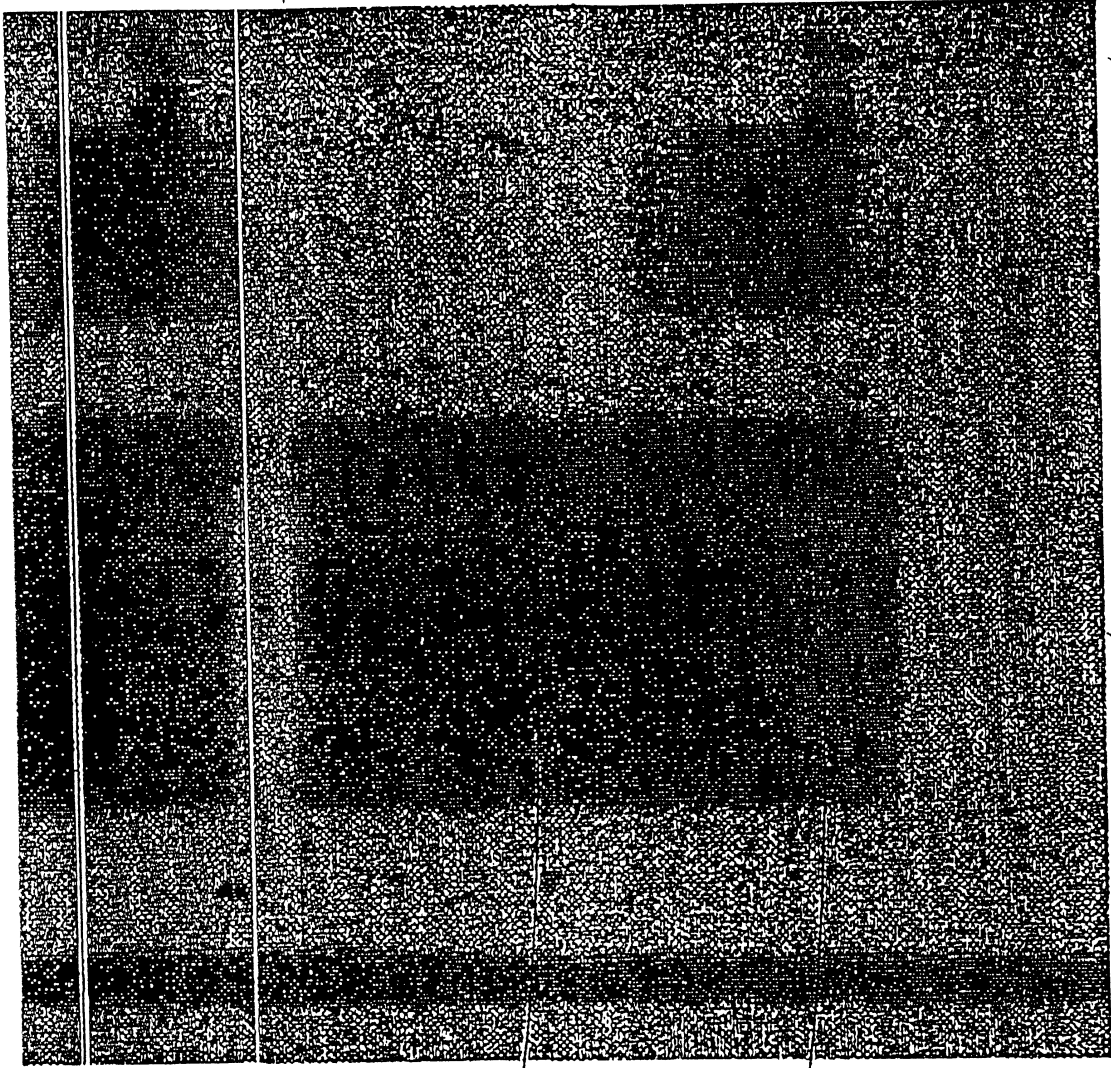


圖 7a

702

704

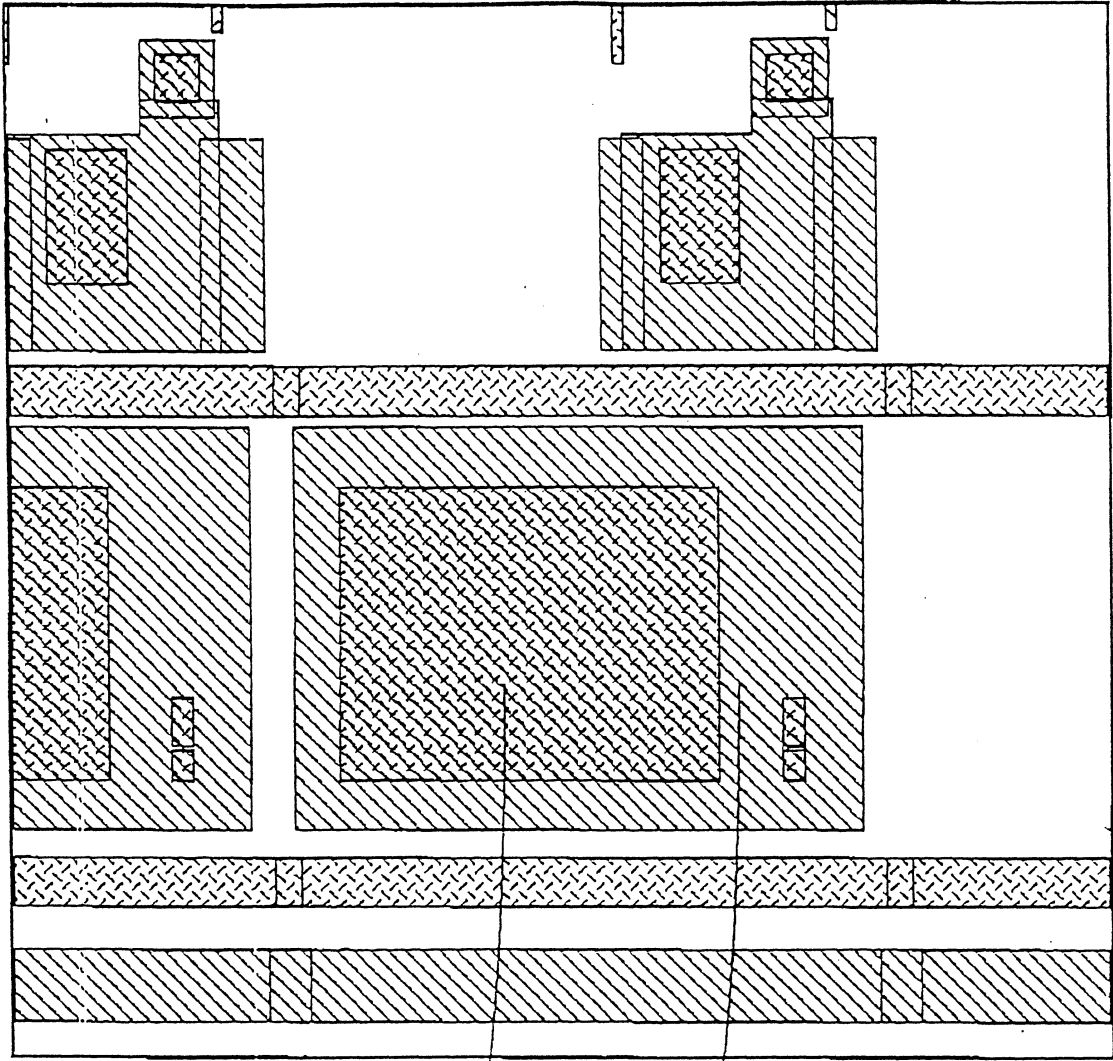


圖 7b

712

714

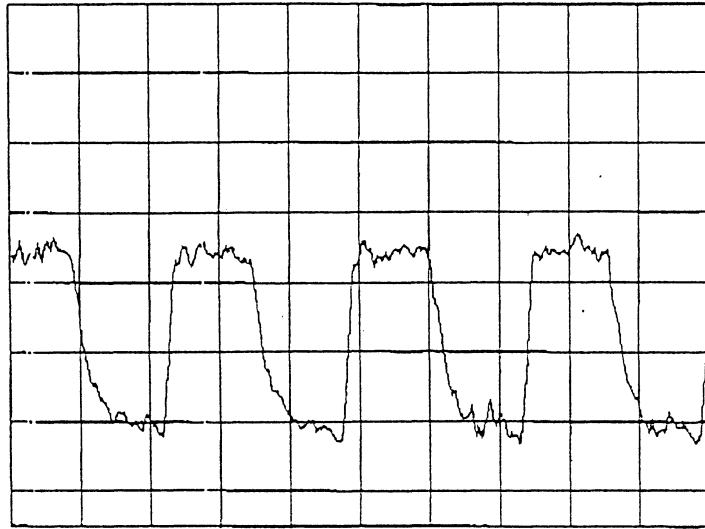


圖 8