

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4731816号
(P4731816)

(45) 発行日 平成23年7月27日(2011.7.27)

(24) 登録日 平成23年4月28日(2011.4.28)

(51) Int.Cl.

F I

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 3 O 1 W

H O 1 L 29/06 (2006.01)

H O 1 L 29/78 6 5 2 P

H O 1 L 29/739 (2006.01)

H O 1 L 29/78 6 5 5 F

H O 1 L 29/861 (2006.01)

H O 1 L 29/06 3 O 1 F

H O 1 L 29/91 D

請求項の数 9 (全 34 頁)

(21) 出願番号 特願2004-16663 (P2004-16663)
 (22) 出願日 平成16年1月26日(2004.1.26)
 (65) 公開番号 特開2005-209983 (P2005-209983A)
 (43) 公開日 平成17年8月4日(2005.8.4)
 審査請求日 平成18年5月26日(2006.5.26)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 幡手 一成
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内
 審査官 川村 裕二

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1導電型の第1半導体領域と、

前記第1半導体領域を挟むように形成された第2導電型の第2半導体領域および前記第1半導体領域よりも不純物濃度が高い第1導電型の第3半導体領域と、

前記第1半導体領域上に形成された第1絶縁膜と、

前記第1絶縁膜上に形成され、前記第1半導体領域上方に、前記第3半導体領域から前記第2半導体領域へ向かう第1方向に並べて配設された複数の第1フローティングフィールドプレートと、

前記第1フローティングフィールドプレート上に形成された第2絶縁膜と、

前記第2絶縁膜上に形成され、前記第1半導体領域上方に、前記第1方向に並べて配設された複数の第2フローティングフィールドプレートと、

前記第2フローティングフィールドプレート上に形成された第3絶縁膜と、

前記第3絶縁膜上に形成され、前記第1半導体領域上方に、前記第1方向に並べて配設された複数の第3フローティングフィールドプレートとを備え、

前記第1絶縁膜の厚さをaとし、前記第1フローティングフィールドプレートと前記第2フローティングフィールドプレートとの間の前記厚さの方向である第2方向の距離をbとし、前記第2フローティングフィールドプレートと前記第3フローティングフィールドプレートとの間の前記第2方向の距離をcとしたとき、

 $a > b$ 且つ $a > c$ である

ことを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置であって、

前記第 3 半導体領域上に形成された電極をさらに有し、

前記電極は、前記第 1 絶縁膜上に延びる第 1 電極部および前記第 2 絶縁膜上に延びる第 2 電極部を有し、

前記第 2 電極部における前記第 1 絶縁膜上方を前記第 1 方向に延びた部分の長さは、前記第 1 電極部における前記第 1 絶縁膜上方を前記第 1 方向に延びた部分の長さよりも長いことを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置であって、

前記第 1 電極部における前記第 1 絶縁膜上方を前記第 1 方向に延びた部分の長さを d とし、前記第 2 電極部における前記第 1 絶縁膜上方を前記第 1 方向に延びた部分の長さが、前記長さ d よりもさらに長さ e だけ長いとしたとき、

$d > e$ である

ことを特徴とする半導体装置。

【請求項 4】

第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域を挟むように形成された第 2 導電型の第 2 半導体領域および前記第 1 半導体領域よりも不純物濃度が高い第 1 導電型の第 3 半導体領域と、

前記第 1 半導体領域上に形成された第 1 絶縁膜と、

前記第 1 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 3 半導体領域から前記第 2 半導体領域へ向かう第 1 方向に並べて配設された複数個の第 1 フローティングフィールドプレートと、

前記第 1 フローティングフィールドプレート上に形成された第 2 絶縁膜と、

前記第 2 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 1 方向に並べて配設された複数個の第 2 フローティングフィールドプレートと、

前記第 2 フローティングフィールドプレート上に形成された第 3 絶縁膜と、

前記第 3 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 1 方向に並べて配設された複数個の第 3 フローティングフィールドプレートとを備える半導体装置であって、

前記第 1 絶縁膜の厚さを a とし、前記第 1 フローティングフィールドプレートと前記第 2 フローティングフィールドプレートとの間の前記厚さの方向である第 2 方向の距離を b とし、前記第 2 フローティングフィールドプレートと前記第 3 フローティングフィールドプレートとの間の前記第 2 方向の距離を c としたとき、

$c < a$ 、且つ、 $c < b$ である

ことを特徴とする半導体装置。

【請求項 5】

請求項 1 から請求項 4 のいずれかに記載の半導体装置であって、

前記第 2 半導体領域は、トランジスタのチャネル領域として機能し、

前記第 3 半導体領域は、前記トランジスタのドレインとして機能することを特徴とする半導体装置。

【請求項 6】

請求項 1 から請求項 4 のいずれかに記載の半導体装置であって、

前記第 2 半導体領域は、ダイオードのアノードとして機能し、

前記第 3 半導体領域は、前記ダイオードのカソードとして機能することを特徴とする半導体装置。

【請求項 7】

請求項 1 から請求項 4 のいずれかに記載の半導体装置であって、

前記第 3 半導体領域は、チップの外周部のチャネルストップパとして機能することを特徴とする半導体装置。

10

20

30

40

50

【請求項 8】

請求項 1 から請求項 7 のいずれかに記載の半導体装置であって、
前記第 1 半導体領域の下側に接する第 2 導電型の第 4 半導体領域をさらに有する
ことを特徴とする半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置であって、
前記第 1 半導体領域と前記第 4 半導体領域との間の第 1 p n 接合に、前記第 1 半導体領域と前記第 2 半導体領域との間の第 2 p n 接合の降伏電圧よりも低い逆方向電圧が印加されることによって、前記第 2 半導体領域と前記第 3 半導体領域との間で、空乏層が、前記第 1 p n 接合から前記第 1 半導体領域の上面にまで広がるように、前記第 1 半導体領域の不純物濃度が低く且つ厚さが薄い
ことを特徴とする半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、高耐圧半導体装置における耐電圧（以下「耐圧」）の安定性向上および高耐電圧化を図るための技術に関する。

【背景技術】

【0002】

例えば、ハーフブリッジ型のインバータのように、高圧側および低圧側の 2 つのパワースイッチングデバイス（MOSFET や IGBT 等）を駆動する場合には、高圧側のパワースイッチングデバイスを駆動するハイサイド（高電位島）の駆動回路と、低圧側のパワースイッチングデバイスを駆動するローサイドの駆動回路とを有するパワーデバイス駆動装置が使用される。ハイサイドの回路は、接地電位に対して電位的に浮いた状態で動作するので、そのようなパワーデバイス駆動装置には、駆動信号をハイサイドの駆動回路に伝達するための、いわゆるレベルシフト回路が備えられている。一般的なレベルシフト回路は、駆動信号により駆動される MOSFET などの高耐圧スイッチング素子と、それに直列に接続したレベルシフト抵抗とにより構成される（後述の図 2 参照）。そして、該レベルシフト抵抗に生じる電圧降下が、ハイサイドの駆動信号として駆動回路へと伝達される。パワーデバイス駆動装置の破損やレベルシフト回路での誤信号の発生を防止するために、当該高耐圧スイッチング素子には安定した高耐圧性が望まれる。

20

30

【0003】

ダイオードなどの高耐圧スイッチング素子の耐電圧の安定性向上および高耐圧化のための技術としては、例えば、半導体基板上に絶縁膜を介して複数のフローティング状態のフィールドプレート（以下、単に「フローティングフィールドプレート」と称する）を形成して基板表面における電界分布を均一にしたり（例えば特許文献 1）、半導体素子構造として RESURF 構造（例えば特許文献 2）を用いることによって基板中の空乏化を促進させる手法が知られている。

【0004】

【特許文献 1】特開平 10 - 341018 号公報

40

【特許文献 2】米国特許 4292642 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

遮断状態（OFF 状態）の高耐圧半導体装置に高電圧が印加されると、当該高耐圧半導体装置はその電圧を保持する。このとき当該装置が形成された半導体基板内に局所的な電界集中（電界のピーク）が生じていると、その部分における p / n 接合部の降伏現象や絶縁膜の破壊が発生しやすくなり、耐圧特性の劣化を招く。例えば、高耐圧半導体装置が RESURF 構造を有する n チャネル型 MOSFET の場合、半導体基板上部に形成される n⁻層とその下の p⁻基板との接合深さにおけるドレイン側 n 層の近傍や、電極およびフィ

50

ールドプレートの端部の下方における半導体基板表面などには、電界のピークが生じやすい（詳細は後述する）。

【 0 0 0 6 】

また、高耐压半導体装置の実使用時には、その上面は、オーバーコート絶縁膜や組立て用のエポキシ樹脂により覆われる。例えば遮断状態のMOSFETのドレイン・ソース間に高電圧が印加され、そのとき内部に電界のピークが発生すると、その影響によりオーバーコート絶縁膜や組立て用エポキシ樹脂が分極してしまう。その分極により生じた電荷は、高電圧の印加が終わった後も、ある時間保持される。そして次にドレイン・ソース間に高電圧が印加されたときに、その電荷の影響により、局所的に（特にシリコン基板表面近傍）空乏層の拡がりが増加されてしまう。空乏層の拡がりが増加された箇所では、電界のピークはより高くなる。そのピークがシリコン表面で降伏臨界電界に到達してしまうと、耐压低下や耐压変動、場合によっては半導体装置の破壊を引き起こしてしまう。

10

【 0 0 0 7 】

本発明は以上のような問題を解決するためになされたものであり、半導体装置が形成される基板内の電界集中を緩和することによって、耐電圧の安定性向上および高耐压化を図ることを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の第1の局面としての半導体装置は、第1導電型の第1半導体領域と、前記第1半導体領域を挟むように形成された第2導電型の第2半導体領域および前記第1半導体領域よりも不純物濃度が高い第1導電型の第3半導体領域と、前記第1半導体領域上に形成された第1絶縁膜と、前記第1絶縁膜上に形成され、前記第1半導体領域上方に、前記第3半導体領域から前記第2半導体領域へ向かう第1方向に並べて配設された複数個の第1フローティングフィールドプレートと、前記第1フローティングフィールドプレート上に形成された第2絶縁膜と、前記第2絶縁膜上に形成され、前記第1半導体領域上方に、前記第1方向に並べて配設された複数個の第2フローティングフィールドプレート、前記第2フローティングフィールドプレート上に形成された第3絶縁膜と、前記第3絶縁膜上に形成され、前記第1半導体領域上方に、前記第1方向に並べて配設された複数個の第3フローティングフィールドプレートとを備え、前記第1絶縁膜の厚さを a とし、前記第1フローティングフィールドプレートと前記第2フローティングフィールドプレートとの間の前記厚さの方向である第2方向の距離を b とし、前記第2フローティングフィールドプレートと前記第3フローティングフィールドプレートとの間の前記第2方向の距離を c としたとき、 $a > b$ 且つ $a > c$ であるものである。

20

30

【 0 0 0 9 】

本発明の第2の局面としての半導体装置は、第1導電型の第1半導体領域と、前記第1半導体領域を挟むように形成された第2導電型の第2半導体領域および前記第1半導体領域よりも不純物濃度が高い第1導電型の第3半導体領域と、前記第1半導体領域上に形成された第1絶縁膜と、前記第1絶縁膜上に形成され、前記第1半導体領域上方に、前記第3半導体領域から前記第2半導体領域へ向かう第1方向に並べて配設された複数個の第1フローティングフィールドプレートと、前記第1フローティングフィールドプレート上に形成された第2絶縁膜と、前記第2絶縁膜上に形成され、前記第1半導体領域上方に、前記第1方向に並べて配設された複数個の第2フローティングフィールドプレートとを備える半導体装置であって、個々の前記第1フローティングフィールドプレートの前記第1方向の幅を i とし、個々の前記第1フローティングフィールドプレート間の前記第1方向の距離を j としたとき、 $i = j$ であるものである。

40

【 0 0 1 0 】

本発明の第3の局面としての半導体装置は、第1導電型の第1半導体領域と、前記第1半導体領域を挟むように形成された第2導電型の第2半導体領域および前記第1半導体領域よりも不純物濃度が高い第1導電型の第3半導体領域と、前記第1半導体領域上に形成された第1絶縁膜と、前記第1絶縁膜上に形成され、前記第1半導体領域上方に、前記第

50

3 半導体領域から前記第 2 半導体領域へ向かう第 1 方向に並べて配設された複数個の第 1 フローティングフィールドプレートと、前記第 1 フローティングフィールドプレート上に形成された第 2 絶縁膜と、前記第 2 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 1 方向に並べて配設された複数個の第 2 フローティングフィールドプレートと、前記第 2 フローティングフィールドプレート上に形成された第 3 絶縁膜と、前記第 3 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 1 方向に並べて配設された複数個の第 3 フローティングフィールドプレートとを備える半導体装置であって、前記第 1 絶縁膜の厚さを a とし、前記第 1 フローティングフィールドプレートと前記第 2 フローティングフィールドプレートとの間の前記厚さの方向である第 2 方向の距離を b とし、前記第 2 フローティングフィールドプレートと前記第 3 フローティングフィールドプレートとの間の前記第 2 方向の距離を c としたとき、 $c < a$ 、且つ、 $c < b$ であるものである。

10

【0011】

本発明の第 4 の局面としての半導体装置は、第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域を挟むように形成された第 2 導電型の第 2 半導体領域および前記第 1 半導体領域よりも不純物濃度が高い第 1 導電型の第 3 半導体領域と、前記第 1 半導体領域上に形成された第 1 絶縁膜と、前記第 1 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 3 半導体領域から前記第 2 半導体領域へ向かう第 1 方向に並べて配設された複数個の第 1 フローティングフィールドプレートと、前記第 1 フローティングフィールドプレート上に形成された第 2 絶縁膜と、前記第 2 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 1 方向に並べて配設された複数個の第 2 フローティングフィールドプレートとを備える半導体装置であって、個々の前記第 1 フローティングフィールドプレートにおいて前記第 2 絶縁膜を介して 1 つの前記第 2 フローティングフィールドプレートと重なる部分の前記第 1 方向の幅を g とし、個々の前記第 2 フローティングフィールドプレート間の前記第 1 方向の距離を h としたとき、 $g > h$ であるものである。

20

【0012】

本発明の第 5 の局面としての半導体装置は、第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域を挟むように形成された第 2 導電型の第 2 半導体領域および前記第 1 半導体領域よりも不純物濃度が高い第 1 導電型の第 3 半導体領域と、前記第 3 半導体領域上に形成された電極と、前記第 1 半導体領域上に形成された第 1 絶縁膜と、前記第 1 絶縁膜上に形成された第 2 絶縁膜と、前記第 2 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 3 半導体領域から前記第 2 半導体領域へ向かう第 1 方向に並べて配設された複数個の第 2 フローティングフィールドプレートと、前記第 2 フローティングフィールドプレート上に形成された第 3 絶縁膜と、前記第 3 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 1 方向に並べて配設された複数個の第 3 フローティングフィールドプレートとを備える半導体装置であって、前記電極は、前記第 1 絶縁膜上に前記第 1 方向に延びる第 1 電極部を有するものである。

30

【0013】

本発明の第 6 の局面としての半導体装置は、第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域を挟むように形成された第 2 導電型の第 2 半導体領域および前記第 1 半導体領域よりも不純物濃度が高い第 1 導電型の第 3 半導体領域と、前記第 3 半導体領域上に形成された電極と、前記第 1 半導体領域上に形成された第 1 絶縁膜と、前記第 1 絶縁膜上に形成された第 2 絶縁膜と、前記第 2 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 3 半導体領域から前記第 2 半導体領域へ向かう第 1 方向に並べて配設された複数個の第 2 フローティングフィールドプレートと、前記第 2 フローティングフィールドプレート上に形成された第 3 絶縁膜と、前記第 3 絶縁膜上に形成され、前記第 1 半導体領域上方に、前記第 1 方向に並べて配設された複数個の第 3 フローティングフィールドプレートとを備える半導体装置であって、前記電極は、前記第 1 絶縁膜上に延びる第 1 電極部および前記第 2 絶縁膜上に延びる第 2 電極部を有し、前記第 2 電極部における前記第 1 絶縁膜上方を前記第 1 方向に延びた部分の長さは、前記第 1 電極部における前記第 1 絶縁膜上を前記第 1 方向に延びた部分の長さよりも長いものである。

40

50

【0014】

本発明の第7の局面としての半導体装置は、第1導電型の第1半導体領域と、前記第1半導体領域を挟むように形成された第2導電型の第2半導体領域および前記第1半導体領域よりも不純物濃度が高い第1導電型の第3半導体領域と、前記第3半導体領域上に形成された電極と、前記第1半導体領域上に形成された第1絶縁膜と、前記第1絶縁膜上に形成され、前記第1半導体領域上方に、前記第3半導体領域から前記第2半導体領域へ向かう第1方向に並べて配設された複数個の第1フローティングフィールドプレートと、前記第1フローティングフィールドプレート上に形成された第2絶縁膜と、前記第2絶縁膜上に形成され、前記第1半導体領域上方に、前記第1方向に並べて配設された複数個の第2フローティングフィールドプレートとを備える半導体装置であって、前記電極は、前記第1絶縁膜上に延びる第1電極部および前記第2絶縁膜上に延びる第2電極部を有し、前記第1電極部における前記第1絶縁膜上を前記第1方向に延びた部分の長さを d としたとき、前記第2電極部における前記第1絶縁膜上方を前記第1方向に延びた部分の長さは、前記長さ d よりもさらに長さ e だけ長く、 $d > e$ であるものである。

10

【発明の効果】

【0015】

第1の局面の半導体装置によれば、第1半導体領域上面における電界集中が緩和される。従って、降伏臨界電界点の電界強度に対するマージンが大きくなり、デバイスの耐圧低下や耐圧特性の不安定の問題は抑えられる。その結果、当該デバイスは、安定して高耐圧を維持することができる。

20

【0016】

第2の局面の半導体装置によれば、個々の第1フローティングフィールドプレートの幅 i と、個々の第1フローティングフィールドプレート間の距離 j とが等しいので、第1半導体領域上面における電位分布が均一になり、第1半導体領域上面における電界集中が緩和される。従って、降伏臨界電界点の電界強度に対するマージンが大きくなり、当該装置の耐圧低下や耐圧特性の不安定の問題は抑えられる。その結果、当該装置は、安定して高耐圧を維持することができる。

【0017】

第3の局面の半導体装置によれば、第2フローティングフィールドプレートと第3フローティングフィールドプレートとの間の距離 c が小さいので、第2フローティングフィールドプレートと第3フローティングフィールドプレートとで形成されるコンデンサにおいて高い容量結合効果が得られ、第3絶縁膜の分極化が促進される。それによって、従来空乏相が拡がり難かった各第1フローティングフィールドプレート間の下方の第1半導体領域上部における空乏層が拡がりやすくなり、その部分での電界集中が緩和される。従って、降伏臨界電界点の電界強度に対するマージンが大きくなり、当該装置の耐圧低下や耐圧特性の不安定の問題は抑えられる。その結果、当該装置は、安定して高耐圧を維持することができる。

30

【0018】

第4の局面の半導体装置によれば、個々の第1フローティングフィールドプレートにおいて1つの第2フローティングフィールドプレートと重なる部分の幅 g が大きいため、第1フローティングフィールドプレートと第2フローティングフィールドプレートとで形成されるコンデンサにおいて高い容量結合効果が得られ、第2絶縁膜の分極化が促進される。それによって、従来空乏相が拡がり難かった各第1フローティングフィールドプレート間の下方の第1半導体領域上部における空乏層が拡がりやすくなり、その部分での電界集中が緩和される。従って、降伏臨界電界点の電界強度に対するマージンが大きくなり、当該装置の耐圧低下や耐圧特性の不安定の問題は抑えられる。その結果、当該装置は、安定して高耐圧を維持することができる。

40

【0019】

第5の局面の半導体装置によれば、第3半導体領域上に形成された電極が、第1絶縁膜上に第1方向に延びる第1電極部を有しているので、第1半導体領域上面における第3半

50

導体領域付近の電界集中が緩和される。装置の降伏臨界電界点は、第3半導体領域付近にあることが多く、その近傍の電界集中が緩和されるので、当該装置の耐圧低下や耐圧特性の不安定の問題は抑えられる。その結果、当該装置は、安定して高耐圧を維持することができる。

【0020】

第6の局面の半導体装置によれば、第2電極部における第1絶縁膜上方を第1方向に延びた部分の長さは、第1電極部における第1絶縁膜上を第1方向に延びた部分の長さよりも長いので、第1半導体領域上面における第3半導体領域付近の電界集中が緩和される。装置の降伏臨界電界点は、第3半導体領域付近にあることが多く、その近傍の電界集中が緩和されるので、当該装置の耐圧低下や耐圧特性の不安定の問題は抑えられる。その結果、当該装置は、安定して高耐圧を維持することができる。

10

【0021】

第7の局面の半導体装置によれば、第1電極部における第1絶縁膜上を第1方向に延びた部分の長さを d としたとき、第2電極部における第1絶縁膜上方を第1方向に延びた部分の長さは、長さ d よりもさらに長さ e だけ長く、この長さ d と長さ e との関係は $d > e$ であるので、第1半導体領域上面における最も第3半導体領域側の電界ピークは、従来構造のものよりも当該第3半導体領域から遠くなる。その結果、第1半導体領域上面における第3半導体領域付近の電界集中が緩和される。装置の降伏臨界電界点は、第3半導体領域付近にあることが多く、その近傍の電界集中が緩和されるので、当該装置の耐圧低下や耐圧特性の不安定の問題は抑えられる。その結果、当該装置は、安定して高耐圧を維持することができる。

20

【発明を実施するための最良の形態】

【0022】

<実施の形態1>

図1は、本発明が適用可能な半導体装置の一例を説明するための図であり、一般的なパワーデバイスおよびパワーデバイス駆動装置を示す図である。パワースイッチングデバイスである n チャネル型IGBT（絶縁ゲート型バイポーラトランジスタ）51、52は、主電源である高電圧HVをスイッチングする。ノードN30には負荷が接続されており、IGBT51、52のそれぞれには、該負荷による逆起電圧から保護するためのフリーホイールダイオードD1、D2が接続されている。

30

【0023】

IGBT51、52を駆動するパワーデバイス駆動装置100は、高圧側IGBT51を制御する高圧側制御入力HINおよび低圧側IGBT52を制御する低圧側制御入力LINに従い動作する。パワーデバイス駆動装置100はさらに、高圧側IGBT51を駆動する高圧側駆動部101、低圧側IGBT52を駆動する低圧側駆動部102、制御入力処理部103を有している。

【0024】

制御入力処理部103は、例えばIGBT51、52が同時にオン状態になりIGBT51、52に貫通電流が流れて負荷に電流が流れないというような、好ましくない状態を回避するための信号処理等を行う。高圧側駆動部101の高圧側駆動信号出力HOは、IGBT51の制御端子に接続される。低圧側駆動部102の低圧側駆動信号出力LOは、IGBT52の制御端子に接続される。

40

【0025】

低圧側駆動部102の電源となる低圧側固定供給電圧VCCは、低圧側固定供給電源（図示せず）より供給される。高圧側浮遊オフセット電圧VSは、高圧側駆動部101の基準電位となる。また、高圧側駆動部101に電源となる高圧側浮遊供給絶対電圧VBは、高圧側浮遊電源（図示せず）により供給される。共通接地COM、高圧側浮遊オフセット電圧VSはそれぞれIGBT51、52のエミッタ端子に接続される。

【0026】

また、高圧側浮遊供給絶対電圧VB - 高圧側浮遊オフセット電圧VS間および、共通接

50

地COM - 低圧側固定供給電圧VCC間には、高圧側駆動部101および低圧側駆動部102に供給される電源電圧を、IGBT51, 52の動作に伴う電位変動に追従させるために、コンデンサC1、C2が接続されている。

【0027】

以上のような構成により、制御入力HIN、LINに基づくIGBT51, 52の主電源HVのスイッチングを行うパワーデバイスが構成される。

【0028】

高圧側駆動部101は、回路の接地電位に対して電位的に浮いた状態で動作するので、高圧側回路へ駆動信号を伝達するための、いわゆるレベルシフト回路を有する構成となっている。図2は、高耐圧駆動部101の主要部の回路図である。この図において、図1に示したものと同様の要素には、同一符号を付してある。高耐圧MOSFET(以下、「HV-MOS」)11は、高耐圧スイッチング素子である。高圧側駆動信号出力用CMOS12は、pMOSトランジスタとnMOSトランジスタとからなり、高圧側駆動信号を出力する。レベルシフト抵抗13は、高圧側駆動信号出力用CMOS12のゲート電位を設定するためのプルアップ抵抗に相当する役割を果たしている。

【0029】

HV-MOS11は、高圧側制御入力HINに従ってスイッチングし、高圧側駆動信号出力用CMOS12のゲート電位を変化させる。それによって高圧側駆動信号出力用CMOS12は、高圧側浮遊供給絶対電圧VB - 高圧側浮遊オフセット電圧VS間の電圧をスイッチングして、高圧側駆動信号出力HOに駆動信号を出力し、IGBT51を駆動させる。

【0030】

図3は、パワーデバイス駆動装置100における高電位島に設けられるレイアウトを示す概略平面図である。高圧側駆動信号出力用CMOS12およびレベルシフト抵抗13から成る高圧側駆動回路は高電位島と称される領域内に形成されている。高圧側駆動部101のレイアウトを示す概略平面図である。同図のアルミ配線は接地電位GNDにコンタクトされている。図4は、図2に示した高耐圧駆動部101の主要部の概略断面図であり、図3のB-B断面に対応している。図4において、図1および図2に示したものと同様の要素には同符号を付してある。

【0031】

p⁺分離201の底部はシリコン基板(p⁻基板)のp⁻領域200に達しており、当該p⁺分離201およびp⁻領域200の電位は回路上最も低い電位(接地電位GNDまたは共通接地COM電位)となっている。HV-MOS11が形成される領域には、それぞれ基板の上面に達するように、第1半導体領域としてのn⁻層110、第2半導体領域としてのpウェル111、n⁻層110よりも不純物濃度が高い第3半導体領域としてのn領域117およびn⁺ドレイン領域118が形成される。pウェル111は、n⁻層110の内部に該n⁻層110に接するように形成されている。n領域117は、pウェル111に対しn⁻層110を挟んだ位置に形成されている。即ち、n⁻層110を挟むように、その一側にpウェル111が、他側にn領域117がそれぞれ配設される。

【0032】

pウェル111の内部には、さらにn⁺ソース領域112およびp⁺領域113が形成され、その上に接続するようにHV-MOS11のソース電極114が形成される。n⁺ソース領域112とn⁻層110との間のpウェル111上には、ゲート絶縁膜115を介してゲート電極116が形成される。即ち、pウェル111はHV-MOS11のチャネル領域として機能する。HV-MOS11のドレイン電極119は、n⁺ドレイン領域118の上に接続するように形成される。

【0033】

高圧側駆動信号出力用CMOS12のpMOSトランジスタが形成されるn層121内には、p⁺ドレイン領域122、n⁺領域127およびp⁺ソース領域126が形成される。p⁺ドレイン領域122の上にはドレイン電極123が形成され、p⁺ソース領域126

10

20

30

40

50

および n^+ 領域 127 の上にはソース電極 128 が形成され、 p^+ ドレイン領域 122 と p^+ ソース領域 126 の間の n 層 121 上には、ゲート絶縁膜 124 を介してゲート電極 125 が形成される。一方、高圧側駆動信号出力用 CMOS 12 の nMOS トランジスタが形成される p ウェル 131 内には、 p^+ 領域 132、 n^+ ソース領域 133 および n^+ ドレイン領域 137 が形成される。 p^+ 領域 132 および n^+ ソース領域 133 の上にはソース電極 134 が形成され、 n^+ ドレイン領域 137 の上にはドレイン電極 138 が形成され、 n^+ ソース領域 133 と n^+ ドレイン領域 137 の間の p ウェル 131 上には、ゲート絶縁膜 135 を介してゲート電極 136 が形成される。

【0034】

そして、HV-MOS 11 のドレイン電極 119 は、高圧側駆動信号出力用 CMOS 12 の pMOS トランジスタおよび nMOS トランジスタのゲート電極 125、136 に接続し、またレベルシフト抵抗 13 を介して pMOS トランジスタのソース電極 128 および高圧側浮遊供給絶対電圧 VB に接続する。

【0035】

図 5 は、パワーデバイス駆動装置 100 における高圧側駆動部 101 の他の（図 4 とは別の）概略断面図であり、図 3 の A-A あるいは C-C 断面に対応している。同図において、図 4 に示したものと同様の要素には同符号を付してある。図 5 に示す領域 14 は、高圧側駆動部 101 に接続される高耐圧ダイオード（図 1、図 2 では不図示）を示している。

【0036】

高耐圧ダイオード（以下「HV-ダイオード」）14 は、上記の HV-MOS 11 に類似した構造を有しており、それぞれ基板の上面に達するように、第 1 半導体領域としての n^- 層 143、第 2 半導体領域としての p^+ 分離 144、 n^- 層 143 よりも不純物濃度が高い第 3 半導体領域としての n 層 121 および n^+ カソード領域 141 から構成される。 p^+ 分離 144 は n^- 層 143 の一側に接しており、 n 層 121 は n^- 層 143 の他側に接している。即ち、 p^+ 分離 144 と n 層 121 とは、 n^- 層 143 を挟むように形成されている。 p^+ 分離 144 は、HV-ダイオード 14 のアノードとして機能するので、以下、「 p^+ アノード領域 144」と称する。HV-ダイオード 14 のカソード電極 142 は n^+ カソード領域 141 の上に接続するように形成され、アノード電極 145 は、 p^+ アノード領域 144 の上に接続するように形成される。 p^+ アノード領域 144 は p^- 領域 200 に達している。 p^+ アノード領域 144 上にはアノード電極 145 が形成されており、 p^- 領域 200 の電位は回路上最も低い電位（GND 又は COM 電位）となっている。HV-ダイオード 14 は、高圧側浮遊供給絶対電圧 VB と GND 又は COM との間の電圧を保持している。

【0037】

図 6 は、実施の形態 1 に係る HV-MOS の構成を示す図であり、図 4 における HV-MOS 11 の拡大図である。図 4 に示したものと同様の要素には同符号を付してある。但し、この図においては、以降の説明の便宜を図るために、図 4 とは左右を逆に描いている。

【0038】

n^- 層 110 の上には第 1 絶縁膜 LA が形成される。第 1 絶縁膜 LA の上面には、 n^- 層 110 の上方に、複数個の第 1 フローティングフィールドプレート FA（FA1～FA8）が形成される。さらに、第 1 フローティングフィールドプレート FA の上には、第 2 絶縁膜 LB が形成される。第 2 絶縁膜 LB の上面には、 n^- 層 110 の上方に、複数個の第 2 フローティングフィールドプレート FB（FB1～FB8）が形成される。

【0039】

ここで、本明細書においては、第 3 半導体領域（ここでは n 領域 117）から第 2 半導体領域（ここでは n^+ ソース領域 112）へ向かう方向を「第 1 方向」と称し、第 1 絶縁膜 LA、第 2 絶縁膜 LB の厚さ方向を「第 2 方向」と称する（図 6 の矢印参照）。第 1 フローティングフィールドプレート FA1～FA8 は、第 1 方向に並んで配設されており、

10

20

30

40

50

第2フローティングフィールドプレートF B 1 ~ F B 8も、同じく第1方向に並んで配設されている。

【0040】

また、ドレイン電極119は、第1絶縁膜L A上に延びる部位D Aを有しており、この部分は通常の（フローティング状態ではない）フィールドプレートとして機能している。以下、当該部位を「第1ドレイン電極部D A」と称する。一方、ゲート電極116は、第1絶縁膜L A上に延びる部位G Aおよび第2絶縁膜L B上に延びる部位G Bを有しており、この部分も通常のフィールドプレートとして機能している。以下、両者をそれぞれ「第1ゲート電極部G A」とおよび「第2ゲート電極部G B」と称する。

【0041】

第1フローティングフィールドプレートF Aおよび第2フローティングフィールドプレートF Bは、フィールドプレート効果によって、 n^+ 層110内の空乏層の拡がりを促進させる。個々の第1フローティングフィールドプレートF Aおよび第2フローティングフィールドプレートF Bは、第2絶縁膜L Bを介して互いに容量結合して複数のコンデンサ（キャパシタ）を形成している。また、最ドレイン側の第2フローティングフィールドプレートF B 1は、第2絶縁膜L Bを介して第1ドレイン電極部D Aとの間でコンデンサを形成し、最ゲート側の第1絶縁膜L A 8は、第2絶縁膜L Bを介して第2ゲート電極部G Bとの間でコンデンサを形成している。これら多数のコンデンサは、H V - M O Sの遮断時にはドレイン電極119 - ソース電極114間に印加される高電圧を分担して保持し、それによって、各々の第1フローティングフィールドプレートF Aおよび第2フローティングフィールドプレートF Bの電位が定まる。それによって、フィールドプレート効果により空乏層の拡がりが促進され過ぎるのを抑制している。

【0042】

例えば、第1フローティングフィールドプレートF Aが連続した1枚のものであったと仮定すると、空乏層の拡がりが促進され過ぎ、ドレイン近くのシリコン基板表面で電界集中が生じ、H V - M O Sの高耐圧化が困難となる。そこで本実施の形態では、第1フローティングフィールドプレートF Aおよび第2フローティングフィールドプレートF Bをそれぞれ複数個、第1方向に並べて配設することで、空乏層の拡がり過ぎを抑制し、H V - M O Sの高耐圧化を図っている。

【0043】

また、図6のH V - M O Sには、いわゆるR E S U R F構造を適用してさらなる高耐圧化を図っている。即ち、 n^+ 層110と p^+ 領域200（第4半導体領域）との間の $p n$ 接合（以下「第1 $p n$ 接合」）に、 n^+ 層110と p ウェル111との間の $p n$ 接合（以下「第2 $p n$ 接合」）の降伏電圧よりも低い逆方向電圧が印加されることによって、 n 領域117と p ウェル111との間の n^+ 層110内で、空乏層が、第1 $p n$ 接合から基板の上面にまで拡がる程度に、 n^+ 層110は不純物濃度が低く、且つ、厚さが薄くなっている。

【0044】

本実施の形態では、第1絶縁膜L Aの厚さを a とし、第1フローティングフィールドプレートF Aと第2フローティングフィールドプレートF Bとの間の第2方向（第2絶縁膜L Bの厚さ方向）の距離を b としたとき、 $a > b$ となるように、従来の構造よりも第1絶縁膜L Aを厚く、第2絶縁膜L Bを薄くしている。

【0045】

図7は、図6のH V - M O Sにおいて、ゲート電極116 - ソース電極114間を短絡して当該H V - M O Sを遮断状態にし、ドレイン電極119 - ソース電極114間に高電圧を印加したときの当該H V - M O S内部の電界分布を示す図である。同図では、シリコン基板表面（S i表面）から、 n 領域117と p^+ 領域200との間の $p n$ 接合深さにかけての電界分布を示している。特に実線は、シリコン基板表面の電界分布と、 n^+ 層110と p^+ 領域200との間の第1 $p n$ 接合深さの電界分布とを示している。一方、図8は、従来のH V - M O S（図6において $a < b$ であり、且つ、ドレイン電極119と第2フ

10

20

30

40

50

ローティングフィールドプレートFB1とが接続しているもの)における、図7と同様の電界分布を示す図である。

【0046】

図7, 図8から分かるように、電界強度が最も高い箇所は、第1pn接合深さにおけるドレイン近傍の部分である。従って、HV-MOSの耐電圧値を決定付ける箇所である降伏臨界電界点はその部分になる。一方、シリコン基板表面では、第1ゲート電極部GAの先端の下方および第1フローティングフィールドプレートFA1~FA8それぞれのドレイン側エッジの下方あるいはソース側エッジの下方において、電界ピーク(電界集中)が観察される。

【0047】

図8のように、従来構造のHV-MOSでは、シリコン基板表面における電界ピークが比較的大きく、降伏臨界電界点における電界強度との差(マージン)は僅かである。従って、実使用時にHV-MOS上に形成されるオーバーコート絶縁膜やエポキシ樹脂の分極の影響によって、シリコン基板表面の電界ピークが降伏臨界電界点の電界強度を越え易く、耐圧低下や耐圧特性の不安定の問題が懸念される。

【0048】

それに対し、図7に示す本実施の形態では、シリコン基板表面における電界ピークが比較的小さいことが分かる。つまり、電界集中が緩和されていることが分かる。従って、降伏臨界電界点の電界強度に対するマージンが大きくなり、シリコン基板表面の電界ピークが降伏臨界電界点の電界強度を越え難くなるので、耐圧低下や耐圧特性の不安定の問題は抑えられる。その結果、HV-MOSは、安定して高耐圧を維持することができる。

【0049】

図9は、a-bとシリコン基板表面の電界ピーク値との関係を示す図である。a-bの値が大きくなるほど電界ピーク値は、小さくなることが分かる。つまり、厚さaを大きくし、距離bを小さくしてa-bの値をより大きくすることにより、降伏臨界電界点の電界強度に対するマージンは大きくなり、上記の効果を大きくすることができる。

【0050】

さらに、図10は、図6のHV-MOSの遮断状態において、ドレイン電極119-ソース電極114間に高電圧を印加した場合における当該HV-MOS内の電位分布および電流分布を示す図である。電位分布は等電位線で示しており、その形状は、ソース側からドレイン側に空乏層の拡がりの形に対応している。一方、図11は、従来のHV-MOS(即ち、図6において $a < b$ であるもの)における、図10と同様の電位分布および電流分布を示している。

【0051】

図10および図11における参照番号0~6は、シリコン基板表面(n⁺層110と第1絶縁膜LAとの界面)における等電位線の間隔を示している。本実施の形態に係るHV-MOSでは、第1絶縁膜LAの厚さaが大きい図10のように等電位線の歪みが第1絶縁膜LA内で緩和されるので、従来の図11に比較して間隔0~6の大きさが均等になっている。このことは、本実施の形態のHV-MOSでは、従来構造のものよりもシリコン基板表面近傍における空乏層の拡がり均一であることを示している。空乏層の拡がり均一になれば電界集中は生じにくくなるので、本実施の形態のHV-MOSにおいては、シリコン基板表面での電界ピークの大きさは低く抑えられる。このように図10の電位分布からも、図7を用いて説明した効果が観察できる。

【0052】

また図12は、遮断状態のHV-MOSのソース-ドレイン間に高電圧を印加したときの、第1フローティングフィールドプレートFA、第2フローティングフィールドプレートFB、第1ドレイン電極部DA、第1ゲート電極部GA、第2ゲート電極部GBの間に形成される各コンデンサが保持する電位差の、ドレイン-ソース間分布を示している。図12において、実線のグラフは本実施の形態に係る図6のHV-MOSにおける分布のグラフであり、点線は従来のHV-MOS(図6において $a < b$ であり、且つドレイン電極

10

20

30

40

50

119と第2フローティングフィールドプレートFB1とが接続しているもの)における分布のグラフである。従来構造のHV-MOSでは、ソース側およびドレイン側に近いコンデンサに特に高い電圧が保持される傾向があり、その部分での第2絶縁膜LBの絶縁破壊が懸念されていた。図12に示すように、本実施の形態のHV-MOSではその傾向は小さくなり、各コンデンサが保持する電位差のばらつきが小さくなった。つまり、本実施の形態によれば、第2絶縁膜LBの絶縁破壊が生じにくくなるという効果も得られ、それによってもHV-MOSの高耐圧化に寄与できる。

【0053】

また、本実施の形態のHV-MOSでは、従来構造よりも第1フローティングフィールドプレートFAと第2フローティングフィールドプレートFBとの間の厚さ方向(第2方向)の距離bを小さくしているため、各コンデンサの容量値は大きくなる。従って、各コンデンサにおける容量結合効果は高くなるので、第2絶縁膜LBの分極化が促進される。従来構造では、 n^- 層110上部の空乏層は、各第1フローティングフィールドプレートFAの下方では拡がりやすいものの、各第1フローティングフィールドプレートFAの間の下方では拡がり難い傾向にあった。しかし、本実施の形態では、各コンデンサにおける高い容量結合効果によって第2絶縁膜LBが分極化され、その影響により、各第1フローティングフィールドプレートFAの間の下方でも空乏層が拡がり易くなるという効果も得られ、それによってもHV-MOSの高耐圧化に寄与できる。

【0054】

上で示したように、本発明はRESURF構造を有する半導体装置に適用することが可能である。それにより、従来のRESURF構造よりも更なる高耐圧化を図ることができる。また、 n^- 層110を不純物濃度が互いに異なる多層構造にした、いわゆるマルチRESURF構造(例えば、米国特許第4422089号)に適用することも可能である。

【0055】

また以上の説明では、本発明をMOSFETに適用した例を示したが、本発明の適用はそれに限定されるものではなく、例えばダイオードやIGBTなどにも広く適用することが可能である。図13は、実施の形態1を高耐圧ダイオード(HV-ダイオード)に適用した例を示す図であり、図5におけるHV-ダイオード14の拡大図である。図5および図6に示したものと同様の要素には同符号を付してあるので、ここでの詳細な説明は省略する。なお、この図においても、以降の説明の便宜を図るために、図5とは左右を逆にして描いている。

【0056】

カソード電極142は、第1絶縁膜LA上に延びる部位CAを有しており、この部分は通常のフィールドプレートとして機能する。以下、当該部位を「第1カソード電極部CA」と称する。アノード電極145は、第1絶縁膜LA上に延びる部位AAおよび第2絶縁膜LB上に延びる部位ABを有しており、これら部分は通常のフィールドプレートとして機能する。以下、それぞれ「第1アノード電極部AA」および「第2アノード電極部AB」と称する。

【0057】

また、上記したようにHV-ダイオード14においては、 n^- 層143が第1半導体領域、 p^+ アノード領域144が第2半導体領域、 n 層121が第3半導体領域として機能するので、この場合の「第1方向」は n 層121から p^+ アノード領域144へ向かう方向である(図13の矢印参照)。

【0058】

このHV-ダイオード14にも、いわゆるRESURF構造を適用している。即ち、 n^- 層143と p^- 領域200(第4半導体領域)との間の第1pn接合に、 n^- 層143と p^+ アノード領域144の間の第2pn接合の降伏電圧よりも低い逆方向電圧が印加されることによって、 n 層121と p^+ アノード領域144との間の n^- 層143内で、空乏層が、第1pn接合から基板の上面にまで拡がる程度に、 n^- 層143は不純物濃度が低く、且つ、厚さが薄くなっている。

10

20

30

40

50

【0059】

図13のHV-ダイオードでも、第1絶縁膜LAの厚さをaとし、第1フローティングフィールドプレートFAと第2フローティングフィールドプレートFBとの間の第2方向の距離をbとしたとき、 $a > b$ となるように、従来構造よりも第1絶縁膜LAを厚く、第2絶縁膜LBを薄く形成している。 $a > b$ であるHV-ダイオードでも、シリコン基板表面の電界ピークが低くなって電界集中が緩和され、耐圧低下や耐圧特性の不安定の問題は抑えられるなど、上での説明と同様の効果を得ることができる。

【0060】

<実施の形態2>

図14は、実施の形態2に係るHV-MOSの構成を示す図である。実施の形態1において図6に示したHV-MOSと異なる点は、ドレイン電極119が、第2絶縁膜LB上に延びる部位DBを有していることである。この部位DBは通常の（フローティング状態ではない）フィールドプレートとして機能しており、以下「第2ドレイン電極部DB」と称する。

10

【0061】

図14に示すように、第2ドレイン電極部DBにおける第1絶縁膜LA上方を第1方向（n領域117からn⁺ソース領域112に向かう方向）に延びた部分の長さは、第1ドレイン電極部DAにおける第1絶縁膜LA上を第1方向に延びた部分の長さよりも長い。つまり、第2ドレイン電極部DBは、第2絶縁膜LBを介して第1ドレイン電極部DAの上方を覆っている。そして、第2ドレイン電極部DBは、その一部が第1フローティングフィールドプレートFA1の一部と第2絶縁膜LBを介して重なっている。即ち、図14に示しているように、当該第2ドレイン電極部DBは、図6のドレイン電極119に第2フローティングフィールドプレートFB1を接続したものであるとも言える。

20

【0062】

図15は、図14のHV-MOSにおいて、ゲート電極116-ソース電極114間を短絡して当該HV-MOSを遮断状態にし、ドレイン電極119-ソース電極114間に高電圧を印加したときの該HV-MOS内部の電界分布を示す図である。同図では、シリコン基板表面（Si表面）から、n領域117とp⁺領域200との間のpn接合深さにかけての電界分布を示している。特に実線は、シリコン基板表面の電界分布と、n⁻層110とp⁺領域200との間の第1pn接合深さの電界分布とを示している。

30

【0063】

図15と実施の形態1で示した図7とを比較して分かるように、本実施の形態によれば、シリコン基板表面における、最ドレイン側の第1フローティングフィールドプレートFA1のエッジ部下方の電界ピークが緩和される。その影響により、降伏臨界電界点（ドレイン側のn領域117の第1pn接合深さの部分）の近傍の電界強度が低くなるので、HV-MOSは高耐圧化される。つまり本実施の形態によれば、実施の形態1よりもさらなる高耐圧化が可能となる。

【0064】

また図16は、遮断状態のHV-MOSのソース-ドレイン間に高電圧を印加したときの、第1フローティングフィールドプレートFA、第2フローティングフィールドプレートFB、第1ドレイン電極部DA、第1ゲート電極部GA、第2ゲート電極部GBの間に形成される各コンデンサが保持する電位差の、ドレイン-ソース間分布を示している。図16において、実線のグラフは本実施の形態に係る図14のHV-MOSにおける分布のグラフであり、点線は従来のHV-MOS（図14において、 $a < b$ のもの）における分布のグラフである。本実施の形態でも、実施の形態1と同様に各コンデンサが保持する電位差のばらつきが小さくなることが分かる。つまり、本実施の形態においても、第2絶縁膜LBの絶縁破壊が生じにくくなり、HV-MOSの高耐圧化に寄与できる。

40

【0065】

<実施の形態3>

図17は、実施の形態3に係るHV-MOSの構成を示す図である。この図においては

50

、図6および図14に示したものと同様の要素には同一符号を付してあるので、それらの詳細な説明は省略する。

【0066】

本実施の形態では、個々の第1フローティングフィールドプレートFAの幅と、第1フローティングフィールドプレートFA同士の間隔を等しくしている。つまり、個々の第1フローティングフィールドプレートFAの第1方向（n領域117からn⁺ソース領域112に向かう方向）の幅をi、個々の第1フローティングフィールドプレート間の第1方向の距離をjとしたとき、 $i = j$ である。また、図17の例では、厚さa（第1絶縁膜LAの厚さ）と、距離b（第1フローティングフィールドプレートFAと第2フローティングフィールドプレートFB間における第2方向の距離）との関係は、従来構造と同じ $a < b$ としている。上記以外の点は、実施の形態2で示した図14と同様である。

10

【0067】

図18は、図17のHV-MOSにおいて、ゲート電極116-ソース電極114間を短絡して当該HV-MOSを遮断状態にし、ドレイン電極119-ソース電極114間に高電圧を印加したときのHV-MOS内部の電界分布を示す図である。同図では、シリコン基板表面（Si表面）から、n領域117とp⁻領域200との間のpn接合深さにかけての電界分布を示している。特に実線は、シリコン基板表面の電界分布と、n⁻層110とp⁻領域200との間の第1pn接合深さの電界分布とを示している。従来構造のHV-MOSにおける電界分布を示す図8と比較して分かるように、本実施の形態の図18では、シリコン基板表面の電界ピークが低くなって電界集中が緩和されていることが分かる。従って、降伏臨界電界点の電界強度に対するマージンが大きくなり、シリコン基板表面の電界ピークが降伏臨界電界点の電界強度を越え難くなるので、耐圧低下や耐圧特性の不安定の問題は抑えられる。その結果、HV-MOSは、安定して高耐圧を維持することができる。

20

【0068】

図19は、図17のHV-MOSの遮断状態において、ドレイン電極119-ソース電極114間に高電圧を印加したときの当該HV-MOS内部の電位分布および電流分布を示す図である。図19においても電位分布は等電位線で示しており、参照番号0~6はシリコン基板表面（n⁻層110と第1絶縁膜LAとの界面）における等電位線の間隔を示している。本実施の形態では、個々の第1フローティングフィールドプレートFAの幅と、第1フローティングフィールドプレートFA同士の幅を等しくしているのので、従来の図11と比較して、間隔0~6が均等になっている。つまり、本実施の形態のHV-MOSでは、従来構造のものよりもシリコン基板表面近傍における空乏層の拡がり均一であり、その部分での電界ピークの大きさは低く抑えられる。このように図19の電位分布からも、上記効果が観察できる。

30

【0069】

なお、図17では、厚さaと距離bとの関係を $a < b$ としたが、実施の形態1を適用して $a > b$ としてもよい。その場合は、実施の形態1で説明した効果も得ることができ、更なる高耐圧化が可能となる。

【0070】

また本実施の形態でも、本発明をMOSFETに適用した例を示したが、本発明の適用はそれに限定されるものではなく、例えばダイオードやIGBTなどにも広く適用することが可能である。

40

【0071】

<実施の形態4>

図20は、実施の形態4に係るHV-MOSの構成を示す図である。この図においては、図6および図14に示したものと同様の要素には同一符号を付してあるので、それらの詳細な説明は省略する。

【0072】

本実施の形態に係るHV-MOSは、図6のHV-MOSの構成に加え、第2フロート

50

ィングフィールドプレートF B上に形成された第3絶縁膜L Cおよび、その上に形成された複数個の第3フローティングフィールドプレートF C (F C 1 ~ F C 6) を有している。第3フローティングフィールドプレートF Cは、 n^- 層110の上方に、第1方向(n^- 領域117から n^+ ソース領域112に向かう方向)に並べて配設されている。そして、第1絶縁膜L Aの厚さを a とし、第1フローティングフィールドプレートF Aと第2フローティングフィールドプレートF Bとの間の第2方向(第1絶縁膜L A、第2絶縁膜L B、第3絶縁膜L Cの厚さ方向)の距離を b とし、第2フローティングフィールドプレートF Bと第3フローティングフィールドプレートF Cとの間の第2方向の距離を c とすると、 $c < a$ 且つ $c < b$ となるように、距離 c を小さくしている(第3絶縁膜L Cを薄くしている)。図20の例では、厚さ a と距離 b との関係は、従来構造と同じ $a < b$ としている。

10

【0073】

また、ドレイン電極119は、第3絶縁膜L C上に延びる部位D Cを有しており、この部分は通常の(フローティング状態ではない) フィールドプレートとして機能している。以下、当該部位を「第3ドレイン電極部D C」と称する。一方、ソース電極114は第3絶縁膜L C上に延びる部位S Cを有しており、この部分も通常のフィールドプレートとして機能している。以下、当該部位を「ソース電極部S C」と称する。

【0074】

図21は、図20のH V - M O Sにおいて、ゲート電極116 - ソース電極114間を短絡してH V - M O Sを遮断状態にし、ドレイン電極119 - ソース電極114間に高電圧を印加したときのH V - M O S内部の電界分布を示す図である。同図では、シリコン基板表面(S i 表面) から、 n^- 領域117と p^- 領域200との間の $p n$ 接合深さにかけての電界分布を示している。特に実線は、シリコン基板表面の電界分布と、 n^- 層110と p^- 領域200との間の第1 $p n$ 接合深さの電界分布とを示している。従来構造のH V - M O Sにおける電界分布を示す図8と比較して分かるように、図21ではシリコン基板表面の電界ピークが低くなって電界集中が緩和されていることが分かる。従って、降伏臨界電界点の電界強度に対するマージンが大きくなり、シリコン基板表面の電界ピークが降伏臨界電界点の電界強度を越え難くなるので、耐圧低下や耐圧特性の不安定の問題は抑えられる。その結果、H V - M O Sは、安定して高耐圧を維持することができる。

20

【0075】

図22は、図20のH V - M O Sの遮断状態において、ドレイン電極119 - ソース電極114間に高電圧を印加したときの電位分布および電流分布を示す図である。図22においても、電位分布は等電位線で示しており、参照番号0 ~ 6は、シリコン基板表面(n^- 層110と第1絶縁膜L Aとの界面) における等電位線の間隔を示している。従来の図11に比較して、シリコン基板表面の等電位線がドレイン側へシフトしており、シリコン基板表面で空乏層が拡がり易いことがわかる。これは、シリコン基板表面の電界ピークが低くなることを示している。このように図22の電位分布からも、上記効果が観察できる。

30

【0076】

また、本実施の形態のH V - M O Sでは、上記距離 c を小さくしているため、第2フローティングフィールドプレートF B、第3フローティングフィールドプレートF C、第3ドレイン電極部D C、ソース電極部S Cにより形成される各コンデンサの容量値は大きくなる。従って、それらのコンデンサにおける容量結合効果は高くなるので、第3絶縁膜L Cの分極化が促進される。その影響により、従来空乏層が拡がり難かった各第1フローティングフィールドプレートF Aの間の方でも、空乏層が拡がり易くなるという効果も得られ、それによってもH V - M O Sの高耐圧化に寄与できる。

40

【0077】

なお、図20では、厚さ a と距離 b との関係を $a < b$ としたが、実施の形態1を適用して図23のように $a > b$ としてもよい。その場合は、実施の形態1で説明した効果も得ることができ、更なる高耐圧化が可能となる。

50

【0078】

図24は、図23のHV-MOSにおいて、ゲート電極116-ソース電極114間を短絡してHV-MOSを遮断状態にし、ドレイン電極119-ソース電極114間に高電圧を印加したときのHV-MOS内部の電界分布を示す図である。同図では、シリコン基板表面(Si表面)から、n領域117とp⁻領域200との間のpn接合深さにかけての電界分布を示している。特に実線は、シリコン基板表面の電界分布と、n⁻層110とp⁻領域200との間の第1pn接合深さの電界分布とを示している。図21よりもさらに、シリコン基板表面の電界ピークが低くなって電界集中が緩和されていることが分かる。

【0079】

10

また図25は、図23のHV-MOSの遮断状態において、ドレイン電極119-ソース電極114間に高電圧を印加した場合におけるHV-MOS内の電位分布および電流分布を示す図である。電位分布は等電位線で示しており、参照番号0~6は、シリコン基板表面における等電位線の間隔を示している。図23のHV-MOSでは、第1絶縁膜LAの厚さaが大きいので、等電位線の歪みが第1絶縁膜LA内で緩和されるので、図22よりも間隔0~6が均等になっている。そのため、シリコン基板表面での電界ピークの大きさも低く抑えられることが分かる。

【0080】

このように、実施の形態1を適用することによって、更なる高耐圧化が可能となる。また以上の説明では、本発明をMOSFETに適用した例を示したが、本発明の適用はそれ

20

【0081】

<実施の形態5>

図26は、実施の形態5に係るHV-MOSの構成を示す図である。この図においては、図6および図14に示したものと同様の要素には同一符号を付してあるので、それらの詳細な説明は省略する。

【0082】

本実施の形態では、従来構造よりも第1フローティングフィールドプレートFAおよび第2フローティングフィールドプレートFBの幅を広くしている。即ち、個々の第1フローティングフィールドプレートFAにおいて第2絶縁膜LBを介して1つの第2フローティングフィールドプレートFBと重なる部分の第1方向の幅をgとし、個々の第2フローティングフィールドプレートFB間の第1方向の距離をhとすると、 $g > h$ となるようにしている(図26参照)。

30

【0083】

また、図26の例では、厚さa(第1絶縁膜LAの厚さ)と、距離b(第1フローティングフィールドプレートFAと第2フローティングフィールドプレートFB間における第2方向の距離)との関係は、従来構造と同じ $a < b$ としている。

【0084】

上記以外の点は、実施の形態2で示した図14と同様である。

40

【0085】

本実施の形態によれば、第1フローティングフィールドプレートFAと第2フローティングフィールドプレートFBとが重なる部分の幅が広いので、第1フローティングフィールドプレートFAと第2フローティングフィールドプレートとで形成される各コンデンサの容量値が、従来構造に比べて大きくなる。従って、各コンデンサにおける容量結合効果は高くなるので、第2絶縁膜LBの分極化が促進される。それにより、各第1フローティングフィールドプレートFAの間の方でも空乏層が拡がり易くなるという効果が得られ、HV-MOSの高耐圧化に寄与できる。

【0086】

また、各コンデンサにおける容量結合効果は高くなることによって、各コンデンサが保

50

持する電位差のソースドレイン間でのばらつきが小さくなり、第2絶縁膜LBの絶縁破壊が生じにくくなるという効果も得られる。

【0087】

また本実施の形態でも、本発明をMOSFETに適用した例を示したが、本発明の適用はそれに限定されるものではなく、例えばダイオードやIGBTなどにも広く適用することが可能である。

【0088】

<実施の形態6>

図27は、実施の形態6に係るHV-MOSの構成を示す図である。この図においては、図20に示したものと同様の要素には同一符号を付してあるので、それらの詳細な説明は省略する。

10

【0089】

図27のHV-MOSは、図20の構造から、第1フローティングフィールドプレートFAを無くしたものである。第1絶縁膜LAおよび第2絶縁膜LBの厚さをそれぞれa, bとし、第2フローティングフィールドプレートFBと第3フローティングフィールドプレートFCとの間の第2方向を距離をcとしたとき、 $a + b > c$ となるようになっている。つまり、図27の第2フローティングフィールドプレートFBおよび第3フローティングフィールドプレートFCは、それぞれ実施の形態1(図6)の第1フローティングフィールドプレートFAおよび第2フローティングフィールドプレートFBと同様に機能している。従ってHV-MOSは、実施の形態1と同様に、安定して高耐圧を維持することができる。

20

【0090】

また、ドレイン電極119は、第1絶縁膜LA上に延びる第1ドレイン電極部DAを有している。当該第1ドレイン電極部DAは、その一部が第2絶縁膜LBを介して第2フローティングフィールドプレートFB1の一部と重なるように、第1絶縁膜LA上を第1方向に延びている。さらに、第3ドレイン電極部DCにおける第1絶縁膜LA上方を第1方向に延びた部分の長さは、第1ドレイン電極部DAにおける第1絶縁膜LA上を第1方向に延びた部分の長さよりも長く、且つ、第2ドレイン電極部DBにおける第1絶縁膜LA上方を第1方向に延びた部分の長さよりも長い。即ち、第3ドレイン電極部DCは、第1ドレイン電極部DAおよび第2ドレイン電極部DBの上方を覆っている。

30

【0091】

図28は、図27のHV-MOSにおいて、ゲート電極116-ソース電極114間を短絡してHV-MOSを遮断状態にし、ドレイン電極119-ソース電極114間に高電圧を印加したときの当該HV-MOS内部の電界分布を示す図である。同図では、シリコン基板表面(Si表面)から、n領域117とp⁺領域200との間のpn接合深さにかけての電界分布を示している。特に実線は、シリコン基板表面の電界分布と、n⁺層110とp⁺領域200との間の第1pn接合深さの電界分布とを示している。実施の形態1と同様に、シリコン基板表面の電界ピークが低くなって電界集中が緩和されていることが分かる。

【0092】

40

また、シリコン基板表面における最ドレイン側の電界ピークは、第2フローティングフィールドプレートFB2のドレイン側のエッジ下であり、第2フローティングフィールドプレートFB1のエッジ下にはピークは現れない。これは、通常のフィールドプレートとして機能する第1ドレイン電極部DAが、第2フローティングフィールドプレートFB1の一部と重なる位置まで延びているためである。また、第3ドレイン電極部DCが、第1ドレイン電極部DAおよび第2ドレイン電極部DBの上方を覆うように、第1絶縁膜LA上方に長く延びているので、シリコン基板表面におけるドレイン電極付近の電界集中はさらに緩和される。従って、降伏臨界電界点(ドレイン側のn領域117の第1pn接合深さの部分)の近傍の電界強度が低くなるので、HV-MOSの耐電圧値は高くなる。つまり本実施の形態によれば、実施の形態1よりもさらなる高耐圧化が可能となる。

50

【0093】

図29は、本実施の形態に実施の形態2を適用した変形例を示す図である。即ち、図27の構造と異なる点は、ドレイン電極119が、第2絶縁膜LB上に延びる第2ドレイン電極部DBを有していることである。図29に示すように、第2ドレイン電極部DBにおける第1絶縁膜LA上方を第1方向に延びた部分の長さは、第1ドレイン電極部DAにおける第1絶縁膜LA上を第1方向に延びた部分の長さよりも長い。つまり、第2ドレイン電極部DBは、第2絶縁膜LBを介して第1ドレイン電極部DAの上方を覆っている。図29に示しているように、当該第2ドレイン電極部DBは、図27のドレイン電極119と第2フローティングフィールドプレートFB1を接続したものであるとも言える。

10

【0094】

図30は、図29のHV-MOSにおいて、ゲート電極116-ソース電極114間を短絡して当該HV-MOSを遮断状態にし、ドレイン電極119-ソース電極114間に高電圧を印加したときの当該HV-MOS内部の電界分布を示す図である。図30でも図28と同様に、シリコン基板表面における最ドレイン側の電界ピークは、第2フローティングフィールドプレートFB2のドレイン側のエッジ下であり、第2フローティングフィールドプレートFB1のエッジ下にはピークは現れない。よって、降伏臨界電界点の近傍の電界強度が低くなるので、HV-MOSの耐電圧値は高くなる。つまりこの変形例によれば、実施の形態2よりもさらなる高耐圧化が可能となる。

20

【0095】

また本実施の形態でも、本発明をMOSFETに適用した例を示したが、本発明の適用はそれに限定されるものではなく、例えばダイオードやIGBTなどにも広く適用することが可能である。

【0096】

<実施の形態7>

図31は、実施の形態7に係るHV-MOSの構成を示す図である。この図においては、図6および図14に示したものと同様の要素には同一符号を付してあるので、それらの詳細な説明は省略する。

【0097】

本実施の形態に係るHV-MOSにおいて、ドレイン電極119は第1絶縁膜LA上に延びる第1ドレイン電極部DA、第2絶縁膜LB上に延びる第2ドレイン電極部DBを有している。そして従来の構造よりも、第1ドレイン電極部DAおよび第2ドレイン電極部DBを長く延ばしている。図31に示しているように、第1ドレイン電極部DAにおける第1絶縁膜LA上を第1方向に延びた部分の長さをdとすると、第2ドレイン電極部DBにおける第1絶縁膜LA上方を第1方向に延びた部分の長さは、長さdよりもさらに長さeだけ長い。このとき、 $d > e$ となるように長さdを充分大きくしている。また図31の例では、第1絶縁膜LAの厚さaと、第1フローティングフィールドプレートFAと第2フローティングフィールドプレートFBとの間の第2方向の距離bとの関係は、従来構造と同じ $a < b$ としている。図31に示しているように、当該第1ドレイン電極部DAは、図6のドレイン電極119を第1フローティングフィールドプレートFA1に接続したものであり、当該第2ドレイン電極部DBは、図6のドレイン電極119に第2フローティングフィールドプレートFB1、FB2を接続したものであるとも言える。

30

40

【0098】

図32は、図31のHV-MOSにおいて、ゲート電極116-ソース電極114間を短絡して当該HV-MOSを遮断状態にし、ドレイン電極119-ソース電極114間に高電圧を印加したときのHV-MOS内部の電界分布を示す図である。同図では、シリコン基板表面(Si表面)から、n領域117とp⁺領域200との間のpn接合深さにかけての電界分布を示している。特に実線は、シリコン基板表面の電界分布と、n⁺層110とp⁺領域200との間の第1pn接合深さの電界分布とを示している。シリコン基板表面における最ドレイン側の電界ピークは、第1フローティングフィールドプレートFA

50

2のドレイン側のエッジ下である。

【0099】

例えば、図7等と比較して分かるように、本実施の形態によれば、最ドレイン側の電界ピークが降伏臨界電界点（ドレイン側の n 領域117の第1 pn 接合深さの部分）から遠ざかることになる。よって、降伏臨界電界点の近傍の電界強度が低くなり、 $HV-MOS$ の耐電圧値は高くなる。

【0100】

なお、図31では、厚さ a と距離 b との関係を $a < b$ としたが、実施の形態1を適用して図33のように $a > b$ としてもよい。図34は、図33の $HV-MOS$ において、ゲート電極116 - ソース電極114間を短絡して該 $HV-MOS$ を遮断状態にし、ドレイン電極119 - ソース電極114間に高電圧を印加したときの該 $HV-MOS$ 内部の電界分布を示す図である。同図では、シリコン基板表面（ Si 表面）から、 n 領域117と p^- 領域200との間の pn 接合深さにかけての電界分布を示している。特に実線は、シリコン基板表面の電界分布と、 n^- 層110と p^- 領域200との間の第1 pn 接合深さの電界分布とを示している。全体的に、図32よりもシリコン基板表面の電界ピークが低くなって電界集中が緩和されていることが分かる。従って、実施の形態1を適用すれば、更なる高耐圧化が可能となる。

【0101】

また本発明の適用は $MOSFET$ に限定されるものではなく、例えばダイオードや $IGBT$ などにも広く適用することが可能である。図35は、本実施の形態を高耐圧ダイオード（ $HV-ダイオード$ ）に適用した例を示す図であり、図5における $HV-ダイオード$ 14の拡大図である。図5および図13に示したものと同様の要素には同符号を付してあるので、ここでの詳細な説明は省略する。なお、この図においても、以降の説明の便宜を図るために、図5とは左右を逆に描いている。図35の $HV-ダイオード$ は、従来の $HV-ダイオード$ （実施の形態1で示した図13において $a < b$ のもの）の構造に対し、第1カソード電極部CAおよび第2カソード電極部CBを、図31の第1ドレイン電極部DAおよび第2ドレイン電極部DBと同様に長く延ばしたものである。

【0102】

図36は、図35の $HV-ダイオード$ において、カソード電極142 - アノード電極145間に逆方向電圧を印加したときの、当該 $HV-ダイオード$ 内の電界分布を示す図である。同図では、シリコン基板表面（ Si 表面）から、 n 層121と p^- 領域200との間の pn 接合深さにかけての電界分布を示している。特に実線は、シリコン基板表面の電界分布と、 n^- 層143と p^- 領域200との間の第1 pn 接合深さの電界分布とを示している。また、この図は、図3のC-C断面（即ち、高電位島のコーナー部）における電界分布を示している。シリコン基板表面における最カソード側の電界ピークは、第1フローティングフィールドプレートFA2のカソード側のエッジ下であり、降伏臨界電界点（カソード側の n 層121の第1 pn 接合深さの部分）の近傍の電界強度が低くなる。

【0103】

一方、図37は、従来の $HV-ダイオード$ （実施の形態1で示した図13において $a < b$ のもの）における、図36と同様の電界分布を示す図である。この図も、図3のC-C断面（高電位島のコーナー部）における電界分布を示している。シリコン基板表面における最カソード側の電界ピークは、図35には無かった第2フローティングフィールドプレートFB1のドレイン側のエッジ下である。

【0104】

図36と図37と比較して分かるように、本実施の形態によれば、最カソード側の電界ピークが降伏臨界電界点から遠ざかることになる。よって、降伏臨界電界点の近傍の電界強度は、図35の $HV-ダイオード$ の場合よりも高くなる。従って、本実施の形態を適用した図35の $HV-ダイオード$ の方が、高い耐電圧を得ることができる。

【0105】

一般に高電位島のコーナー部ではその形状の影響で、特に $HV-ダイオード$ のカソード

10

20

30

40

50

側（HV-MOSの場合はドレイン側）のシリコン基板表面における電界ピークが高くなる傾向にある。例えば図37でも、シリコン基板表面での最カソード側の電界ピークが、最アノード側の電界ピークよりも大きくなっていることが観察される。そのため従来は、コーナー部に形成されたHV-ダイオードやHV-MOSにおける降伏臨界電界点の近傍の電界強度が高くなることに起因する耐圧の低下が懸念されていた。本実施の形態によれば、HV-ダイオードやHV-MOSの降伏臨界電界点の近傍の電界強度を低く抑えることができるので、コーナー部のHV-ダイオードやHV-MOSへの適用は特に有効である。

【0106】

<実施の形態8>

実施の形態8では、実施の形態6に実施の形態7を適用した例を示す。図38は、本実施の形態に係るHV-MOSの構成を示す図である。この図においては、図6および図29に示したものと同様の要素には同一符号を付してあるので、それらの詳細な説明は省略する。

【0107】

本実施の形態に係るHV-MOSは、図29の構造に対して、第1ドレイン電極部DA、第2ドレイン電極部DB、第3ドレイン電極部DCのそれぞれを長く延ばしている。図38に示すように、第1ドレイン電極部DAにおける第1絶縁膜LA上を第1方向に延びた部分の長さをdとすると、第2ドレイン電極部DBにおける第1絶縁膜LA上方を第1方向に延びた部分の長さは、長さdよりもさらに長さeだけ長い。そして、第3ドレイン電極部DCにおける第1絶縁膜LA上方を第1方向に延びた部分の長さは、長さd+eよりもさらに長さfだけ長い。このとき $d > e$ 且つ $d > f$ となるように、長さdを充分大きくしている。

【0108】

図38に示しているように、当該第2ドレイン電極部DBは、図29のドレイン電極119を第2フローティングフィールドプレートFB1、FB2に接続したものであり、また当該第3ドレイン電極部DCは、図29のドレイン電極119に第3フローティングフィールドプレートFC1を接続したものであるということもできる。

【0109】

図39は、図38のHV-MOSにおいて、ゲート電極116-ソース電極114間を短絡してHV-MOSを遮断状態にし、ドレイン電極119-ソース電極114間に高電圧を印加したときのHV-MOS内部の電界分布を示す図である。同図では、シリコン基板表面（Si表面）から、n領域117とp⁺領域200との間のpn接合深さにかけての電界分布を示している。特に実線は、シリコン基板表面の電界分布と、n⁺層110とp⁺領域200との間の第1pn接合深さの電界分布とを示している。シリコン基板表面における最ドレイン側の電界ピークは、第2フローティングフィールドプレートFB3のドレイン側のエッジ下である。図30と比較して分かるように、本実施の形態でも実施の形態7と同様に、最ドレイン側の電界ピークが降伏臨界電界点（ドレイン側のn領域117の第1pn接合深さの部分）から遠ざかることになる。よって、降伏臨界電界点の近傍の電界強度が低くなり、HV-MOSの耐電圧値は高くなる。

【0110】

上述したように、高電位島のコーナー部では、特にHV-ダイオードのカソード側（HV-MOSの場合はドレイン側）のシリコン基板表面における電界ピークが高くなる傾向にあり、それによる耐圧低下が懸念されていた。本実施の形態によれば、HV-ダイオードやHV-MOSの降伏臨界電界点の近傍の電界強度を低く抑えることができるので、高電位島のコーナー部のHV-ダイオードへの適用は特に有効である。

【0111】

<変形例>

以上の各実施の形態では、本発明を、RESURF構造を適用した横型のデバイスに適用したが、本発明は縦型のデバイスに対しても適用可能である。ここでは、縦型のデバイ

10

20

30

40

50

スに上記実施の形態 1 を適用した変形例を示す。

【 0 1 1 2 】

図 4 0 は、縦型の H V - M O S のチップ上面図であり、図 4 1 はそのチップ外周部（エッジターミネーション部）の D - D 線に沿った拡大断面図である。図 4 0 と図 4 1 とで、同一の要素には同一符号を付してある。また、両図において図 6 と同様の機能を有する要素にも、それらと同一符号を付してある。

【 0 1 1 3 】

図 4 0 に示すように、縦型の H V - M O S では、チップ上面にソース電極 1 1 4 およびゲート電極 1 1 6 が配設され、裏面側にドレイン電極（不図示）が配設される。チップ上面の外周部には、チャンネルストッパ層 2 1 1（図 4 1 参照）が形成され、その上に電極 2 1 2（「チャンネルストッパ電極」と称する）。

10

【 0 1 1 4 】

縦型の H V - M O S では、実施の形態 1 ～ 8 で説明した縦型の H V - M O S とは異なり第 1 半導体領域である n^- 層 2 1 0 は、 n^+ 基板 2 2 0 上に形成される。即ち、 n^- 層 2 1 0 の下には p^- 領域（第 4 半導体領域）は形成されない。 n^+ 基板 2 1 1 は H V - M O S のドレインとして機能し、ドレイン電極 2 2 1 が n^+ 基板 2 1 1 の裏面側に形成される。 n^- 層 2 1 0 内には、第 2 半導体領域としての p ウェル 1 1 1 が形成され、その内部に p^+ 領域 1 1 3 が形成される。 p ウェル 1 1 1 の上方には、第 1 絶縁膜 L A を介してゲート電極 1 1 6 が形成され、 p ウェル 1 1 1 および p^+ 領域 1 1 3 の上部にはソース電極 1 1 4 が形成される。そして、 n^- 層 2 1 0 のチップ外周部に第 3 半導体領域としてのチャンネルストッパ層 2 1 1 が形成され、その上にチャンネルストッパ電極 2 1 2 が形成される。 p ウェル 1 1 1 とチャンネルストッパ層 2 1 1 は、 n^- 層 2 1 0 を挟むように形成されている。

20

【 0 1 1 5 】

ゲート電極 1 1 6 の配線部とチャンネルストッパ電極 2 1 2 との間の n^- 層 2 1 0 の上方には、第 1 絶縁膜 L A を介して複数の第 1 フローティングフィールドプレート F A が形成される。さらに、第 1 フローティングフィールドプレート F A の上には第 2 絶縁膜 L B が形成され、第 2 絶縁膜 L B の上には複数の第 2 フローティングフィールドプレート F B が形成される。図 4 1 に示すように、第 1 フローティングフィールドプレート F A および第 2 フローティングフィールドプレート F B はそれぞれ、第 3 半導体領域（チャンネルストッパ層 2 1 1）から第 2 半導体領域（ p ウェル 1 1 1）に向かう第 1 方向に並んで配設される（図 4 0 では、第 1 フローティングフィールドプレート F A、第 2 フローティングフィールドプレート F B を簡略化して描いている）。

30

【 0 1 1 6 】

本変形例では、実施の形態 1 と同様に、第 1 絶縁膜 L A の厚さを a 、第 1 フローティングフィールドプレート F A と第 2 フローティングフィールドプレート F B との間の第 2 方向（第 1 絶縁膜 L A および第 2 絶縁膜 L B の厚さ方向）の距離を b としたとき、 $a > b$ となるように、従来の構造よりも第 1 絶縁膜 L A を厚く、第 2 絶縁膜 L B を薄くしている。

【 0 1 1 7 】

このように、縦型の H V - M O S に実施の形態 1 を適用することによって、当該 H V - M O S 遮断時における、第 1 絶縁膜 L A と n^- 層 2 1 0 との界面における電界集中は緩和される。従って、当該 H V - M O S はチップ外周部において、安定して高耐圧を維持することができ、縦型の H V - M O S 高耐圧化を図ることができる。

40

【 0 1 1 8 】

なお、ここでは本発明を縦型の H V - M O S に適用した例を示したが、その他、I G B T やダイオードなど、縦型パワーデバイス全般に適用可能であり、同様の効果を得ることができる。また、本変形例では、実施の形態 1 を適用したケースのみを示したが、他の実施の形態を適用してもよいことは言うまでもない。

【図面の簡単な説明】

【 0 1 1 9 】

【図 1】パワーデバイスおよびパワーデバイス駆動装置を示す図である。

50

【図 2】パワーデバイス駆動装置における高圧側駆動部の主要部の回路図である。

【図 3】パワーデバイス駆動装置における高圧側駆動部のレイアウトを示す概略平面図である。

【図 4】パワーデバイス駆動装置における高圧側駆動部の主要部の概略断面図である。

【図 5】パワーデバイス駆動装置における高圧側駆動部の主要部の概略断面図である。

【図 6】実施の形態 1 に係る HV-MOS の構成を示す図である。

【図 7】実施の形態 1 に係る HV-MOS の遮断状態におけるドレイン-ソース間の電界分布を示す図である。

【図 8】従来の HV-MOS の遮断状態におけるドレイン-ソース間の電界分布を示す図である。

10

【図 9】実施の形態 1 の効果を説明するための図である。

【図 10】実施の形態 1 に係る HV-MOS の遮断状態におけるドレイン-ソース間の電位分布および電流分布を示す図である。

【図 11】従来の HV-MOS の遮断状態におけるドレイン-ソース間の電位分布および電流分布を示す図である。

【図 12】実施の形態 1 の効果を説明するための図である。

【図 13】実施の形態 1 に係る発明を高耐圧ダイオードに適用した例を示す図である。

【図 14】実施の形態 2 に係る HV-MOS の構成を示す図である。

【図 15】実施の形態 2 に係る HV-MOS の遮断状態におけるドレイン-ソース間の電界分布を示す図である。

20

【図 16】実施の形態 2 の効果を説明するための図である。

【図 17】実施の形態 3 に係る HV-MOS の構成を示す図である。

【図 18】実施の形態 3 に係る HV-MOS の遮断状態におけるドレイン-ソース間の電界分布を示す図である。

【図 19】実施の形態 3 に係る HV-MOS の遮断状態におけるドレイン-ソース間の電位分布および電流分布を示す図である。

【図 20】実施の形態 4 に係る HV-MOS の構成を示す図である。

【図 21】実施の形態 4 に係る HV-MOS の遮断状態におけるドレイン-ソース間の電界分布を示す図である。

【図 22】実施の形態 4 に係る HV-MOS の遮断状態におけるドレイン-ソース間の電位分布および電流分布を示す図である。

30

【図 23】実施の形態 4 の変形例を示す図である。

【図 24】実施の形態 4 の変形例である HV-MOS の遮断状態におけるドレイン-ソース間の電界分布を示す図である。

【図 25】実施の形態 4 の変形例である HV-MOS の遮断状態におけるドレイン-ソース間の電位分布および電流分布を示す図である。

【図 26】実施の形態 5 に係る HV-MOS の構成を示す図である。

【図 27】実施の形態 6 に係る HV-MOS の構成を示す図である。

【図 28】実施の形態 6 に係る HV-MOS の遮断状態におけるドレイン-ソース間の電界分布を示す図である。

40

【図 29】実施の形態 6 の変形例を示す図である。

【図 30】実施の形態 6 の変形例である HV-MOS の遮断状態におけるドレイン-ソース間の電界分布を示す図である。

【図 31】実施の形態 7 に係る HV-MOS の構成を示す図である。

【図 32】実施の形態 7 に係る HV-MOS の遮断状態におけるドレイン-ソース間の電界分布を示す図である。

【図 33】実施の形態 7 の変形例を示す図である。

【図 34】実施の形態 7 の変形例である HV-MOS の遮断状態におけるドレイン-ソース間の電界分布を示す図である。

【図 35】実施の形態 7 に係る発明を高耐圧ダイオードに適用した例を示す図である。

50

【図 3 6】実施の形態 7 に係る高耐圧ダイオードの遮断状態におけるドレイン - ソース間の電界分布を示す図である。

【図 3 7】実施の形態 7 に係る高耐圧ダイオードの遮断状態におけるドレイン - ソース間の電界分布を示す図である。

【図 3 8】実施の形態 8 に係る HV - MOS の構成を示す図である。

【図 3 9】実施の形態 8 に係る HV - MOS の遮断状態におけるドレイン - ソース間の電界分布を示す図である。

【図 4 0】本発明の実施の形態の変形例を説明するための図である。

【図 4 1】本発明の実施の形態の変形例を説明するための図である。

【符号の説明】

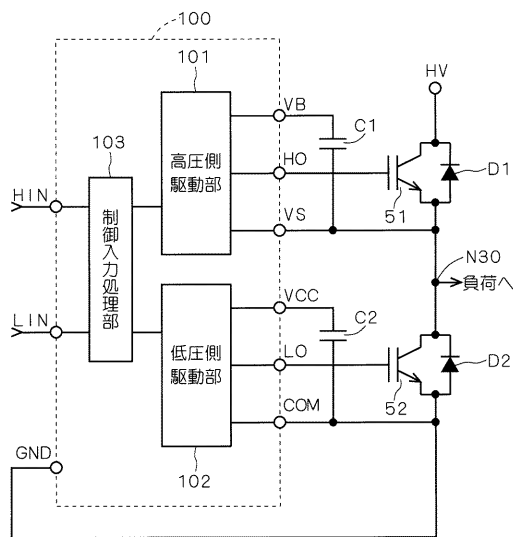
【 0 1 2 0 】

1 1 0 n⁻層、1 1 1 p ウェル、1 1 2 n⁺ソース領域、1 1 3 p⁺領域、1 1 4 ソース電極、1 1 5 ゲート絶縁膜、1 1 6 ゲート電極、1 1 7 n 領域、1 1 8 n⁺ドレイン領域、1 1 9 ドレイン電極、1 2 1 n 層、1 4 1 n⁺カソード領域、1 4 2 カソード電極、1 4 3 n⁻層、1 4 4 p⁺アノード領域、1 4 5 アノード電極、2 0 0 p⁻領域、2 0 1 p⁺分離、2 1 2 チャネルストッパ電極、2 1 1 チャネルストッパ層、2 1 0 n⁻層、L A 第 1 絶縁膜、L B 第 2 絶縁膜、L C 第 3 絶縁膜、F A 第 1 フローティングフィールドプレート、F B 第 2 フローティングフィールドプレート、F C 第 3 フローティングフィールドプレート、D A 第 1 ドレイン電極部、D B 第 2 ドレイン電極部、D C 第 3 ドレイン電極部、C A 第 1 カソード電極部、C B 第 2 カソード電極部。

10

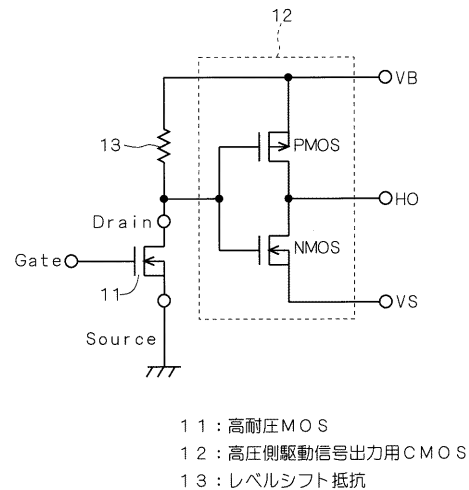
20

【図 1】

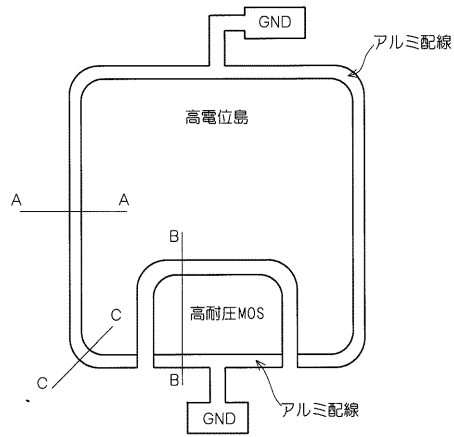


100 : パワーデバイス駆動装置

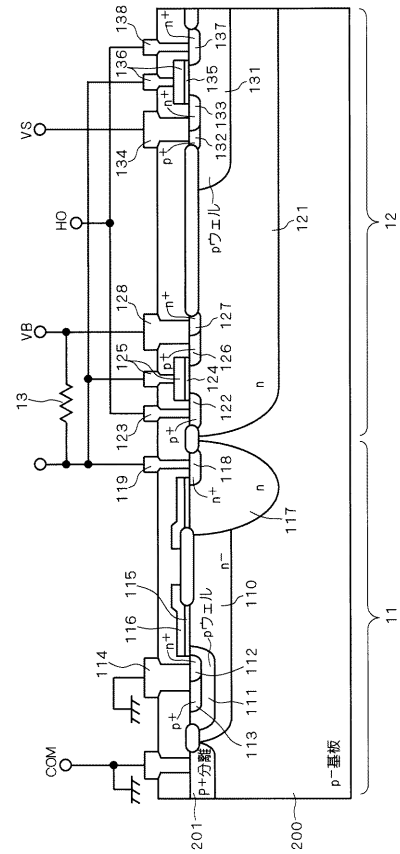
【図 2】



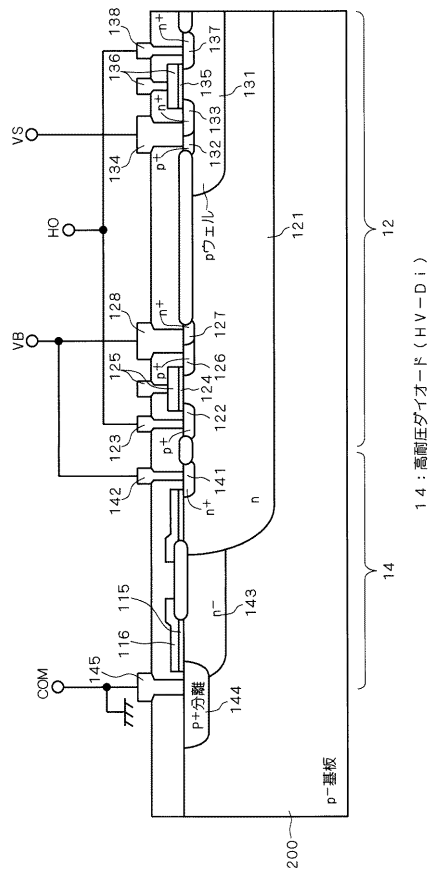
【図 3】



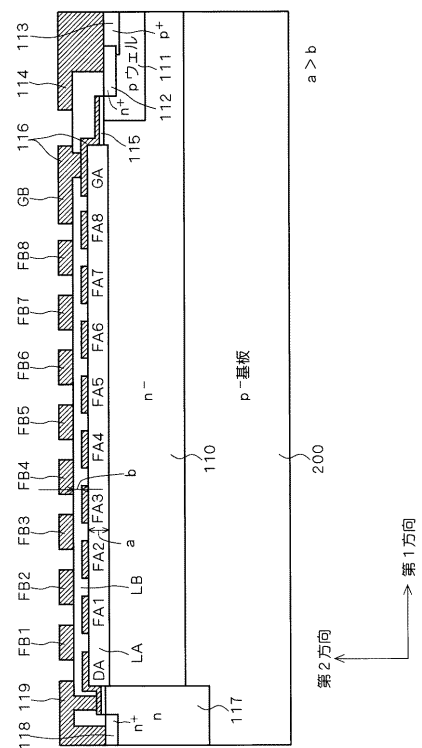
【図 4】



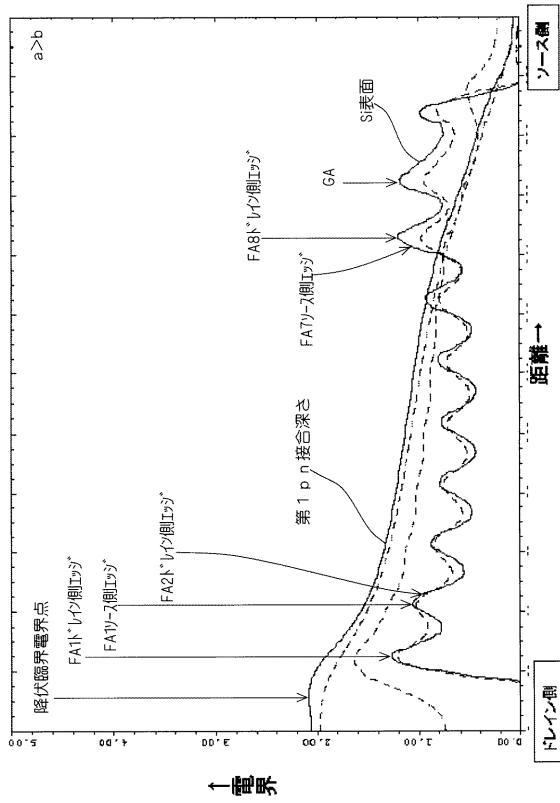
【図 5】



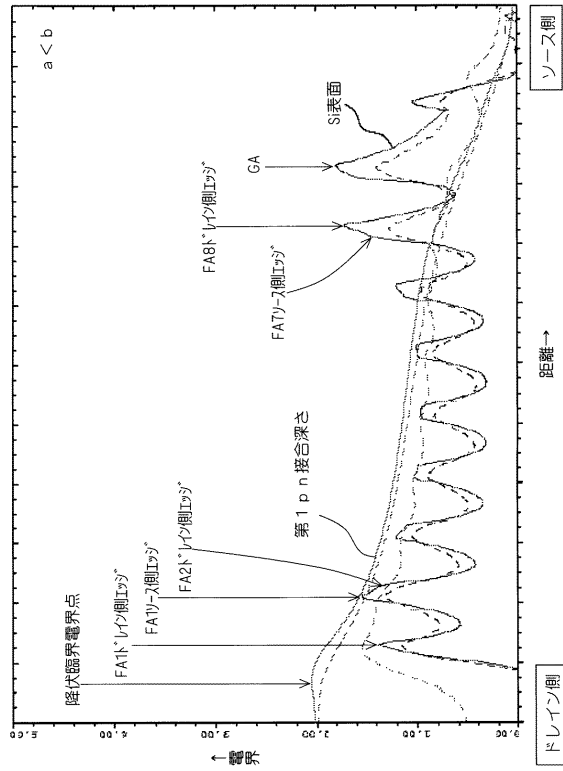
【図 6】



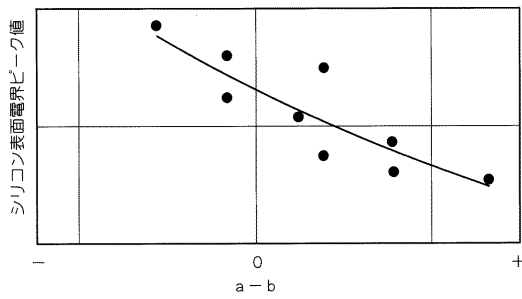
【図 7】



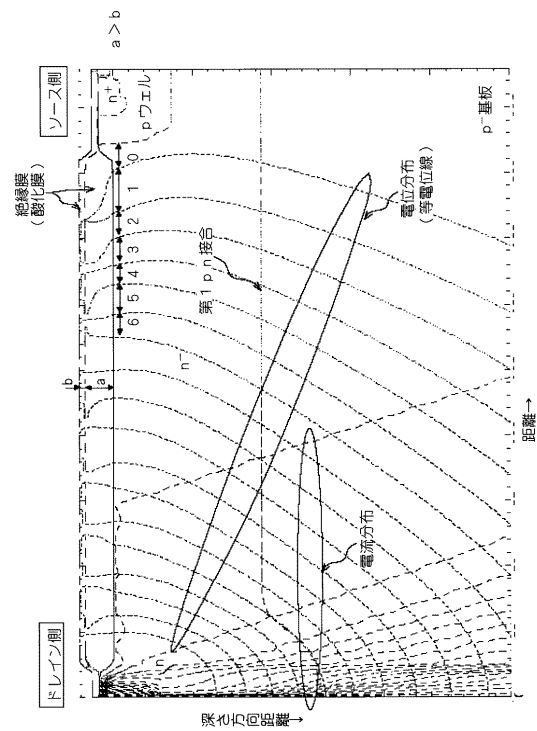
【図 8】



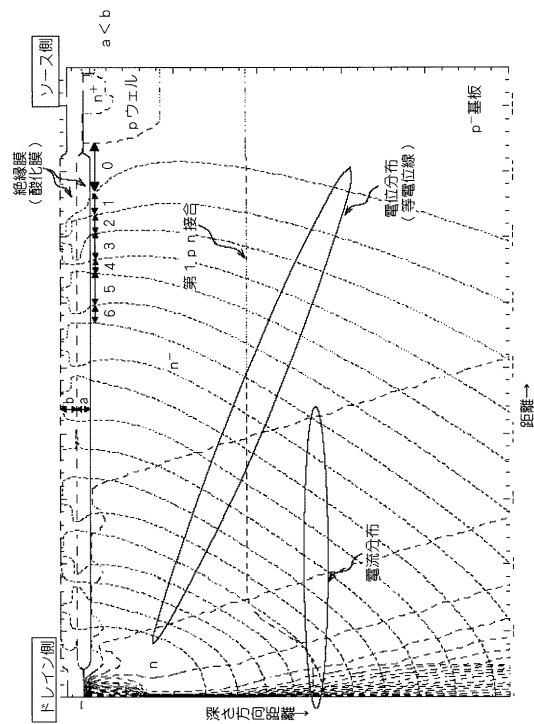
【図 9】



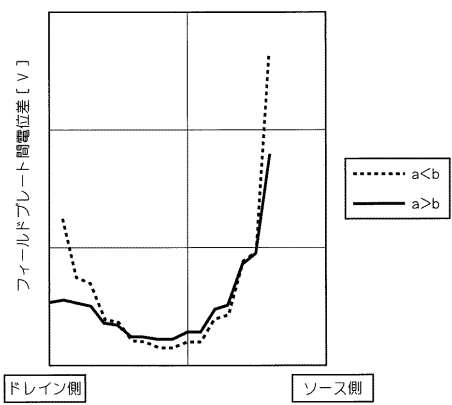
【図 10】



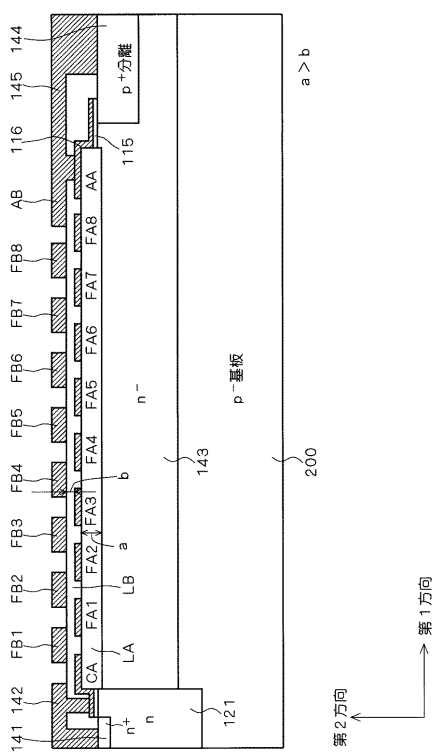
【図 1 1】



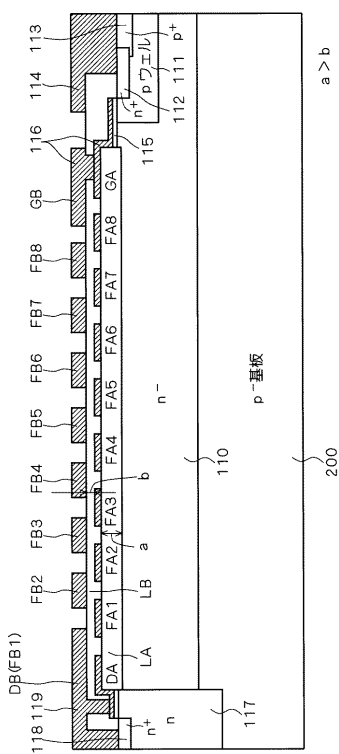
【図 1 2】



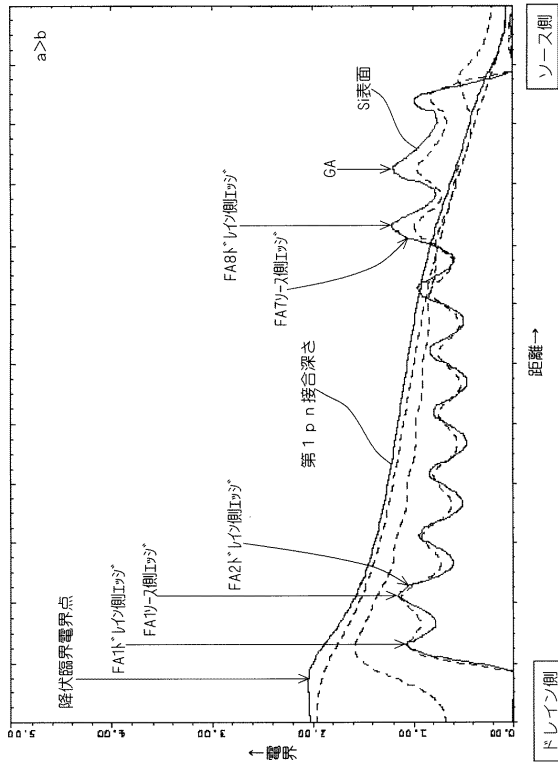
【図 1 3】



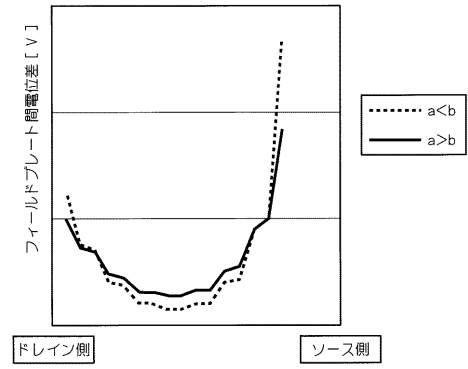
【図 1 4】



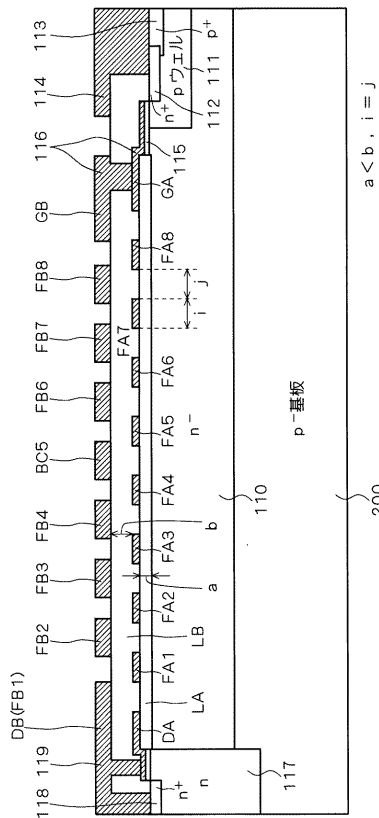
【図 15】



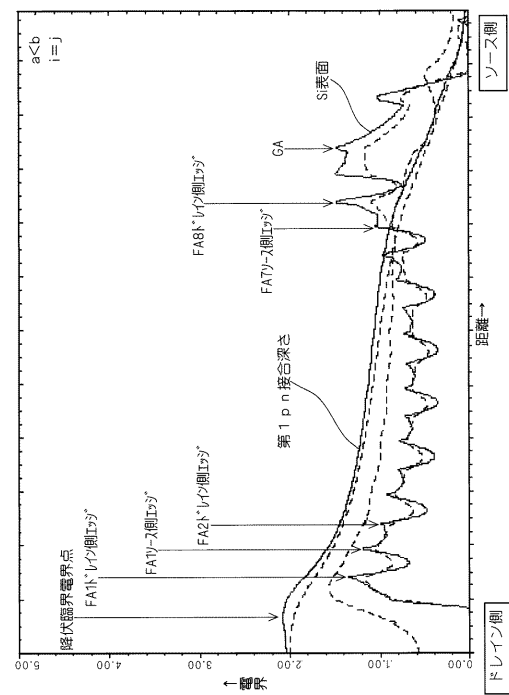
【図 16】



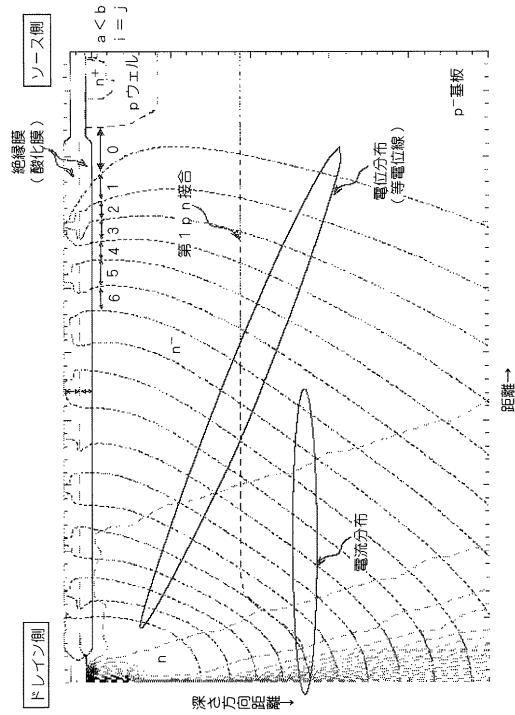
【図 17】



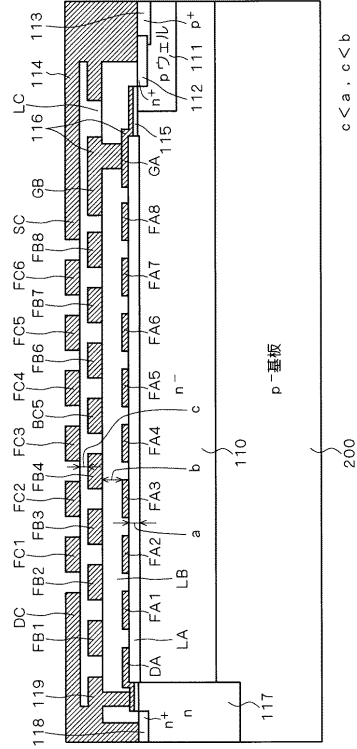
【図 18】



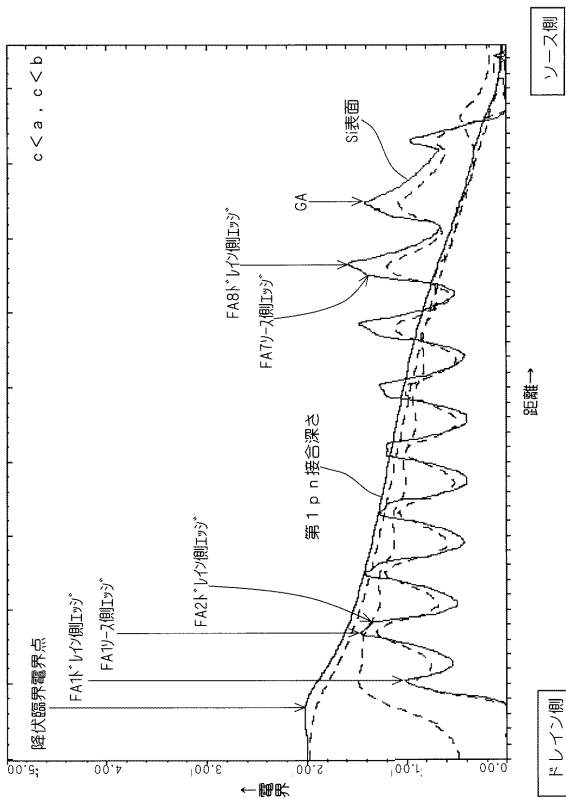
【図 19】



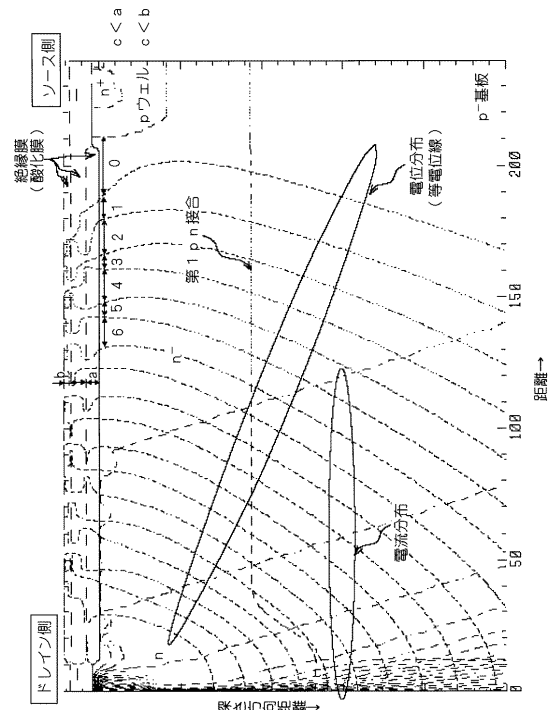
【図 20】



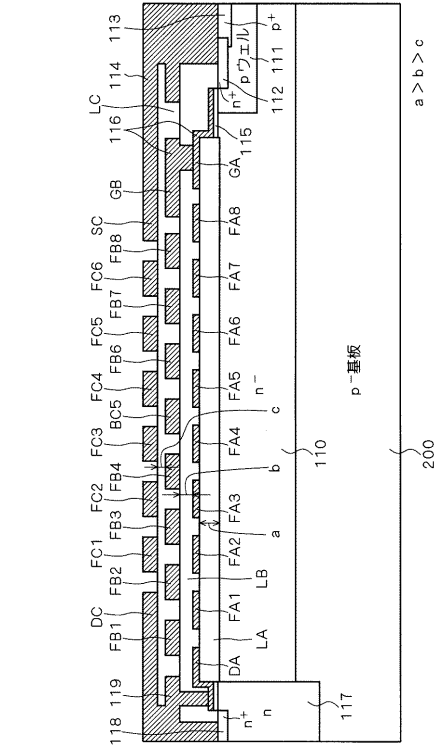
【図 21】



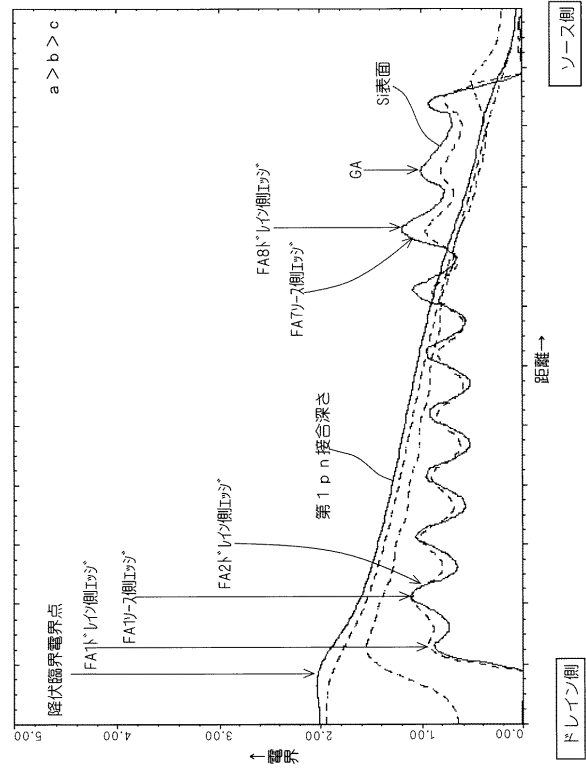
【図 22】



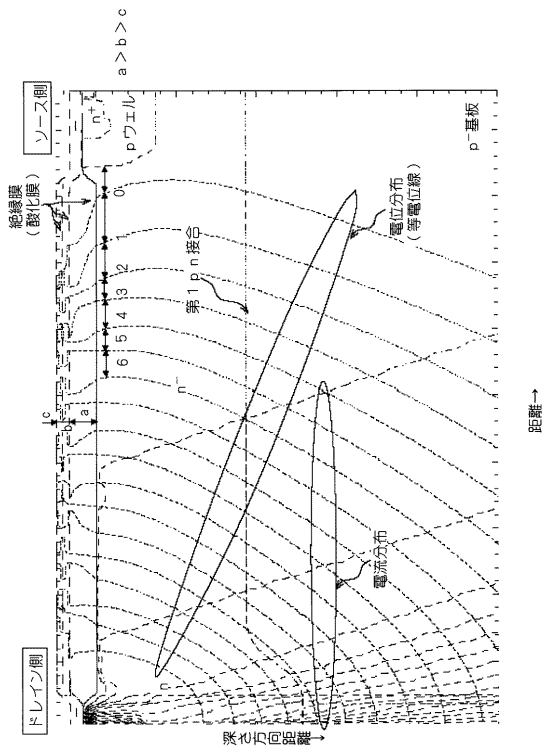
【図 23】



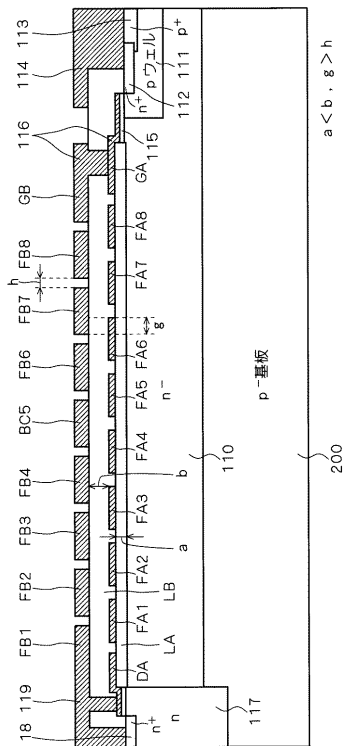
【図 24】



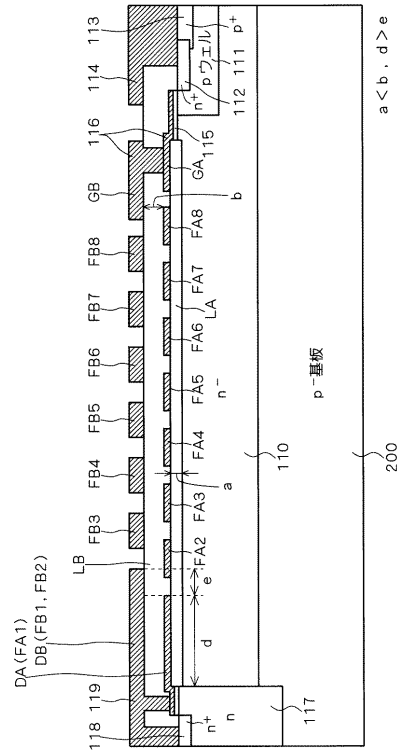
【図 25】



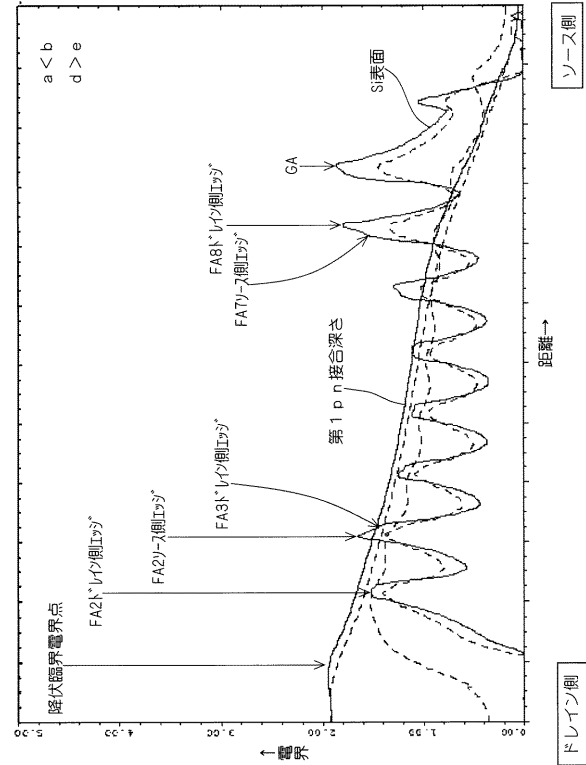
【図 26】



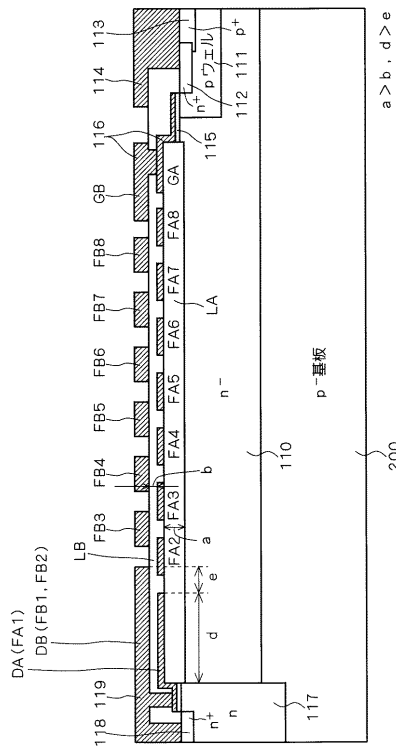
【図 3 1】



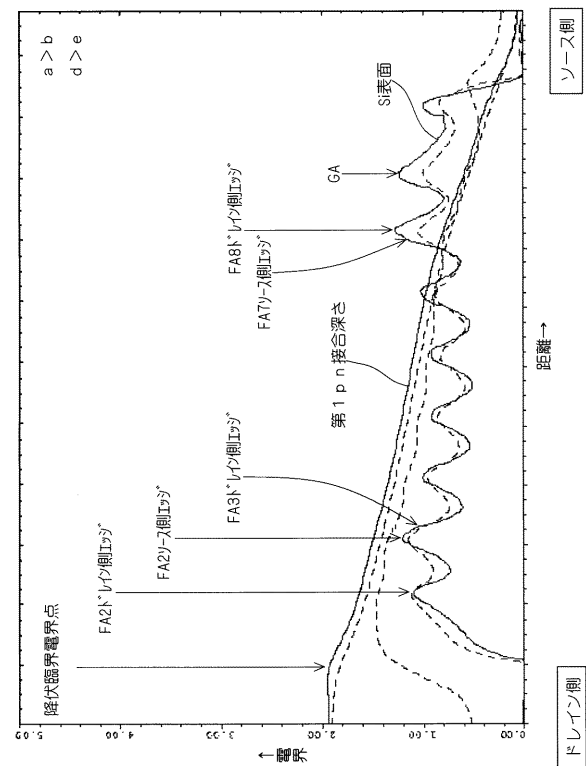
【図 3 2】



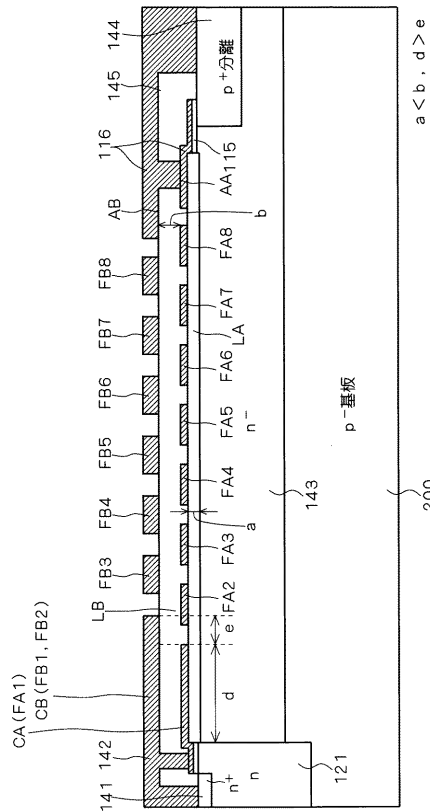
【図 3 3】



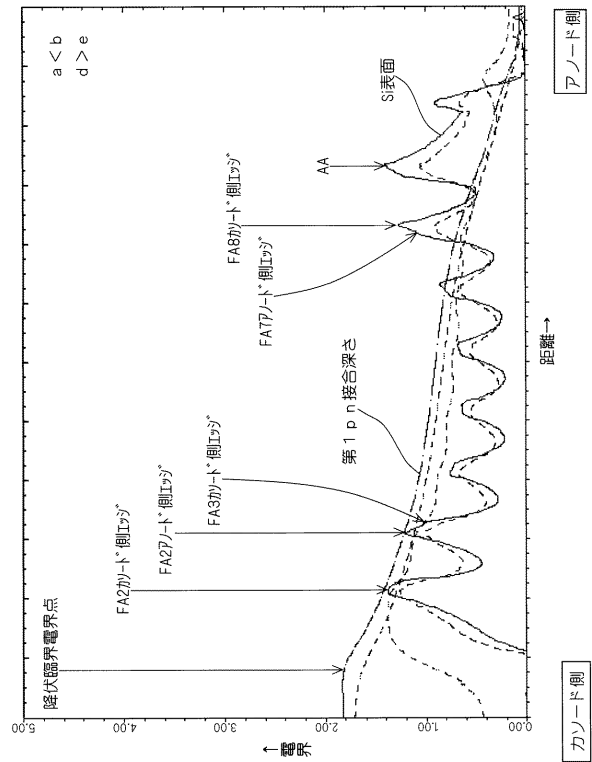
【図 3 4】



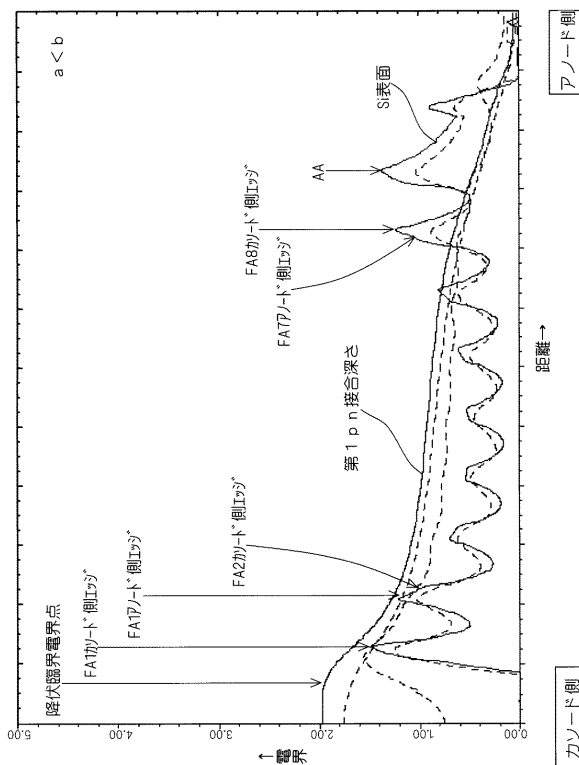
【図 35】



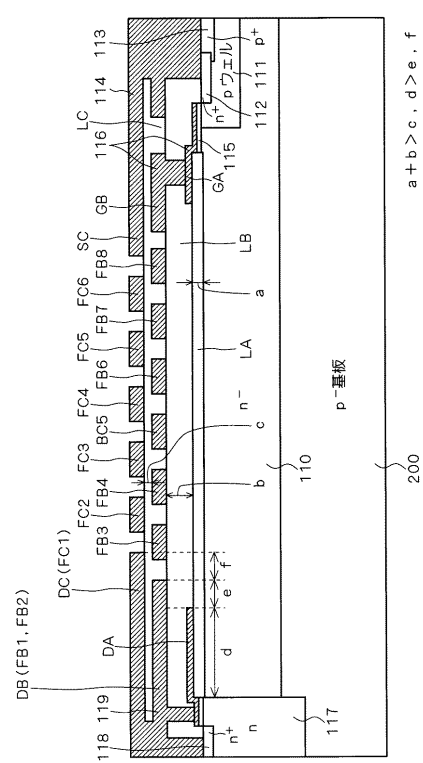
【図 36】



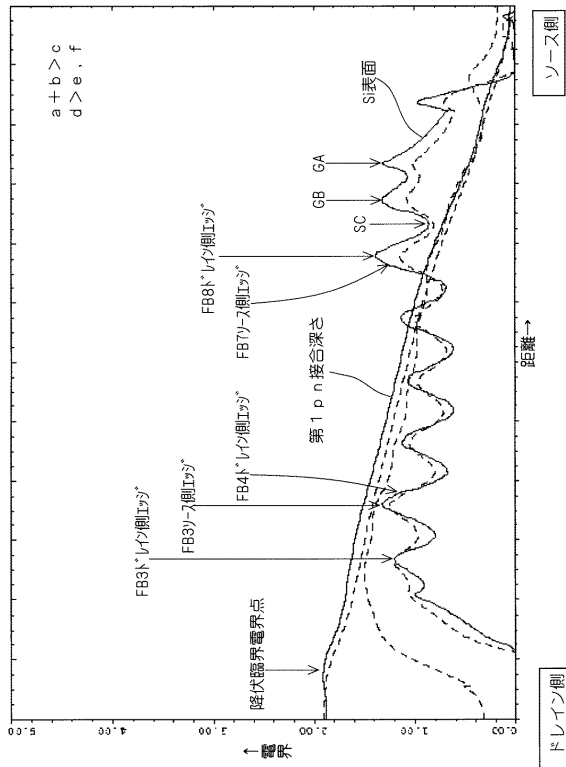
【図 37】



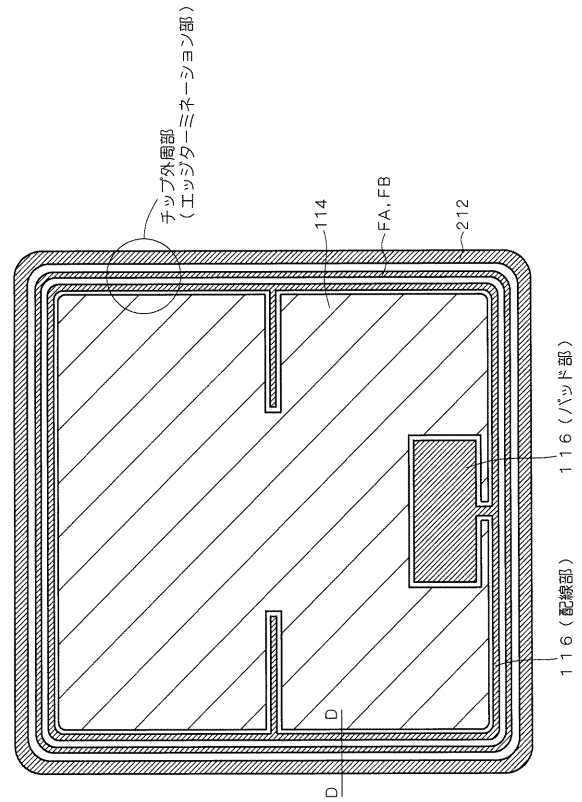
【図 38】



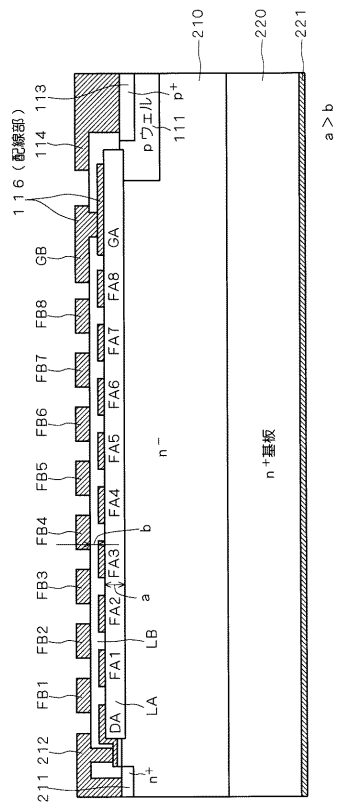
【 図 3 9 】



【 図 4 0 】



【 図 4 1 】



フロントページの続き

- (56)参考文献 特開昭56-169369(JP,A)
特開2002-353444(JP,A)
特開2000-022175(JP,A)
特開平10-163482(JP,A)
特開2001-196578(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	29/78
H01L	29/06
H01L	29/739
H01L	29/861