

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 2000年08月25日 09/648,914 ☐有 ☒無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

五、發明說明 (1)

發明背景

1.發明範圍

本發明關於振盪器電路，特別關於高頻振盪器。

2.科技現狀

頻率綜合器用以提供高頻信號，於各種型式之通信裝備及測量儀器中。如所週知，微波頻率及以上頻率，由參考振盪器包括此種綜合器產生之相位雜訊，可大幅降級高頻輸出信號之頻譜純度。相位雜訊，即頻率跳動，對應產生在理想輸出頻率以外頻率，由綜合器產生之雜訊功率。振盪器中之相位雜訊為一長遠問題，如美專利6,064,244及5,341,110所揭示者，該文以參考方式併入此間。其他參考包括 Rhea, Randall W., 所提之振盪器設計及電腦模擬，McGraw Hill, 1995；Munt, Roger 所提之“頻譜純度之振盪器設計”，發表於1984年7月，p.133之Microwave and RF；及Abidi, A.A., 所提之“相位雜訊如何出現於振盪器”，發表於Analog Circuit Design：及RF A/D轉換器，偵感器及制動器介面，低噪音振盪器，PLLs，及綜合器，由R.J. van de Plassche, J.H. Huijsing 及 W. Sansen, Eds., Boston: Kluwer, 1997發表。均以參考方式併入此間。

圖1顯示一基本振盪器電路。一放大器101有一輸出信號103 (亦為振盪器輸出信號) 耦合至諧振器105。諧振器之一輸出信號107經一延遲電路109回饋，以構成放大器之輸入信號111。當以下條件達成時振盪即可建立：1. 在N節點之開路迴路之增益為整體時；及2. 開路迴路相位為 $2n\pi$ 時，

五、發明說明 (2)

其中 n 為一整數。

振盪器中之相位雜訊，如在上述參考文件中所述，可以 $d\theta/d\omega$ 表之。

如圖 2 中已知佈局之振盪器中，利用二 NPN 電晶體。電晶體 Q1 為一振盪器電晶體，電晶體 Q2 為一緩衝器電晶體。

振盪器電晶體 Q1 機電感器 L3 (可以大狀線實施) 耦合至供應電壓。射極經並聯 RC 組合 (R5, C1) 耦合至地。基極經電阻器 R9 經包括電阻器 R3 及電阻器 R4 之偏壓網路，分別耦合至電源及地。

緩衝器電晶體 Q2 經一 RF 阻流圈 L1 耦合至供應電壓。亦耦合至集極為一 DC 阻流電容器 C3，其構成振盪器電路之 RF 輸出信號。緩衝電晶體 Q2 之射極經 R6 及 C4 之並聯 RC 組合耦合至地。緩衝電晶體 Q2 之基極經電容器 C2 耦合至電晶體 Q1 之集極，及連接至偏壓電阻器 R7 及 R8。

一振盪器諧振器包括一電容器 C5，一電感器 L2 (可由帶線實施)，一變容二極體 D 及一電容器 C6，耦合成一“pi”構型如圖示。電感器及變容二極體並聯至地，並佔據“pi”構型之腳部。電容器佔據 pi 構型之延伸臂部。一調諧 VTUNE 經串聯電感器 L3 及分路電容器 C_{bp} 加至變容二極體。

注意，經電容器 C5 及 C6，振盪器電晶體電容耦合至振盪器電晶體 Q1 之集極，及振盪器電晶體 Q1 之基極。此電容耦合可使諧振器之負載最小。

圖 2 電路中，當開路迴路相位延遲為 $2n\pi$ 時，振盪發生，及中之 n 為整數。

五、發明說明 (3)

以微波頻率時，經Q1之相位延遲不理想。理想延遲為180度，因為寄生關係，實際所得之相位延遲在110至135度之範圍。不同相位補償技術，如利用較高帶寬裝置如FETs，可予使用以增加相移，利用延遲線，去調諧諧振器以正確對齊混合相位。每一上述之備選均有缺點。FETs具有不良之 $1/f$ 噪音。延遲線波頗大。去調諧諧振器以得更多相移可能降低質量因數，結果使相位雜訊退化。因此，此等備選方式無一具吸引力。

圖2之電路出現一複合阻抗，因此有一影響RF增益及相位偏移之可能，使設計人在增益與相移間作一取捨。通常，多利用去調諧諧振器技術，以獲得相位補償，C1被選擇作為該頻率之一旁路，結果，增益可為最大，而相移小至不被注意。圖3顯示該電路之相位雜訊。在100kHz時，相位雜訊為-110.08dBc/Hz。

圖4顯示電路之開路迴路增益及相位特性。注意最大增益(諧振器之“甜點”)為約3.5dB，實際上大於振盪所需之單元增益。此增加之增益甚為需要，因為操作時，為上述之相位補償目的，諧振器將被去調諧(即諧振自主頻率移出)。C1被選為旁路，合成之相位特性可提供多數應用之一可接受之有效Q因數。對需要高頻譜純度之信號言，2G及3G細胞無線電電話，仍在尋找雜訊之改進。

其他用以降低雜訊之技術，包括增加諧振器之Q因數，及操作於較高電壓。增加諧振器之Q因數，涉及增加L與C比值。如L增加，諧振器尺寸亦增加。如C降低，及更接

五、發明說明(4)

近電路之寄生電容時，調諧範圍降低。以較高電壓操作時，增加功率消耗。此等被選方案並無吸引力。

故所需者為可達成實際上相位雜訊改進，而所費最小之技術。

本發明概述

本發明可實質降低振盪器相位雜訊，方法為修改振盪器一部份之轉移函數，即，加一零至轉移函數。修改轉移函數可降低開路迴路增益，且可達到理想相位補償，可使振盪器操作於諧振器之諧振，而非諧振之外。在範例實施例中，轉移函數係經電容器之值而修改，俾不以主頻率之旁路操作，而加一零至振盪器之轉移函數，促使頻率特性之改變及達成振盪器有效Q之增加。此有效Q之增加轉移為相位雜訊之直接降低。並展現一3dB之改進相位雜訊降低。

圖式簡略說明

本發明可在以下說明及參考所附圖式後，更能進一步瞭解，圖中：

圖1為一基本振盪器之圖形；

圖2為習知佈局之振盪器圖形；

圖3為習知技藝之振盪器電路相位雜訊曲線；

圖4為習知技藝振盪器電路之開路回路增益及相位特性曲線；

圖5為修改之振盪器電路之開路迴路增益及相位特性曲線；

圖6為修改之振盪器電路之在一調諧條件下之相位雜訊；

五、發明說明 (5)

圖7為修改之振盪器電路之在另一調諧條件下之相位雜訊。

較佳實施例之詳細說明

利用電路模擬技術，圖2之振盪器電路以調整電容器C1之值，及加一零至振盪器電路之電晶體部份。如此技藝所熟知，增加一零之效應為提供一相位超前，因而使另一機構作相位補償。修改之振盪器電路之一實施例之組件值，包括決定之C1值將說明如下。

圖5為一修改之陣盪器電路之增益及相位特性圖。圖5可見，振盪器電路之修改導致增益之大減，僅稍大於一單元(0dB)。注意，諧振頻率實質上與相位曲線之最大斜率回折點重合。振盪器電路操作於此點，導致電路操作於曲線之最低相位雜訊區。

舉例

圖2之振盪器電路係用以下值之組件所構成：

表1

組件	值	組件	值	組件	值
R3	3.9K	L1	10nh	C1	20pf
R4	2.2K	L2	3.3nh	C1'	6.8pf
R5	20	L3	2.2nh	C2	1.5pf
R6	10			C3	56pf
R7	3.9K			C4	56pf
R8	2.0K			C5	4.7pf
R9	330			C6	1.5pf
				C _{bp}	56pf

振盪器電路於是加以測試。使用一旁路電容器(C1=20pf)，振盪器電路展現諧振頻率922MHz。100kHz時

五、發明說明 (6)

，相位雜訊偏移測量=-11dBc/Hz。

電容器C1由具有6.8pf值之電容器所取代。調諧電壓與前一測試相同。振盪器展現之諧振頻回939MHz。在100kHz偏移之相位雜訊為-112.5dBc/Hz，改進為2.5dB。

以C1=6.8pf，調諧電壓加以調整，以產生與原始測試相同之頻率922MHz。相位雜訊在100kHz時為-115.4dBc/Hz，改進為5.4dB。此等結果摘要如下：

表 2

C1(pf)	相位雜訊在100kHz之dBc/Hz	頻率MHz
20	-110.0	922
6.8	-112.5	939

表 3

C1(pf)	100kHz時之相位雜訊，dBc/Hz	頻率MHz
20	-110.0	922
6.8	-115.4	922

上例中獲得之相位雜訊降低於圖6及7中加以說明，對應每一上述調諧條件。根據上述結果，以本發明之此技術可獲得之改進，應在3-6dB之範圍，一極大之改進。

以上已說明一具有相位雜訊特性之振盪器電路。相位雜訊之改進不需要較高品質之諧振器電路，或任何組件數或面積之增加，但可經由組件值之適當調整而達成。

精於此技藝人士當可瞭解，本發明可以其他形式構成而不悖離本發明之精神與主要特性。以上揭示之實施例各方面均應考慮為說明性，而非限制性。本發明之範圍包含於申請專利範圍內，而非以上說明中，故所有意義及範圍等值之改變，均擬包括其內。

五、發明說明(7)

元 件 符 號 說 明

101	放 大 器
103	輸 出 信 號
105	諧 振 器
107	輸 出 信 號
109	延 遲 電 路
111	輸 入 信 號

裝

訂

線

四、中文發明摘要(發明之名稱： 具縮減相位雜訊之振盪器電路)

本發明一般而言可藉由修改振盪器一部份之轉移函數使振盪器相位雜訊實質降低，即，藉由增加一零值至轉移函數。修改轉移函數降低振盪器之開路迴路增益但達到一理想相位補償，可使振盪器操作於諧振器之諧振，而非諧振以外。在一範例實施例中，轉移函數藉由選擇電容值而修改，因此，不以主頻率之旁路(bypass)操作而以加一零於振盪器轉移函數及造成頻率特性之改變，而達成振盪器之有效Q之增加。有效Q之增加，可直接轉移為降低之相位雜訊。故可展現3dB範圍內之相位雜訊改進。

英文發明摘要(發明之名稱： OSCILLATOR CIRCUIT HAVING REDUCED PHASE NOISE)

The present invention, generally speaking, allows for a substantial reduction in oscillator phase noise by modifying the transfer function of a portion of the oscillator, e.g., by adding a zero to the transfer function. Modifying the transfer function reduces the open-loop gain of the oscillator but achieves a desired phase compensation, allowing the oscillator to be operated at the resonance of the resonator instead of off resonance. In an exemplary embodiment, the transfer function is modified by choosing a capacitance value such that, instead of operating as a bypass at the frequency of interest, adds a zero to the transfer function of the oscillator and causes a change in frequency characteristics, achieving an increase in the effective Q of the oscillator. This increase in effective Q translates directly into reduced phase noise. Phase noise improvement in the range of 3dB has been demonstrated.

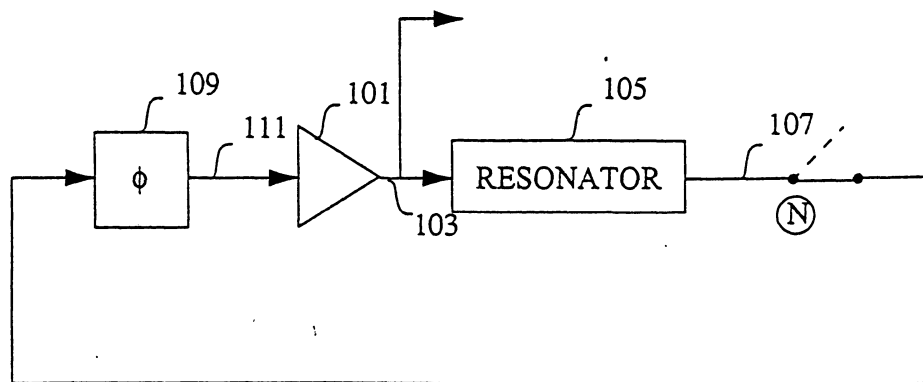


圖 1

(習知技藝)

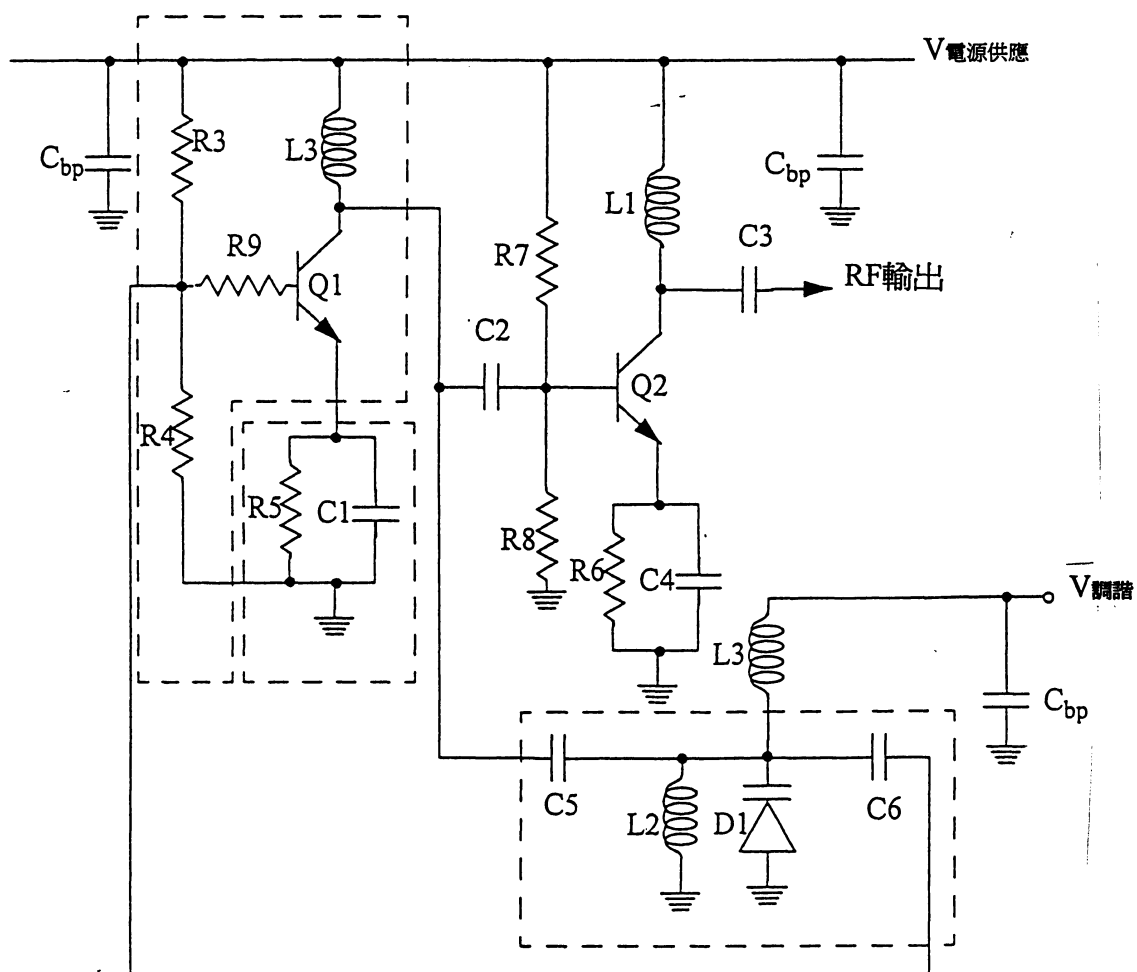


圖 2

(習知技藝)

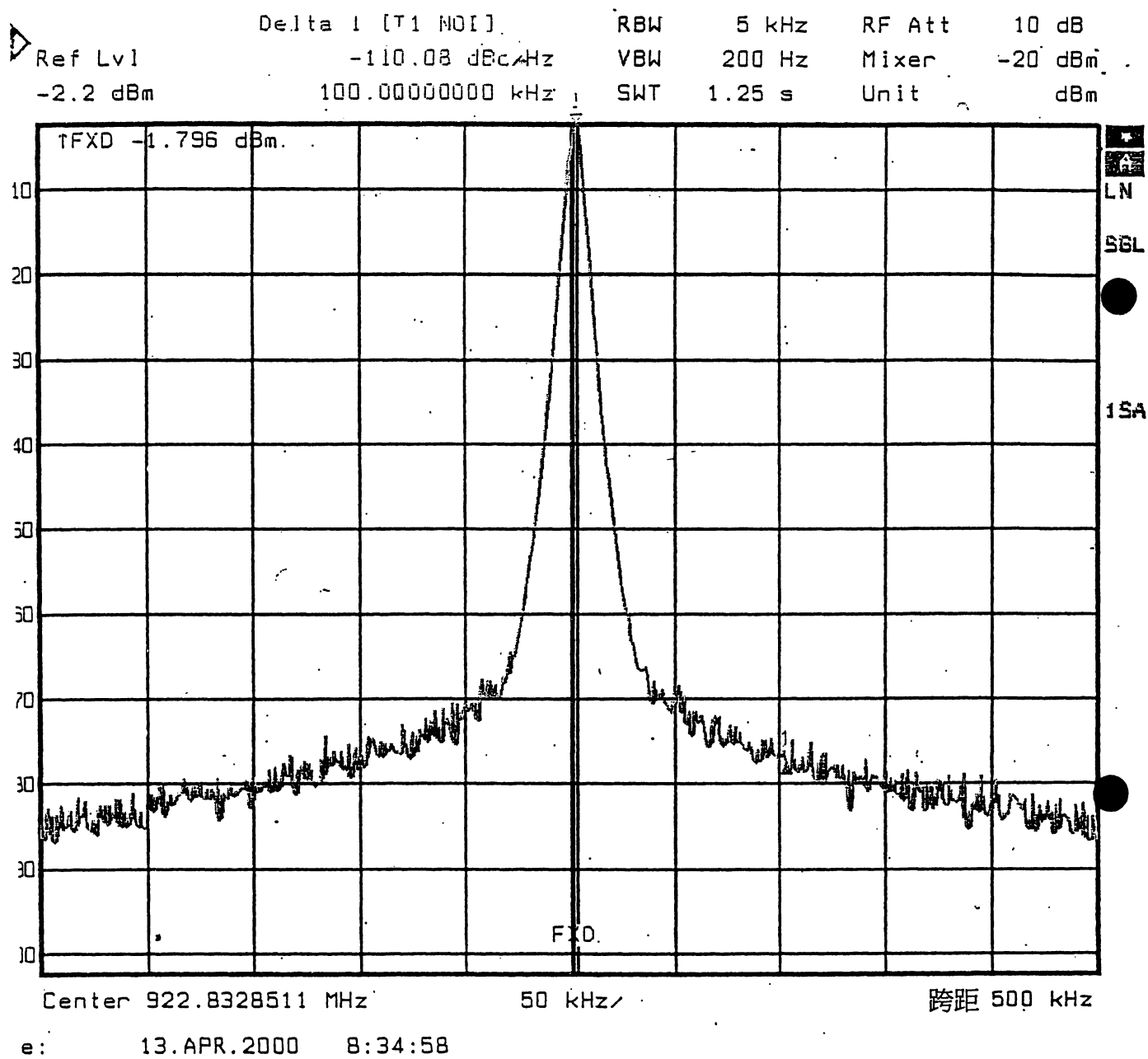
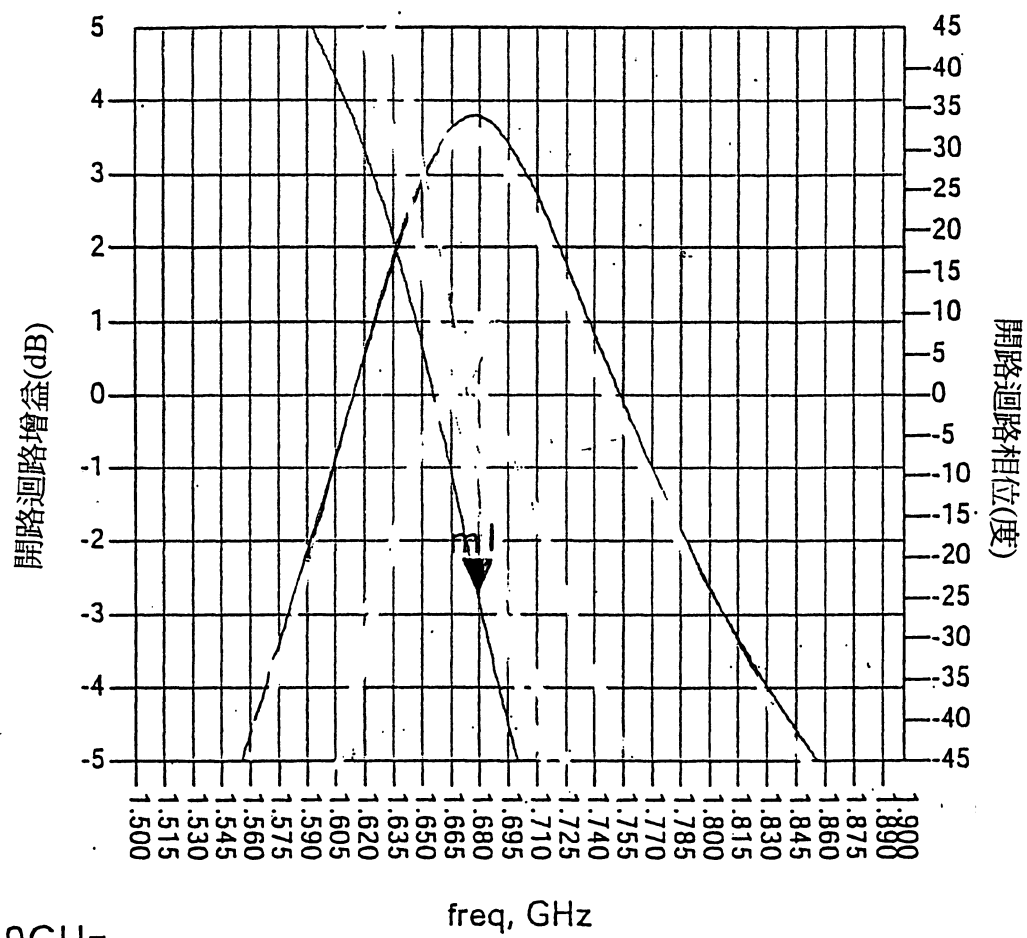


圖 3



11
 頻率=1.679GHz
 Cemit=12.000
 相位(S(3,2))=-24.296

圖 4

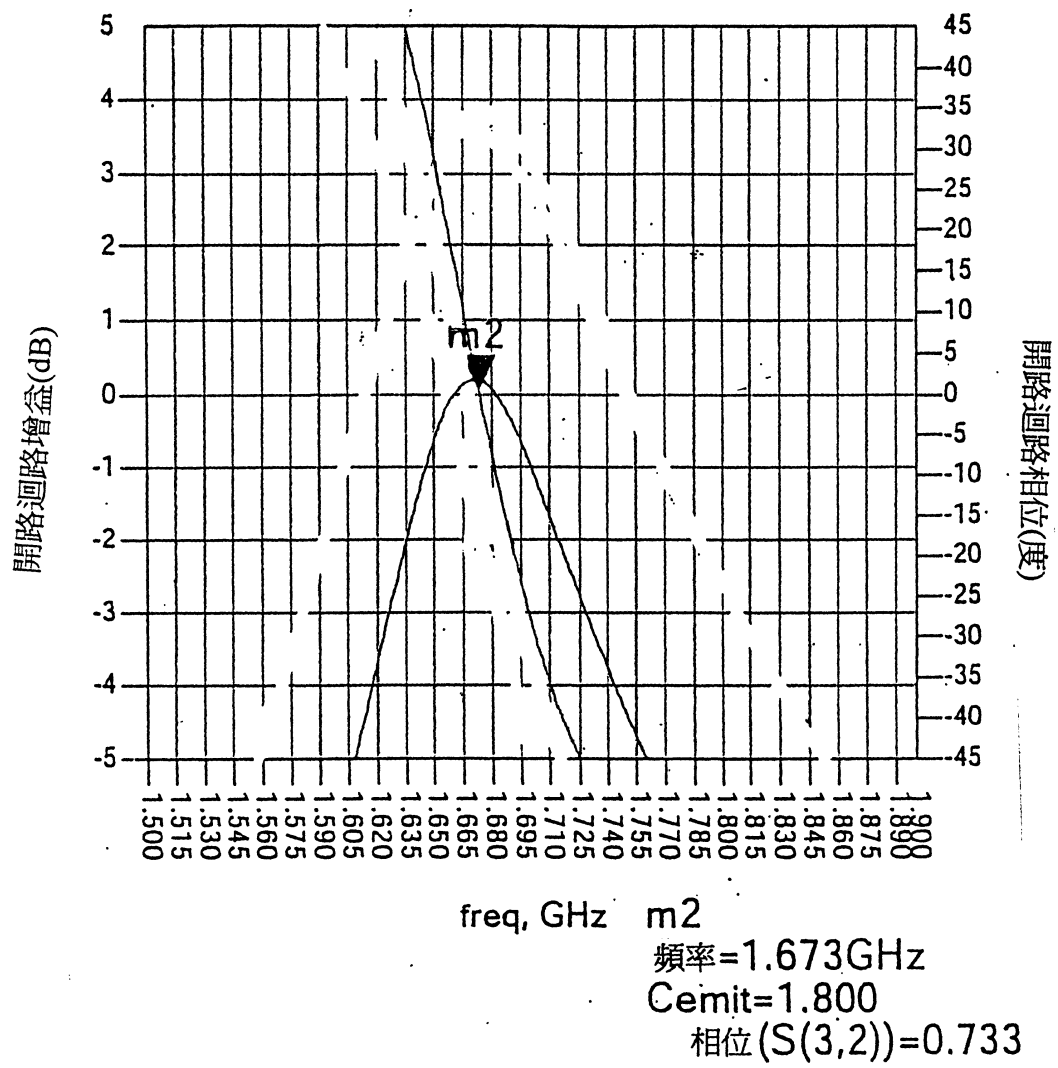


圖 5

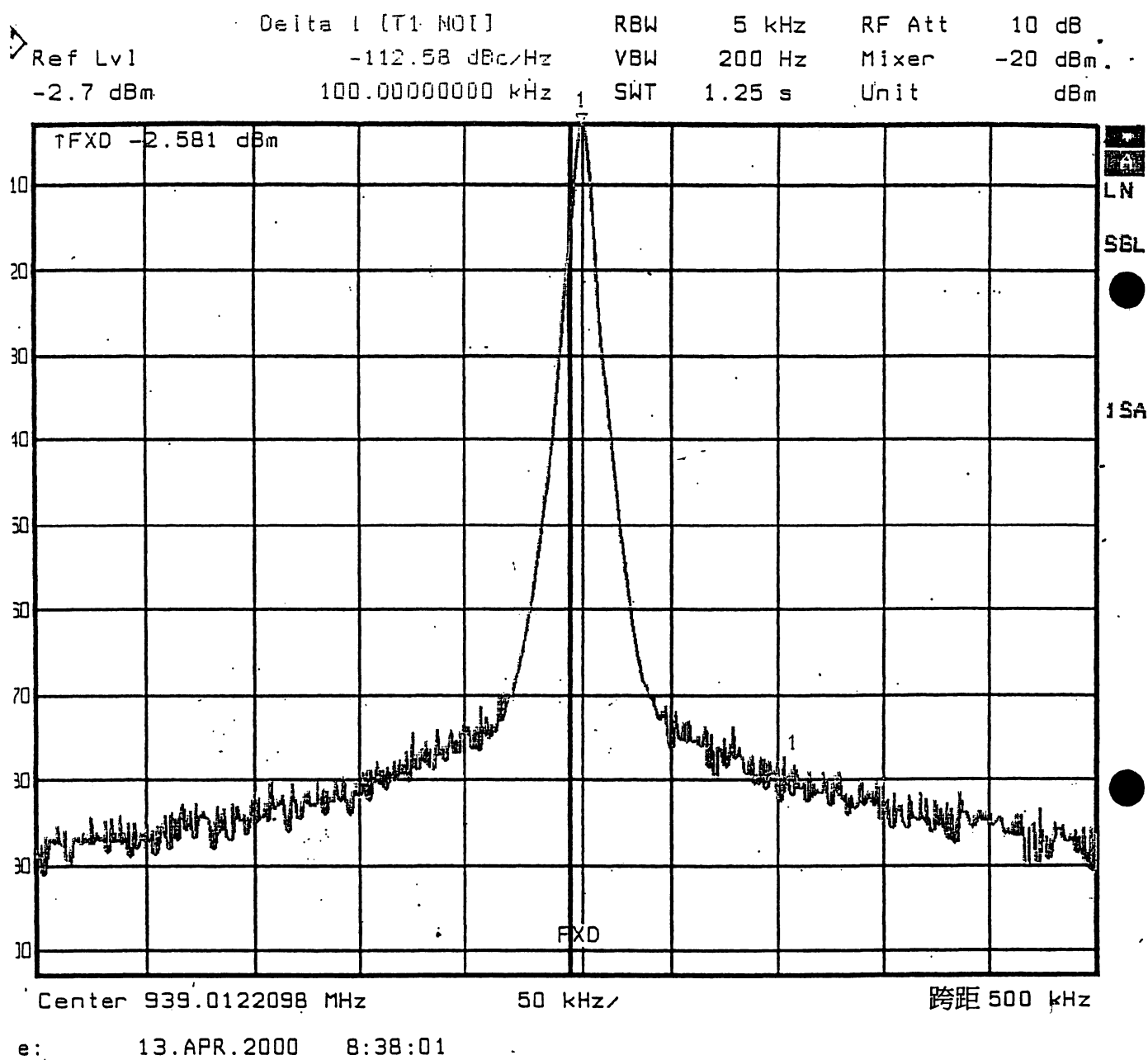


圖6

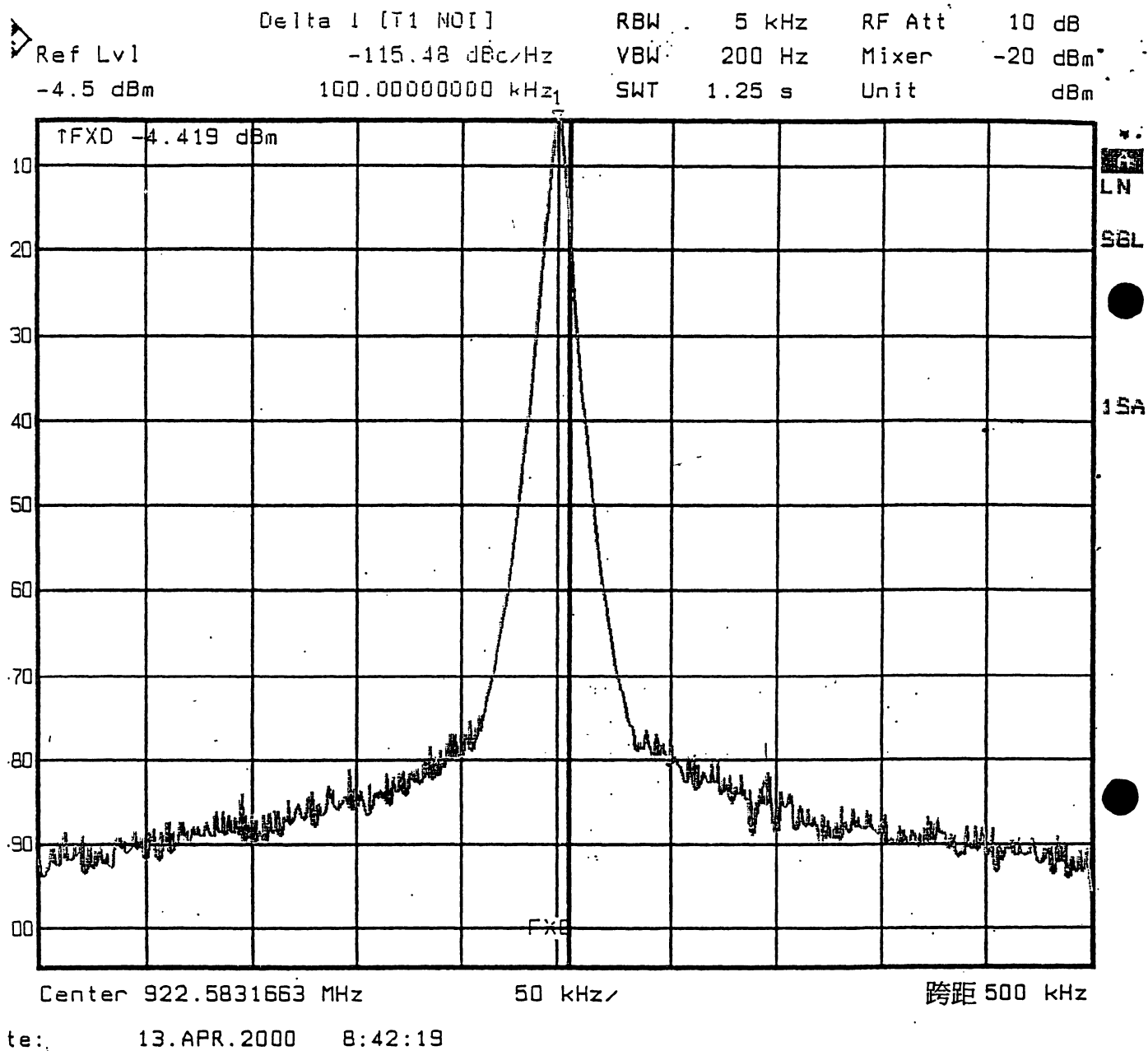


圖 7

本 告 公

2年 月 日 修正
補充

申請日期	90.9.12
案 號	090122612
類 別	1705B 5700

C4

557621

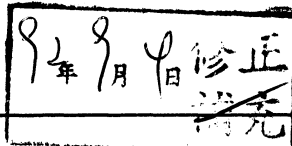
(以上各欄由本局填註)

中文說明書替換本(92年5月)

發新 明型 專利說明書

一、發明 新名稱	中 文	具縮減相位雜訊之振盪器電路
	英 文	OSCILLATOR CIRCUIT HAVING REDUCED PHASE NOISE
二、發明 創作人	姓 名	吉洛德 李 JEROLD LEE
	國 籍	美國
三、發明 申請人	住、居所	美國加利福尼亞州洛杉磯市鄉村俱樂部街1599號
	代 表 人 姓 名	卡倫 A. 當那 KAREN A. DANNA

- 1 -



六、申請專利範圍

1. 一種振盪器電路，包含：

一諧振電路；及

一再生元件，其耦合至諧振器電路並具有包括一阻抗之回饋路徑，該阻抗在主頻率展現一實質之電抗；

其中該阻抗定義一轉移函數零值，該零值助成該再生元件之相位偏移，降低該再生元件之增益並增加該振盪器之有效Q因數，藉此該振盪器之相位雜訊降低。

2. 如申請專利範圍第1項之振盪器電路，其中該再生元件為一電晶體。

3. 如申請專利範圍第2項之振盪器電路，其中該電晶體為一NPN電晶體。

4. 如申請專利範圍第3項之振盪器電路，其中該阻抗含一並聯RC組合。

5. 如申請專利範圍第4項之振盪器電路，其中該阻抗耦合於該電晶體之射極與一參考電壓之間。

6. 如申請專利範圍第1項之振盪器電路，進一步包含一緩衝器級(buffer stage)，該緩衝器級耦合至該再生元件及該諧振電路，該緩衝器級產生振盪器之一輸出信號。

7. 如申請專利範圍第6項之振盪器電路，其中該緩衝器級包含一NPN電晶體。

8. 如申請專利範圍第7項之振盪器電路，其中該諧振器電路及緩衝器級分別電容耦合至該再生電路。