

(19) 世界知的所有権機関
国際事務局

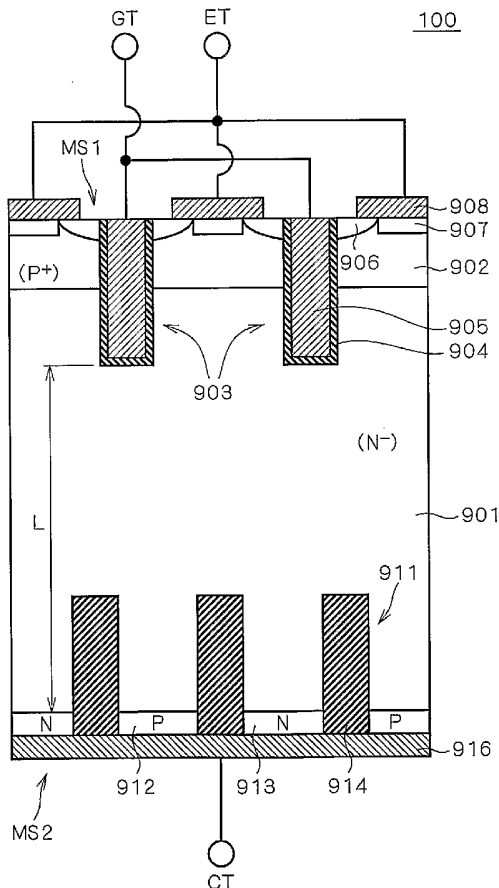


(43) 国際公開日
2004年12月16日 (16.12.2004)

PCT

(10) 国際公開番号
WO 2004/109808 A1

- (51) 国際特許分類: H01L 29/739
- (21) 国際出願番号: PCT/JP2003/007168
- (22) 国際出願日: 2003年6月5日 (05.06.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 徳田 法史 (TOKUDA, Norifumi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
- (54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD
- (54) 発明の名称: 半導体装置およびその製造方法
- (57) Abstract: A semiconductor device, particularly one in which the main current flows in the thickness direction of its semiconductor substrate. A semiconductor device in which the main current flows in the thickness direction of its semiconductor substrate has desired electric characteristics when semiconductor elements with different functions are disposed adjacently. In the second major surface (MS2) of a semiconductor substrate (901), P-type semiconductor regions (912) and N-type semiconductor regions (913) are alternately formed with spacings between them. In the surface of the semiconductor substrate (901), a trench isolating structure (911) formed with an insulator (914) embedded in a trench is provided in each spacing. A second main electrode (916) is so disposed as to be in contact with the P-type semiconductor regions (912) and the N-type semiconductor regions (913).
- (81) 指定国 (国内): CN, JP, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。



(57) Abstract: A semiconductor device, particularly one in which the main current flows in the thickness direction of its semiconductor substrate. A semiconductor device in which the main current flows in the thickness direction of its semiconductor substrate has desired electric characteristics when semiconductor elements with different functions are disposed adjacently. In the second major surface (MS2) of a semiconductor substrate (901), P-type semiconductor regions (912) and N-type semiconductor regions (913) are alternately formed with spacings between them. In the surface of the semiconductor substrate (901), a trench isolating structure (911) formed with an insulator (914) embedded in a trench is provided in each spacing. A second main electrode (916) is so disposed as to be in contact with the P-type semiconductor regions (912) and the N-type semiconductor regions (913).

(57) 要約: 本発明は半導体装置に関し、特に、半導体基板の厚み方向に主電流が流れる半導体装置に関する。半導体基板の厚み方向に主電流が流れる半導体装置において、機能の異なる半導体素子を隣接して配置する場合に、所期の電気的特性を達成できる半導体装置を提供することを目的とする。そして、上記目的を達成するために、半導体基板(901)の第2の主面(MS2)の表面内に、互いに間隔を開けて交互に形成されたP型半導体領域(912)とN型半導体領域(913)とが設けられ、両者の間の半導体基板(901)の表面内にはトレンチ内に絶縁体(914)を埋め込んで形成したトレンチ分離構造(911)が配設されている。また、P型半導体領域(912)およびN型半導体領域(913)に共通に接するように第2の主電極(916)が配設されている。

WO 2004/109808 A1

明 細 書

半導体装置およびその製造方法

技術分野

本発明は半導体装置に関し、特に半導体基板の厚み方向に主電流が流れる半導体装置に関する。

背景技術

半導体基板の厚み方向に主電流が流れる半導体装置の一例として、I G B T（絶縁ゲートバイポーラトランジスタ：insulated gate bipolar transistor）素子と、当該I G B T素子に逆並列に接続されたダイオード素子とを隣接して形成する構成が提案されている。

例えば、特開平11-97715号公報には、半導体基板の第1の主面側にゲート電極構造を形成し、第2の主面の表面内に、P型不純物領域およびN型不純物領域とを交互に隣接して形成し、P型不純物領域とゲート電極構造とでI G B T領域を構成し、N型不純物領域とゲート電極構造とでダイオード領域とを構成する例が開示されている。

このような構成においては、第2の主面側のP型不純物領域とN型不純物領域とが接触しているため、例えばスナップバックと呼称される現象が発生し、I G B T素子のスイッチング動作においてエネルギー損失が生じ、所期の電気的特性が得られないという問題があった。

発明の開示

本発明は、半導体基板の厚み方向に主電流が流れる半導体装置において、機能の異なる半導体素子を隣接して配置する場合に、所期の電気的特性を達成できる半導体装置を提供することを目的とする。

本発明に係る半導体装置の態様は、半導体基板の第1の主面に設けられた第1の主電極と、前記半導体基板の第2の主面に設けられた第2の主電極と、前記第1の主面の表面内に設けられた少なくとも1つのトレンチ型ゲート電極とを備え、前記半導体基板の厚み方向に主電流が流れる半導体装置であって、前記半導体基板は、前記第2の主面の表面内に設けられた少なくとも1つのトレンチ分離構造と、前記第2の主面の表面内に配設された、第1導電型の第1の不純物領域およ

び第2導電型の第2の不純物領域とを有し、前記少なくとも1つのトレンチ分離構造は、前記第2の主面の表面内に設けたトレンチ内部に、絶縁体または前記半導体基板とは反対導電型の半導体を埋め込んで構成され、前記第1の不純物領域と前記第2の不純物領域とを隔てるように配設される。

本発明に係る半導体装置の態様によれば、例えば第1の不純物領域をMOSFET素子のドレイン領域およびダイオード素子のカソード領域として使用し、第2の不純物領域をIGBT素子のコレクタ領域として使用する場合、少なくとも1つのトレンチ分離構造の存在によりIGBT素子の動作時に流れる電流経路の抵抗値が増加し、当該電流経路にモジュレーションに際して流れる電流を低減できるので、スナッチバックを抑制できる。また、少なくとも1つのトレンチ分離構造を設けることで、第2の主面に占める有効領域の面積（第1の不純物領域と第2の不純物領域の面積の和）を小さくせずともスナッチバックを抑制できるので、IGBT素子の動作時のオン電圧やダイオード素子の動作時の順方向電圧 V_f が高くなったり、それぞれの動作時の局所的電流密度が高くなることが防止される。

本発明に係る半導体装置の製造方法の態様は、半導体基板の第1の主面に設けられた第1の主電極と、前記半導体基板の第2の主面に設けられた第2の主電極と、前記第1の主面の表面内に設けられた少なくとも1つのトレンチ型ゲート電極とを備え、前記半導体基板の厚み方向に主電流が流れる半導体装置であって、半導体ウェハの状態の前記第1の主面側の構成を形成した後、前記第2の主面の表面内に少なくとも1つのトレンチを形成する工程(a)と、前記半導体ウェハの状態、前記第2の主面の全面に絶縁体層または前記半導体基板とは反対導電型の半導体層を形成して、前記少なくとも1つのトレンチ内に前記絶縁体層または前記半導体層を埋め込む工程(b)と、前記第2の主面上の前記絶縁体層または前記半導体層を除去して少なくとも1つのトレンチ分離構造を得る工程(c)とを備えている。

本発明に係る半導体装置の製造方法の態様によれば、少なくとも1つのトレンチ分離構造により、例えばMOSFET素子のドレイン領域およびダイオード素子のカソード領域とし機能する不純物領域と、IGBT素子のコレクタ領域とし

て機能する不純物領域を隔てる構成とすることで、少なくとも1つのトレンチ分離構造の存在により I G B T 素子の動作時に流れる電流経路の抵抗値が増加し、当該電流経路にモデュレーションに際して流れる電流を低減できるので、スナップバックを抑制できる。また、少なくとも1つのトレンチ分離構造を設けることで、第2の主面に占める有効領域の面積（不純物領域の面積の和）を小さくせずともスナップバックを抑制できるので、I G B T 素子の動作時のオン電圧やダイオード素子の動作時の順方向電圧 V_f が高くなったり、それぞれの動作時の局所的電流密度が高くなることが防止される。

この発明の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

図1は、本発明の経緯を説明するための導体装置の構成を示す断面図である。

図2は、本発明の経緯を説明するための導体装置の動作を説明する等価回路を示す図である。

図3は、本発明の経緯を説明するための導体装置の動作特性を説明する図である。

図4は、本発明に係る半導体装置の実施の形態の構成を示す断面図である。

図5は、本発明に係る半導体装置の実施の形態の平面構成の一例を示す図である。

図6は、本発明に係る半導体装置の実施の形態の平面構成の一例を示す図である。

図7は、本発明に係る半導体装置の実施の形態の平面構成の一例を示す図である。

図8は、本発明に係る半導体装置の実施の形態の平面構成の一例を示す図である。

図9は、本発明に係る半導体装置の実施の形態の平面構成の一例を示す図である。

図10は、本発明に係る半導体装置の実施の形態の平面構成の一例を示す図である。

図 1 1 は、本発明に係る半導体装置の実施の形態の平面構成の一例を示す図である。

図 1 2 は、本発明に係る半導体装置に使用される半導体基板のウエハ状態での構成を示す平面図である。

図 1 3 は、本発明に係る半導体装置の実施の形態の動作を説明する等価回路を示す図である。

図 1 4 は、本発明に係る半導体装置の実施の形態の動作特性を説明する図である。

図 1 5 は、本発明に係る半導体装置の実施の形態の製造工程を説明する断面図である。

図 1 6 は、本発明に係る半導体装置の実施の形態の製造工程を説明する断面図である。

図 1 7 は、本発明に係る半導体装置の実施の形態の製造工程を説明する断面図である。

図 1 8 は、本発明に係る半導体装置の実施の形態の製造工程を説明する断面図である。

図 1 9 は、本発明に係る半導体装置の実施の形態の変形例の構成を示す断面図である。

発明を実施するための最良の形態

本発明に係る実施の形態の説明に先立って、本発明の技術思想に到達するまでの経緯について図 1 ～図 3 を用いて説明する。

図 1 は、従来の半導体装置の問題点を解消するために考案された半導体装置 9 0 の基本構成を示す断面図である。

図 1 に示す半導体装置 9 0 においては、高比抵抗の N 型基板 (N⁻) である半導体基板 9 0 1 の第 1 の主面 MS 1 の表面内に全面に渡って P 型半導体領域 9 0 2 が形成されている。

そして、第 1 の主面 MS 1 の表面から P 型半導体領域 9 0 2 を貫通して半導体基板 9 0 1 内に達する 2 つのトレンチ 9 0 3 が設けられ、トレンチ 9 0 3 の内壁面はゲート絶縁膜 9 0 4 によって覆われている。さらに、ゲート絶縁膜 9 0 4 に

よって囲まれたトレンチ 903 内の領域には導電体材料が埋め込まれてトレンチ型ゲート電極 905 を構成している。

また、P型半導体領域 902 の表面内には、ゲート絶縁膜 904 に少なくとも一部が接するように選択的に形成された比較的高濃度 (N^+) のN型半導体領域 906 が配設されている。N型半導体領域 906 は2つのトレンチ 903 のそれぞれの両サイドに設けられているが、トレンチ間において対向するN型半導体領域 906 の間には比較的高濃度 (P^+) のP型半導体領域 907 が設けられている。なお、P型半導体領域 907 は、P型半導体領域 902 に対する良好な電氣的コンタクトを得るための構成である。

そして、互いに隣接するN型半導体領域 906 およびP型半導体領域 907 の上部に接するように第1の主電極 908 が配設されている。

第1の主電極 908 はN型半導体領域 906 およびP型半導体領域 907 に、外部端子 E T から電位を与える電極である。なお、第1の主電極 908 は半導体装置 90 の動作に応じて、エミッタ電極として機能する場合もあれば、アノード電極またはソース電極として機能する場合もある。また、トレンチ型ゲート電極 905 には外部端子 G T から制御電圧が与えられる。

また、半導体基板 901 の第2の主面 MS 2 の表面内には、互いに間隔を開けて交互に形成されたP型半導体領域 912 とN型半導体領域 913 とが設けられている。そして、P型半導体領域 912 およびN型半導体領域 913 に共通に接するように第2の主電極 916 が配設されている。

このように、P型半導体領域 912 とN型半導体領域 913 とを接触させずに配設することで、電氣的特性の改善を図る構成とした。

第2の主電極 916 は、P型半導体領域 912 およびN型半導体領域 913 に外部端子 C T から電位を与える電極である。なお、第2の主電極 916 は、コレクタ電極として機能する場合もあればカソード電極またはドレイン電極として機能する場合もある。

次に、図2 および図3 を用いて半導体装置 90 の動作について説明する。図2 は半導体装置 90 の機能を等価回路として模式的に示す図であり、半導体装置 90 は、IGBT素子と、それに逆並列に接続されたダイオード素子として機能す

ることが示されている。また、図3は半導体装置90の電流電圧特性を示す図である。

図2に示すように、第2主面MS2の表面内に、P型半導体領域912およびN型半導体領域913を間隔を開けて配設した場合、外部端子ETに接地電位が与えられ、外部端子CTに正電位が与えられ、外部端子GTにオン信号が与えられた場合、第1主面MS1側までの電流パスとして、N型半導体領域913から抵抗R1およびR2を有する半導体基板901内の経路およびゲート絶縁膜904に接するP型半導体領域902内に形成されるチャネル領域を通過してN型半導体領域906に達する電流経路(1)と、P型半導体領域912から抵抗R2を有する半導体基板901内の経路およびゲート絶縁膜904に接するP型半導体領域902内に形成されるチャネル領域を通過してN型半導体領域906に達する電流経路(2)が形成される。

ここで、電流経路(1)は、いわゆるMOSFET素子として動作する際の経路であり、電流経路(2)は、いわゆるIGBT素子として動作する際の経路である。

なお、半導体装置90は、外部端子ETに接地電位が与えられ、外部端子CTに負電位が与えられ、外部端子GTにオフ信号が与えられた場合はダイオード素子として動作し、抵抗R3を有する半導体基板901内の経路を通過してN型半導体領域913に電流が流れる。

P型半導体領域912の近傍の半導体基板901内の部分をX点と呼称すると、N型半導体領域913との間の抵抗R1の抵抗値は、N型半導体領域913とP型半導体領域912とが接近している場合には非常に小さくなる。

なお、図2においては、半導体基板901内の抵抗R2およびR3は、それぞれIGBT素子として動作する場合およびダイオード素子として動作する場合、モジュレーションが発生し、電圧が高くなるにつれて抵抗値は低くなるので、可変抵抗の記号を用いたが、MOSFET素子として動作する場合は、ほぼ一定の抵抗値になる。

図3には、半導体装置90の電流電圧特性を概念的に示している。すなわち、図3においては、横軸に電圧値を、縦軸に電流値を示し、特性A、特性B、特性

Cおよび特性Dの4種類の電流電圧特性を示している。

特性Aは、N型半導体領域913を外部端子CTに接続せず、オープン状態とした場合の外部端子CTに流れる電流と、外部端子CTとX点との間の電位差の関係を示す特性である。

特性Bは、P型半導体領域912を外部端子CTに接続せず、オープン状態とした場合の外部端子CTに流れる電流と、外部端子CTとX点との間の電位差の関係を示す特性である。

特性Cは、N型半導体領域913を外部端子CTに接続せず、オープン状態とした場合の外部端子CTに流れる電流と、外部端子CTと外部端子ETとの間の電位差の関係を示す特性である。

特性Dは、P型半導体領域912を外部端子CTに接続せず、オープン状態とした場合の外部端子CTに流れる電流と、外部端子CTと外部端子ETとの間の電位差の関係を示す特性である。

ここで、特性Bは、傾き $1/R_1$ の直線を示し、特性Aは外部端子CTとX点との間の電位差がおよそ0.6Vになるまでは電流が殆ど流れない特性を示す。

次に、N型半導体領域913とP型半導体領域912とを外部端子CTに共通に接続した場合について説明する。

電流が少ない場合、外部端子CTとX点との間の電位差は小さく、IGBT素子が動作しないため、MOSFET素子の動作が主となり、ほぼ電流経路(1)に電流が流れる。

そして、モデュレーションが起こりIGBT素子が動作して電流が流れ始める時、すなわち外部端子CTとX点との間の電位差がおよそ0.6Vに達した時、特性Dにおける電流値および電圧値は、Z点で示される値になっている。

以後、IGBT素子が動作して電流が流れる電圧、すなわちモデュレーションが起こり始める電圧をモデュレーション電圧 V_{mod} と定義する。

そして、Z点で示される電流以上の電流を流そうとした場合、電流経路(2)を通るIGBT素子としての動作が徐々に主流になってくる。IGBT素子としての動作で流れる電流は指数関数的に増加する一方、MOSFET素子としての動作で流れる電流は、一次関数でしか増加しないため、電流をZ点で示される電

流以上に流すと、外部端子CTと外部端子ETとの間の電位差が小さくなる現象、すなわちスナップバック現象が観測される。

図3では、特性DにおけるZ点を折り返し点として、電圧の低下に伴って電流が急激に増加する特性Eが示されておりこの特性がスナップバック現象に対応する。

なお、スナップバック現象が観測される負性抵抗領域をスナップバック領域と呼称する。

スイッチング動作を経時的に見た場合、スナップバック現象が生じると、電流および電圧が共に大きくなる時間帯が生じ、エネルギー損失が生じる。

このように、P型半導体領域912とN型半導体領域913とを接触させずに配設した構成においても、P型半導体領域912とN型半導体領域913とが接近している場合にはスナップバック現象が生じる。そこで、N型半導体領域913とP型半導体領域912との間隔をさらに広げることにより、第2の主面MS2に占める有効領域の面積（P型半導体領域912とN型半導体領域913の面積の和）が小さくなり、特性Aおよび特性Cは、僅かに高電圧側（図3に向かって右側）にシフトする。

また、P型半導体領域912とN型半導体領域913との間隔が広がったことで、抵抗R1（図2）の抵抗値が大きくなり、特性Bの傾きが緩やかになる。

そして、P型半導体領域912とN型半導体領域913との間隔を広くしても、半導体チップの面積は大きくしない場合、必然的にN型半導体領域912の面積は小さくなり、半導体チップに占めるN型半導体領域912の面積の比率は小さくなるので、特性Dの傾きは僅かに小さくなる。

そして、P型半導体領域912とN型半導体領域913間の抵抗R1が大きくなることで特性Bの傾きが緩やかになり、外部端子CTとX点との間の電位差がおよそ0.6Vに達した時でも、MOSFET素子の動作電流はさほど流れず、外部端子CTと外部端子ETとの間の電位差も小さくスナップバックを抑制できる。ここで、外部端子CTとX点との間の電位差がおよそ0.6Vに達した時点、すなわちZ点では、 $V_{mod} = R_1 \times i_d$ の関係が成立している。なお、 i_d は、MOSFET素子の動作電流、すなわち電流経路(1)に流れる電流であり、こ

ここでは、特にZ点での電流値を指す。

しかし、上述したように、P型半導体領域912とN型半導体領域913との間隔を広げることにより、第2の主面MS2に占める有効領域の面積が小さくなるので、IGBT素子の動作時のオン電圧やダイオード素子の動作時の順方向電圧 V_f が高くなったり、それぞれの動作時の局所的電流密度が高くなる。

また、N型半導体領域913の面積をP型半導体領域912に比べて小さくすることによってもスナップバックを抑制でき、N型半導体領域913の面積をP型半導体領域912に比べて極めて小さくすると、スナップバックが観測されないようにすることも可能であるが、N型半導体領域913の面積を小さくすることにより、ダイオード素子の動作時の順方向電圧 V_f が高くなったり、電流密度が非常に大きくなってダイオード素子が損傷する可能性がある。

そこで発明者達は、N型半導体領域913とP型半導体領域912との間の半導体基板901の表面内にトレンチを設けるという技術思想に到達した。以下、本発明に係る実施の形態として、上記技術思想に基づいて得られた半導体装置100の構成および動作について説明する。

A. 装置構成

A-1. 断面構成

図4は半導体装置100の基本構成を示す断面図である。

図4に示す半導体装置100においては、高比抵抗のN型基板(N^-)である半導体基板901の第1の主面MS1の表面内に全面に渡ってP型半導体領域902が形成されている。ここで、N型半導体基板901は、耐圧クラスによってその比抵抗や、P型半導体領域912の底部とトレンチ903の底部との距離Lが異なるが、例えば耐圧1200Vクラスの場合は、比抵抗は40~60 Ωcm 、距離Lは100~200 μm 程度に設定され、それよりも耐圧クラスが低ければ比抵抗は低くなり、距離Lは短くなる。

そして、第1の主面MS1の表面からP型半導体領域902を貫通して半導体基板901内に達する2つのトレンチ903が設けられ、トレンチ903の内壁面はゲート絶縁膜904によって覆われている。さらに、ゲート絶縁膜904によって囲まれたトレンチ903内の領域には導電体材料が埋め込まれてトレンチ

型ゲート電極905を構成している。

P型半導体領域902は、半導体装置100が、MOSFET素子およびIGBT素子として動作する場合は、チャンネル領域を含んだボディ領域となるので、MOSFETまたはIGBTの閾値電圧に基づいて不純物濃度や深さが設定される。

なお、不純物濃度や拡散深さは、イオン注入条件や、熱拡散条件により決定される。例えば、不純物濃度は、通常はMOSFETのソース電極またはIGBTのエミッタ電極と接する領域で、 $1 \times 10^{17} \text{atoms/cm}^3 \sim 1 \times 10^{18} \text{atoms/cm}^3$ となるように設定され、拡散深さはトレンチ溝903を越えない程度に、数 μm の深さに設定される。

また、トレンチ903は、2~10 μm のピッチでエッチングにより設けられ、幅は0.5~3.0 μm 、深さは3~20 μm に設定される。

トレンチ903の内壁表面に配設されるゲート絶縁膜904は、MOSFETを構成する絶縁膜であり、ゲート駆動電圧や飽和電流、容量等に基づいて最適な厚みとなるように設定される。一般的には10~200nmの厚さのシリコン酸化膜が使用され、熱酸化や堆積等により形成される。

トレンチ903内に埋め込まれたトレンチ型ゲート電極905は、高不純物濃度の多結晶シリコン膜や、例えばタングステンシリサイド等の高融点金属材料、あるいはそれらの多層膜で構成される。一般的には、トレンチ903の幅の半分以上の厚さの導電膜を第1の主面MS1上に堆積した後、異方性エッチング等により平坦化して得られるが、写真製版により所定パターンマスクを形成した後、導電膜を堆積し、エッチングを行って得ることもできる。

ここで、トレンチ型ゲート電極905の材料の仕事関数値により、P型半導体領域902の最適濃度は変わり、極端な場合、トレンチ903側面に沿ってN型半導体領域を設け、ゲート絶縁膜に接した領域に、エミッタ領域と同一導電型(N型)の薄い層を設けたベリッドチャンネル構造とする場合もある。

また、P型半導体領域902の表面内には、ゲート絶縁膜904に少なくとも一部が接するように選択的に形成された比較的高濃度(N^+)のN型半導体領域906が配設されている。N型半導体領域906は2つのトレンチ903のそれ

その両サイドに設けられているが、トレンチ間において対向するN型半導体領域906の間には比較的高濃度(P⁺)のP型半導体領域907が設けられている。なお、P型半導体領域907は、P型半導体領域902に対する良好な電気的コンタクトを得るための構成である。

なお、N型半導体領域906およびP型半導体領域907は、何れも写真製版によるパターンニングとイオン注入によって形成され、表面濃度が例えば $1 \times 10^{20} \text{ atoms/cm}^3$ 以上に設定される。

そして、互いに隣接するN型半導体領域906およびP型半導体領域907の上部に接するように第1の主電極908が配設されている。

第1の主電極908はN型半導体領域906およびP型半導体領域907に、外部端子ETから電位を与える電極である。なお、第1の主電極908は半導体装置90の動作に応じて、エミッタ電極として機能する場合もあれば、アノード電極またはソース電極として機能する場合もある。また、トレンチ型ゲート電極905には外部端子GTから制御電圧が与えられる。

第1の主電極908は、N型半導体領域906およびP型半導体領域907を覆うように形成された層間絶縁膜(図示せず)を写真製版とエッチングにより選択的に開口し、例えばアルミニウムとシリコンの化合物で構成される導電膜を堆積して形成される。

また、第1の主電極908上に図示していない保護膜が形成され、上記保護膜の所定部分に設けられた開口孔部を介して外部電源に接続される。

半導体基板901の第2の主面MS2の表面内には、互いに間隔を開けて交互に形成されたP型半導体領域912とN型半導体領域913とが設けられ、両者の間の半導体基板901の表面内にはトレンチ内に絶縁体914を埋め込んで形成したトレンチ分離構造911が配設されている。

ここで、P型コレクタ領域912およびN型半導体領域913の不純物濃度は、何れも $1 \times 10^{16} \text{ atoms/cm}^3 \sim 1 \times 10^{21} \text{ atoms/cm}^3$ であり、例えば、イオン注入によって所定の不純物を注入した後、アニールによって活性化することで形成されるが、半導体装置の特性によっては、上記濃度範囲以外であっても良く、アニールを行わなくても良い場合もある。

そして、P型半導体領域912およびN型半導体領域913に共通に接するように第2の主電極916が配設されている。なお、トレンチ分離構造911は、その露出面がP型半導体領域912およびN型半導体領域913の露出面とともに同一平面をなすように第2の主面内に設けられており、第2の主電極916はトレンチ分離構造911上も併せて覆うように配設されている。

第2の主電極916は、P型半導体領域912およびN型半導体領域913に外部端子CTから電位を与える電極である。なお、第2の主電極916は、コレクタ電極として機能する場合もあればカソード電極またはドレイン電極として機能する場合もある。

トレンチ分離構造911の深さは、半導体基板901の比抵抗、N型半導体領域913およびP型半導体領域912の不純物濃度、両者の面積比、トレンチ分離構造911を構成する絶縁体914の材質およびスルーピットに基づいて最適化された値に設定され、異方性エッチング等によって形成される。

また、トレンチ分離構造911の幅や配設間隔は任意に設定でき、例えば、幅 $0.2\mu\text{m}\sim 100\mu\text{m}$ 、配設間隔は $0.5\mu\text{m}\sim 500\mu\text{m}$ に設定される。

ここで、トレンチ分離構造911を構成する絶縁体914は、その内部の電荷が、半導体基板901内の電荷に対して極性が逆で、全てのトレンチ分離構造911の電荷量の合計が、半導体基板901の第2の主面MS2からトレンチ分離構造911の底面までの領域での半導体基板901内の電荷量とほぼ等しくなるように材質や寸法が設定される。例えば、半導体基板901のN型の不純物濃度が n (atoms/cm^3) であって、トレンチ分離構造911の幅寸法が W 、深さが t 、奥行き寸法が x 、トレンチ分離構造911の中心線間の距離（トレンチ配設ピッチ）が P である場合、電気素量を q とすると2つのトレンチ分離構造911で挟まれる半導体基板901の領域内には $qn \cdot (P - W) t x$ の負電荷が存在することになるので、1つのトレンチ分離構造911の内部に上記負電荷と同量の正電荷が存在するように絶縁体914の材質を設定する。より具体的には、固定電荷密度 $n \cdot (P - W) / W$ の絶縁体を使用する。

このように設定することで、リサーフ（RESURF）効果により耐電圧を安定に高めることができ、半導体基板901の厚みを薄くすることができる。また、

半導体基板 901 の濃度を高くすることができるため、IGBT素子のオン電圧、およびダイオード素子の順方向電圧 V_f を小さくでき、エネルギー損失の低下を図ることができる。

ここで、半導体装置 100 が IGBT 素子として動作する場合、第 1 の主電極 908 はエミッタ電極となり、第 2 の主電極 916 はコレクタ電極となり、第 1 の主面 MS1 に形成された N 型半導体領域 906 はエミッタ領域、P 型半導体領域 902 はチャネル領域を含むボディ領域となり、P 型半導体領域 907 はボディコンタクト領域となる。

また、ダイオード素子として動作する場合、第 1 の主電極 908 はアノード電極となり、第 2 の主電極 916 はカソード電極となり、第 1 の主面 MS1 に形成され P 型半導体領域 902 はアノード領域、P 型半導体領域 907 はアノードコンタクト領域、第 2 の主面 MS2 側に設けられた N 型半導体領域 913 はカソード領域となる。

また、MOSFET 素子として動作する場合、第 1 の主電極 908 は、ソース電極となり、第 2 の主電極 916 はドレイン電極となり、N 型半導体領域 906 はソース領域となり、P 型半導体領域 902 はチャネル領域を含むボディ領域となり、P 型半導体領域 907 はボディコンタクト領域、N 型半導体領域 913 はドレイン領域となる。

A-2. 平面構成

次に、トレンチ分離構造 911、P 型半導体領域 912 および N 型半導体領域 913 の平面形状について図 5～図 11 を用いて説明する。なお、図 5、図 8～図 11 は、半導体装置 100 を半導体チップの状態第 2 の主面 MS2 側から見た場合の平面図である。

図 5 は、輪郭形状が矩形をなすループ状の複数のトレンチ分離構造 911 を間隔を開けて並列に配設した例を示し、ループ状のトレンチ分離構造 911 で囲まれる領域に N 型半導体領域 913 が配設され、トレンチ分離構造 911 を囲むように P 型半導体領域 912 が配設されている。

ここで、図 6 および図 7 に、第 1 の主面 MS1 側から見た場合のトレンチ 903 の平面形状の例を示す。図 6 に示す例では、ストライプ状の複数のトレンチ 9

03が、P型半導体領域902の表面内に間隔を開けて並列して配設されており、その配列方向はトレンチ分離構造911の配列方向と一致している。

一方、図7に示す例でも、ストライプ状の複数のトレンチ903が、P型半導体領域902の表面内に間隔を開けて並列して配設されているが、その配列方向はトレンチ分離構造911の配列方向に対して90度の角度をなしている。なお、図6および図7では便宜的にN型半導体領域906等は省略している。このように、トレンチ903の配列方向とトレンチ分離構造911の配列方向とが90度をなすように両者を配設することで、電流の分布を均一できるという利点がある。

図8は、輪郭形状が矩形をなすループ状の複数のトレンチ分離構造911が、同心をなすように間隔を開けて配設した例を示し、中央のトレンチ分離構造911のループが最も小さく、外側に向かうにつれてトレンチ分離構造911のループが大きくなるように構成されている。そして、中央のトレンチ分離構造911で囲まれる領域にP型半導体領域912が配設され、中央のトレンチ分離構造911を囲むようにN型半導体領域913が配設されている。以後、同様に各トレンチ分離構造911を囲むようにP型半導体領域912とN型半導体領域913とが交互に配設されている。

図9は、ストライプ状の複数のトレンチ分離構造911が、間隔を開けて並列して配設された例を示し、複数のトレンチ分離構造911間には、P型半導体領域912およびN型半導体領域913が交互に配設されているが、P型半導体領域912およびN型半導体領域913が交互に配設されている領域は、トレンチ分離構造911の配列の中央部だけであり、トレンチ分離構造911の配列の両端部は不純物濃度の低い半導体基板901の表面内に設けられており、半導体チップの外周領域にはP型半導体領域912が配設されている。

図10は、輪郭形状が矩形をなすループ状の複数のトレンチ分離構造911（小ループ）を間隔を開けて並列に配設し、この配列の外周を囲むように、輪郭形状が矩形をなすさらに大きなループ状のトレンチ分離構造911（大ループ）を配設した例を示し、小ループをなすトレンチ分離構造911で囲まれる領域にN型半導体領域913が配設され、小ループをなすトレンチ分離構造911を囲むようにP型半導体領域912が配設されている。また、大ループをなすトレン

チ分離構造 9 1 1 を囲むように N 型半導体領域 9 1 3 が配設されている。

また図 1 1 は、ストライプ状の複数のトレンチ分離構造 9 1 1 が、間隔を開けて並列して配設された例を示し、複数のトレンチ分離構造 9 1 1 間には、P 型半導体領域 9 1 2 および N 型半導体領域 9 1 3 が交互に配設されている。ここで、トレンチ分離構造 9 1 1 は半導体チップの端縁部まで延在するように配設され、P 型半導体領域 9 1 2 と N 型半導体領域 9 1 3 とは、トレンチ分離構造 9 1 1 とチップエッジとにより分離されている。

ここで、図 5 ~ 図 1 1 に示したような半導体チップを得るための半導体ウエハの平面構成を図 1 2 に示す。図 1 2 には、半導体ウエハ W F においてストライプ状の複数のトレンチ分離構造 9 1 1 を設けた状態を示しており、縦横に設けたダイシングライン D L に従ってダイシングすることで、半導体ウエハ W F を複数の半導体チップに分割できる。

B. 動作

次に、図 1 3 および図 1 4 を用いて半導体装置 1 0 0 の動作について説明する。図 1 3 は半導体装置 1 0 0 の機能を等価回路として模式的に示す図であり、半導体装置 1 0 0 は、I G B T 素子と、それに逆並列に接続されたダイオード素子として機能することが示されている。また、図 1 4 は半導体装置 1 0 0 の電流電圧特性を示す図である。

図 1 3 に示すように、P 型半導体領域 9 1 2 と N 型半導体領域 9 1 3 との間の半導体基板 9 0 1 の表面内にトレンチ分離構造 9 1 1 を配設した場合、外部端子 E T に接地電位が与えられ、外部端子 C T に正電位が与えられ、外部端子 G T にオン信号が与えられた場合、第 1 主面 M S 1 側までの電流パスとして、N 型半導体領域 9 1 3 から抵抗 R 1 1、R 1 および R 1 2 を有する半導体基板 9 0 1 内の経路およびゲート絶縁膜 9 0 4 に接する P 型半導体領域 9 0 2 内に形成されるチャネル領域を通過して N 型半導体領域 9 0 6 に達する電流経路 (1) と、P 型半導体領域 9 1 2 から抵抗 R 1 3 および R 1 2 を有する半導体基板 9 0 1 内の経路およびゲート絶縁膜 9 0 4 に接する P 型半導体領域 9 0 2 内に形成されるチャネル領域を通過して N 型半導体領域 9 0 6 に達する電流経路 (2) が形成される。

ここで、電流経路 (1) は、いわゆる M O S F E T 素子として動作する際の経

路であり、電流経路(2)は、いわゆるIGBT素子として動作する際の経路である。

なお、外部端子ETに接地電位が与えられ、外部端子CTに負電位が与えられ、外部端子GTにオフ信号が与えられた場合はダイオード素子として動作し、抵抗R14を有する半導体基板901内の経路を通してN型半導体領域913に達する電流経路(3)が形成される。

ここで、半導体装置100がIGBT素子として動作する場合の電流と、MOSFET素子として動作する場合の電流が合流する部分をX1点と呼称すると、P型半導体領域912とN型半導体領域913との間をトレンチ分離構造911で分離することで、P型半導体領域912とX1点の間には抵抗R13を有することになり、N型半導体領域913とX1点の間には抵抗R11およびR1を有することになり、外部端子CTとX1点との間の抵抗値を大きくし、外部端子CTとX1点との間の電位差を容易に大きくすることができる。なお、抵抗R1の抵抗値は、図2に示した半導体装置90と同様に小さいが、抵抗R11の抵抗値は抵抗R1に比べて十分大きい。

なお、図2においては、半導体基板901内の抵抗R12およびR13は、半導体層100がIGBT素子として動作する場合に、また抵抗R14はダイオード素子として動作する場合にモジュレーションが発生し、電圧が高くなるにつれて抵抗値は低くなるので、可変抵抗の記号を用いたが、MOSFET素子として動作する場合は、ほぼ一定の抵抗値になる。

図14には、半導体装置100の電流電圧特性を概念的に示している。すなわち、図14においては、横軸に電圧値を、縦軸に電流値を示し、特性A1、特性B1、特性C1および特性D1の4種類の電流電圧特性を示している。また、比較のため、図3に示した特性A、B、CおよびDも併せて示している。

特性A1は、N型半導体領域913を外部端子CTに接続せず、オープン状態とした場合の外部端子CTに流れる電流と、外部端子CTとX1点との間の電位差の関係を示す特性である。

特性B1は、P型半導体領域912を外部端子CTに接続せず、オープン状態とした場合の外部端子CTに流れる電流と、外部端子CTとX1点との間の電位

差の関係を示す特性である。

特性C1は、N型半導体領域913を外部端子CTに接続せず、オープン状態とした場合の外部端子CTに流れる電流と、外部端子CTと外部端子ETとの間の電位差の関係を示す特性である。

特性D1は、P型半導体領域912を外部端子CTに接続せず、オープン状態とした場合の外部端子CTに流れる電流と、外部端子CTと外部端子ETとの間の電位差の関係を示す特性である。

また、特性A'は、N型半導体領域913を外部端子CTに接続せず、オープン状態とした場合のX'点での電流電圧の関係である。

ここで、P型半導体領域912の面積およびN型半導体領域913の面積は、共に図2に示した半導体装置90と同じに設定しているため、特性C1およびD1は、それぞれ図3に示した特性CおよびDと同じである。

一方、X1点とN型半導体領域913との間の距離が大きくなったことで、その間の抵抗値（抵抗R1と抵抗R11との抵抗値の合計）が大きくなり、特性B1の傾きは、特性Bよりもかなり緩やかになる。

この結果、外部端子CTとX1点との間の電位差がおよそ0.6Vに達し、モデュレーションが起こり始めるモデュレーション電圧 V_{mod} （Z点で示される電圧）に達しても、電流は殆ど流れず、外部端子CTと外部端子ETとの間の電位差も小さくスナップバックを抑制できる。ここで、抵抗R13を流れる電流 i_c は0であるため、Z点では、 $V_{mod} = R_{13} \times i_d$ の関係が成り立っており、抵抗R13の抵抗値が大きいため、少ない電流 i_d でIGBTのコレクタをオンできる。ここで、 i_d は、MOSFET素子の動作電流、すなわち電流経路(1)に流れる電流であり、ここでは、特にZ点での電流値を指す。また、電流 i_c は、IGBT素子の動作電流、すなわち電流経路(2)に流れる電流であり、Z点では0である。

以上説明したように、半導体装置100においてはスナップバックを抑制でき、かつ、そのために第2の主面MS2に占める有効領域の面積（P型半導体領域912とN型半導体領域913の面積の和）を小さくする必要がないため、IGBT素子の動作時のオン電圧やダイオード素子の動作時の順方向電圧 V_f が高くな

ったり、それぞれの動作時の局所的電流密度が高くなることが防止される。

C. 製造方法

次に、半導体装置 100 の製造方法について図 15～図 18 を用いて説明する。なお、第 1 の主面 MS 1 側の構成は、従来より公知の一般的な IGBT または MOSFET と同様の製造工程を経て形成されるので、公知の技術については説明を省略する。

図 15～図 18 は、第 2 の主面 MS 2 側の構造を得るための製造工程を順に示す断面図である。なお、以下の説明では、第 1 の主面 MS 1 側においては、第 1 の主電極 908 より下層の構成は形成済みであるものとする。

まず、半導体基板 901 の第 1 の主面 MS 1 側に第 1 の主電極 908 より下層の構成（当該構成については図示は省略）を形成した後、図 15 に示す工程において、半導体基板 901 の第 2 の主面 MS 2 に写真製版と異方性エッチングによってトレンチ TR を形成する。

ここで、半導体基板 901 の厚み T は、半導体装置の製造過程において、半導体ウエハに割れや欠けが生じにくく、かつ、写真製版工程において、露光装置等における特別な焦点深度調整を必要としない程度の厚みに設定されている。例えば、6 インチの半導体ウエハを例に採れば、500～650 μm に設定されている。一方、トレンチ TR の底部から、第 1 の主面 MS 1 までの厚み S は、オン抵抗の低減と耐圧とを考慮して決定され、例えば、600 V の耐圧の半導体装置を想定した場合、60 μm に設定される。

なお、トレンチ TR の幅や配設間隔は任意に設定でき、例えば、幅 0.2 μm ～100 μm 、配設間隔は 0.5 μm ～500 μm に設定される。

次に、図 16 に示す工程において、CVD 法等により、第 2 の主面 MS 2 の全面に、トレンチ TR の幅以上の厚さの絶縁膜 ZL を堆積することにより、トレンチ TR に絶縁膜 ZL を埋め込む。

次に、図 17 に示す工程において、異方性エッチング等により、エッチバックを行い、第 1 の主面 MS 1 の表面の絶縁膜 ZL を取り除くことで、絶縁体 914 によって構成されるトレンチ分離構造 911 を得る。

なお、所望の特性を得るために必要であれば、図 18 に示す工程において、異

方性エッチングやCMP (Chemical Mechanical Polishing) 等の研磨技術により第2の主面MS 2側を研磨して、所望の基板厚みを得るようにしても良い。この場合、研磨後の基板厚みMと、厚みTおよびSとの大小関係は、 $S < M < T$ となることは言うまでもない。

ここで、P型半導体領域9 1 2およびN型半導体領域9 1 3は、トレンチ分離構造9 1 1を形成する前に形成され、P型半導体領域9 1 2およびN型半導体領域9 1 3の境界部分にトレンチ分離構造9 1 1を形成することが一般的であるが、図1 8を用いて説明した研磨を行う場合は、研磨後にP型半導体領域9 1 2およびN型半導体領域9 1 3を形成する。

その後、第2の主電極9 1 6を構成する導電体材料を、蒸着法などにより堆積することで、第2の主面MS 2側の構造を得ることができる。

なお、上記説明では、第2の主面MS 2側の構成は、第1の主面MS 1側の構成を形成した後に形成するとしたが、これに限定されるものではなく、トレンチTRが、第1の主面MS 1側の構成の形成に際して支障を及ぼさないのであれば、第2の主面MS 2側の構成は、第1の主面MS 1側の構成の形成途中で形成しても良い。

また、P型半導体領域9 1 2およびN型半導体領域9 1 3がアニールにより十分に活性化されることが望ましいので、P型半導体領域9 1 2およびN型半導体領域9 1 3の形成後にアニール工程が実施されることが望ましい。

また、第2の主電極9 1 6の形成のタイミングは上記に限定されるものではないが、金や銀を含む多層金属膜で構成するので、金属汚染を防止するため、ウエハプロセスの最終工程で形成することが望ましい。

D. 変形例

以上説明した半導体装置1 0 0では、半導体基板9 0 1が、N型半導体基板で構成された例について説明したが、P型半導体基板の場合であっても同様の効果が得られることは言うまでもない。

また、半導体装置1 0 0では、第2の主電極9 1 6にP型半導体領域9 1 2およびN型半導体領域9 1 3を共通に接続した構成を有し、第2の主電極9 1 6がP型半導体領域9 1 2およびN型半導体領域9 1 3を覆う構成であったので、構

造が簡単であり、外部端子CTに接続するための複雑な配線等は不要な構成を示した。しかし、図19に示す半導体装置100Aのように、P型半導体領域912に接続される第2の主電極916aと、N型半導体領域913に接続される第2の主電極916bとを設け、P型半導体領域912とN型半導体領域913とで、それぞれ別個の主電極に接続される構成としても良い。

この場合、第2の主電極916aは抵抗素子915を介して外部端子CTに接続される構成とすることで、N型半導体領域913とP型半導体領域912との間の半導体基板901内での抵抗は、半導体装置100よりも小さくて済むので、トレンチ分離構造911の深さを浅くすることができる。なお、第2の主電極916aには抵抗素子915の代わりに電流制限素子として、ダイオード素子やトランジスタ素子を接続しても良い。このように、P型半導体領域912とN型半導体領域913とで、それぞれ別個の主電極に接続される構成とすることで、多様な構成を採用することが可能となる。

また、半導体装置100のように、第2の主電極916により、P型半導体領域912およびN型半導体領域913を覆う構成においては、N型半導体領域913へのコンタクト抵抗をP型半導体領域912へのコンタクト抵抗よりも高くなるように第2の主電極916の材質を選択することで、図19に示す半導体装置100Aと同様の効果を得ることができる。例えば、第2の主電極916として金、銀および白金などの仕事関数の大きな金属を使用する。

また、実施の形態においては、トレンチ分離構造911をトレンチ内に絶縁体を埋め込んで構成した例を示したが、半導体基板901と反対導電型で、半導体基板901とほぼ等しい不純物濃度を有する高抵抗半導体（例えば、1200V耐圧の素子では不純物濃度 1×10^{14} atoms/cm³、比抵抗50~60オーム）を埋め込んで構成しても良い。

また、トレンチ分離構造911を高抵抗半導体で構成する場合、高抵抗半導体とN型半導体領域913とP型半導体領域912との間に絶縁膜を形成しても良く、上記絶縁膜は、トレンチ分離構造911底部には、あっても無くても良い。

また、トレンチ分離構造911は、トレンチTR内に絶縁物も高抵抗半導体材料も埋め込まず、トレンチだけで構成しても良い。

また、本発明の適用は I G B T 素子やダイオード素子に限定されるものではなく、サイリスタ素子への適用も可能である。

請求の範囲

1. 半導体基板(901)の第1の主面(MS1)に設けられた第1の主電極(908)と、

前記半導体基板(901)の第2の主面(MS2)に設けられた第2の主電極(916)と、

前記第1の主面(MS2)の表面内に設けられた少なくとも1つのトレンチ型ゲート電極(905)と、を備え、前記半導体基板(901)の厚み方向に主電流が流れる半導体装置であって、

前記半導体基板(901)は、

前記第2の主面(MS2)の表面内に設けられた少なくとも1つのトレンチ分離構造(911)と、

前記第2の主面(MS2)の表面内に配設された、第1導電型の第1の不純物領域(913)および第2導電型の第2の不純物領域(912)とを有し、

前記少なくとも1つのトレンチ分離構造(911)は、

前記第2の主面(MS2)の表面内に設けたトレンチ内部に、絶縁体または前記半導体基板とは反対導電型の半導体を埋め込んで構成され、前記第1の不純物領域と前記第2の不純物領域とを隔てるように配設されることを特徴とする、半導体装置。

2. 前記第2の主面(MS2)における前記少なくとも1つのトレンチ分離構造(911)、前記第1および第2の不純物領域(913, 912)の露出面は、同一平面をなし、

前記第2の主電極(916)は、前記少なくとも1つのトレンチ分離構造(911)、前記第1および第2の不純物領域(913, 912)上を共通に覆うように配設される、請求の範囲1記載の半導体装置。

3. 前記第2の主電極(916a, 916b)は、前記第1および第2の不純物領域を個々に覆うように配設され、

前記第2の不純物領域(913)を覆う前記第2の主電極(916b)は、抵抗素子(915)を介して主電極端子に接続される、請求の範囲1記載の半導体装置。

4. 前記少なくとも1つのトレンチ分離構造(911)は、

前記絶縁体内部の電荷が、前記半導体基板(901)内の電荷に対して極性が逆で、前記少なくとも1つのトレンチ分離構造(911)の電荷量の合計が、前記半導体基板(901)の前記第2の主面(MS2)から前記少なくとも1つのトレンチ分離構造(911)の底面までの領域での前記半導体基板(901)内の電荷量とほぼ等しい、請求の範囲1記載の半導体装置。

5. 前記少なくとも1つのトレンチ分離構造(911)の幅は、 $0.2\mu\text{m}$ ~ $100\mu\text{m}$ の範囲に設定され、配設間隔は $0.5\mu\text{m}$ ~ $500\mu\text{m}$ の範囲に設定される、請求の範囲1記載の半導体装置。

6. 半導体基板(901)の第1の主面(MS1)に設けられた第1の主電極(908)と、前記半導体基板(901)の第2の主面(MS2)に設けられた第2の主電極(916)と、前記第1の主面(MS2)の表面内に設けられた少なくとも1つのトレンチ型ゲート電極(905)と、を備え、前記半導体基板(901)の厚み方向に主電流が流れる半導体装置の製造方法であって、

(a)半導体ウェハの状態の前記第1の主面(MS1)側の構成を形成した後、前記第2の主面(MS2)の表面内に少なくとも1つのトレンチ(TR)を形成する工程と、

(b)前記半導体ウェハの状態、前記第2の主面(MS2)の全面に絶縁体層または前記半導体基板とは反対導電型の半導体層を形成して、前記少なくとも1つのトレンチ(TR)内に前記絶縁体層または前記半導体層を埋め込む工程と、

(c)前記第2の主面(MS2)上の前記絶縁体層または前記半導体層を除去して少なくとも1つのトレンチ分離構造(911)を得る工程と、を備える半導体装置の製造方法。

☒ 1

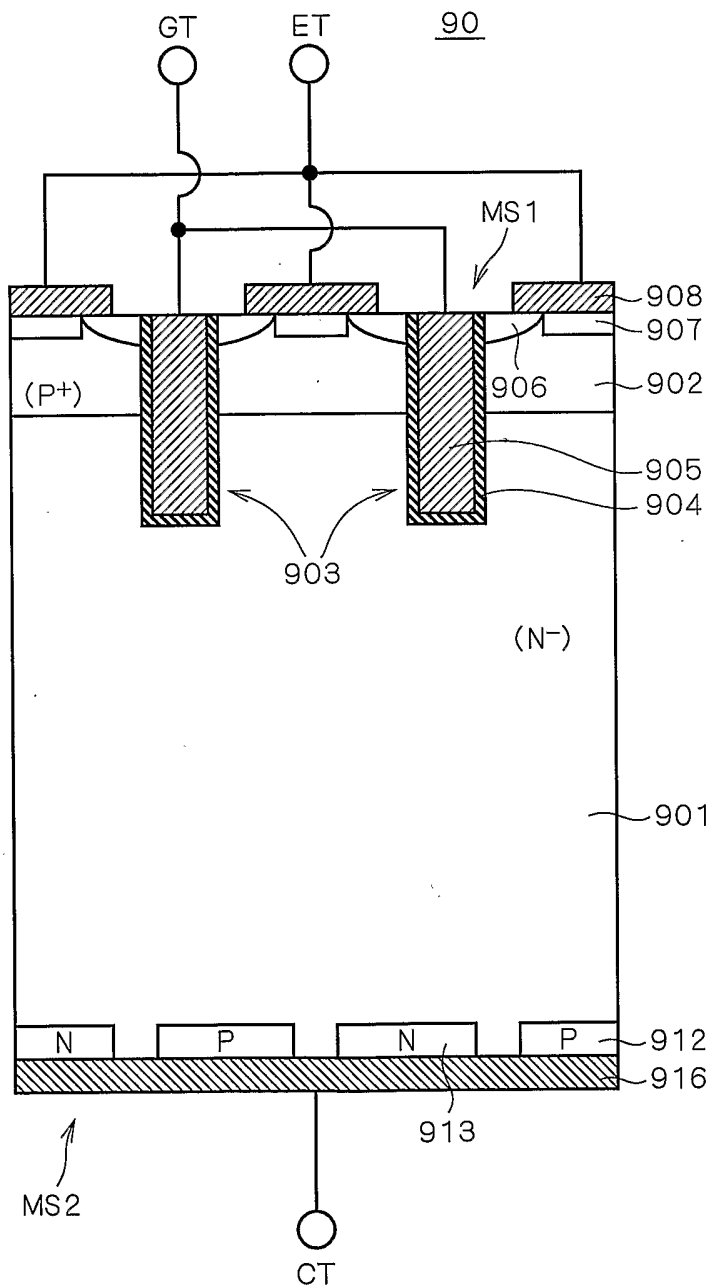


図 2

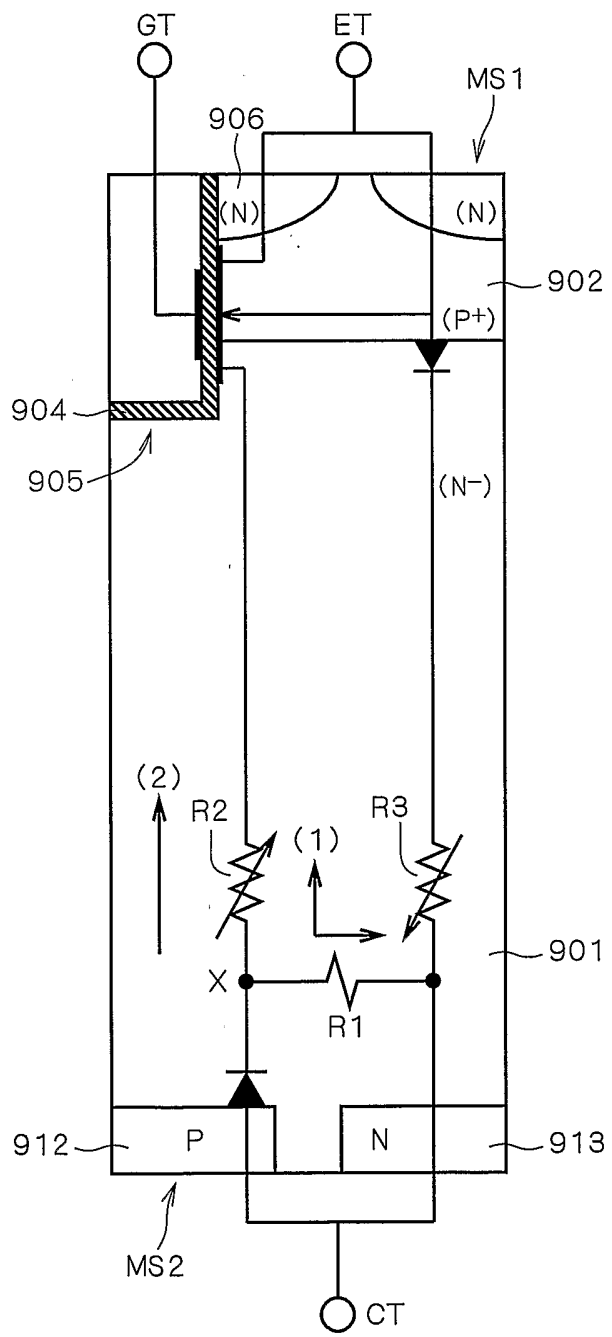


図 3

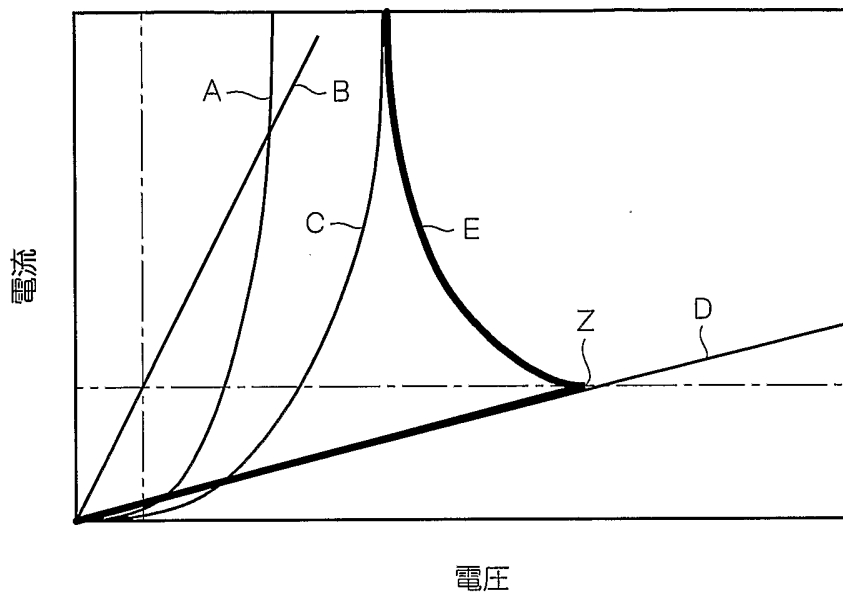
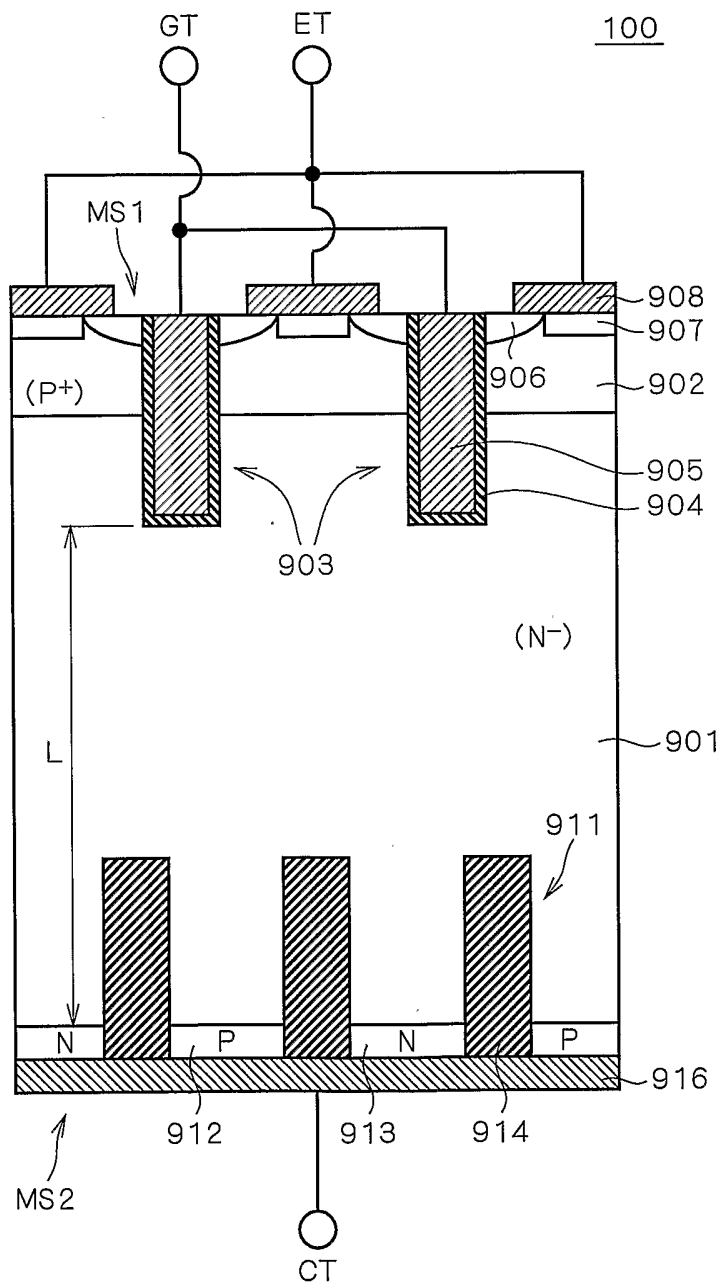
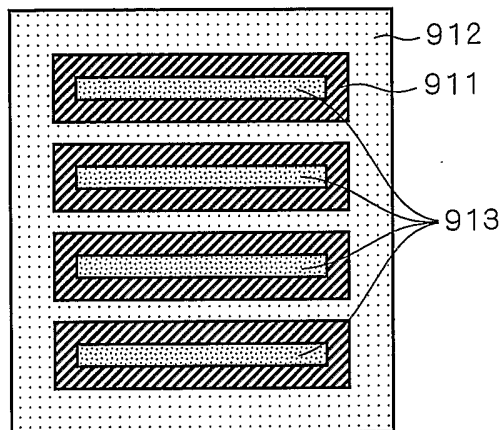


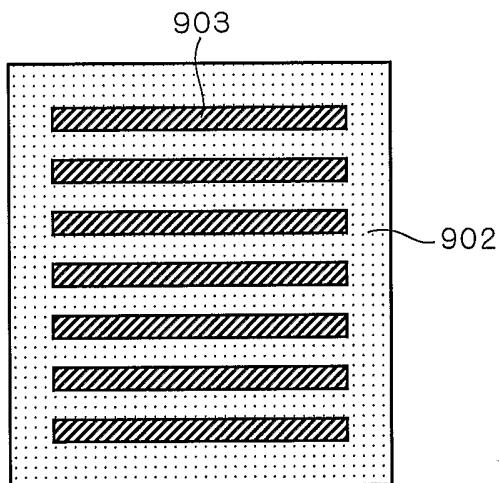
図 4



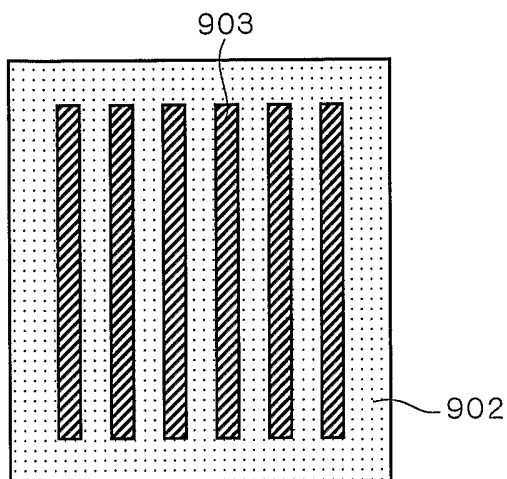
☒ 5



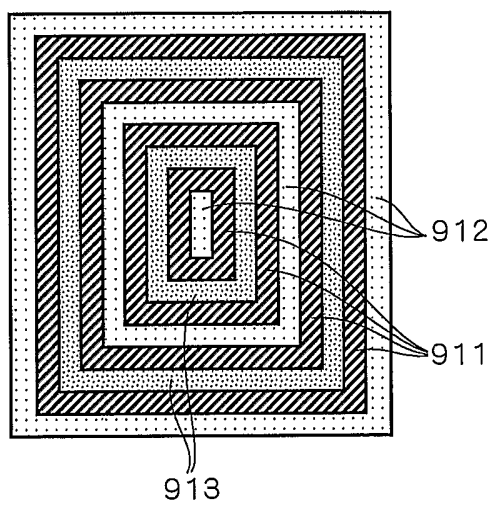
☒ 6



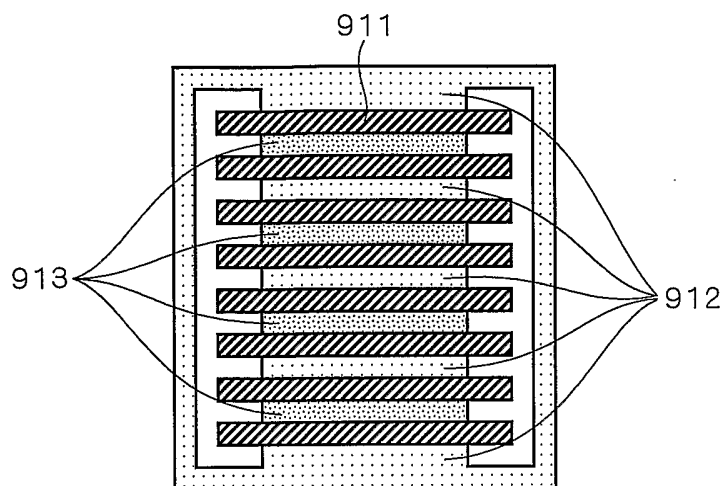
☒ 7



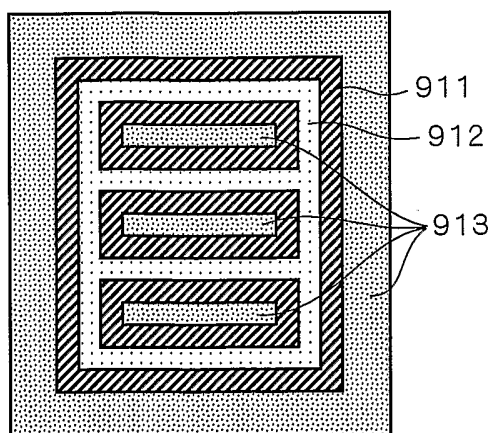
☒ 8



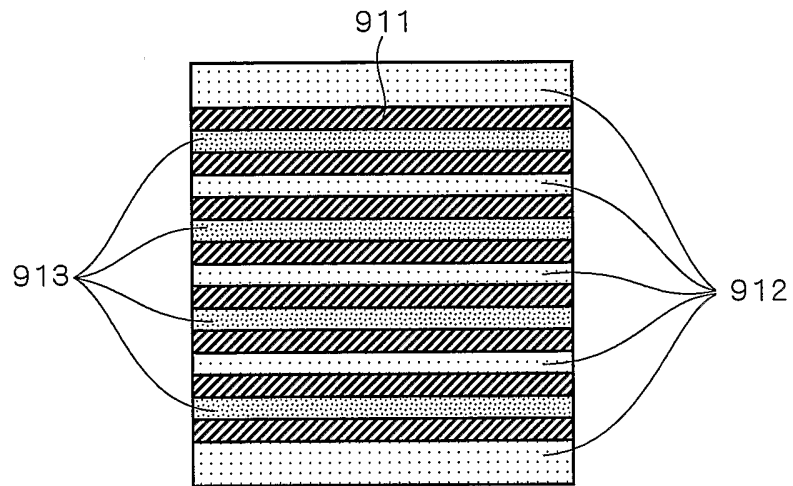
☒ 9



☒ 1 0



☒ 1 1



☒ 1 2

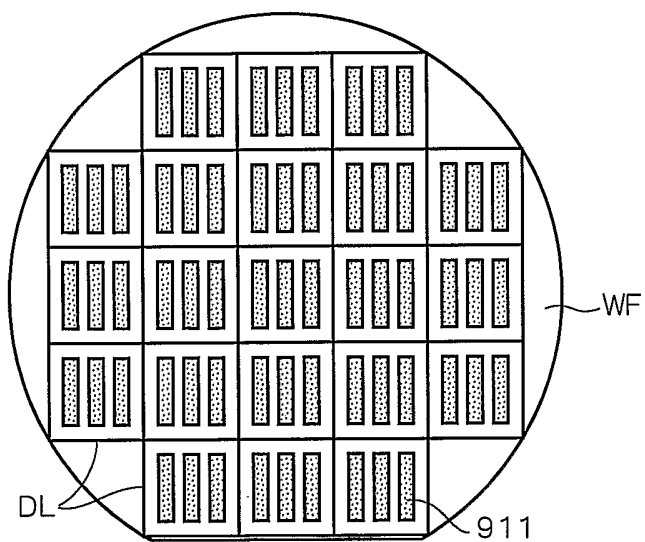


図 1 3

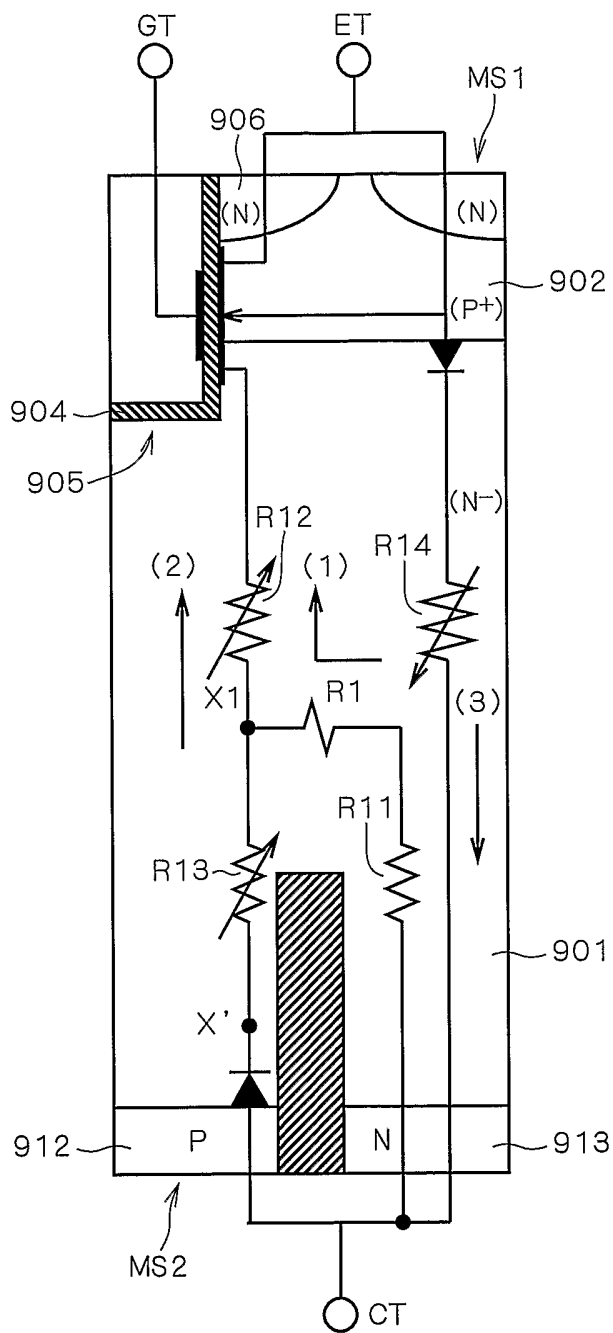


図 1 4

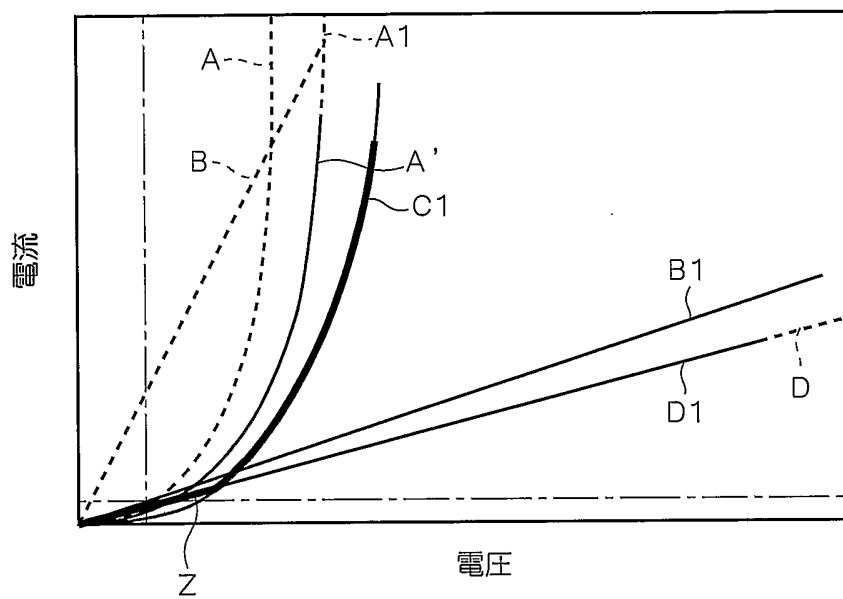


図 1 5

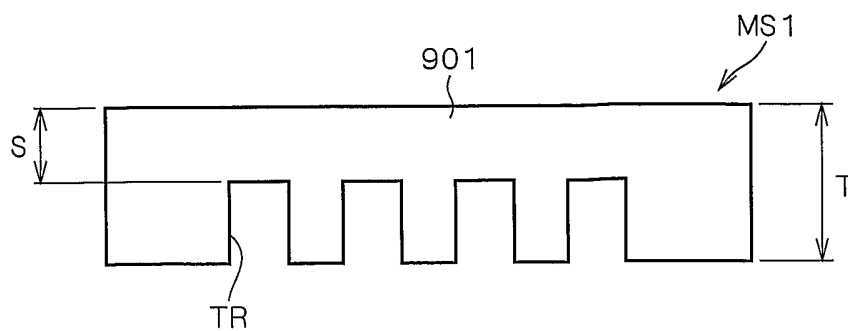


図 1 6

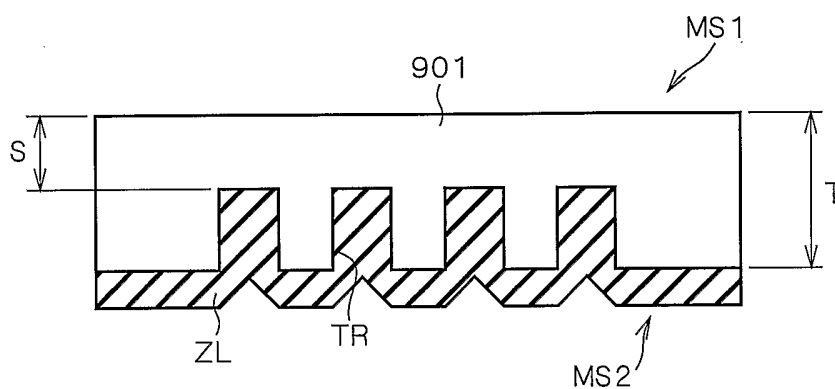


図 1 7

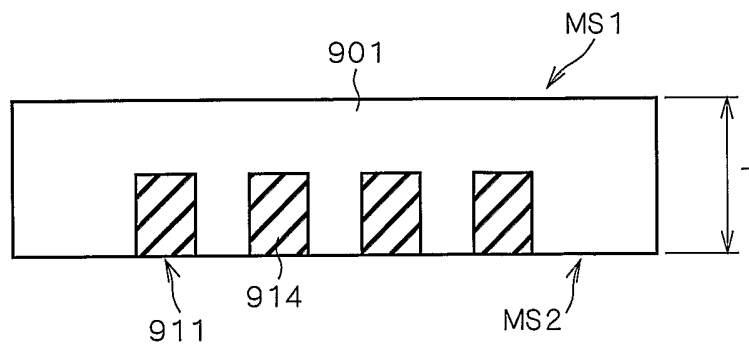
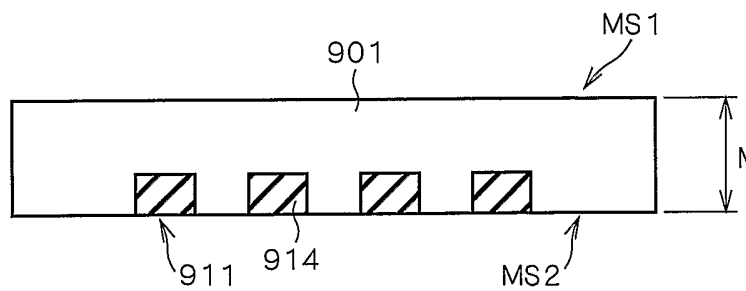
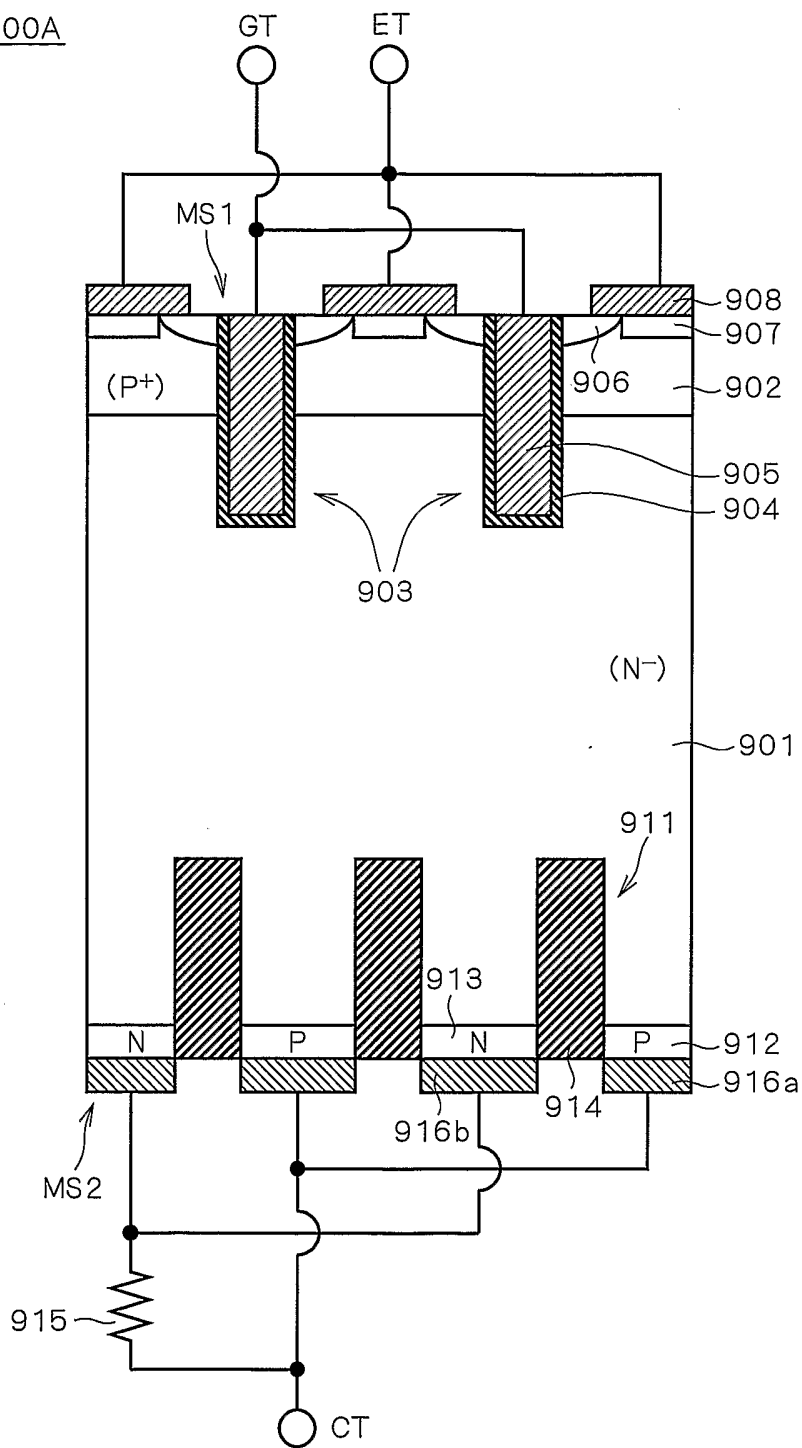


図 1 8



19

100A



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07168

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁷ H01L29/739</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>																
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl⁷ H01L29/739, H01L21/331, H01L29/78, H01L21/336</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003 Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>																
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 3-126264 A (Mitsubishi Electric Corp.), 29 May, 1991 (29.05.91), Page 3, lower right column, line 7 to page 4, upper left column, line 6; Fig. 1</td> <td>1, 2, 3, 5</td> </tr> <tr> <td>A</td> <td>Page 3, lower right column, line 7 to page 4, upper left column, line 6; Fig. 1 (Family: none)</td> <td>4, 6</td> </tr> <tr> <td>Y</td> <td>JP 2-67766 A (Mitsubishi Electric Corp.), 07 March, 1990 (07.03.90), Page 3, lower left column, line 17 to page 4, lower right column, line 18; Figs. 1 to 4</td> <td>1, 2, 3, 5</td> </tr> <tr> <td>A</td> <td>Page 3, lower left column, line 17 to page 4, lower right column, line 18; Figs. 1 to 4 (Family: none)</td> <td>4, 6</td> </tr> </tbody> </table>		Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	JP 3-126264 A (Mitsubishi Electric Corp.), 29 May, 1991 (29.05.91), Page 3, lower right column, line 7 to page 4, upper left column, line 6; Fig. 1	1, 2, 3, 5	A	Page 3, lower right column, line 7 to page 4, upper left column, line 6; Fig. 1 (Family: none)	4, 6	Y	JP 2-67766 A (Mitsubishi Electric Corp.), 07 March, 1990 (07.03.90), Page 3, lower left column, line 17 to page 4, lower right column, line 18; Figs. 1 to 4	1, 2, 3, 5	A	Page 3, lower left column, line 17 to page 4, lower right column, line 18; Figs. 1 to 4 (Family: none)	4, 6
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.														
Y	JP 3-126264 A (Mitsubishi Electric Corp.), 29 May, 1991 (29.05.91), Page 3, lower right column, line 7 to page 4, upper left column, line 6; Fig. 1	1, 2, 3, 5														
A	Page 3, lower right column, line 7 to page 4, upper left column, line 6; Fig. 1 (Family: none)	4, 6														
Y	JP 2-67766 A (Mitsubishi Electric Corp.), 07 March, 1990 (07.03.90), Page 3, lower left column, line 17 to page 4, lower right column, line 18; Figs. 1 to 4	1, 2, 3, 5														
A	Page 3, lower left column, line 17 to page 4, lower right column, line 18; Figs. 1 to 4 (Family: none)	4, 6														
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>																
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>																
<p>Date of the actual completion of the international search 21 August, 2003 (21.08.03)</p>	<p>Date of mailing of the international search report 02 September, 2003 (02.09.03)</p>															
<p>Name and mailing address of the ISA/ Japanese Patent Office</p> <p>Facsimile No.</p>	<p>Authorized officer</p> <p>Telephone No.</p>															

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07168

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-299635 A (Toshiba Corp.), 11 October, 2002 (11.10.02), Page 11, left column, lines 18 to 45; Figs. 9 to 11	1,2,3,5
A	Page 11, left column, line 18 to page 12, left column, line 40; Figs. 9 to 23 (Family: none)	4,6
Y	JP 3-268363 A (Fuji Electric Co., Ltd.), 29 November, 1991 (29.11.91), Page 3, upper left column, lines 1 to 12; Fig. 6 (Family: none)	3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/739

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/739, H01L21/331, H01L29/78, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年, 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年, 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 3-126264 A, (三菱電機株式会社), 1991.05.29 (ファミリーなし), 第3頁右下欄7行-第4頁左下欄6行及び第1図	1, 2, 3, 5
A	第3頁右下欄7行-第4頁左下欄6行及び第1図	4, 6
Y	JP 2-67766 A, (三菱電機株式会社), 1990.03.07 (ファミリーなし), 第3頁左下欄17行-第4頁右下欄18行及び第1-4図	1, 2, 3, 5
A	第3頁左下欄17行-第4頁右下欄18行及び第1-4図	4, 6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願


の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日 21.08.03

国際調査報告の発送日 02.09.03

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 安田 雅彦 
 電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-299635 A, (株式会社東芝), 2002. 10. 11 (ファミリーなし), 第11頁左欄18-45行及び9-11図	1, 2, 3, 5
A	第11頁左欄18行-第12頁左欄40行及び第9-23図	4, 6
Y	JP 3-268363 A, (富士電機株式会社), 1991. 11. 29 (ファミリーなし), 第3頁左上欄1-12行及び第6図	3