

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年10月3日(03.10.2013)



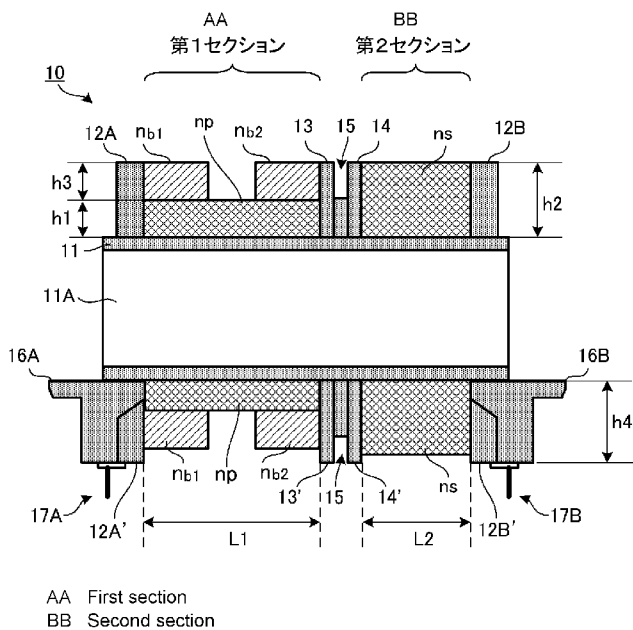
(10) 国際公開番号
WO 2013/146338 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01) H01F 30/00 (2006.01)
- (21) 国際出願番号: PCT/JP2013/057371
- (22) 国際出願日: 2013年3月15日(15.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-080053 2012年3月30日(30.03.2012) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 細谷達也(HOSOTANI, Tatsuya); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 山口直毅(YAMAGUCHI, Naoki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SWITCHING POWER SOURCE DEVICE

(54) 発明の名称: スイッチング電源装置



(57) Abstract: In the present invention, a partition section having a slit (15) splits the wound section of a bobbin (10). At a first section, a transformer primary coil (np) is wound to height h1, and at a second section, a secondary coil (ns) is coiled to height h2. Furthermore, the present invention is provided with a cover that covers the primary coil and the secondary coil and has a protrusion that fits the slit. With a high side drive coil (nb2) at the side towards the secondary coil (ns), the high side drive coil (nb2) and a low side drive coil (nb1) are wound on the primary coil (np) to height h3. As a result, provided is a switching power source device provided with an appropriate distance between transformer coils. Also, provided is a switching power source device that causes there to be strong coupling between the low side drive coil and the primary coil and between the high side drive coil and the secondary coil, and is able to reliably perform a ZVS operation of a high side switching element and a low side switching element.

(57) 要約: スリット(15)を有する仕切り部は、ボビン(10)の巻回部を分割する。第1セクションにトランスの1次巻線(np)を高さh1まで巻回し、第2セクションに2次巻線(ns)を高さh2まで巻回する。さらに、スリットと嵌合する凸部を有し、1次巻線及び2次巻線を覆うカバーを備えている。ハイサイド駆動巻線(nb2)を2次巻線(ns)側にして、ローサイド駆動巻線(nb1)及びハイサイド駆動巻線(nb2)を高さh3まで、1次巻線(np)上に巻回する。これにより、トランスの各巻線間に適切な距離が設けられたスイッチング電源装置を提供する。また、ローサイド駆動巻線と1次巻線との結合、及びハイサイド駆動巻線と2次巻線との結合それぞれを強くし、ハイサイドスイッチング素子及びローサイドスイッチング素子のZVS動作を確実に実行するスイッチング電源装置を提供する。

WO 2013/146338 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：スイッチング電源装置

技術分野

[0001] 本発明は、スイッチング電源装置に関し、特に電力変換動作に共振現象を利用する共振型スイッチング電源装置に関する発明である。

背景技術

[0002] 特許文献1に記載のスイッチング電源装置は、絶縁トランスに設けた2つの補助巻線に発生する電圧に基づいて、ハイサイドスイッチング素子とローサイドスイッチング素子とを交互にオンオフさせて絶縁トランスの1次巻線に共振電圧を発生させ、その結果、絶縁トランスの2次巻線から一定の直流電圧を出力する。特許文献1に記載のスイッチング電源装置は、二つの補助巻線と2次巻線との間に1次巻線を巻回する構成としてある。これにより、二つの補助巻線は1次巻線との結合度を強め、2次巻線との結合度を弱くすることで、二つの補助巻線に発生する電圧を1次巻線に発生する電圧と相似させ、ZVS（ゼロ電圧スイッチング）動作を可能としている。

先行技術文献

特許文献

[0003] 特許文献1：特開2008-228382号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載のスイッチング電源装置において、ローサイドスイッチング素子は、1次巻線のインダクタンスに発生する電圧波形と同様の波形で駆動し、ハイサイドスイッチング素子は、2次巻線のインダクタンスに発生する電圧波形と同様の波形で駆動することが望ましく、ハイサイドスイッチング素子とローサイドスイッチング素子とが交互にオンオフされる動作がより確実となる。換言すれば、ローサイド駆動巻線は1次巻線との結合を強め、ローサイド駆動巻線と1次巻線との電圧波形を相似させ、ハイサイド駆動

巻線は2次巻線との結合を強め、ハイサイド駆動巻線と2次巻線との電圧波形を相似させる必要がある。

[0005] しかしながら、特許文献1に記載のスイッチング電源装置では、駆動巻線（ハイサイド駆動巻線及びローサイド駆動巻線）は2次巻線との間に1次巻線が存在するため、2次巻線と補助巻線との結合度を高くすることができない。また、特許文献1では、1次巻線と2次巻線との物理的な距離が近く、1次巻線と2次巻線との結合により生じる漏れインダクタンスが小さくなるため、所望の励磁インダクタンス及び漏れインダクタンスを生成できない。また、各巻線は安全規格上の距離を設ける必要があるため、自由な設計が困難である。

[0006] そこで、本発明の目的は、各巻線間に適切な距離が設けられたスイッチング電源装置を提供することにある。また、ローサイド駆動巻線と1次巻線との結合、及びハイサイド駆動巻線と2次巻線との結合それぞれを強くし、ハイサイドスイッチング素子及びローサイドスイッチング素子のZVS動作を確実に実行できるスイッチング電源装置を提供することにある。

課題を解決するための手段

[0007] 本発明に係るスイッチング電源装置は、入力電源電圧が入力される電源電圧入力部と、直流電圧が出力される直流電圧出力部と、ボビンの巻回部に巻回された1次巻線及び2次巻線、ローサイド駆動巻線及びハイサイド駆動巻線、並びに、閉磁路を形成するコアを有するトランスと、前記1次巻線を含んでLC共振回路を形成するキャパシタと、前記電源電圧入力部に接続される、ローサイドスイッチング素子とハイサイドスイッチング素子との直列回路と、前記ローサイドスイッチング素子を制御するローサイドスイッチング制御部と、前記ハイサイドスイッチング素子を制御するハイサイドスイッチング制御部とを有するスイッチング制御回路と、を備え、前記LC共振回路は、前記トランスの前記1次巻線又は前記2次巻線の漏れインダクタンスを含み、前記ローサイドスイッチング素子は、前記1次巻線に直列接続されて、オンにより前記電源電圧入力部の電圧を前記1次巻線に印加し、前記ロー

サイドスイッチング制御部は、前記ローサイド駆動巻線に発生する巻線電圧の極性反転を検出して前記ローサイドスイッチング素子をターンオンし、出力電圧を検出する回路の帰還信号に基づく時間で前記ローサイドスイッチング素子をターンオフし、前記ハイサイドスイッチング制御部は、前記ハイサイド駆動巻線に発生する巻線電圧の極性反転を検出して前記ハイサイドスイッチング素子をターンオンし、前記ローサイドスイッチング素子のオン時間に応じて前記ハイサイドスイッチング素子をターンオフし、前記ボビンはスリットを有する仕切り部を備え、前記仕切り部は、前記巻回部の外周に沿って設けられ、前記巻回部を前記1次巻線が巻回される第1巻回領域と前記2次巻線が巻回される第2巻回領域とに分割し、前記1次巻線は、前記巻回部の外周面から第1の高さ h_1 まで巻回され、前記2次巻線は、前記巻回部の外周面から第2の高さ h_2 まで巻回され、前記ローサイド駆動巻線及び前記ハイサイド駆動巻線は、前記ハイサイド駆動巻線を前記2次巻線側にして巻回軸方向に沿って併設されて、前記1次巻線に巻回されている、ことを特徴とする。

[0008] この構成では、ローサイド駆動巻線及びハイサイド駆動巻線は1次巻線の外側に巻回されているため、ローサイド駆動巻線及びハイサイド駆動巻線と1次巻線との結合は強い。これにより、ローサイド駆動巻線に発生する電圧の波形は、1次巻線に発生する電圧の波形と相似するため、ローサイドスイッチング制御部は、ローサイド駆動巻線に発生する電圧極性の反転を検出することで、共振のタイミングを適切に検出し、ローサイドスイッチング素子をターンオンすることで、ローサイドスイッチング素子のZVS動作を確実に実行できる。また、共振のタイミングを適切に検出できるため、共振条件が外れた状態（「共振外れ」）を防止することで、装置の信頼性を向上させることができる。

[0009] また、ハイサイド駆動巻線と2次巻線とは巻回軸が略同じで、かつ、高さ h_1 から h_2 までの間で少なくとも一部が同じ高さにおいて巻回されているため、ハイサイド駆動巻線と2次巻線との結合は強い。このため、ハイサイ

ド駆動巻線に発生する電圧の波形は、2次巻線に発生する電圧の波形と相似し、ハイサイドスイッチング制御部は2次巻線に電圧が発生するタイミングでハイサイドスイッチング素子をターンオンして、ハイサイドスイッチング素子のZVS動作を行える。

[0010] 前記スイッチング電源装置は、前記ボビンのスリットと嵌合する凸部を有し、前記1次巻線、前記2次巻線、前記ローサイド駆動巻線及び前記ハイサイド駆動巻線を覆うカバーを備えている構成が好ましい。

[0011] この構成では、ボビンのスリットに凸部が嵌合することで、1次巻線と2次巻線との空間距離は沿面距離と同程度まで大きくすることができるため、安全規格上の距離を保ちつつ、1次巻線と2次巻線とを近づけて、互いの結合を強めることができる。

[0012] 前記トランスが実装される基板に対向する側の前記仕切部の高さは、前記第2の高さ h_2 より高くてもよい。

[0013] ボビン上部（基板に対向しない側）では巻線を覆うカバーの凸部がボビンのスリットと嵌合することで空間距離を沿面距離と同程度まで大きくして安全規格上の距離を確保するのに対し、ボビン下部（基板に対向する側）では、カバーの凸部とボビンのスリットとを嵌合させることができないため、この構成では、トランス全体のサイズを大きくすることなく、前記トランスが実装される基板に対向する側の前記仕切部の高さを前記第2の高さ h_2 より高くすることで、1次巻線と2次巻線との間の空間絶縁距離を確保できる。

[0014] 前記仕切部は、前記巻回軸に沿った前記巻回部の長さの中央から外れた位置に設けられていてもよい。

[0015] この構成では、トランスのコアのギャップ位置を巻回部の略中央とすることで、ギャップからの漏れ磁束を巻線により吸収（遮蔽）できるため、周辺回路への磁束の影響を防止できる。

[0016] 前記2次巻線は、センタータップが取り出され、バイファイラ巻きされた第1の巻線と第2の巻線とを有していてもよい。

[0017] この構成では、2次巻線の第1の巻線及び第2の巻線それぞれと1次巻線

との結合を同じにすることで、1次巻線と2次巻線の第1の巻線及び第2の巻線との結合を均一にでき、センタータップ整流時の不均衡な動作を防止できる。

[0018] 巻回軸の直交方向における前記コアの断面は、前記トランスの実装高さ寸法方向が最短長となる扁平形状である構成でもよい。

[0019] この場合、トランスの低背化が可能となる。

[0020] 前記キャパシタは、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との間に接続されている構成でもよい。

[0021] この場合、共振キャパシタに並列に電流検出用キャパシタを接続して、共振キャパシタに流れる電流を電流検出用キャパシタに僅かに分流させて、等価的に共振キャパシタに流れる共振電流を検出することができ、この電流を制限することで過電流保護回路を構成することができ、検出抵抗での損失を低減できる。

発明の効果

[0022] 本発明によれば、各巻線間に適切な距離が設けられたスイッチング電源装置を提供することができる。

図面の簡単な説明

[0023] [図1]実施形態1に係るトランスのボビンの断面図

[図2]実施形態1に係るトランスの三面図

[図3]図2のⅠⅠⅠ-ⅠⅠⅠ線の断面図

[図4]トランスのカバーの三面図

[図5]図4のV-V線の断面図

[図6]トランスの磁性体コアの上面図及び正面図

[図7]ボビンにカバーを被せた場合におけるスリット及び凸部の部分を拡大した断面図

[図8]第1の実施形態に係るスイッチング電源装置101の回路図

[図9]負荷変動があったときの、ハイサイド駆動巻線の電圧及びトランジスタのベース・エミッタ間電圧の変化を示す波形図

[図10]ローサイドスイッチング素子のゲート・ソース間電圧、ハイサイドスイッチング素子のゲート・ソース間電圧、ローサイドスイッチング素子のドレイン・ソース間電圧、トランジスタのベース・エミッタ間電圧、スイッチング制御用ICのIS端子の電圧 V_{is} 及びZT端子の電圧 V_{zt} の関係を示す波形図

[図11A]共振外れ防止状態でのトランスTの1次巻線の電圧及びローサイドスイッチング素子のドレイン電流の波形図

[図11B]「共振外れ」が生じた状態でのトランスTの1次巻線npの電圧及びローサイドスイッチング素子のドレイン電流の波形図

[図12]実施形態2に係るスイッチング電源装置の回路図

[図13]実施形態3に係るスイッチング電源装置の回路図

[図14]実施形態4に係るスイッチング電源装置の回路図

[図15]実施形態5に係るスイッチング電源装置の回路図

[図16]実施形態6に係るスイッチング電源装置の回路図

発明を実施するための形態

[0024] 《実施形態1》

図1は実施形態1に係るトランスのボビンの断面図である。図2は実施形態1に係るトランスの三面図である。図3は図2のIII-III線の断面図である。図4はトランスのカバーの三面図である。図5は図4のV-V線の断面図である。図6はトランスの磁性体コアの上面図及び右側面図である。

[0025] 実施形態1に係るトランスTは、ボビン10、カバー20及び磁性体コア30、31を備えている。ボビン10には、1次巻線np、2次巻線ns及び駆動巻線nb1、nb2が巻回されている。カバー20は、1次巻線npが巻回されたボビン10に被せられている。磁性体コア30、31は、所謂E型コアであって、カバー20が被せられたボビン10に嵌め込まれ、1次巻線np及び2次巻線nsの磁界の閉磁路を形成している。

[0026] 図1に示すように、ボビン10は絶縁性樹脂により構成された筒形状部（

本発明の巻回部) 11を備えている。筒形状部11は、軸方向(図1の紙面左右方向)に沿って形成され、両端が開口した内部空間11Aを有している。この内部空間11Aには、後述する磁性体コア30, 31の中央脚30A, 31A(図6参照)が両端の開口部から挿入される。この中央脚30A, 31Aの先端部は、筒形状部11の軸方向略中央で空隙(ギャップ)を介して対向している。また、筒形状部11の軸方向両端には、端子台16A, 16Bが設けられている。端子台16A, 16Bの下側(図1の紙面下側)には、複数のピンが所定ピッチで並んだボビン端子17A, 17Bが設けられている。トランスTは、このボビン端子17A, 17Bが実装基板に半田付けされることにより、実装される。

[0027] 筒形状部11の両端部の周面には、端部板12A, 12Bが周面に略垂直に設けられている。また、筒形状部11の軸方向における略中央より外れた位置の周面には、仕切板(本発明の仕切部)13, 14が周面に略垂直に設けられている。具体的には、仕切板13と端部板12Aとの距離をL1、仕切板14と端部板12Bとの距離をL2で表すと、 $L1 > L2$ の関係となる。また、仕切板13, 14の間にはスリット15が形成されている。スリット15は、筒形状部11に巻回された1次巻線npと2次巻線nsとの間が安全規格上の距離を満たすためのものである。以下の説明では、端部板12Aと仕切板13との間を第1セクション(本発明の第1巻回領域)と言い、端部板12Bと仕切板14との間を第2セクション(本発明の第2巻回領域)と言う。

[0028] 第1セクション及び第2セクションを形成する端部板12A, 12B及び仕切板13, 14は、筒形状部11の周方向に沿って設けられ、周方向の位置によって異なる高さを有している。ここで、トランスTを基板に実装した場合に、基板と対向する側、すなわち、ボビン端子17A, 17Bが設けられた側をトランスTの下側とする。この場合、トランスTの下側の端部板12A, 12B及び仕切板13, 14の高さh4は、トランスTの上側の端部板12A, 12B及び仕切板13, 14の高さ(本実施形態では高さh2)

よりも高くしてある。

[0029] 第1セクションでは、筒形状部11の軸方向を巻回軸として1次巻線npが筒形状部11に巻回されている。1次巻線npは筒形状部11の周面から高さh1まで巻回されている。第2セクションでは、筒形状部11の軸方向を巻回軸として2次巻線nsが筒形状部11に巻回されている。2次巻線nsは筒形状部11の周面から高さh2 (> h1)まで巻回されている。2次巻線nsはセンタータップを有し、センタータップにより二分された二つの巻線がバイファイラ巻にされてなる。後に詳述するが、1次巻線npと2次巻線nsとの間には仕切板13, 14及びスリット15が設けられている。このため、1次巻線npと2次巻線nsとの直線距離を長くすることなく、1次巻線npと2次巻線nsとの間の沿面距離を得ることができる。これにより、1次巻線npと2次巻線nsとの磁界結合を弱めることなく、安全規格上の距離を確保することができる。

[0030] また、磁性体コア30, 31のギャップは筒形状部11の軸方向略中央に位置している。したがって、 $L1 > L2$ の関係から、1次巻線npの巻回範囲内に前記ギャップが位置している。これにより、閉磁路を形成している磁性体コア30, 31のギャップから生じる漏れ磁束は1次巻線npにより吸収(遮蔽)され、周辺回路への影響を軽減できる。

[0031] 第1セクションに巻回された1次巻線npには駆動巻線nb1, nb2が巻回されている。駆動巻線nb1, nb2は、駆動巻線nb2が2次巻線ns側となるよう、筒形状部11の軸方向に沿って所定間隔を空けて並んで巻回されている。また、駆動巻線nb1, nb2は1次巻線npから高さh3まで巻回されている。ここで、 $h3 = h2 - h1$ の関係を満たす。したがって、駆動巻線nb1, nb2は、2次巻線nsと最外周の位置が同じとなっている。駆動巻線nb1, nb2は、第1セクションに巻回されているため、1次巻線npとの結合は強い。また、駆動巻線nb2は、2次巻線nsと軸方向において近接し、かつ、高さがほぼ同じであるため、駆動巻線nb2のコイル断面積は、2次巻線のコイル断面積とほぼ同じになって、駆動巻線nb2

に誘起される電圧波形と2次巻線 n_s に発生する電圧波形とが相似になる。

[0032] ここで、たとえ、駆動巻線 $n_b 2$ が高さ h_3 を超えて巻回されていた場合であっても、駆動巻線 $n_b 2$ と2次巻線 n_s とは高さ h_1 から h_2 までの間では同じ高さにおいて巻回されているため、駆動巻線 $n_b 2$ に誘起される電圧波形と2次巻線 n_s に発生する電圧波形とはほぼ相似になる。また、駆動巻線 $n_b 2$ が高さ h_3 未満で巻回されていた場合であっても、駆動巻線 $n_b 2$ は2次巻線 n_s の高さの領域内において巻回されているため、駆動巻線 $n_b 2$ に誘起される電圧波形と2次巻線 n_s に発生する電圧波形とはほぼ相似になる。

[0033] 上述のように、トランス T の下側の端部板 12 A, 12 B 及び仕切板 13, 14 の高さは、トランス T の上側の端部板 12 A, 12 B 及び仕切板 13, 14 の高さよりも高い。本実施形態では、トランス T の上側の端部板 12 A, 12 B 及び仕切板 13, 14 の高さは、2次巻線 n_s の高さ h_2 である。したがって、低背化しつつ、1次巻線 n_p 、2次巻線 n_s 及び駆動巻線 $n_b 1$, $n_b 2$ と、トランス T が実装される基板との間の空間絶縁距離を確保することができる。

[0034] また、軸方向の直交方向における筒形状部 11 の断面は、トランス T の上下方向（本発明の実装高さ寸法方向）が短い扁平形状としてある。これにより、トランス T の低背化を実現している。

[0035] カバー 20 は絶縁性樹脂からなり、上述の構成のボビン 10 を覆っている。カバー 20 は、図 4 に示すように、ボビン 10 の第 1 セクション及び第 2 セクション部分を覆う中央カバー 21 を備えている。中央カバー 21 は側面及び上面を有し、ボビン 10 の第 1 セクション及び第 2 セクション部分を三方向から囲む。中央カバー 21 は開口 21 A, 21 A を有し、カバー 20 をボビン 10 に被せた際に、開口 21 A, 21 A は筒形状部 11 の内部空間 11 A の開口と重なる。磁性体コア 30, 31 の中央脚 30 A, 31 A は、開口 21 A, 21 A を介して、筒形状部 11 の内部空間 11 A に挿入される。

[0036] 中央カバー 21 の上面には、ボビン 10 の第 1 セクションに対向する位置

に開口 21 B が形成され、ボビン 10 の第 2 セクションに対向する位置に開口 21 C 形成されている。中央カバー 21 の軸方向における両端部には、端子台 16 A, 16 B を覆う両端部 22, 23 が設けられている。

[0037] また、図 5 に示すように、カバー 20 の上面及び側面の内側には、ボビン 10 に被せた際に、ボビン 10 のスリット 15 に嵌合する凸部 24 が設けられている。図 7 は、ボビン 10 にカバー 20 を被せた場合におけるスリット 15 及び凸部 24 の部分を拡大した断面図である。図 7 では駆動巻線 nb 1 を省略している。

[0038] 1 次巻線 np と 2 次巻線 ns との間は、安全規格上、一定距離を設ける必要がある。しかしながら、単に 1 次巻線 np と 2 次巻線 ns とを離すと磁界結合が弱くなる。このため、ボビン 10 にスリット 15 を設けることで、1 次巻線 np と 2 次巻線 ns との沿面距離は、図 7 の破線のようになり、スリット 15 の深さ分の距離を得ることができる。また、スリット 15 にカバー 20 の凸部 24 が嵌合することにより、1 次巻線 np と 2 次巻線 ns との間の空間は、スリット 15 と凸部 24 との間の空間となる。したがって、1 次巻線 np と 2 次巻線 ns との空間距離は、沿面距離と同じになる。このように、スリット 15 とカバー 20 の凸部 24 とを設けることにより、磁界結合を弱めることなく、1 次巻線 np と 2 次巻線 ns との沿面距離及び空間距離を十分に確保できる。

[0039] 次に、磁性体コア 30, 31 について説明するが、磁性体コア 30, 31 は同じ形状であるため、以下では磁性体コア 30 について説明し、対応する磁性体コア 31 の符号を括弧書きにして説明する。磁性体コア 30 (31) は、中央脚 30 A (31 A)、両端脚 30 B, 30 B (31 B, 31 B) 及び接続部 30 C (31 C) を有した E 型コアである。中央脚 30 A (31 A) 及び両端脚 30 B, 30 B (31 B, 31 B) は、平行で、かつ、中央脚 30 A (31 A) が両端脚 30 B, 30 B (31 B, 31 B) の間に位置するように、接続部 30 C (31 C) に設けられている。また、中央脚 30 A (31 A) は、筒形状部 11 の内部空間 11 A と同様に扁平形の断面を有し

ている（図4参照）。中央脚30A、31Aは、カバー20の開口21A、21Aを介して筒形状部11の内部空間11Aに挿入される。そして、中央脚30Aと中央脚31Aとの先端同士はギャップを設けて対向し、両端脚30B、30Bと両端脚31B、31Bとの先端同士が当接する状態となる。これにより、磁性体コア30、31は、エアギャップを有した閉磁路を形成している。

- [0040] 以下に、上述の構成を有するトランスTを備えた実施形態1に係るスイッチング電源について説明する。
- [0041] 図8は実施形態1のスイッチング電源装置の回路図である。スイッチング電源装置101の入力端子PI(+)-PI(-)間に入力電源Viの電圧が入力される。そして、スイッチング電源装置101の出力端子PO(+)-PO(-)間に接続される負荷（不図示）へ所定の直流電圧Voが出力される。
- [0042] 入力端子PI(+)-PI(-)間には、共振キャパシタCr、共振インダクタLr、トランスTの1次巻線np及びローサイドスイッチング素子Q1が直列に接続された第1の直列回路（本発明のLC共振回路）が構成されている。共振インダクタLrはトランスTの漏れインダクタンスである。なお、共振インダクタLrは、トランスTの漏れインダクタンスとは別に、トランスTの1次巻線npに接続されたインダクタでもよい。ローサイドスイッチング素子Q1はn型MOS-FETからなり、ドレイン端子がトランスTの1次巻線npに接続されている。
- [0043] トランスTの1次巻線npの両端には、ハイサイドスイッチング素子Q2と共振キャパシタCr及び共振インダクタLrが直列に接続された第2の直列回路が構成されている。
- [0044] トランスTの2次巻線nsはセンタータップを有し、2次巻線ns1、ns2が直列接続された構成である。2次巻線ns1、ns2がバイファイラ巻きされて、図1に示す2次巻線nsを形成している。2次巻線ns1、ns2には、ダイオードDs、Df及びキャパシタCoからなる整流平滑回路が構成され

ている。この整流平滑回路は2次巻線 $ns1$ 、 $ns2$ から出力される交流電圧を全波整流し平滑して、出力端子 $PO(+)$ - $PO(-)$ へ出力する。

[0045] トランス T の駆動巻線（以下、ローサイド駆動巻線という） $nb1$ には、ローサイドスイッチング制御部（本発明のスイッチング制御回路） 81 が接続されている。このローサイドスイッチング制御部 81 は、ダイオード Db 及びキャパシタ Cb による整流平滑回路を含んでいる。この整流平滑回路によって得られる直流電圧がスイッチング制御用 $IC84$ の VCC 端子に電源電圧として供給される。前記スイッチング制御用 $IC84$ は、電流モードで動作する汎用のスイッチング制御用 IC である。

[0046] 出力端子 $PO(+)$ 、 $PO(-)$ とスイッチング制御用 $IC84$ との間には帰還回路が設けられている。図8では帰還の経路のみを簡易的に一本の線（Feedback）で表している。帰還の経路には絶縁手段 71 が設けられており、例えば、フォトカップラやパルストランスなどを用いることができる。具体的には出力端子 $PO(+)$ - $PO(-)$ 間の直流電圧 V_o の分圧値と基準電圧との比較によって帰還信号を発生し、絶縁状態でスイッチング制御用 $IC84$ の FB 端子へフィードバック電圧を入力する。この FB 端子へ入力されるフィードバック電圧は直流電圧 V_o が低いほど高くなる。

[0047] また、スイッチング制御用 $IC84$ は、 OUT 端子及び ZT 端子を備えている。スイッチング制御用 $IC84$ の OUT 端子は、抵抗 $R12$ を介してローサイドスイッチング素子 $Q1$ のゲート端子に接続されている。スイッチング制御用 $IC84$ の ZT 端子には、ローサイド駆動巻線 $nb1$ から発生した電圧が入力される。スイッチング制御用 $IC84$ は ZT 端子の入力電圧が反転したことを検出する電圧極性反転検出回路及びターンオフ遅延回路を備えている。電圧極性反転検出回路は、内部で発生した基準電圧と ZT 端子の電圧とを比較するコンパレータを備える。このコンパレータの出力電圧がローレベルになったとき、ターンオフ遅延回路による遅延時間 $td1$ の後、 OUT 端子をローレベルにする。これにより、ローサイドスイッチング素子 $Q1$ がターンオフする。また、前記コンパレータの出力がハイレベルになったと

きは、後に示す遅延時間 t_{d0} の経過後に O U T 端子をハイレベルに反転させる。これによりローサイドスイッチング素子 Q 1 がターンオンする。

[0048] ローサイド駆動巻線 n b 1 は、巻回軸を同じにして 1 次巻線 n p に巻回されているため、ローサイド駆動巻線 n b 1 と 1 次巻線 n p との結合は強い。このため、ローサイド駆動巻線 n b 1 に発生する電圧波形は、1 次巻線 n p に発生する電圧波形に相似する。換言すれば、ローサイド駆動巻線 n b 1 に発生する電圧波形は、1 次巻線 n p の励磁インダクタンスに発生する電圧波形と共振インダクタ L_r に発生する電圧波形とを加算した波形と相似する。したがって、スイッチング制御用 I C 8 4 は、ローサイド駆動巻線 n b 1 に発生する電圧極性の反転を検出することで、共振のタイミングを適切に検出し、ローサイドスイッチング素子 Q 1 をターンオンすることで、ローサイドスイッチング素子 Q 1 の Z V S 動作を確実に実行できる。また、共振のタイミングを適切に検出することで、共振状態を適切に検出でき、「共振外れ」を防止することができる。

[0049] また、スイッチング制御用 I C 8 4 の O U T 端子には、定電流回路 C C 1 及びキャパシタ C b 1 の直列回路が接続されていて、キャパシタ C b 1 の充電電圧が I S 端子に入力されるように接続されている。定電流回路 C C 1 は、スイッチング制御用 I C 8 4 の O U T 端子の電圧によりキャパシタ C b 1 を定電流で充電する。スイッチング制御用 I C 8 4 内のコンパレータはキャパシタ C b 1 の電圧と F B 端子の電圧とを比較し、I S 端子の電圧が F B 端子の電圧を超えたとき O U T 端子の電圧をハイレベルからローレベルとする。したがって、F B 端子の電圧が低くなるほど、キャパシタ C b 1 の充電時間は短くなる。すなわち、ローサイドスイッチング素子 Q 1 のオン時間が短くなって、直流電圧 V_o は定電圧化される。

[0050] なお、ダイオード D 9 はキャパシタ C b 1 の電荷の放電経路を構成する。すなわち、スイッチング制御用 I C 8 4 の出力電圧がローレベルになったとき (Q 1 がターンオフするとき)、キャパシタ C b 1 の電荷はダイオード D 9 を介して放電される。

- [0051] このようにして、電流モードで動作するICであるスイッチング制御用IC 84、定電流回路CC1及びキャパシタCb1による回路は、電圧-時間変換回路として作用する。そして、直流電圧Voを検出して基準電圧との比較により発生される帰還信号の電圧が前記電圧-時間変換回路で変換されて、その時間だけローサイドスイッチング素子Q1がオンする。
- [0052] トランスTの駆動巻線（以下、ハイサイド駆動巻線という。）nb2とハイサイドスイッチング素子Q2との間にはハイサイドスイッチング制御部（本発明のスイッチング制御回路）61が設けられている。具体的には、トランスTのハイサイド駆動巻線nb2の第1端はローサイドスイッチング素子Q1とハイサイドスイッチング素子Q2との接続点（ハイサイドスイッチング素子Q2のソース端子）に接続され、ハイサイド駆動巻線nb2の第2端とハイサイドスイッチング素子Q2のゲート端子との間にハイサイドスイッチング制御部61が接続されている。
- [0053] 前記ハイサイドスイッチング制御部61は、4つのダイオードD1, D2, D3, D4から構成されるダイオードブリッジ整流回路と、ダイオードD1, D3の接続点とダイオードD2, D4の接続点との間、つまりこのダイオードブリッジ整流回路の出力端間に接続された定電流回路CC2とで構成された双方向定電流回路である。
- [0054] ハイサイドスイッチング制御部61には、抵抗R5及びハイサイドスイッチング素子Q2の入力容量（ゲート・ソース間容量）により、後述する遅延時間td2だけターンオンを遅延させるターンオン遅延回路が構成されている。このターンオン遅延回路は、ハイサイド駆動巻線nb2に発生する電圧の極性が反転してから遅延時間td2の経過後に、ハイサイドスイッチング素子Q2をターンオンさせる。
- [0055] 図1で説明したように、ハイサイド駆動巻線nb2は2次巻線nsに近接して巻回されているため、ハイサイド駆動巻線nb2と2次巻線nsとの結合は強い。ハイサイド駆動巻線nb2に発生する電圧波形は、2次巻線nsに発生する電圧波形、すなわち、2次巻線nsの励磁インダクタンスに発生する電圧

波形と相似とする。このため、ハイサイドスイッチング制御部61は2次巻線 n_s に電圧が発生するタイミングでハイサイドスイッチング素子Q2をターンオンしてZVS動作を行える。

[0056] ハイサイドスイッチング制御部61はハイサイドスイッチング素子Q2がターンオンした後、ローサイドスイッチング素子Q1のオン時間と同じ時間が経過した時に強制的にハイサイドスイッチング素子Q2をターンオフさせる。このように、ハイサイドスイッチング素子Q2は共振条件と関係なく、時定数回路で決められたタイミングでターンオフされる。

[0057] 図9は、負荷変動があったときの、ハイサイド駆動巻線 n_{b2} の電圧 V_{nb2} 及びトランジスタQ3のベース・エミッタ間電圧 V_{be} の変化を示す波形図である。

[0058] キャパシタ C_{b2} は同じ電流値の定電流で充放電されるので、トランジスタQ3のベース・エミッタ間電圧 V_{be} の傾きは等しい。そのため、ハイサイドスイッチング素子Q2のオン時間はローサイドスイッチング素子Q1のオン時間に等しい。図9において、 $T_{Q1ON(1)}$ と $T_{Q2ON(1)}$ は上述の動作により等しい。ローサイドスイッチング素子Q1のオン時間が長くなり $T_{Q1ON(2)}$ となったときも、 $T_{Q1ON(2)}$ と $T_{Q2ON(2)}$ は上述の動作により等しい。

[0059] このように、ローサイドスイッチング素子Q1のオン時間が変化すれば、それに追従して、ハイサイドスイッチング素子Q2のオン時間が変化する。

[0060] 以上に示したとおり、このスイッチング電源装置101は、ローサイド駆動巻線 n_{b1} に発生する電圧の極性が反転するタイミングをトリガとして、ローサイドスイッチング素子Q1がターンオンする。また、ローサイドスイッチング素子Q1とハイサイドスイッチング素子Q2が共にオフとなるデッドタイムを挟んで、時比率 $D=0.5$ で交互にオンオフさせる電流共振形ハーフブリッジコンバータとして動作する。

[0061] 図10は、ローサイドスイッチング素子Q1のゲート・ソース間電圧 V_{gs1} 、ハイサイドスイッチング素子Q2のゲート・ソース間電圧 V_{gs2} 、

ローサイドスイッチング素子Q1のドレイン・ソース間電圧 V_{ds1} 、トランジスタQ3のベース・エミッタ間電圧（キャパシタCb2の電圧） V_{be} 、スイッチング制御用IC84のIS端子の電圧（キャパシタCb1の電圧） V_{is} 及びZT端子の電圧 V_{zt} の関係を示す波形図である。この図10を基に、スイッチング電源装置101の動作について示す。スイッチング電源装置101の1サイクル分の動作は次のとおりである。

- [0062] スwitching制御用IC84は、ZT端子の入力電圧を基に、トランスTのローサイド駆動巻線nb1に発生する巻線電圧の極性が反転したことを検出し、この極性反転を検出した時刻から遅延時間 t_{d1} だけ遅れてローサイドスイッチング素子Q1をターンオフする。
- [0063] 同時に、キャパシタCb2は定電流回路CC2を介して放電される。
- [0064] 直流電圧 V_o を制御するための帰還信号（Feedback）に基づいた信号電圧によって生成された時刻でローサイドスイッチング素子Q1をターンオフする。
- [0065] ローサイドスイッチング素子Q1がターンオフすることで、ハイサイド駆動巻線nb2に発生する巻線電圧により、ハイサイドスイッチング素子Q2の入力容量（ゲート・ソース間容量）が充電されてからハイサイドスイッチング素子Q2はターンオンする。したがってハイサイドスイッチング素子Q2は前記充電による遅延時間 t_{d2} だけ遅れてターンオンする。
- [0066] 同時に、キャパシタCb2は定電流回路CC2を介して充電される。
- [0067] キャパシタCb2の充電電圧 V_{be} がトランジスタQ3のしきい値電圧に達することでトランジスタQ3はターンオンし、ハイサイドスイッチング素子Q2の入力容量が急速に放電されて、ハイサイドスイッチング素子Q2はターンオフする。
- [0068] このことにより、トランスTのローサイド駆動巻線nb1に発生する巻線電圧の極性が反転する。スイッチング制御用IC84は、ZT端子の入力電圧を基に、そのことを検知する。この電圧極性の反転から遅延時間 t_{d0} の経過後にローサイドスイッチング素子Q1がターンオンする。

[0069] 図11Aは「共振外れ」がない通常状態でのトランスTの1次巻線npの電圧及びローサイドスイッチング素子Q1のドレイン電流の波形図である。また、図11Bは「共振外れ」が生じた状態でのトランスTの1次巻線npの電圧及びローサイドスイッチング素子Q1のドレイン電流の波形図である。ここで、ドレイン電流の波形の $t_0 \sim t_1$ の区間は、比較的インダクタンス値の小さな共振インダクタ（1次巻線npの漏れインダクタンスを含む） L_r と共振キャパシタ C_r の直列共振に基づく電流波形であり、 $t_1 \sim t_2$ の区間は、共振インダクタ L_r 、トランスTの励磁インダクタンス及び共振キャパシタ C_r の直列共振に基づく電流波形である。

[0070] スwitching周波数を f_s 、第1の直列回路の共振周波数を f_m で表すと、通常の動作では、 $f_m < f_s$ の関係を保つ。そして、軽負荷時ではswitching周波数 f_s が上昇して出力電力が小さくなり、重負荷では、switching周波数 f_s が低下して出力電力が大きくなる。上記周波数の大小関係であれば、トランスTの1次巻線npに流れる電流は、1次巻線npに加えられる電圧よりも位相が遅れる「電流遅れ位相」で動作する。

[0071] しかし、負荷が重くなるにつれてswitching周波数 f_s は低下し、 $f_s < f_m$ となると、共振条件が外れた状態（「共振外れ」）になる。すなわち、switching周波数 f_s が共振周波数 f_m より低い関係は、トランスTの1次側からトランスTが容量性のインピーダンスに見える状態であり、トランスTの1次巻線npに加わる電圧波形の位相より電流波形の位相が進むことになる。この場合に、ローサイドスイッチング素子Q1とハイサイドスイッチング素子Q2が同時にオンする（いわゆるアーム短絡状態になる）期間が生じて、その二つのスイッチング素子Q1、Q2に過大な電流が流れ、大きな損失が発生する。

[0072] 具体的には、電圧波形の位相より電流波形の位相が進む状態であると、ローサイドスイッチング素子Q1がターンオフした後にデッドタイムを挟んでハイサイドスイッチング素子Q2がターンオンするが、ローサイドスイッチング素子Q1に流れる電流の向きが既に反転している（ローサイドスイッチ

ング素子Q1のボディダイオードを流れている)状態で、ハイサイドスイッチング素子Q2がターンオンすると、ボディダイオードの逆回復特性による遮断の遅れにより、ローサイドスイッチング素子Q1のボディダイオードが導通している状態でハイサイドスイッチング素子Q2が導通し、前記アーム短絡が生じる。また、電圧波形の位相より電流波形の位相が進んでいる状態ではZVS動作が行えず、スイッチング損失が増大する。

[0073] 図11Bに示す、スイッチング周波数 f_s が共振周波数 f_m よりも低下して、「共振外れ」が生じるような状況では、既に述べたとおり電流位相が進んでいるので、ローサイドスイッチング素子Q1のドレイン電流が負になってから(ローサイドスイッチング素子Q1のボディダイオードに電流が流れている状態で)、ハイサイドスイッチング素子Q2がターンオンするので、前述のアーム短絡の問題が生じる。

[0074] 本発明の実施形態によれば、図8及び図10に示すように、スイッチング制御用IC84のOUT端子電圧がハイの状態、ZT端子の電圧が0V付近まで低下すると、スイッチング制御用IC84はローサイドスイッチング素子Q1を強制的にターンオフする。この強制ターンオフ動作は、ハイサイドスイッチング素子Q2がターンオンするより早く動作する。すなわち、ローサイド駆動巻線 n_{b1} に発生する巻線電圧の極性が反転したことを検出したタイミングを起点としてから、ローサイドスイッチング素子Q1をターンオフするまでの遅延時間 t_{d1} が、ハイサイドスイッチング素子Q2の入力容量を充電してハイサイドスイッチング素子Q2をターンオンするまでの遅延時間 t_{d2} より小さくなる条件($t_{d1} < t_{d2}$)を満たすように t_{d1} 、 t_{d2} を定める。

[0075] このように、共振外れ防止状態では、図10に表れているように、IS端子の電圧 V_{is} がFB端子へのフィードバック電圧 V_{fb} に達するまでにQ1がターンオフする。したがって、出力される直流電圧 V_o は規定値より下回ることになるが、例えば、停電などにより、入力電源 V_i の電圧が所定の電圧よりも低下した状態においてもアーム短絡を起こすことなくコンバータ

は動作を続けて、出力電力の供給を維持することができる。結果として、入力電源 V_i の電圧の供給が遮断されても、アーム短絡を起こすことなく、コンバータを安全に停止することができる。また、瞬時停電などに対しても直流電圧 V_o の出力保持時間を長くすることが可能となる。

[0076] このようにして、スイッチング周波数 f_s が共振周波数 f_m よりも低下して共振条件が外れることはなく、また、起動や停止や出力短絡などの過渡的な動作状態においても、ローサイドスイッチング素子 Q_1 がターンオンした後に1次巻線 n_p の巻線電圧が反転しても、 Q_1 が帰還信号に基づいてターンオフする前にハイサイドスイッチング素子 Q_2 がターンオンすることはない。すなわちアーム短絡が生じることなく、スイッチング電源装置 101 の破壊が損失の増大を防止することができる。

[0077] 図8に示したスイッチング制御用 IC 84 はブランキング時間を設定する回路を備えている。具体的には、ローサイドスイッチング素子 Q_1 を駆動するパルスが発生してから所定期間（設定されたブランキング時間）は前記 ZT 端子に入力される信号を検出しない構成とする。すなわち、前記 ZT 端子の入力をマスキングする。このように、所定期間だけ巻線電圧の極性を検出しないブランキング時間を設定したことにより、ブランキング時間においては、ローサイドスイッチング素子 Q_1 をターンオンさせてしまうような信号となるスイッチングノイズが ZT 端子に入力されたとしても、ノイズ信号によってローサイドスイッチング素子 Q_1 をターンオンさせてしまうような誤動作の発生を防止することができる。

[0078] なお、遅延時間 t_{d2} を生成する遅延回路を、ハイサイドスイッチング素子 Q_2 の制御端子に直列に接続された抵抗 R_5 （インピーダンス回路）とハイサイドスイッチング素子 Q_2 のゲート端子に存在する入力容量（ゲート・ソース間容量）とで構成することにより、部品点数は削減され、スイッチング電源装置の小型化を図ることができる。

[0079] 《実施形態2》

図12は実施形態2に係るスイッチング電源装置の回路図である。このス

イッチング電源装置 102 のハイサイドスイッチング制御部 62 以外は、第 1 の実施形態で図 8 に示した回路と同じである。

[0080] ハイサイドスイッチング制御部 62 には、ハイサイド駆動巻線 nb2 の出力とハイサイドスイッチング素子 Q2 との間に、キャパシタ Cg1, ダイオード D6, 抵抗 R5, R6, インダクタ Lg で構成されるインピーダンス回路が接続されている。インダクタ Lg は、チップインダクタまたはビーズインダクタなどである。また、ハイサイドスイッチング素子 Q2 のゲート・ソース間に、ツェナーダイオード ZD1, ZD2 の直列回路及びキャパシタ Cg2 が接続されている。ハイサイドスイッチング制御部 62 内のその他の構成は図 8 に示したハイサイドスイッチング制御部 61 と同じである。

[0081] ハイサイド駆動巻線 nb2 の出力とハイサイドスイッチング素子 Q2 の制御端子との間に接続された前記インピーダンス回路とキャパシタ Cg2 とで、ハイサイドスイッチング素子 Q2 のターンオン遅延回路が構成されている。

[0082] ハイサイド駆動巻線 nb2 に発生する巻線電圧によりキャパシタ Cg2 が充電され、ハイサイドスイッチング素子 Q2 のゲート・ソース間電圧がしきい値を超えると Q2 はターンオンする。

[0083] ダイオード D6 及び抵抗 R6 の直列回路が抵抗 R5 に対して並列に接続されているので、ハイサイドスイッチング素子 Q2 のゲート電圧の立ち上がりは R5 と R6 の並列インピーダンスで設定され、立ち下がりには R5 のみのインピーダンスで支配的に設定される。

[0084] キャパシタ Cg1 は、キャパシタ Cg2 との容量分圧により、ハイサイドスイッチング素子 Q2 のゲート・ソース間の電圧値を制御する。また、ツェナーダイオード ZD1, ZD2 は、ハイサイドスイッチング素子 Q2 のゲート・ソース間の電圧値の最大変化幅を制限する。

[0085] この実施形態によれば、Q2 のターンオン遅延回路の一部であるインピーダンス回路が、電流の方向に応じて、そのインピーダンスが変化するものであるため、スイッチング素子 Q2 のターンオンスピードとターンオフスピー

ドを個別に調整することができる。

[0086] また、前記インピーダンス回路は、キャパシタ C_{g1} と抵抗 R_5 、 R_6 の直列回路で構成されているので、キャパシタ C_{g1} の容量値を調整することで、ハイサイドスイッチング素子 Q_2 のゲート端子に存在する入力容量との分圧比を調整し、ハイサイドスイッチング素子 Q_2 をターンオン及びターンオフさせるのに適切なゲート電圧を加えることができる。

[0087] また、前記インピーダンス回路にインダクタ L_g が設けられているので、高周波のサージ電流が抑制されて、ハイサイドスイッチング素子 Q_2 のゲート端子に過大な電圧が印加されるのを防ぐことができる。

[0088] また、ハイサイドスイッチング素子 Q_2 のゲート・ソース間に並列にツェナーダイオードが双方向に接続されているので、ハイサイドスイッチング素子 Q_2 のゲート端子に過大な電圧が印加されるのを防ぐことができる。なお、ハイサイドスイッチング素子 Q_2 のゲート・ソース間に並列に接続されるツェナーダイオードはいずれか単方向にのみ接続されていてもよい。

[0089] 《実施形態3》

図13は実施形態3に係るスイッチング電源装置の回路図である。実施形態1で図8に示したスイッチング電源装置と異なるのは、トランス T の二次側の構成である。

[0090] 実施形態3では、トランス T の2次巻線 n_s に、ダイオード D_{21} 、 D_{22} 、 D_{23} 、 D_{24} によるダイオードブリッジ回路及びキャパシタ C_o が接続されている。このようにダイオードブリッジ回路で全波整流してもよい。

[0091] 《実施形態4》

図14は実施形態4に係るスイッチング電源装置の回路図である。実施形態4に係るスイッチング電源装置104が実施形態1で図8に示したスイッチング電源装置と異なるのは、トランス T の二次側の構成である。

[0092] 実施形態4では、トランス T の2次巻線 n_{s1} の両端に、ダイオード D_s 及びキャパシタ C_{o1} による整流平滑回路が構成され、出力端子 $P_O(+)$ - $P_O(-)$ 間にキャパシタ C_{o3} が接続されている。またダイオード D_f 及

びキャパシタ C_o2 の直列回路の midpoint が出力端子 $P_O(-)$ に接続され、両端はトランス T の2次巻線 n_s1 の両端に接続されている。このように倍電圧整流回路としてもよい。

[0093] 《実施形態5》

図15は実施形態5に係るスイッチング電源装置の回路図である。実施形態5に係るスイッチング電源装置105が以上に示した各実施形態と異なるのは、ハイサイドスイッチング素子 Q_2 のドレインとトランス T の1次巻線 n_p の一端との間に共振キャパシタ C_r1 と共振インダクタ L_r の直列回路を設けるだけでなく、共振キャパシタ C_r1 と共振インダクタ L_r との接続点とグラウンドラインとの間に共振キャパシタ C_r2 を設けた点である。

[0094] 共振インダクタ L_r 、1次巻線 n_p 、ハイサイドスイッチング素子 Q_2 、共振キャパシタ C_r1 が閉ループを構成するように、共振キャパシタ C_r1 が設けられている。また、共振インダクタ L_r 、1次巻線 n_p 、ローサイドスイッチング素子 Q_1 、共振キャパシタ C_r2 が閉ループを構成するように、共振キャパシタ C_r2 が設けられている。

[0095] このように、共振キャパシタ C_r2 を接続することにより、入力電源 V_i から供給される電流は、ローサイドスイッチング素子 Q_1 のオン時間とハイサイドスイッチング素子 Q_2 のそれぞれのオン時間の双方の期間において共振キャパシタ C_r1 、 C_r2 に流れる。入力電源 V_i から供給される電流が、ローサイドスイッチング素子 Q_1 のオン時間しか流れない回路構成と比較すると、入力電源 V_i から供給される電流の実効電流は低減される。これにより、入力電源 V_i から供給される電流による導通損を低減することができる。

[0096] 《実施形態6》

図16は実施形態6に係るスイッチング電源装置の回路図である。実施形態6に係るスイッチング電源装置106が実施形態1で図8に示したスイッチング電源装置と異なるのは、共振キャパシタ C_r 以外に共振キャパシタ C_r1 、 C_r2 を設けた点である。

- [0097] 共振インダクタ L_r 、1次巻線 n_p 、共振キャパシタ C_r 、ハイサイドスイッチング素子 Q_2 、共振キャパシタ C_{r1} が閉ループを構成するように、共振インダクタ L_r 、1次巻線 n_p 、共振キャパシタ C_r 、ハイサイドスイッチング素子 Q_1 、共振キャパシタ C_{r2} が閉ループを構成するように共振キャパシタ C_{r1} 、 C_{r2} を設けている。
- [0098] また、共振キャパシタ C_{r1} 、 C_{r2} は、入力電源 V_i の電圧を分圧するように接続している。このように、共振電流が流れる共振キャパシタ(C_r 、 C_{r1} 、 C_{r2})は複数であってもよい。
- [0099] トランス T の2次巻線 n_s には整流平滑回路91が接続されている。この整流平滑回路91は、図8に示すダイオード D_s 、 D_f 及びキャパシタ C_o からなる整流平滑回路である。
- [0100] なお、以上に示した各実施形態では、トランス T の二次側の回路にダイオードによる整流回路を構成したが、このダイオードに代えて整流用のFETを設けて同期整流してもよい。このことにより、二次側の回路の損失を低減することができる。
- [0101] また、本発明は、ハーフブリッジコンバータだけでなく、フルブリッジコンバータなどの多石式のコンバータ、電圧クランプコンバータなどにおいて、二つのスイッチング素子を相補的に交互にオン/オフするスイッチング電源装置に適用できる。
- [0102] また、本発明におけるトランスは、1次巻線 n_p と2次巻線 n_s との磁界結合を弱めることなく、安全規格上の距離を確保できるものである。この効果は、トランスが駆動巻線 n_{b1} 、 n_{b2} を備えない場合でも変わらない。この場合、1次巻線 n_p と2次巻線 n_s との高さは、ほぼ同じであってもよい。

符号の説明

- [0103] 10ーボビン
11ー筒形状部(巻回部)
13, 14ー仕切板(仕切部)
15ースリット

- 20 - カバー
- 24 - 凸部
- 30, 31 - 磁性体コア
- 61, 62 - ハイサイドスイッチング制御部 (スイッチング制御回路)
- 81 - ローサイドスイッチング制御部 (スイッチング制御回路)
- 84 - スwitching制御IC
- 101 ~ 106 - スwitching電源装置
- C_r - 共振キャパシタ
- L_r - 共振インダクタ
- n_{b1} - ローサイド駆動巻線
- n_{b2} - ハイサイド駆動巻線
- n_p - 1次巻線
- n_{s1}, n_{s2} - 2次巻線
- P_I - 入力端子
- P_O - 出力端子
- Q₁ - ローサイドスイッチング素子
- Q₂ - ハイサイドスイッチング素子
- T - トランス
- V_i - 入力電源
- V_o - 出力電圧

請求の範囲

[請求項1]

入力電源電圧が入力される電源電圧入力部と、
直流電圧が出力される直流電圧出力部と、
ボビンの巻回部に巻回された1次巻線及び2次巻線、ローサイド駆動巻線及びハイサイド駆動巻線、並びに、閉磁路を形成するコアを有するトランスと、
前記1次巻線を含んでLC共振回路を形成するキャパシタと、
前記電源電圧入力部に接続される、ローサイドスイッチング素子とハイサイドスイッチング素子との直列回路と、
前記ローサイドスイッチング素子を制御するローサイドスイッチング制御部と、前記ハイサイドスイッチング素子を制御するハイサイドスイッチング制御部とを有するスイッチング制御回路と、
を備え、
前記LC共振回路は、前記トランスの前記1次巻線又は前記2次巻線の漏れインダクタンスを含み、
前記ローサイドスイッチング素子は、前記1次巻線に直列接続されて、オンにより前記電源電圧入力部の電圧を前記1次巻線に印加し、
前記ローサイドスイッチング制御部は、前記ローサイド駆動巻線に発生する巻線電圧の極性反転を検出して前記ローサイドスイッチング素子をターンオンし、出力電圧を検出する回路の帰還信号に基づく時間で前記ローサイドスイッチング素子をターンオフし、
前記ハイサイドスイッチング制御部は、前記ハイサイド駆動巻線に発生する巻線電圧の極性反転を検出して前記ハイサイドスイッチング素子をターンオンし、前記ローサイドスイッチング素子のオン時間に応じて前記ハイサイドスイッチング素子をターンオフし、
前記ボビンはスリットを有する仕切り部を備え、
前記仕切り部は、前記巻回部の外周に沿って設けられ、前記巻回部を前記1次巻線が巻回される第1巻回領域と前記2次巻線が巻回され

る第2巻回領域とに分割し、

前記1次巻線は、前記巻回部の外周面から第1の高さ h_1 まで巻回され、

前記2次巻線は、前記巻回部の外周面から第2の高さ h_2 まで巻回され、

前記ローサイド駆動巻線及び前記ハイサイド駆動巻線は、前記ハイサイド駆動巻線を前記2次巻線側にして巻回軸方向に沿って併設されて、前記1次巻線に巻回されている、

スイッチング電源装置。

[請求項2] 前記スリットと嵌合する凸部を有し、前記1次巻線、前記2次巻線、前記ローサイド駆動巻線及び前記ハイサイド駆動巻線を覆うカバーを備えている、

請求項1に記載のスイッチング電源装置。

[請求項3] 前記トランスが実装される基板に対向する側の前記仕切部の高さは、前記第2の高さ h_2 より高い、請求項1又は2に記載のスイッチング電源装置。

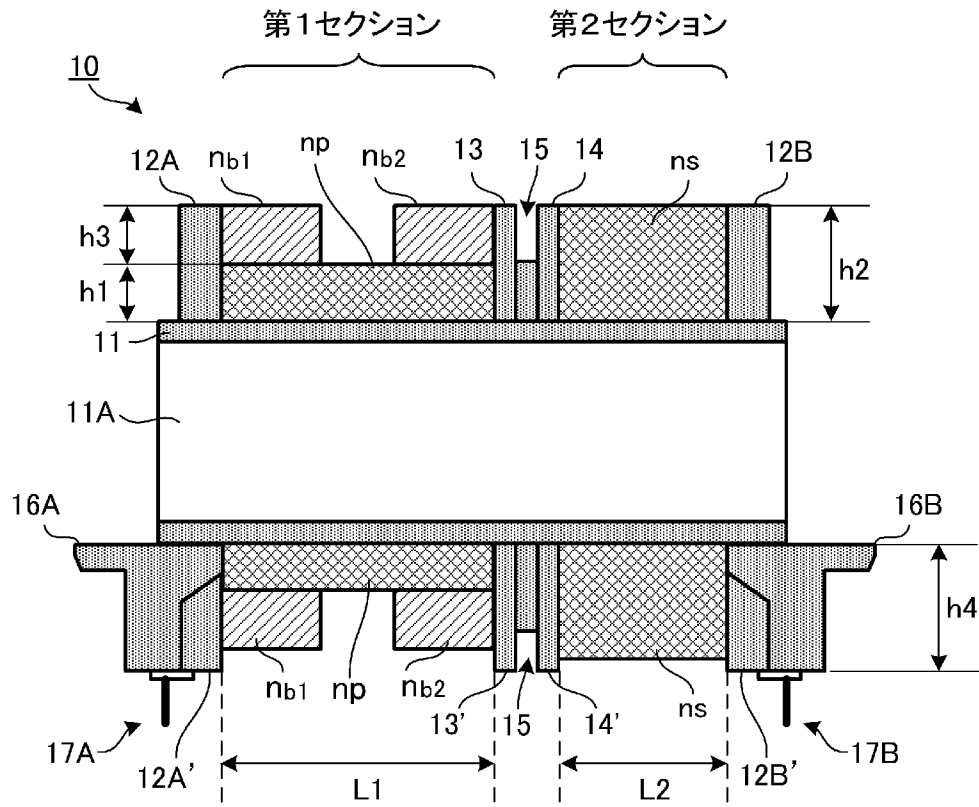
[請求項4] 前記仕切部は、前記巻回軸に沿った前記巻回部の長さの中央から外れた位置に設けられている、請求項1から3の何れかに記載のスイッチング電源装置。

[請求項5] 前記2次巻線は、センタータップが取り出され、バイファイラ巻きされた第1の巻線と第2の巻線とを有している、請求項1から4の何れかに記載のスイッチング電源装置。

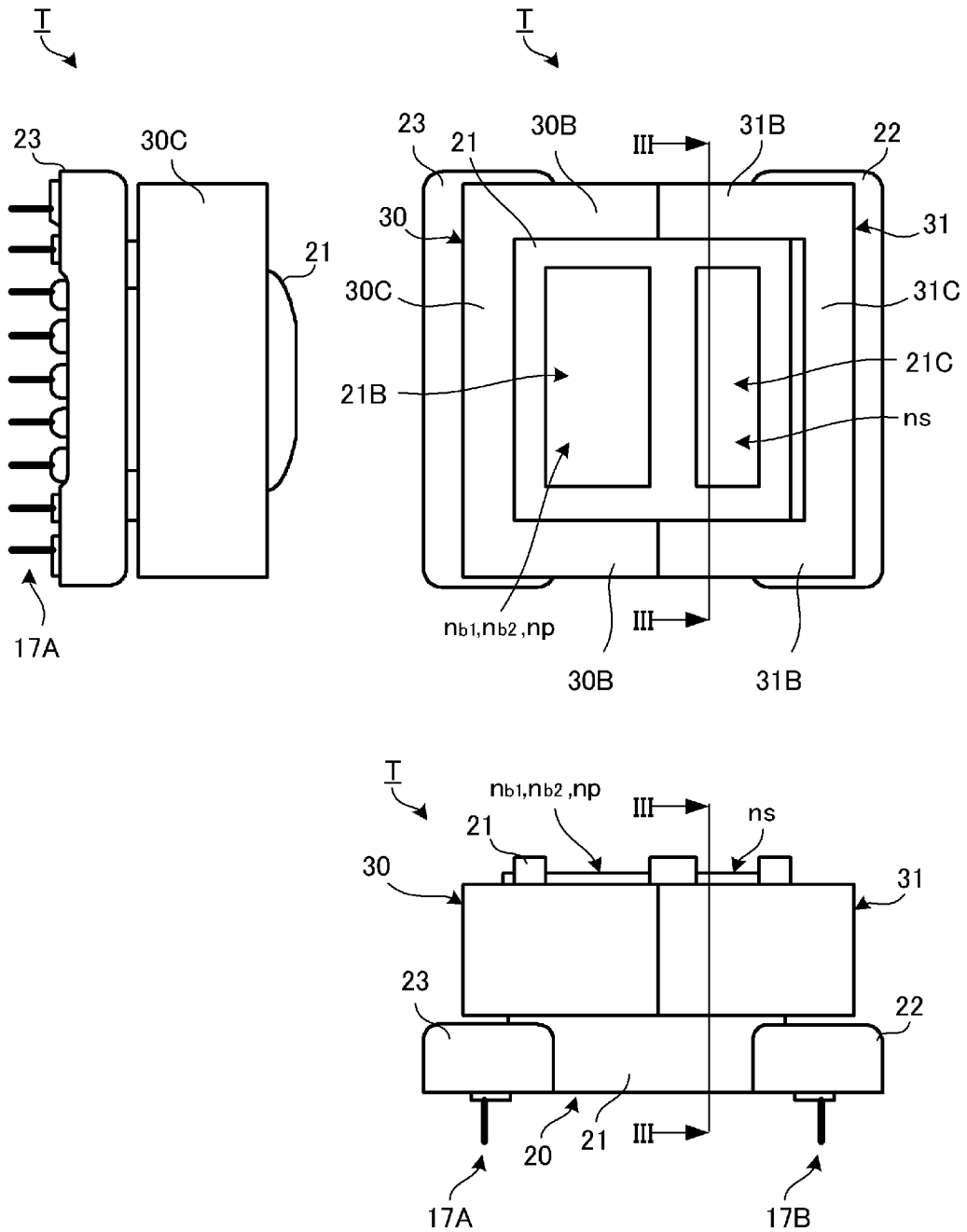
[請求項6] 巻回軸の直交方向における前記コアの断面は、前記トランスの実装高さ寸法方向が最短長となる扁平形状である、請求項1から5の何れかに記載のスイッチング電源装置。

[請求項7] 前記キャパシタは、前記ハイサイドスイッチング素子と前記ローサイドスイッチング素子との間に接続されている、請求項1から6の何れかに記載のスイッチング電源装置。

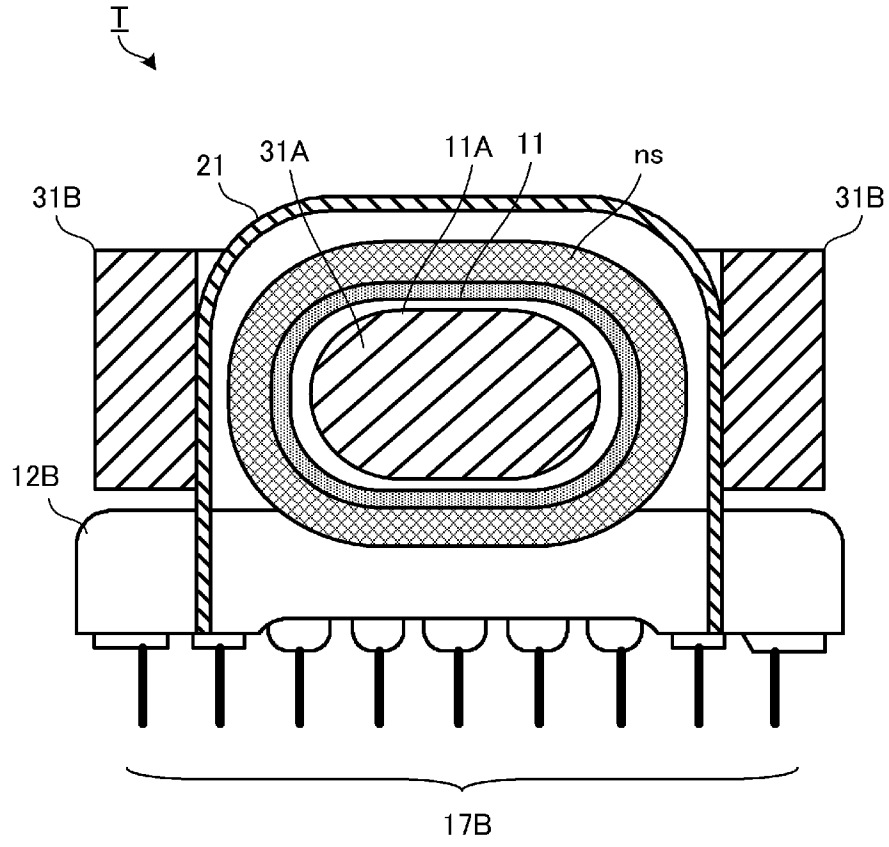
[図1]



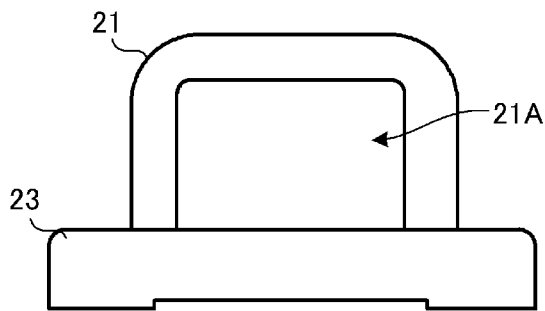
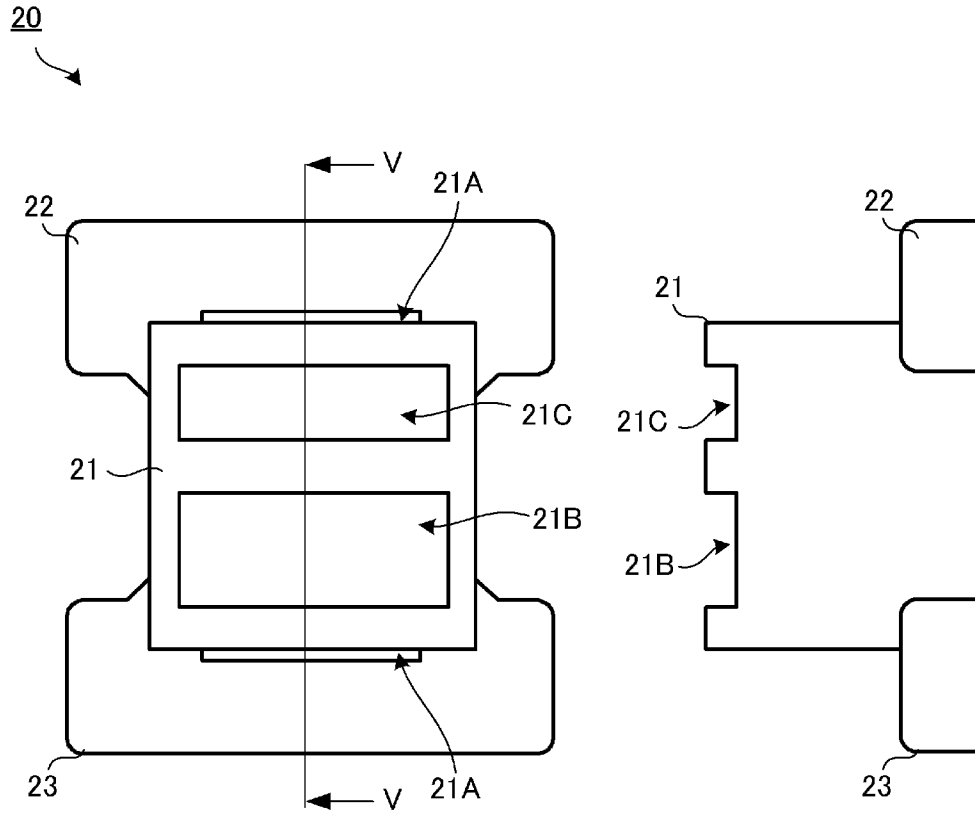
[図2]



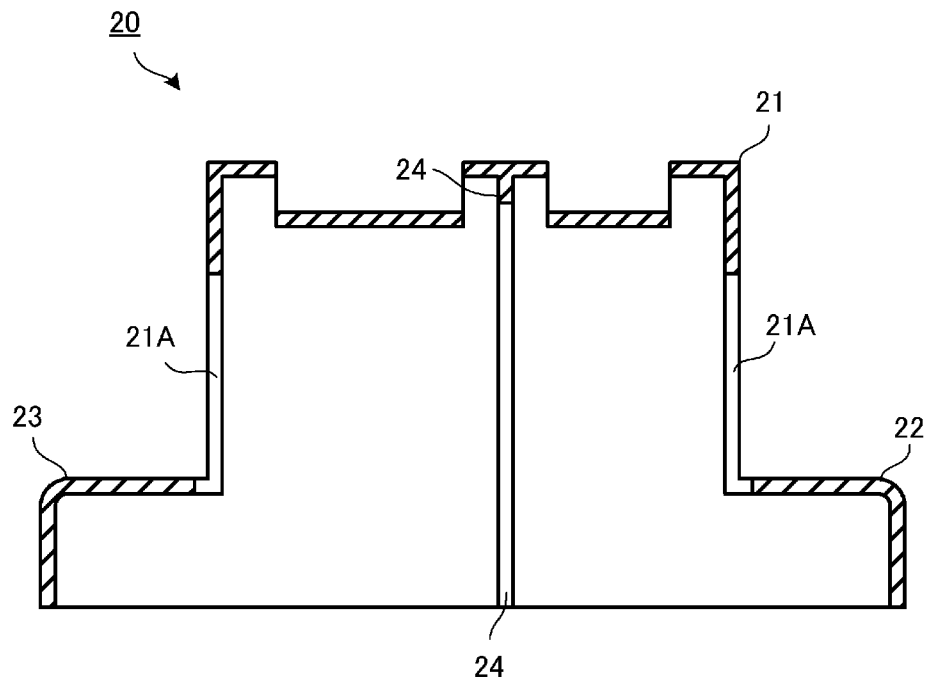
[図3]



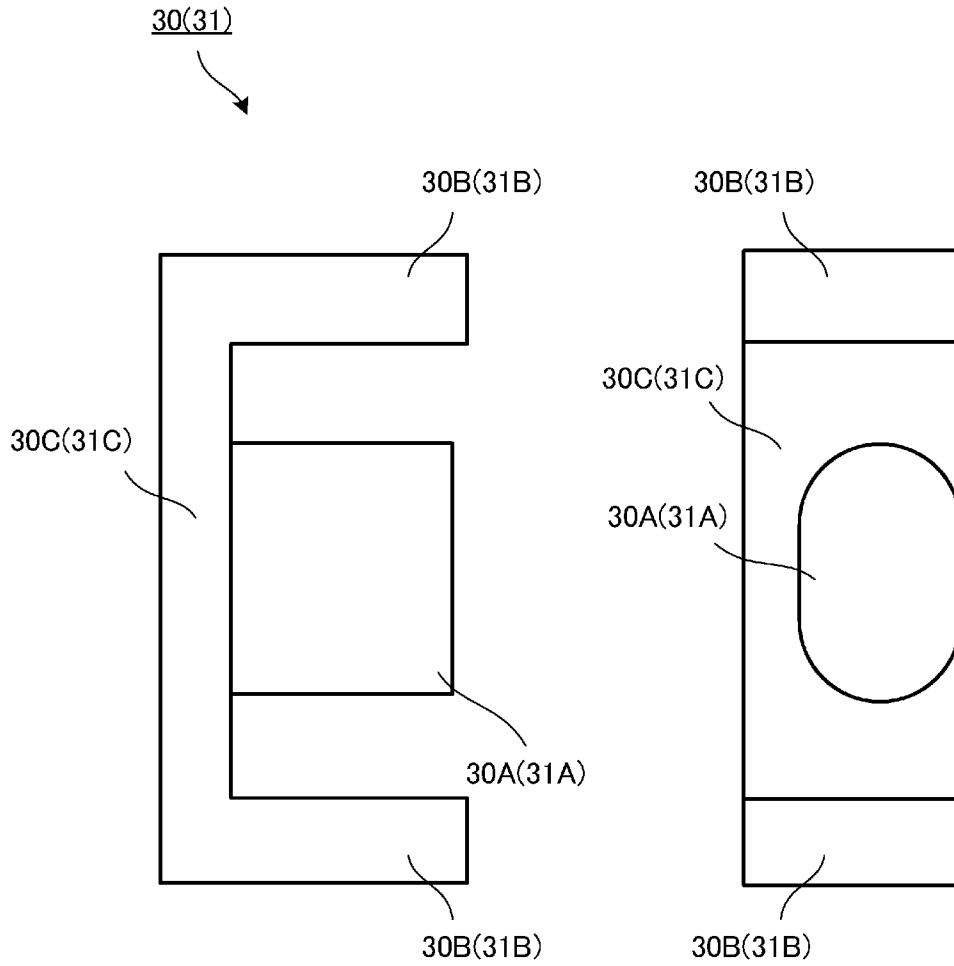
[図4]



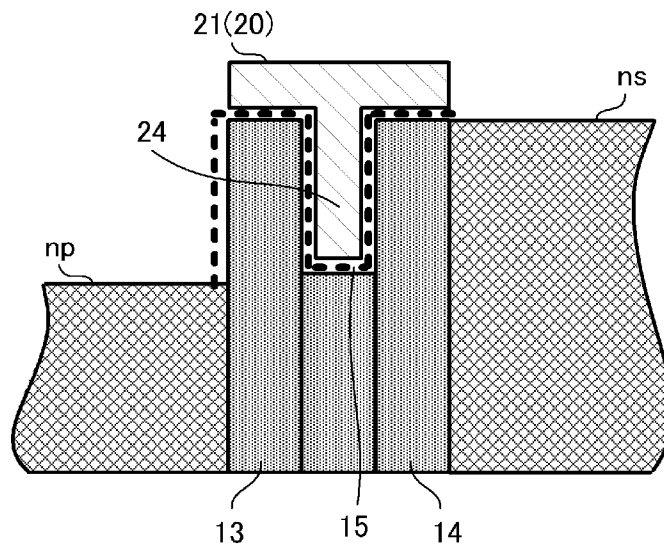
[図5]



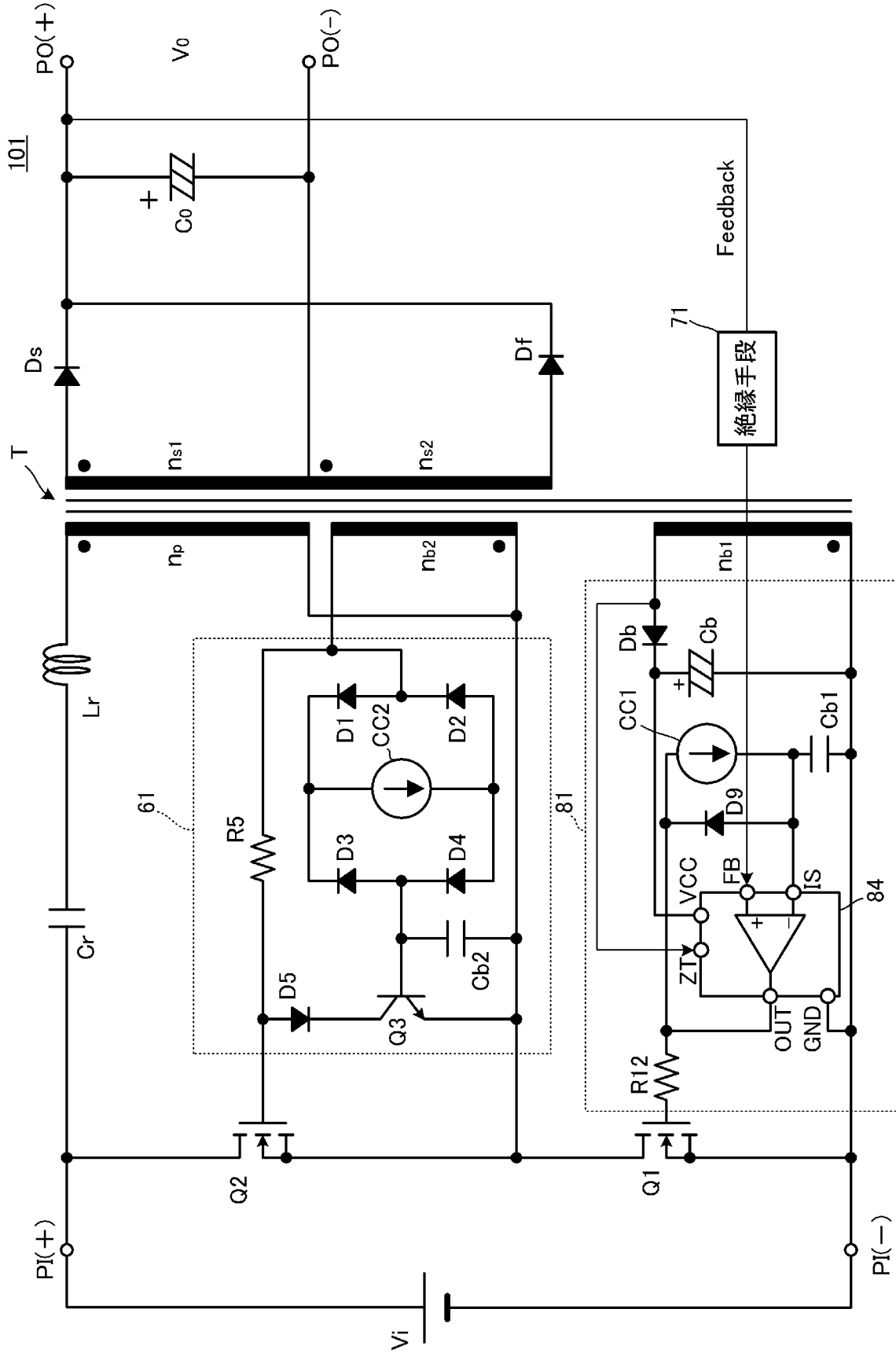
[図6]



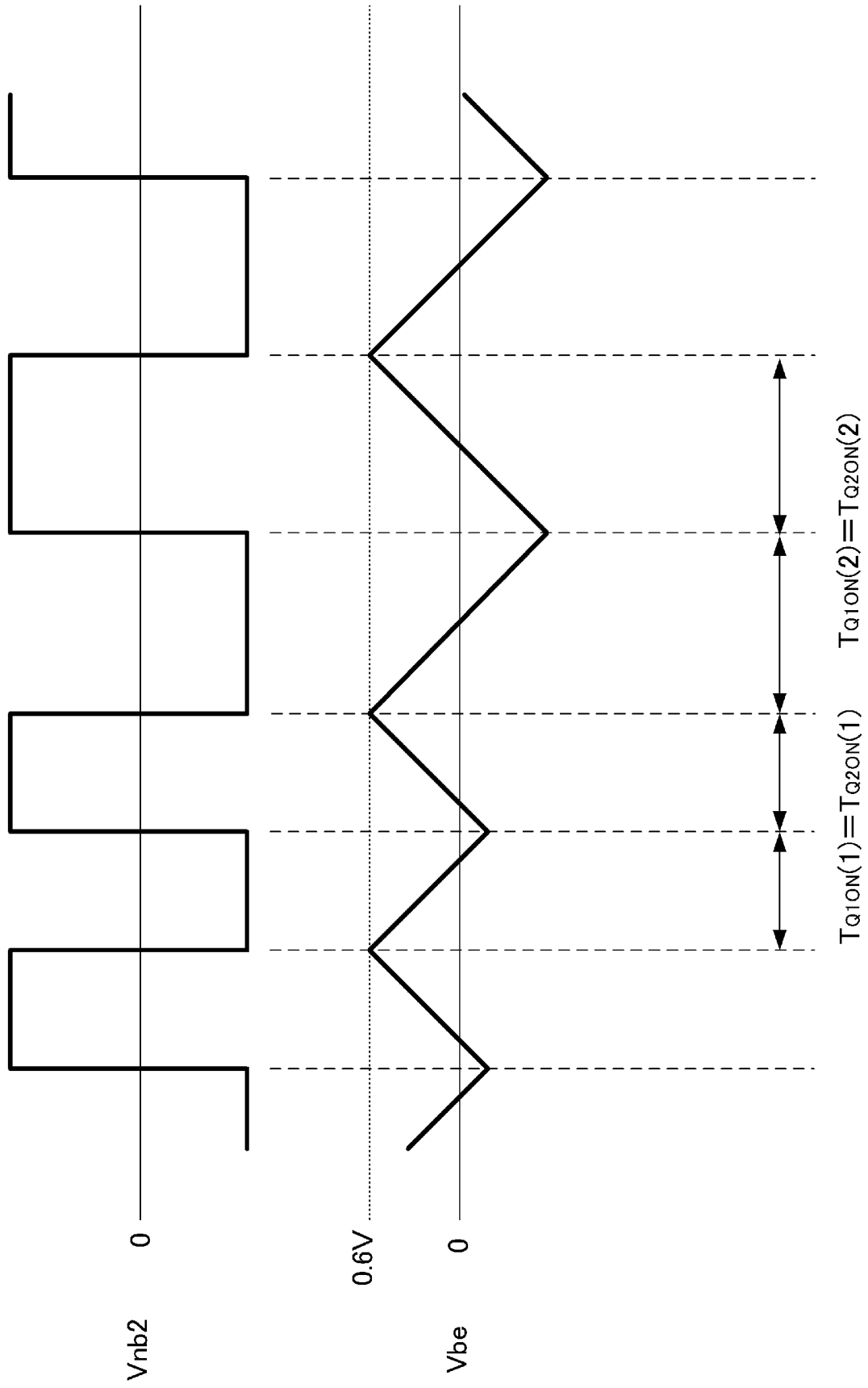
[図7]



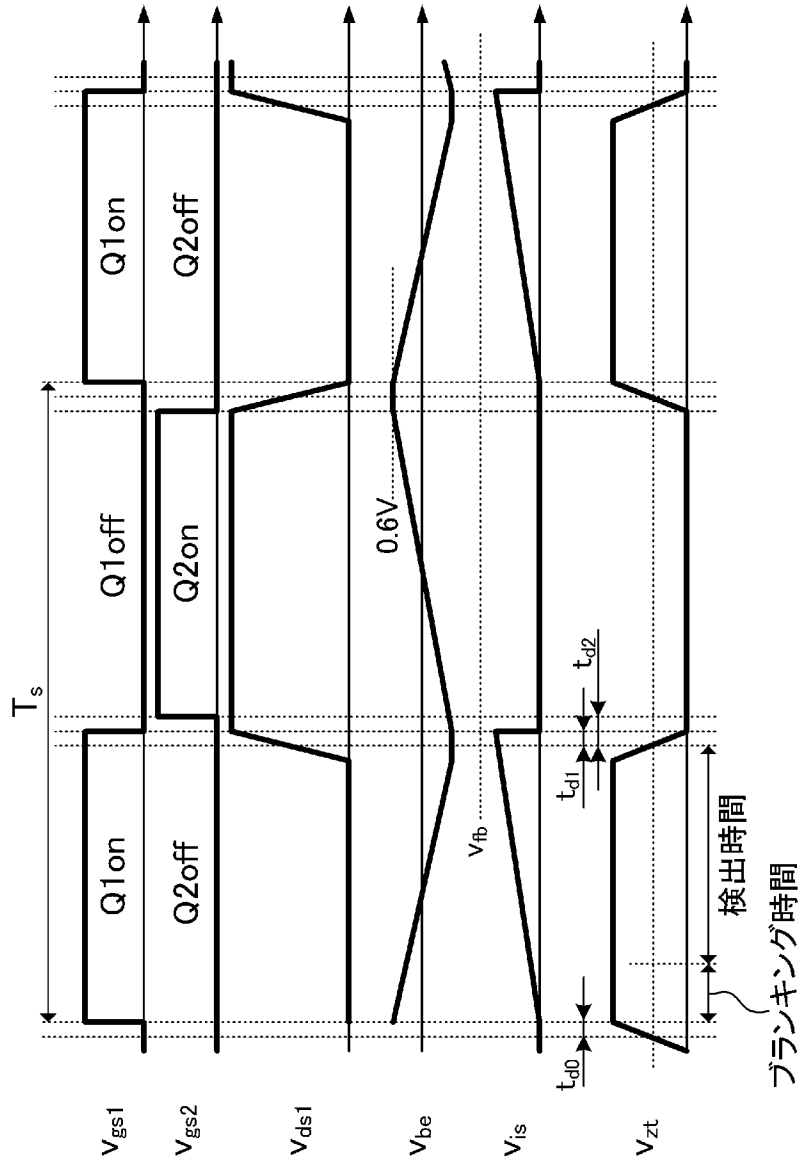
[図8]



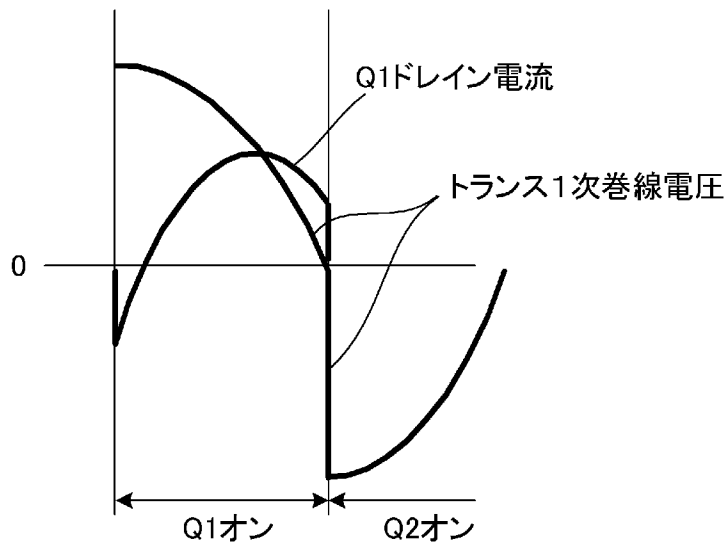
[図9]



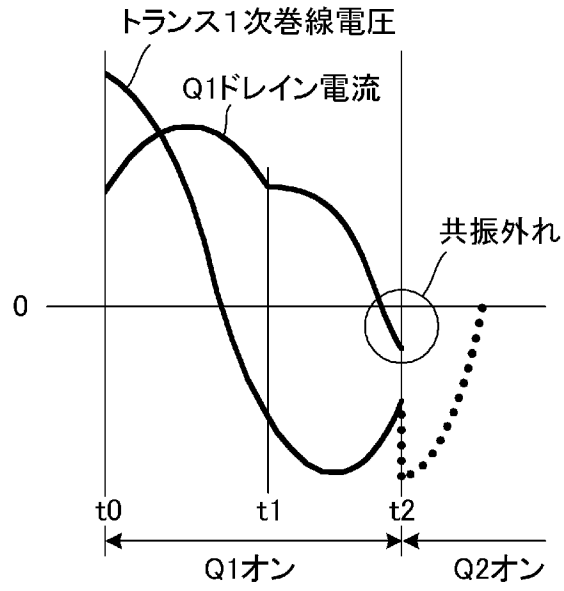
[図10]



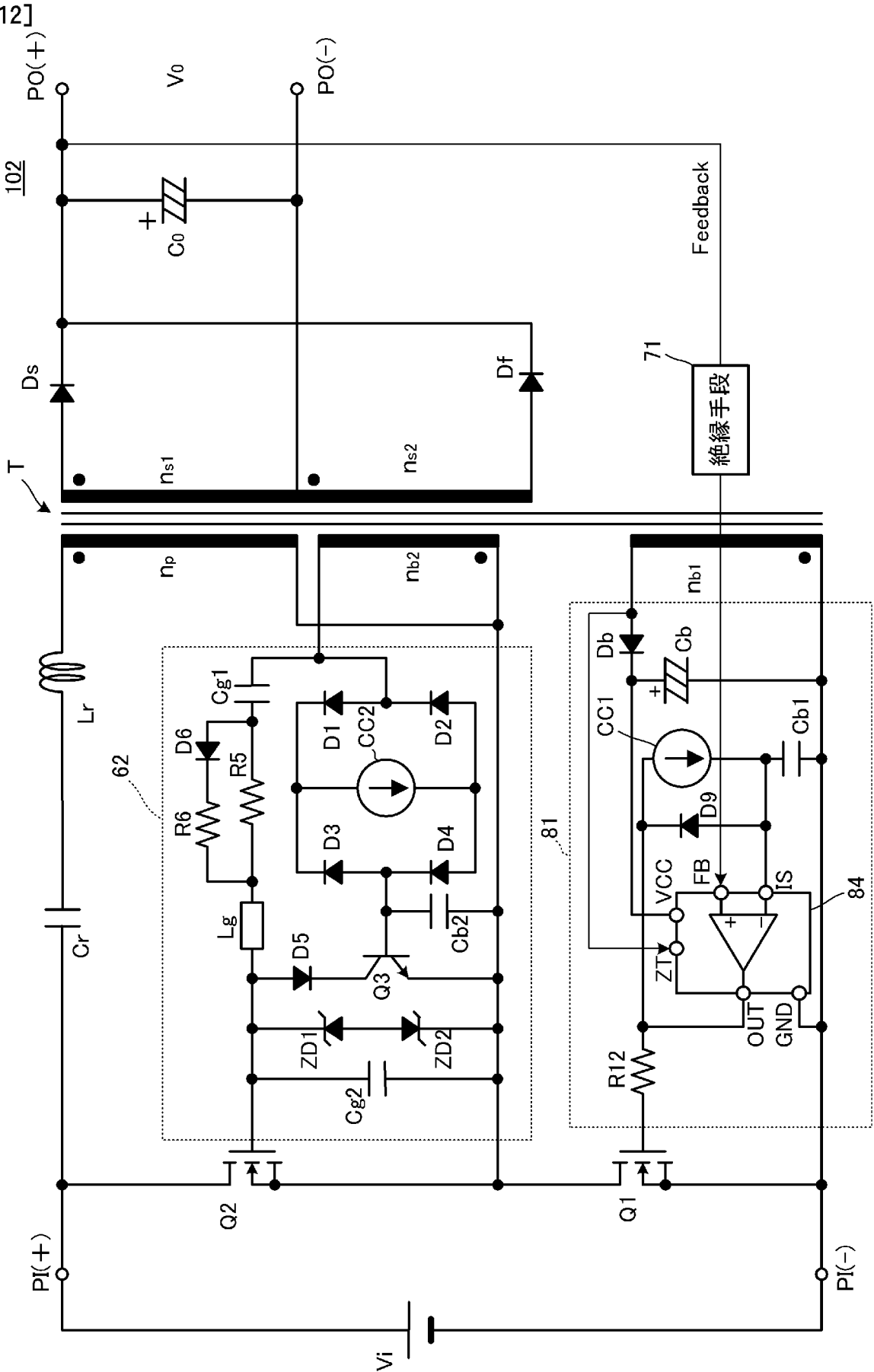
[図11A]



[図11B]

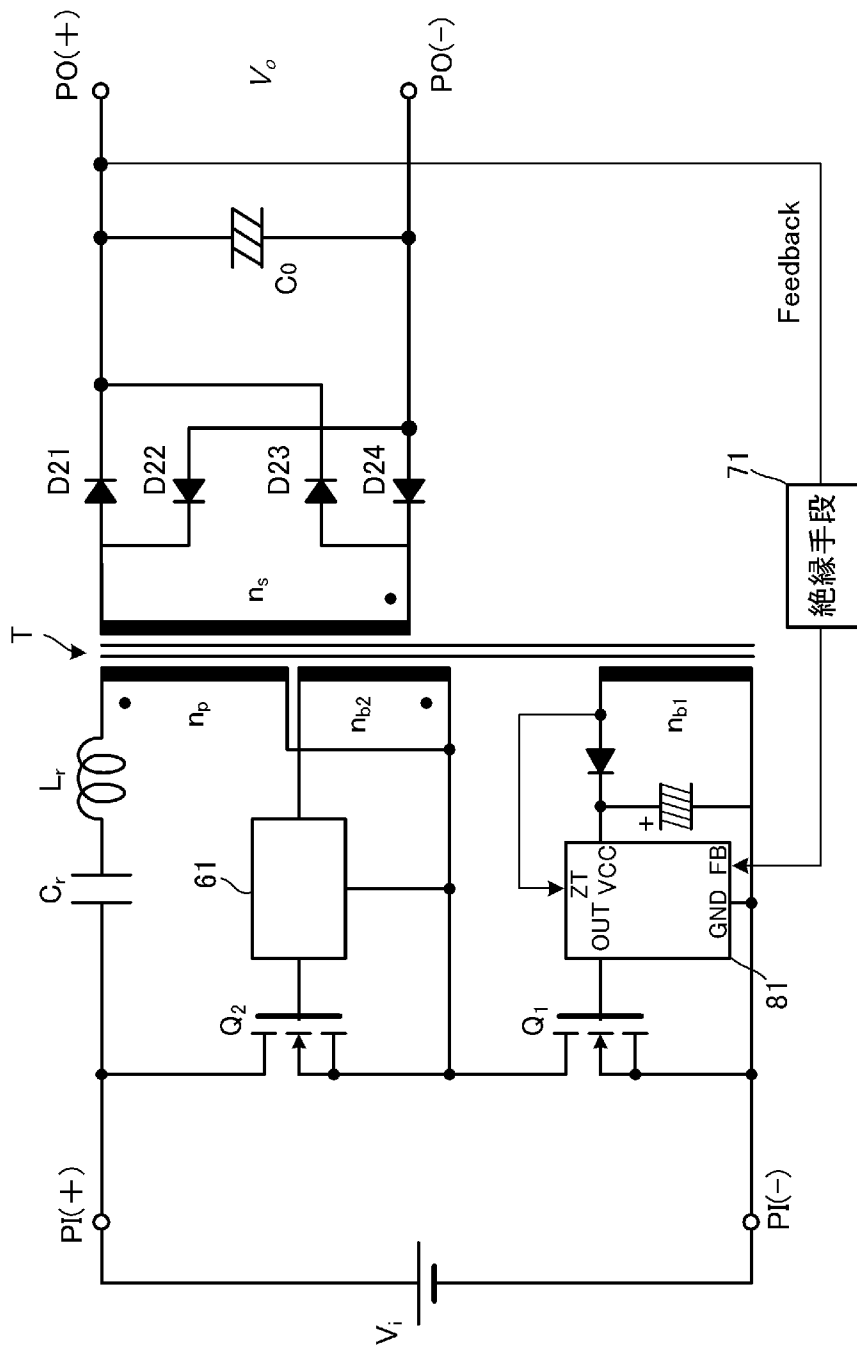


[図12]

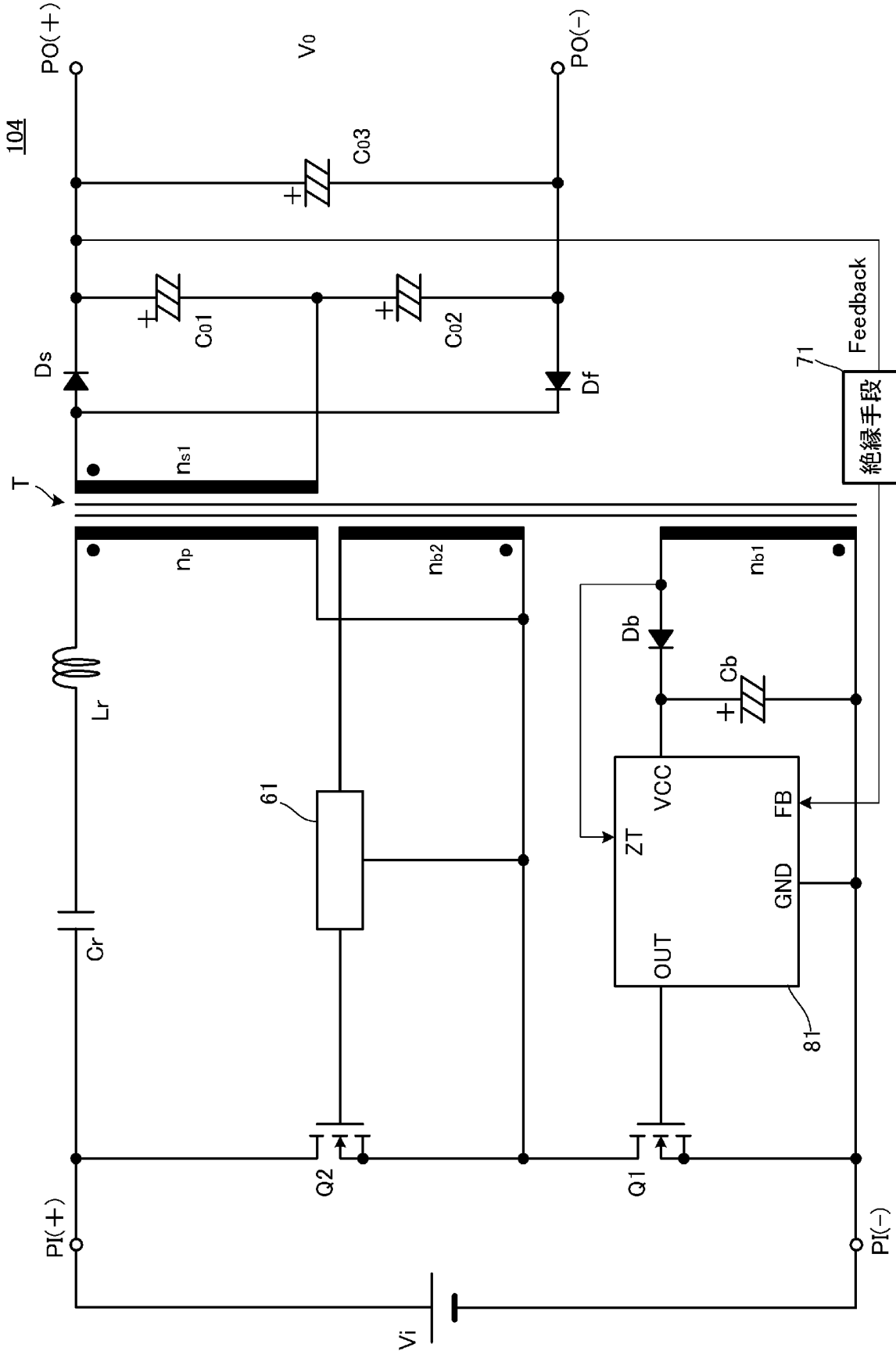


[図13]

103



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/057371

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01) i, H01F30/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28, H01F30/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-142088 A (Hitachi, Ltd.), 25 June 2009 (25.06.2009), entire text; drawings & US 2009/0147543 A1	1-7
A	JP 2008-228382 A (Fuji Electric Device Technology Co., Ltd.), 25 September 2008 (25.09.2008), entire text; drawings & US 2008/0219033 A1	1-7

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 April, 2013 (24.04.13)Date of mailing of the international search report
14 May, 2013 (14.05.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H02M3/28(2006.01)i, H01F30/00(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H02M3/28, H01F30/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国实用新案公報 1922-1996年
 日本国公開实用新案公報 1971-2013年
 日本国实用新案登録公報 1996-2013年
 日本国登録实用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-142088 A (株式会社日立製作所) 2009.06.25, 全文、図面 & US 2009/0147543 A1	1-7
A	JP 2008-228382 A (富士電機デバイステクノロジー株式会社) 2008.09.25, 全文、図面 & US 2008/0219033 A1	1-7

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日
 24.04.2013

国際調査報告の発送日
 14.05.2013

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 安食 泰秀
 電話番号 03-3581-1101 内線 3358

3V	3740
----	------