

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6830385号
(P6830385)

(45) 発行日 令和3年2月17日(2021.2.17)

(24) 登録日 令和3年1月28日(2021.1.28)

(51) Int. Cl. F 1
G 0 5 F 1/56 (2006.01)
 G 0 5 F 1/56 3 1 0 D
 G 0 5 F 1/56 3 1 0 F
 G 0 5 F 1/56 3 1 0 K

請求項の数 4 (全 13 頁)

<p>(21) 出願番号 特願2017-59970 (P2017-59970) (22) 出願日 平成29年3月24日 (2017.3.24) (65) 公開番号 特開2018-163497 (P2018-163497A) (43) 公開日 平成30年10月18日 (2018.10.18) 審査請求日 令和2年1月17日 (2020.1.17)</p>	<p>(73) 特許権者 715010864 エイブリック株式会社 東京都港区三田三丁目9番6号 (72) 発明者 中下 貴雄 千葉県千葉市美浜区中瀬1丁目8番地 エ スアイアイ・セミコンダクタ株式会社内 審査官 柳下 勝幸</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体回路

(57) 【特許請求の範囲】

【請求項1】

M O S トランジスタと、演算増幅器と、第1抵抗と、第2抵抗と、第3抵抗と、外部端子と、開閉器と、を備え、印加される入力電圧を所望の出力電圧に変換し、電圧出力端子から出力する半導体回路であって、

第1ヒューズをさらに備え、

前記第1抵抗、前記第2抵抗、及び前記第3抵抗は、

前記電圧出力端子と接地端子との間に前記第1抵抗、前記第2抵抗、及び前記第3抵抗の順に直列に接続され、

前記M O S トランジスタは、

ソース端子に前記入力電圧が印加され、ドレイン端子に前記電圧出力端子が接続され、前記演算増幅器は、

基準電圧が印加される反転入力端子と、前記第1抵抗と前記第2抵抗との接続点の電圧が印加される反転入力端子と、前記M O S トランジスタのゲート端子が接続される出力端子と、当該演算増幅器の動作を有効又は無効に制御する制御信号が入力される入力端子と、を備え、

前記入力端子には、前記第1ヒューズが溶断されるまでの間、前記入力電圧が前記制御信号として入力され、前記第1ヒューズが溶断された後、前記信号が前記制御信号として入力され、

前記演算増幅器の動作は、前記第1ヒューズが溶断されるまでの間、常時有効に制御さ

れ、前記第 1 ヒューズが溶断された後、前記外部端子に入力される前記信号に基づいて制御され、

前記開閉器は、

前記外部端子に接続された制御端子を備え、前記第 3 抵抗と並列に接続され、

前記入力端子と、前記外部端子とは、論理回路を介して接続され、

前記入力端子と、前記入力電圧とは、論理回路と、前記第 1 ヒューズとを介して接続され、

前記半導体回路は、

前記外部端子に入力される信号によって前記開閉器が開状態になった場合に、前記第 2 抵抗及び前記第 3 抵抗の合成抵抗と、前記第 1 抵抗とによって分圧された電圧に基づいて、前記出力電圧を前記電圧出力端子から出力し、

前記外部端子に入力される信号によって前記開閉器が閉状態になった場合に、前記第 2 抵抗と、前記第 1 抵抗とによって分圧された電圧に基づいて、前記出力電圧を前記電圧出力端子から出力する、

半導体回路。

【請求項 2】

M O S トランジスタと、演算増幅器と、第 1 抵抗と、第 2 抵抗と、第 3 抵抗と、外部端子と、開閉器とを備え、印加される入力電圧を所望の出力電圧に変換し、電圧出力端子から出力する半導体回路であって、

前記外部端子に入力される信号の大きさに応じて動作する論理回路を備え、前記論理回路は、前記信号の閾値が互いに異なる第 1 論理回路及び第 2 論理回路を有し、

前記第 1 抵抗、前記第 2 抵抗、及び前記第 3 抵抗は、

前記電圧出力端子と接地端子との間に前記第 1 抵抗、前記第 2 抵抗、及び前記第 3 抵抗の順に直列に接続され、

前記 M O S トランジスタは、

ソース端子に前記入力電圧が印加され、ドレイン端子に前記電圧出力端子が接続され、

前記演算増幅器は、

基準電圧が印加される反転入力端子と、前記第 1 抵抗と前記第 2 抵抗との接続点の電圧が印加される反転入力端子と、前記 M O S トランジスタのゲート端子が接続される出力端子と、当該演算増幅器の動作を有効又は無効に制御する制御信号が入力される入力端子と

、を備え、

前記入力端子と、前記外部端子とは、前記第 1 論理回路を介して接続され、前記第 1 論理回路を介した前記信号に基づいて動作し、

前記開閉器は、

前記外部端子に接続された制御端子を備え、前記第 3 抵抗と並列に接続され、

前記制御端子と前記外部端子とは、前記第 2 論理回路を介して接続され、前記第 2 論理回路を介した前記信号に基づいて動作し、

前記半導体回路は、

前記開閉器が開状態又は閉状態である場合と、前記演算増幅器の動作が有効又は無効である場合とによって、前記第 2 抵抗及び前記第 3 抵抗の合成抵抗と、前記第 1 抵抗とによって分圧された電圧又は前記第 2 抵抗と、前記第 1 抵抗とによって分圧された電圧を、前記出力電圧として出力する、

半導体回路。

【請求項 3】

前記開閉器と、前記第 3 抵抗との間に直列に接続される第 2 ヒューズを更に備え、

前記第 2 ヒューズは、

溶断される場合、前記開閉器と、前記第 3 抵抗との間の接続を切断する、

請求項 1 又は請求項 2 に記載の半導体回路。

【請求項 4】

M O S トランジスタと、演算増幅器と、第 1 抵抗と、第 2 抵抗と、第 3 抵抗と、外部端

10

20

30

40

50

子と、開閉器と、を備え、電圧入力端子に印加される入力電圧を所望の出力電圧に変換して電圧出力端子から出力する半導体回路であって、

前記半導体回路は、前記外部端子に入力される信号及び前記入力電圧のうち、少なくとも前記信号の大きさに応じて、第1制御信号及び第2制御信号を生成する制御信号生成回路と、をさらに備え、

前記第1抵抗、前記第2抵抗、及び前記第3抵抗は、

前記電圧出力端子と接地端子との間に前記第1抵抗、前記第2抵抗、及び前記第3抵抗の順に直列に接続され、

前記MOSトランジスタは、ゲート端子と、前記入力電圧が印加されるソース端子と、前記電圧出力端子が接続されるドレイン端子と、

前記演算増幅器は、基準電圧が印加される反転入力端子と、前記第1抵抗と前記第2抵抗との接続点の電圧が印加される反転入力端子と、前記MOSトランジスタのゲート端子と接続される出力端子と、当該演算増幅器の動作を有効又は無効に制御する前記第1制御信号が入力される入力端子と、を備え、

前記開閉器は、

前記外部端子と前記制御信号生成回路を介して接続され、前記第2制御信号が入力される制御端子を備え、前記第3抵抗と並列に接続され、

前記半導体回路は、

前記開閉器が開状態又は閉状態である場合と、前記演算増幅器の動作が有効又は無効である場合とによって、前記第2抵抗及び前記第3抵抗の合成抵抗と、前記第1抵抗とによって分圧された電圧又は前記第2抵抗と、前記第1抵抗とによって分圧された電圧を、前記出力電圧として出力する、

半導体回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体回路に関する。

【背景技術】

【0002】

半導体回路のスクリーニングとして当該半導体回路が備えるMOSトランジスタに高電圧を印加する場合がある。一般に、MOSトランジスタのゲート端子には、所定の電圧が印加されるように制御回路によって制御される。このため、MOSトランジスタに高電圧を印加するには、半導体回路の通常動作に用いられる回路の他、追加の回路や、追加の端子が用いられる場合があった。

従来、MOSトランジスタのゲート端子に接続され、一定の電圧以上の高電圧が印加されるのを抑制する抑制回路と、当該ゲート端子との間に、追加回路を挿入し、当該追加回路によって抑止回路の動作を禁止し、一定の電圧以上の検査電圧を印加する方法が知られている(例えば、特許文献1)。

また、MOSトランジスタのゲート端子と、制御回路との間に、スクリーニング等の検査の際にのみ用いられる端子であって、制御回路を介さない追加ゲート端子を接続し、追加ゲート端子に一定の電圧以上の検査電圧を印加する方法が知られている(例えば、特許文献2)。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平2-288366号公報

【特許文献2】特開平7-283370号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

20

30

40

50

しかしながら、従来の技術では、出力ドライバであるMOSトランジスタのゲート端子に追加回路や追加端子を設けるので、MOSトランジスタの本来の動作に影響を及ぼす場合がある。

本発明は、上記問題に鑑みて為されたものであり、外部からの制御信号によって分圧抵抗の分圧比及び抵抗値を制御する構成とし、MOSトランジスタの本来の動作に影響を及ぼすことなく、簡便な構成によって半導体回路の検査を行うことが可能な半導体回路を提供するものである。

【課題を解決するための手段】

【0005】

本発明の一態様は、MOSトランジスタと、演算増幅器と、第1抵抗と、第2抵抗と、第3抵抗と、外部端子と、開閉器と、を備え、印加される入力電圧を所望の出力電圧に変換し、電圧出力端子から出力する半導体回路であって、第1ヒューズをさらに備え、前記第1抵抗、前記第2抵抗、及び前記第3抵抗は、前記電圧出力端子と接地端子との間に前記第1抵抗、前記第2抵抗、及び前記第3抵抗の順に直列に接続され、前記MOSトランジスタは、ソース端子に前記入力電圧が印加され、ドレイン端子に前記電圧出力端子が接続され、前記演算増幅器は、基準電圧が印加される反転入力端子と、前記第1抵抗と前記第2抵抗との接続点の電圧が印加される反転入力端子と、前記MOSトランジスタのゲート端子が接続される出力端子と、当該演算増幅器の動作を有効又は無効に制御する制御信号が入力される入力端子と、を備え、前記入力端子には、前記第1ヒューズが溶断されるまでの間、前記入力電圧が前記制御信号として入力され、前記第1ヒューズが溶断された後、前記信号が前記制御信号として入力され、前記演算増幅器の動作は、前記第1ヒューズが溶断されるまでの間、常時有効に制御され、前記第1ヒューズが溶断された後、前記外部端子に入力される前記信号に基づいて制御され、前記開閉器は、前記外部端子に接続された制御端子を備え、前記第3抵抗と並列に接続され、前記入力端子と、前記外部端子とは、論理回路を介して接続され、前記入力端子と、前記入力電圧とは、論理回路と、前記第1ヒューズとを介して接続され、前記半導体回路は、前記外部端子に入力される信号によって前記開閉器が開状態である場合に、前記第2抵抗及び前記第3抵抗の合成抵抗と、前記第1抵抗とによって分圧された電圧に基づいて、前記出力電圧を前記電圧出力端子から出力し、前記開閉器が閉状態である場合に、前記第2抵抗と、前記第1抵抗とによって分圧された電圧に基づいて、前記出力電圧を前記電圧出力端子から出力する、半導体回路である。

【発明の効果】

【0006】

本発明によれば、外部からの制御信号によって分圧抵抗の分圧比及び抵抗値を制御する構成とし、MOSトランジスタの本来の動作に影響を及ぼすことなく、簡便な構成によって半導体回路の検査を行うことが可能な半導体回路を提供することができる。

【図面の簡単な説明】

【0007】

【図1】第1実施形態に係る半導体回路を示す回路図である。

【図2】第2実施形態に係る半導体回路の構成を示す回路図である。

【図3】第3実施形態に係る半導体回路を示す回路図である。

【図4】第3実施形態に係る各状態と、演算増幅器の動作と、MOSトランジスタの状態との関係を示す表である。

【発明を実施するための形態】

【0008】

[第1実施形態]

以下、図を参照して本発明の第1実施形態について説明する。

【0009】

<半導体回路の構成>

図1は、第1実施形態に係る半導体回路1を示す回路図である。

10

20

30

40

50

図1に示す通り、半導体回路1は、演算増幅器OPと、MOS(Metal Oxide Semiconductor)トランジスタTr1と、MOSトランジスタTr2と、ヒューズF1と、第1抵抗R1と、第2抵抗R2と、第3抵抗R3と、外部端子P1とを備える。MOSトランジスタTr1とは、例えば、P型MOSFET(Metal Oxide Semiconductor Field Effect Transistor)である。また、MOSトランジスタTr2とは、例えば、N型MOSFETである。

【0010】

演算増幅器OPは、非反転入力端子と、反転入力端子と、出力端子とを備える。MOSトランジスタTr1は、ゲート端子と、ソース端子と、ドレイン端子とを備える。MOSトランジスタTr2は、ゲート端子と、ソース端子と、ドレイン端子とを備える。ヒューズF1は、第1端子(以下、端子F1a)と、第2端子(以下、端子F1b)とを備える。第1抵抗R1は、第1端子(以下、端子R1a)と、第2端子(以下、端子R1b)とを備える。第2抵抗R2は、第1端子(以下、端子R2a)と、第2端子(以下、端子R2b)とを備える。第3抵抗R3は、第1端子(以下、端子R3a)と、第2端子(以下、端子R3b)とを備える。

【0011】

第1抵抗R1と、第2抵抗R2と、第3抵抗R3とは、直列に接続される。具体的には、端子R1bと、端子R2aとが接続される。また、端子R2bと、端子R3aとが接続される。端子R3bは、接地される。第3抵抗R3と、MOSトランジスタTr2とは、ヒューズF1を介して互いに並列に接続される。具体的には、MOSトランジスタTr2のドレイン端子と、端子R3bとが接続される。MOSトランジスタTr2のソース端子と、端子F1aとが接続される。端子F1bと、端子R3aとが接続される。また、MOSトランジスタTr2のMOSトランジスタTr2のゲート端子と、外部端子P1とが接続される。

【0012】

演算増幅器OPの反転入力端子には、演算増幅器OPの帰還電圧との比較に用いる基準電圧Vrefが接続される。演算増幅器OPの出力端子には、MOSトランジスタTr1のMOSトランジスタTr1のゲート端子が接続される。MOSトランジスタTr1のMOSトランジスタTr1のソース端子には、半導体回路1に印加される入力電圧Vddが接続される。MOSトランジスタTr1のドレイン端子には、端子R1aが接続される。演算増幅器OPの非反転入力端子には、第1抵抗R1と、第2抵抗R2との接続点(端子R1b、及び端子R2aの接続点)の電位が印加(接続)される。また、MOSトランジスタTr1と、第1抵抗R1との接続点(MOSトランジスタTr1のドレイン端子、及び端子R1aの接続点)の電位が、半導体回路1の出力電圧Voutとして出力される。ここで、MOSトランジスタTr1のドレイン端子、及び端子R1aの接続点には、出力電圧Voutを出力する電圧出力端子P2が接続される。

【0013】

<半導体回路1の動作>

以下、半導体回路1の動作について説明する。

半導体回路1は、当該半導体回路1に印加される入力電圧Vddを、所望の出力電圧(以下、出力電圧Vout)として出力する回路である。ここで、第2抵抗R2、及び第3抵抗R3の合成抵抗と、第1抵抗R1とによって分圧された電圧と、基準電圧Vrefとが等しくなる出力電圧Voutを、出力電圧Vout1と呼称する。

第1抵抗R1の抵抗値をR1とし、第2抵抗R2の抵抗値をR2とし、第3抵抗R3の抵抗値をR3とし、基準電圧Vrefの電圧値をVrefとし、出力電圧Vout1の電圧値をVout1とした場合、Vout1と、R1、R2、R3、及びVrefとの関係は、式(1)によって示される。

【0014】

$$V_{out1} = (V_{ref} / (R2 + R3)) \times (R1 + R2 + R3) \dots (1)$$

【0015】

ここで、ヒューズF 1が溶断されていない場合、M O SトランジスタT r 2は、外部端子P 1からM O SトランジスタT r 2のゲート端子に入力される信号（以下、信号S 1）の電圧値に応じて、O N状態、及びO F F状態が制御される。M O SトランジスタT r 2がO N状態に制御される場合、M O SトランジスタT r 2は、第3抵抗R 3の両端を短絡する。換言すると、M O SトランジスタT r 2がO N状態である場合、第2抵抗R 2の端子R 2 bは、接地される。この場合、半導体回路1は、出力電圧V o u tが第1抵抗R 1と第2抵抗R 2とによって分圧された電圧と基準電圧V r e fとが等しくなるように出力電圧V o u t（以下、出力電圧V o u t 2）を出力する。出力電圧V o u t 2の電圧値をV o u t 2とした場合、V o u t 2と、R 1、R 2、及びV r e fとの関係は、式（2）によって示される。

10

【0016】

$$V o u t 2 = (V r e f / R 2) \times (R 1 + R 2) \dots (2)$$

【0017】

ここで、第1抵抗R 1、及び第2抵抗R 2は、入力電圧V d dを第1抵抗R 1、及び第2抵抗R 2で分圧した電圧が基準電圧V r e fよりも低くなる抵抗値である。これにより、演算増幅器O Pは、出力端子からM O SトランジスタT r 1のゲート端子にローレベル（接地と同電位）の信号を出力し続ける。すなわち、M O SトランジスタT r 1のゲート端子と、ソース端子との間に入力電圧V d dが印加され続け、M O SトランジスタT r 1はスクリーニングされる。

したがって、半導体回路1は、M O SトランジスタT r 1のゲート端子に追加回路や追加端子を設けることなく、M O SトランジスタT r 1をスクリーニングすることが出来る。

20

【0018】

ヒューズF 1が溶断されると、第3抵抗R 3と、M O SトランジスタT r 2との間の接続は、切断される。換言すると、ヒューズF 1が溶断されている場合、第3抵抗R 3の両端は、M O SトランジスタT r 2がO N状態になったとしても短絡されない。したがって、ヒューズF 1が溶断されている場合、半導体回路1は、M O SトランジスタT r 2の動作状態に関わらず、出力電圧V o u t 1を出力する。

【0019】

<第1実施形態のまとめ>

30

以上説明したように、本実施形態の半導体回路1は、M O SトランジスタT r 2がO F F状態に制御される場合、M O SトランジスタT r 1のゲート端子と、ソース端子との間に通常の電圧よりも高い検査電圧を印加する。これにより、本実施形態の半導体回路1は、スクリーニング等の検査を行う際、所定の電圧よりも高い検査電圧をM O SトランジスタT r 1のゲート端子と、ソース端子との間に印加することができる。

したがって、本実施形態の半導体回路1によれば、M O SトランジスタT r 1の本来の動作に影響を及ぼすことなく、簡便な構成によってM O SトランジスタT r 1の検査を行うことができる。

【0020】

また、本実施形態の半導体回路1は、M O SトランジスタT r 2がO F F状態に制御される場合、所望の出力電圧（出力電圧V o u t 1）を出力する。本実施形態の半導体回路1によれば、第1抵抗R 1、第2抵抗R 2、及び第3抵抗R 3が所望の出力電圧が出力可能な抵抗値に設定（トリミング）されているか否かを確認することができる。

40

【0021】

また、本実施形態の半導体回路1は、M O SトランジスタT r 2と、第3抵抗R 3との間に直列に接続されるヒューズF 1を備え、ヒューズF 1が溶断されることに伴い、第3抵抗R 3と、M O SトランジスタT r 2との間の接続は、切断される。

ここで、半導体回路1は、スクリーニング等の検査を行う際にのみ、検査電圧（出力電圧V o u t 2）を出力し、検査後には所望の出力電圧（出力電圧V o u t 1）を出力することが好ましい。本実施形態の半導体回路1によれば、スクリーニング等の検査後にヒュ

50

ーズF 1を溶断することにより、検査後（ヒューズF 1の溶断後）の出力電圧を所望の出力電圧にすることができる。

【0022】

[第2実施形態]

以下、図を参照して、本発明の第2実施形態について説明する。

ここで、外部端子P 1は、半導体回路の通常動作に用いられる外部端子であることが好ましい。第2実施形態では、外部端子P 1が、半導体回路2の動作の有効、又は無効を切換えるチップイネーブル端子である場合について説明する。

なお、上述した実施形態と同様の構成については、同一の符号を付して説明を省略する。

10

【0023】

<半導体回路2の構成>

図2は、第2実施形態に係る半導体回路2の構成を示す回路図である。

図2に示す通り、本実施形態の半導体回路2は、演算増幅器OPと、MOSトランジスタTr 1と、MOSトランジスタTr 2と、ヒューズF 1と、第1抵抗R 1と、第2抵抗R 2と、第3抵抗R 3と、外部端子P 1と、電圧出力端子P 2と、第1論理回路RG 1と、第2論理回路RG 2と、ヒューズF 2とを備える。

第1論理回路RG 1は、第1端子（以下、端子RG 1 a）と、第2端子（以下、端子RG 1 b）と、第3端子（以下、端子RG 1 c）とを備える。第2論理回路RG 2は、第1端子（以下、端子RG 2 a）と、第2端子（以下、端子RG 2 b）とを備える。ヒューズF 2は、第1端子（以下、端子F 2 a）と、第2端子（以下、端子F 2 b）とを備える。

20

【0024】

端子OP dと、外部端子P 1とは、第1論理回路RG 1を介して接続される。具体的には、外部端子P 1と、端子RG 1 bとがシュミットトリガST 1を介して接続される。端子RG 1 cと、端子OP dとが接続される。第1論理回路RG 1には、ヒューズF 2を介して入力電圧V d dが印加される。具体的には、端子F 2 aと、入力電圧V d dとが接続される。端子F 2 bと、端子RG 1 aとが接続される。

また、MOSトランジスタTr 2のゲート端子と、外部端子P 1とは、第2論理回路RG 2を介して接続される。具体的には、外部端子P 1と、端子RG 2 aとは、シュミットトリガST 1を介して接続される。端子RG 2 bと、MOSトランジスタTr 2のゲート端子とが接続される。

30

【0025】

第1論理回路RG 1は、MOSトランジスタTr 3と、OR回路OR 1と、NOT回路NT 1とを備える。MOSトランジスタTr 3とは、例えば、デプレッション型のN型MOSFETである。MOSトランジスタTr 3のゲート端子と、ドレイン端子とは、接地される。MOSトランジスタTr 3のドレイン端子と、端子RG 1 aとが接続される。OR回路OR 1には、端子RG 1 bの電位と、MOSトランジスタTr 3のドレイン端子の電位とが、信号として入力される。

第2論理回路RG 2は、NOT回路NT 2を備える。具体的には、NOT回路NT 2は、端子RG 2 aと、端子RG 2 bとの間に接続される。

40

なお、NOT回路NT 1と、NOT回路NT 2とは、演算増幅器OPの端子OP dと、MOSトランジスタTr 2との動作論理に対応させて備えられている。

【0026】

<半導体回路2の動作>

以下、半導体回路2の動作について説明する。

上述したように、外部端子P 1とは、チップイネーブル端子である。本実施形態の一例において、半導体回路2を有効にする場合、外部端子P 1には、ハイレベルの電圧が制御信号S 2として印加される。また、半導体回路2を無効にする場合、外部端子P 1には、ローレベルの電位が制御信号S 2として印加される。換言すると、演算増幅器OPの端子OP dにハイレベルの信号が入力される場合、演算増幅器OPの動作が有効である。また

50

、演算増幅器OPの端子OPdにローレベルの信号が入力される場合、演算増幅器OPの動作が無効である。

【0027】

<制御信号S2に基づく第1論理回路RG1の動作>

MOSトランジスタTr3のドレイン端子の電位は、半導体回路2が動作状態（入力電圧Vddが印加された状態）であって、かつヒューズF2が溶断されていない場合、入力電圧Vddと同電位（ハイレベル）である。したがって、OR回路OR1の出力は、半導体回路2の動作状態であって、かつヒューズF2が溶断されていない場合、外部端子P1に入力される制御信号S2に関わらず、常にハイレベルである。つまり、ヒューズF2が溶断されていない場合であって、かつ半導体回路2の動作状態である場合、演算増幅器OPの動作は、常時有効である。

10

また、MOSトランジスタTr3のドレイン端子の電位は、半導体回路2が停止状態（入力電圧Vddが印加されていない状態）又は、ヒューズF2が溶断される場合、接地と同電位（ローレベル）である。したがって、OR回路の出力は、外部端子P1に入力される制御信号S2と合致する。つまり、ヒューズF2が溶断される場合、演算増幅器OP（半導体回路2）の動作は、外部端子P1に入力される制御信号S2に基づいて有効、又は無効に制御される。

【0028】

<制御信号S2に基づく第2論理回路RG2の動作>

第2論理回路RG2が備えるNOT回路NT2は、外部端子P1に入力される制御信号S2を反転し、信号S1として出力する。具体的には、第2論理回路RG2は、外部端子P1（端子RG2a）にローレベルの制御信号S2が印加される場合、ハイレベルの信号S1を端子RG2bから出力する。また、第2論理回路RG2は、外部端子P1にハイレベルの制御信号S2が印加される場合、ローレベルの信号S1を端子RG2bから出力する。

20

以降の構成は、上述した実施形態同様であるため、説明を省略する。

【0029】

<第2実施形態のまとめ>

以上説明したように、本実施形態の半導体回路2は、ヒューズF2を更に備え、演算増幅器OPは、当該演算増幅器OPの動作を有効、又は無効に制御する制御信号S2が入力される端子OPdを備え、端子OPdには、外部端子P1から入力される制御信号S2が第1論理回路RG1を介して入力される。

30

本実施形態の半導体回路2では、ヒューズF2が切断されるまでの間、演算増幅器OPの動作は、外部端子P1に入力される制御信号S2に関わらず常時有効に制御され、ヒューズF2が溶断された後、外部端子P1に入力される制御信号S2に基づいて制御される。

これにより、本実施形態の半導体回路2は、ヒューズF2が溶断されるまでの間、外部端子P1を所望の出力電圧と、検査電圧との切替える信号（信号S1）の入力端子として用い、溶断後（例えば、スクリーニング等の検査が行われた後）、外部端子P1をチップイネーブル端子として用いることができる。したがって、本実施形態の半導体回路2によれば、半導体回路2の通常動作に用いられる端子（この一例では、チップイネーブル端子である外部端子P1）を用いて、簡便な構成によってMOSトランジスタTr1の検査を行うことができる。

40

【0030】

[第3実施形態]

以下、図を参照して本発明の第3実施形態について説明する。

第2実施形態では、チップイネーブル端子である外部端子P1を信号S1の入力端子として用いて、所望の出力電圧、及び検査電圧を切替える半導体回路2について説明した。

第3実施形態では、外部端子P1用いて、所望の出力電圧と、検査電圧とを切替つつ、かつ外部端子P1がチップイネーブル端子として機能するかを確認可能な半導体回路3

50

について説明する。

なお、上述した実施形態と同様の構成については、同一の符号を付して説明を省略する。

【0031】

<半導体回路の構成>

図3は、第3実施形態に係る半導体回路3を示す回路図である。

図3に示す通り、本実施形態の半導体回路3は、演算増幅器OPと、MOSトランジスタTr1と、MOSトランジスタTr2と、ヒューズF1と、第1抵抗R1と、第2抵抗R2と、第3抵抗R3と、外部端子P1と、電圧出力端子P2と、第3論理回路RG3と、第4論理回路RG4とを備える。

第3論理回路RG3は、第1端子(端子RG3a)と、第2端子(端子RG3b)とを備える。第4論理回路RG4は、第1端子(端子RG4a)と、第2端子(端子RG4b)とを備える。

【0032】

端子OPdと、外部端子P1とは、第3論理回路RG3を介して接続される。具体的には、外部端子P1と、端子RG3aとが接続される。端子RG3bと、端子OPdとが接続される。また、MOSトランジスタTr2のゲート端子と、外部端子P1とは、第4論理回路RG4を介して接続される。具体的には、外部端子P1と、端子RG4aとが接続される。端子RG4bと、MOSトランジスタTr2のゲート端子とが接続される。

【0033】

第3論理回路RG3は、シュミットトリガST2と、NOT回路NT3とを備える。シュミットトリガST2と、NOT回路NT3とは、端子RG3aと、端子RG3bとの間に、シュミットトリガST2、NOT回路NT3の順に直列に接続される。シュミットトリガST2は、入力される制御信号S2を反転し、出力する。

第4論理回路RG4は、シュミットトリガST3と、NOT回路NT4と、NOT回路NT5とを備える。シュミットトリガST3と、NOT回路NT4と、NOT回路NT5とは、端子RG4aと、端子RG4bとの間に、シュミットトリガST3、NOT回路NT4、NOT回路NT5の順に直列に接続される。シュミットトリガST3は、入力される制御信号S2を反転し、出力する。

なお、NOT回路NT3、NOT回路NT4、及びNOT回路NT5は、演算増幅器OPの端子OPdと、MOSトランジスタTr2との動作論理に対応させて備えられている。

【0034】

<半導体回路3の動作>

以下、半導体回路3の動作について説明する。

上述したように、外部端子P1とは、チップイネーブル端子である。また、半導体回路2を有効にする場合、外部端子P1には、ハイレベルの電圧が制御信号S2として印加される。また、半導体回路2を無効にする場合、外部端子P1には、ローレベルの電位が制御信号S2として印加される。

ここで、シュミットトリガST2と、シュミットトリガST3とは、入力信号(この一例では、制御信号S2)に対する閾値がそれぞれ異なる。以降の説明において、シュミットトリガST2の閾値を閾値TH2と記載し、シュミットトリガST3の閾値を閾値TH3と記載する。本実施形態の一例では、閾値TH2と、閾値TH3とでは、閾値TH3の方が大きい場合について説明する。

【0035】

また、本実施形態の一例では、制御信号S2として外部端子P1に入力される電圧(制御信号S2)が第1状態、第2状態、及び第3状態の順に遷移する場合について説明する。具体的には、制御信号S2は、第1状態において、閾値TH3、及び閾値TH2より大きい電圧である。また、制御信号S2は、第2状態において、閾値TH3より小さく、閾値TH2より大きい電圧である。また、制御信号S2は、第3状態において、閾値TH3

10

20

30

40

50

、及び閾値 TH_2 より小さい電圧である。

【0036】

<制御信号 S_2 に基づく第3論理回路 RG_3 の動作>

シュミットトリガ ST_2 は、制御信号 S_2 の電圧が、閾値 TH_2 より大きい場合、ハイレベルの信号を出力する。また、シュミットトリガ ST_2 は、制御信号 S_2 の電圧が閾値 TH_2 より小さい場合、ローレベルの信号を出力する。したがって、外部端子 P_1 に入力される制御信号 S_2 の電圧が、閾値 TH_2 より大きい場合、ハイレベルの信号を端子 RG_3b から出力し、端子 OPd に入力する。また、外部端子 P_1 に入力される制御信号 S_2 の電圧が、閾値 TH_2 より小さい場合、ローレベルの信号を端子 RG_3b から出力し、端子 OPd に入力する。

10

【0037】

<制御信号 S_2 に基づく第4論理回路 RG_4 の動作>

シュミットトリガ ST_3 は、制御信号 S_2 の電圧が閾値 TH_3 より大きい場合、ハイレベルの信号を出力する。また、シュミットトリガ ST_3 は、制御信号 S_2 の電圧が閾値 TH_3 より小さい場合、ローレベルの信号を出力する。したがって、外部端子 P_1 に入力される制御信号 S_2 の電圧が閾値 TH_3 より大きい場合、ローレベルの信号を端子 RG_4b から出力し、 MOS トランジスタ Tr_2 のゲート端子に入力する。また、外部端子 P_1 に入力される制御信号 S_2 の電圧が、閾値 TH_3 より小さい場合、ハイレベルの信号を端子 RG_4b から出力し、 MOS トランジスタ Tr_2 のゲート端子に入力する。

20

【0038】

<各状態の詳細について>

以下、図4を参照し、第1状態、第2状態、及び第3状態の詳細について説明する。

図4は、第3実施形態に係る各状態と、演算増幅器 OP の動作と、 MOS トランジスタ Tr_2 の状態との関係を示す表である。

図4に示す通り、第1状態では、演算増幅器 OP の動作が有効に制御され、 MOS トランジスタ Tr_2 の状態が OFF 状態に制御される。また、第2状態では、演算増幅器 OP の動作が有効に制御され、 MOS トランジスタ Tr_2 の状態が ON 状態に制御される。また、第3状態では、演算増幅器 OP の動作が無効に制御され、 MOS トランジスタ Tr_2 の状態が ON 状態に制御される。

30

【0039】

<第3実施形態のまとめ>

以上説明したように、本実施形態の半導体回路3は、シュミットトリガ ST_2 を備える第3論理回路 RG_3 と、シュミットトリガ ST_3 を備える第4論理回路 RG_4 とを備える。本実施形態の半導体回路3において、シュミットトリガ ST_2 と、シュミットトリガ ST_3 との閾値は、それぞれ異なる。制御信号 S_2 として外部端子 P_1 に印加される電圧を変化させることに伴い、本実施形態の半導体回路3は、所望の出力電圧（出力電圧 V_{out1} ）を出力し、検査電圧（出力電圧 V_{out2} ）を出力し、半導体回路3（演算増幅器 OP ）の動作を無効状態にする。

【0040】

本実施形態の半導体回路3は、制御信号 S_2 の電圧が閾値 TH_2 、及び閾値 TH_3 よりも高い電圧である場合、所望の出力電圧（出力電圧 V_{out1} ）を出力する。これにより、本実施形態の半導体回路3は、半導体回路3から所望の出力電圧（出力電圧 V_{out1} ）が出力されるかを確認することができる。

40

【0041】

また、本実施形態の半導体回路3は、制御信号 S_2 の電圧が閾値 TH_2 よりも高く、閾値 TH_3 よりも低い電圧である場合、 MOS トランジスタ Tr_1 のゲート端子と、ソース端子との間に、通常の電圧よりも高い検査電圧を印加する。これにより、本実施形態の半導体回路3は、半導体回路3にスクリーニング等の検査を行う際、所望の出力電圧よりも高い検査電圧を MOS トランジスタ Tr_1 のゲート端子と、ソース端子との間に印加することができる。

50

【 0 0 4 2 】

また、本実施形態の半導体回路 3 は、制御信号 S 2 が閾値 T H 2、及び閾値 T H 3 よりも低い電圧である場合、演算増幅器 O P の動作を無効に制御する。これにより、本実施形態の半導体回路 3 は、チップイネーブル端子（この一例では、外部端子 P 1）からの入力に基づいて、演算増幅器 O P の動作が制御されるか否かを確認することができる。

したがって、本実施形態の半導体回路 3 によれば、外部端子 P 1 用いて、所望の出力電圧と、検査電圧とを切替つつ、かつ外部端子 P 1 がチップイネーブル端子として機能するかを確認することができる。

【 0 0 4 3 】

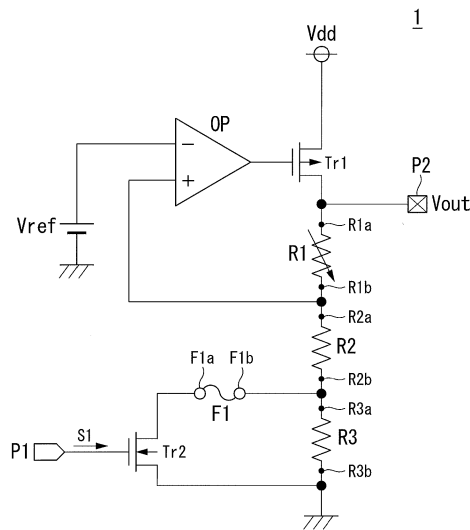
なお、上述では、制御信号 S 2 として外部端子 P 1 に入力される電圧（制御信号 S 2）が第 1 状態、第 2 状態、及び第 3 状態の順に遷移する場合について説明したが、これに限られない。制御信号 S 2 は、第 3 状態、第 2 状態、及び第 1 状態の順に遷移する構成であってもよい。

【符号の説明】

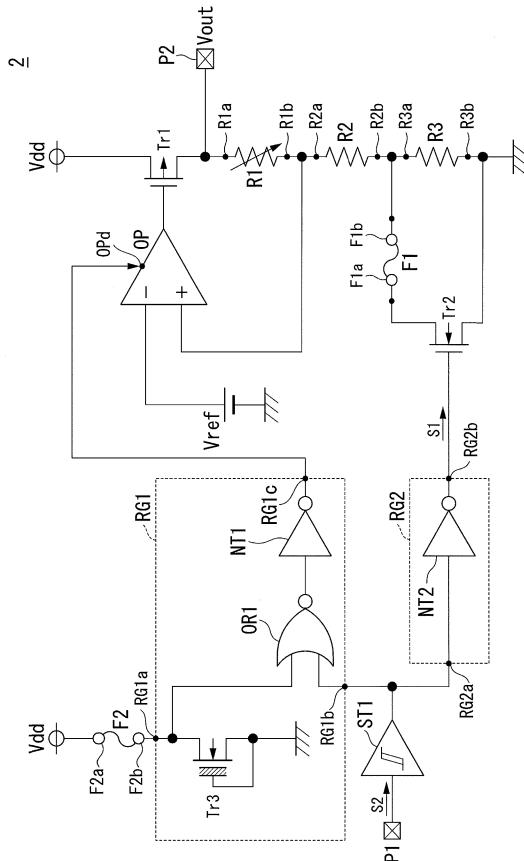
【 0 0 4 4 】

- 1、2、3...半導体回路
- O P ...演算増幅器
- R G 1、R G 2、R G 3、R G 4...論理回路

【 図 1 】



【 図 2 】



フロントページの続き

(56)参考文献 特開2007-011709(JP,A)
特開2009-075882(JP,A)
特開平07-141041(JP,A)
特開平03-164063(JP,A)

(58)調査した分野(Int.Cl., DB名)
G05F 1/56