

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月1日(01.06.2023)



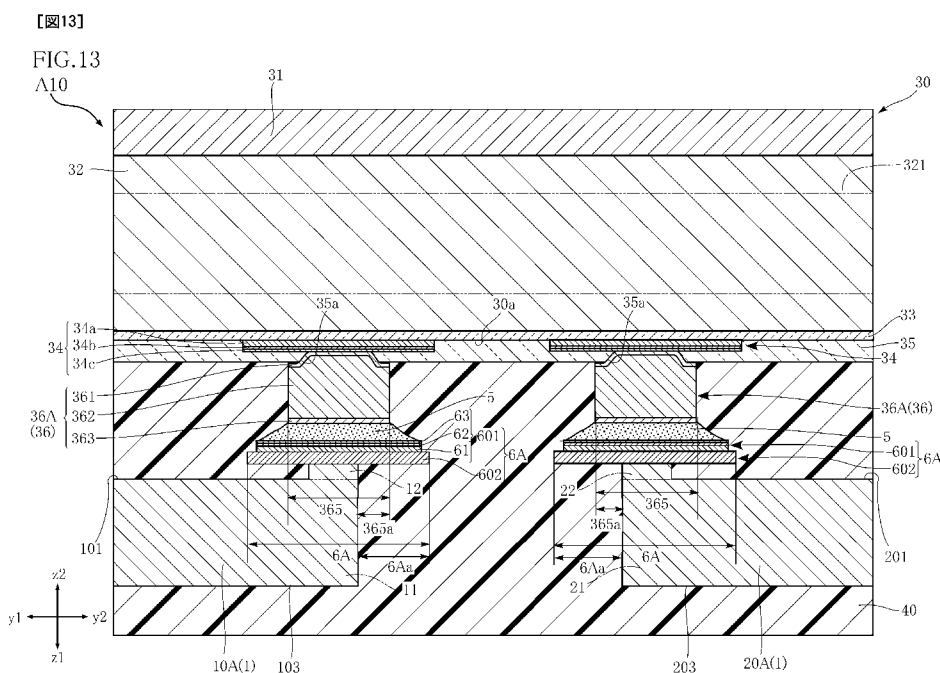
(10) 国際公開番号

WO 2023/095681 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) *H01L 23/50* (2006.01)
- (21) 国際出願番号: PCT/JP2022/042404
- (22) 国際出願日: 2022年11月15日(15.11.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-190267 2021年11月24日(24.11.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者: 張 彬 (ZHANG Bin); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.); 〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device A10 comprises: a semiconductor element 30 having an element main surface 30a and an element back surface 30b facing sides opposite to each other in a z direction, electrodes 34 formed on the element main surface 30a, and electrode terminals 36A that are in contact with the electrodes 34 and that protrude in the z direction; a lead 10A that has a main surface 101 and a back surface 102 facing sides opposite to each other in the z direction and that makes electrical connection to the semiconductor element 30; and a sealing resin 40 that covers the semiconductor

WO 2023/095681 A1

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

element 30. The lead 10A has a body part 11 located closer to the back surface 102 than to the main surface 101. The electrode terminals 36A each have a joining surface 365 facing the lead 10. The joining surface 365 has a hanging part 365a not overlapping the body part 11 when viewed in the z direction.

(57) 要約 : 半導体装置 A 1 0 において、z 方向において互いに反対側を向く素子主面 3 0 a および素子裏面 3 0 b と、素子主面 3 0 a に形成された電極 3 4 と、電極 3 4 に接し、かつ、z 方向に突出する電極端子 3 6 A とを有する半導体素子 3 0 と、半導体素子 3 0 に導通し、かつ、z 方向において互いに反対側を向く主面 1 0 1 および裏面 1 0 2 を有するリード 1 0 A と、半導体素子 3 0 を覆う封止樹脂 4 0 とを備えた。リード 1 0 A は、主面 1 0 1 より裏面 1 0 2 側に位置する本体部 1 1 を有する。電極端子 3 6 A は、リード 1 0 に対向する接合面 3 6 5 を備えている。接合面 3 6 5 は、z 方向に視て本体部 1 1 に重ならない宙吊部 3 6 5 a を備えている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 複数のリードと半導体素子とが、いわゆるフリップチップの形態で接合された半導体装置が提案されている。このような半導体装置は、たとえば特許文献1に開示されている。当該半導体装置は、複数のリード、半導体素子、接合層、および封止樹脂を備えている。半導体素子は、複数の第1電極をリードに対向させて、リードに搭載されている。各第1電極は、半導体層に導通する基部、および、基部からリードに向けて突出する円柱状の柱状部を備えている。柱状部は、接合層を介して、リードに接合されている。複数のリードは互いに所定以上の間隔を空けて配置されている。半導体素子において、あるリードに接合される第1電極と、別のリードに接合される第1電極とは、リード間の距離に応じて離れて形成される。第1電極間の距離が長くなると、半導体層内部に形成される電流経路が長くなるので、電流経路での電気抵抗が大きくなる。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-77694号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、電流経路での電気抵抗を抑制できる半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0005] 本開示の一の側面によって提供される半導体装置は、厚さ方向において互

いに反対側を向く素子主面および素子裏面と、前記素子主面に形成された電極層と、前記電極層に接し、かつ、前記厚さ方向に突出する電極端子と、を有する半導体素子と、前記半導体素子に導通し、かつ、前記厚さ方向において互いに反対側を向く第1主面および第1裏面を有する第1リードと、前記半導体素子を覆う封止樹脂と、を備える。前記第1リードは、前記第1主面より前記第1裏面側に位置する第1本体部をさらに有する。前記電極端子は、前記第1リードに対向する接合面を備える。前記接合面は、前記厚さ方向に視て前記第1本体部に重ならない宙吊部を備えている。

発明の効果

[0006] 上記構成によれば、電流経路での電気抵抗を抑制可能な半導体装置を提供することが可能である。

[0007] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0008] [図1]図1は、本開示の第1実施形態に係る半導体装置を示す斜視図である。

[図2]図2は、図1の半導体装置を示す平面図であり、封止樹脂を透過した図である。

[図3]図3は、図1の半導体装置を示す平面図であり、半導体素子を透過した図である。

[図4]図4は、図1の半導体装置を示す底面図である。

[図5]図5は、図1の半導体装置を示す正面図である。

[図6]図6は、図1の半導体装置を示す背面図である。

[図7]図7は、図1の半導体装置を示す右側面図である。

[図8]図8は、図1の半導体装置を示す左側面図である。

[図9]図9は、図3のI-X-I'X線に沿う断面図である。

[図10]図10は、図3のX-X線に沿う断面図である。

[図11]図11は、図3のX-I-X'I'線に沿う断面図である。

[図12]図12は、図9の部分拡大図である。

[図13]図13は、図9の部分拡大図である。

[図14]図14は、本開示の第2実施形態に係る半導体装置を示す部分拡大断面図である。

[図15]図15は、本開示の第3実施形態に係る半導体装置を示す部分拡大断面図である。

[図16]図16は、本開示の第4実施形態に係る半導体装置を示す部分拡大断面図である。

[図17]図17は、本開示の第5実施形態に係る半導体装置を示す部分拡大断面図である。

[図18]図18は、本開示の第6実施形態に係る半導体装置を示す部分拡大断面図である。

[図19]図19は、本開示の第7実施形態に係る半導体装置を示す平面図であり、封止樹脂および半導体素子を透過した図である。

[図20]図20は、本開示の第8実施形態に係る半導体装置を示す部分拡大断面図である。

発明を実施するための形態

[0009] 以下、本開示の好ましい実施の形態を、添付図面を参照して具体的に説明する。

[0010] 第1実施形態：

図1～図13は、本開示に係る半導体装置の一例を示している。本実施形態の半導体装置A10は、複数のリード10、複数のリード20、複数のリード25、複数のリード26、リード27、複数の接合材5、複数の金属層6、半導体素子30、および封止樹脂40を備えている。半導体装置A10のパッケージ形式は、特に限定されず、本実施形態においては、図1に示すように、QFN (Quad Flat Non-leaded package) タイプである。また、半導体装置A10の用途や機能は、何ら限定されない。たとえば、半導体装置A10は、DC/DCコンバータの回路を構成する一要素に用いられる。

[0011] 図1は、半導体装置A10を示す斜視図である。図2は、半導体装置A1

0を示す平面図である。図2においては、理解の便宜上、封止樹脂40を透過して、封止樹脂40の外形を想像線（二点鎖線）で示している。図3は、半導体装置A10を示す平面図である。図3においては、理解の便宜上、封止樹脂40および半導体素子30を透過して、封止樹脂40および半導体素子30の外形を想像線（二点鎖線）で示している。図4は、半導体装置A10を示す底面図である。図5は、半導体装置A10を示す正面図である。図6は、半導体装置A10を示す背面図である。図7は、半導体装置A10を示す右側面図である。図8は、半導体装置A10を示す左側面図である。図9は、図3のI-X-I X線に沿う断面図である。図10は、図3のX-X線に沿う断面図である。図11は、図3のX I-X I線に沿う断面図である。図12は、図9の部分拡大図である。図13は、図9の部分拡大図である。

[0012] 半導体装置A10は、板状であり、厚さ方向視(平面視)の形状が長矩形状である。説明の便宜上、半導体装置A10の「厚さ方向」(平面視方向)の一例をz方向とし、z方向に直交する半導体装置A10の短辺に沿う方向(図2～図4における上下方向)の一例をx方向、z方向およびx方向に直交する方向(図2～図4における左右方向)の一例をy方向とする。また、z方向の一方側(図5～図8における下側)をz1側とし、他方側(図5～図8における上側)をz2側とする。x方向の一方側(図2および図3における下側)をx1側とし、他方側(図2および図3における上側)をx2側とする。y方向の一方側(図2～図4における左側)をy1側とし、他方側(図2～図4における右側)をy2側とする。z方向が本開示の「厚さ方向」の一例に相当する。なお、半導体装置A10の形状および各寸法は限定されない。

[0013] 複数のリード10、複数のリード20、複数のリード25、複数のリード26、およびリード27は、互いに離間して配置されている。複数のリード10、複数のリード20、複数のリード25、複数のリード26、およびリード27は、図2に示すように、半導体素子30を支持するとともに、半導体装置A10を配線基板に実装するための端子をなしている。図9～図11

に示すように、複数のリード10、複数のリード20、複数のリード25、複数のリード26、およびリード27の各々は、その一部が封止樹脂40に覆われている。図1、図4～図8においては、複数のリード10、複数のリード20、複数のリード25、複数のリード26、およびリード27のうち封止樹脂40から露出する部分に、複数の離散点からなるハッチングを付している。以下では、複数のリード10、複数のリード20、複数のリード25、複数のリード26、およびリード27をまとめて示す場合、「導電部材1」と記載する場合がある。

[0014] 導電部材1は、たとえば、金属板にエッチング加工を施すことで形成されたリードフレームから構成されている。なお、導電部材1の形成方法は限定されない。導電部材1の構成材料は、たとえば、CuまたはCu合金であるが、これに限定されない。

[0015] 複数（本実施形態では4個）のリード10は、図3および図4に示すように、各々がx方向に延びている。複数のリード10は、y方向に所定の間隔を隔てて配列されている。複数のリード10の各々は、半導体装置A10において電力変換対象となる直流電力（電圧）が入力される入力端子である。リード10は、正極（P端子）である。

[0016] 図9および図10に示すようにリード10は、主面101、2個の裏面102、凹面103、および2個の端面104を有する。主面101および裏面102は、z方向において互いに反対側を向く。主面101は、z方向z2側を向き、かつ、半導体素子30に対向している。主面101は、封止樹脂40に覆われている。各リード10において、半導体素子30は、主面101に支持されている。裏面102は、z方向z1側を向き、封止樹脂40から露出している。図4に示すように、2個の裏面102は、リード10のx方向両端部にそれぞれ配置されている。凹面103は、x方向において、2個の裏面102の間に位置する。凹面103は、z方向において、裏面102に対して主面101側（z方向z2側）に位置する。凹面103は、封止樹脂40に覆われている。リード10は、本実施形態では、裏面102が

位置する部分の幅寸法（ y 方向の寸法）が、凹面103が位置する部分の幅寸法（ y 方向の寸法）より大きい。端面104は、主面101および裏面102の双方につながっている。一方の端面104は、リード10の x 方向 x 1側端部に位置し、 x 方向 x 1側を向いている。他方の端面104は、リード10の x 方向 x 2側端部に位置し、 x 方向 x 2側を向いている。各端面104は、封止樹脂40から露出している。

[0017] 複数のリード10は、リード10Aを含む。リード10Aは、複数のリード10の中で、最も x 方向 x 1側に位置している。リード10Aは、図13に示すように、本体部11および突出部12を備えている。本体部11は、主面101より裏面102側（ z 方向 z 1側）に位置する部分である。突出部12は、主面101から z 方向 z 2側に突出した部分である。突出部12は、 z 方向に視て、後述する電極端子36の接合面365に重なっている。

[0018] 複数（本実施形態では3個）のリード20は、図3および図4に示すように、各々が x 方向に延びている。本実施形態において、複数のリード20は、 y 方向に所定の間隔を隔てて配列されている。各リード20は、 y 方向において隣り合うリード10の間にそれぞれ配置されている。複数のリード10および複数のリード20は、 y 方向において交互に配列されている。複数のリード20の各々は、半導体素子30に構成された後述するスイッチング回路321により電力変換された交流電力（電圧）が出力される。

[0019] 図9および図11に示すように、リード20は、主面201、裏面202、凹面203、および2個の端面204を有する。主面201および裏面202は、 z 方向において互いに反対側を向く。主面201は、 z 方向 z 2側を向き、かつ、半導体素子30に対向している。主面201は、封止樹脂40に覆われている。各リード20において、半導体素子30は、主面201に支持されている。裏面202は、 z 方向 z 1側を向き、封止樹脂40から露出している。図4に示すように、裏面202は、リード20の x 方向中央に配置されている。裏面202は、 y 方向に視て、複数のリード10の各裏面102のいずれにも重なっていない。凹面203は、裏面202を囲み、

リード20のx方向両端まで延びている。凹面203は、z方向において、裏面202に対して主面201側（z方向z2側）に位置する。凹面203は、封止樹脂40に覆われている。リード20は、本実施形態では、裏面202が位置する部分の幅寸法（y方向の寸法）が、裏面202が位置しない部分の幅寸法（y方向の寸法）より大きい。端面204は、主面201および凹面203の双方につながっている。一方の端面204は、リード20のx方向x1側端部に位置し、x方向x1側を向いている。他方の端面204は、リード20のx方向x2側端部に位置し、x方向x2側を向いている。各端面204は、封止樹脂40から露出している。

[0020] 複数のリード20は、リード20Aを含む。リード20Aは、複数のリード20の中で、最もy方向y1側に位置しており、リード10Aに隣接して、リード10Aのy方向y2側に位置している。リード20Aは、図13に示すように、本体部21および突出部22を備えている。本体部21は、主面201より裏面202側（z方向z1側）に位置する部分である。突出部22は、主面201からz方向z2側に突出した部分である。

[0021] 複数（本実施形態では4個）のリード25は、図3に示すように、リード10Aよりもy方向y1側に位置し、半導体装置A10のy方向y1側の端部に位置する。複数のリード25の各々には、たとえば後述する制御回路322を駆動させるための電力（電圧）、または、制御回路322に伝達するための電気信号が入力される。図3、図4、および図9に示すように、リード25は、主面251、裏面252、および端面254を有する。主面251および裏面252は、z方向において互いに反対側を向く。主面251は、z方向z2側を向き、かつ半導体素子30に対向している。主面251は、封止樹脂40に覆われている。各リード25において、半導体素子30は、主面251に支持されている。裏面252は、z方向z1側を向き、封止樹脂40から露出している。図4に示すように、裏面252は、リード25のy方向y1側端部に配置されている。端面254は、主面251および裏面252の双方につながっている。端面254は、リード25のy方向y1

側端部に位置し、 y 方向 y 1側を向いている。端面254は、封止樹脂40から露出している。図8に示すように、複数のリード25の端面254は、 x 方向に沿って所定の間隔で配列されている。

[0022] 複数（本実施形態では4個）のリード26は、図3に示すように、 y 方向において、リード10Aと複数のリード25との間に位置する。複数のリード26の一部（本実施形態では2個）は、半導体装置A10の x 方向 x 1側の端部に位置する。他のリード26（本実施形態では2個）は、半導体装置A10の x 方向 x 2側の端部に位置する。複数のリード26の各々には、たとえば制御回路322に伝達するための電気信号が入力される。図3および図4に示すように、リード26は、主面261、裏面262、および端面264を有する。主面261および裏面262は、 z 方向において互いに反対側を向く。主面261は、 z 方向 z 2側を向き、かつ半導体素子30に対向している。主面261は、封止樹脂40に覆われている。各リード26において、半導体素子30は、主面261に支持されている。裏面262は、 z 方向 z 1側を向き、封止樹脂40から露出している。図4に示すように、裏面262は、リード26の x 方向外側端部に配置されている。端面264は、主面261および裏面262の双方につながっている。端面264は、リード26の x 方向外側端部に位置し、 x 方向外側を向いている。端面264は、封止樹脂40から露出している。図5および図6に示すように、端面264は、リード10の端面104およびリード20の端面204とともに、 y 方向に沿って配列されている。

[0023] リード27は、図3に示すように、複数のリード10よりも y 方向 y 2側に位置する。リード27は、半導体装置A10において電力変換対象となる直流電力（電圧）が入力される入力端子である。リード27は、負極（N端子）である。図3、図4、図9に示すように、リード27は、主面271、複数の裏面272、凹面273、および複数の端面274を有する。主面271および裏面272は、 z 方向において互いに反対側を向く。主面271は、 z 方向 z 2側を向き、かつ半導体素子30に対向している。主面271

は、封止樹脂40に覆われている。リード27において、半導体素子30は、主面271に支持されている。裏面272は、z方向z1側を向き、封止樹脂40から露出している。図4に示すように、裏面272は、リード27のy方向y2側端部に配置されている。複数（本実施形態では4個）の裏面272は、x方向において互いに離間して、x方向に沿って所定の間隔で配列されている。凹面273は、リード27においてy方向y1側寄りに位置する。凹面273は、z方向において、裏面272に対して主面271側（z方向z2側）に位置する。凹面273は、封止樹脂40に覆われている。各端面274は、主面271およびいずれかの裏面272の双方につながっている。端面274は、リード27のy方向y2側端部に位置し、y方向y2側を向いている。端面264は、封止樹脂40から露出している。図7に示すように、複数の端面274は、x方向に沿って所定の間隔で配列されている。

[0024] 各リード10の裏面102および端面104、各リード20の裏面202および端面204、各リード25の裏面252および端面254、各リード26の裏面262および端面264、ならびに、リード27の裏面272および端面274には、たとえばSnめっきを施してもよい。なお、Snめっきに替えて、たとえばNi、Pd、Auの順に積層された複数の金属めっきを採用してもよい。また、リード10、リード20、リード25、リード26、およびリード27のそれぞれの数、形状、および配置は限定されない。

[0025] 半導体素子30は、図2に示すように、z方向視において、半導体装置A10の中央に配置されている。半導体素子30は、図9～図11に示すように、複数のリード10、複数のリード20、複数のリード25、複数のリード26、およびリード27に支持されている。半導体素子30は、封止樹脂40に覆われている。半導体素子30は、半導体基板31、半導体層32、パッシベーション膜33、電極34、絶縁層35、および複数の電極端子36を有する。半導体素子30は、その内部に回路が構成されたフリップチップ型のLSIである。

- [0026] 半導体素子30は、図2に示すようにz方向視長矩形形状であり、図9～図11に示すように板状である。半導体素子30は、素子主面30aおよび素子裏面30bを有する。素子主面30aは、z方向において、複数のリード10の主面101、複数のリード20の主面201、複数のリード25の主面251、複数のリード26の主面261、およびリード27の主面271と対向している。素子裏面30bは、z方向において素子主面30aとは反対側を向いている。
- [0027] 図12および図13に示すように、半導体基板31は、そのz方向z1側に半導体層32、パッシベーション膜33、電極34、絶縁層35、および複数の電極端子36が設けられている。半導体基板31の構成材料は、たとえば、Si（シリコン）またはSiC（炭化ケイ素）である。本実施形態においては、半導体基板31のz方向z2側の面が、素子裏面30bを構成している。
- [0028] 図9～図13に示すように、半導体層32は、半導体基板31のz方向z1側に積層されている。半導体層32は、ドーパされる元素量の相違に基づく複数種類のp型半導体およびn型半導体を含む。半導体層32には、スイッチング回路321と、スイッチング回路321に導通する制御回路322とが構成されている。スイッチング回路321は、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）またはIGBT（Insulated Gate Bipolar Transistor）などのスイッチング素子を複数備えている。半導体装置A10が示す例においては、スイッチング回路321は、高電圧領域（上アーム回路）と低電圧領域（下アーム回路）との2つの領域に区分されている。各々の領域は、たとえばnチャンネル型のMOSFETを備えている。制御回路322は、スイッチング回路321を駆動させるためのゲートドライバや、スイッチング回路321の高電圧領域に対応するブートストラップ回路などが構成されるとともに、スイッチング回路321を正常に駆動させるための制御を行う。なお、半導体層32には、配線層（図示略）がさらに構成されている。当該配線層により、スイッチング回路321と制御回

路 3 2 2 とは、相互に導通している。

[0029] 図 1 2 および図 1 3 に示すように、パッシベーション膜 3 3 は、半導体層 3 2 の z 方向 z 1 側の面を覆っている。パッシベーション膜 3 3 は、電気絶縁性を有する。パッシベーション膜 3 3 は、たとえば、半導体層 3 2 に接して積層された酸化ケイ素膜 (SiO_2) と、当該酸化ケイ素膜に積層された窒化ケイ素膜 (Si_3N_4) とにより構成される。本実施形態においては、パッシベーション膜 3 3 の z 方向 z 1 側の面が、素子主面 3 0 a を構成している。

[0030] 素子主面 3 0 a には、複数の電極 3 4 が形成されている。各電極 3 4 の z 方向視における形状および配置は限定されない。各電極 3 4 は、パッシベーション膜 3 3 に設けられた開口 (図示略) を介して、半導体層 3 2 に構成された配線層に接続している。これにより、各電極 3 4 は、半導体層 3 2 のスイッチング回路 3 2 1 および制御回路 3 2 2 のいずれかに導通している。また、図 1 2 および図 1 3 に示すように、各電極 3 4 は、それぞれ電極端子 3 6 を介して、導電部材 1 に導通している。電極 3 4 は、本実施形態では、パッシベーション膜 3 3 から z 方向 z 1 側に向けて積層された複数の金属層によって構成されており、第 1 層 3 4 a、第 2 層 3 4 b、および第 3 層 3 4 c を備えている。第 1 層 3 4 a は、パッシベーション膜 3 3 に接し、Cu からなる。第 2 層 3 4 b は、第 1 層 3 4 a に接し、Ni からなる。第 3 層 3 4 c は、第 2 層 3 4 b に接し、Pd からなる。なお、電極 3 4 の構成は限定されない。

[0031] 図 1 2 および図 1 3 に示すように、絶縁層 3 5 は、素子主面 3 0 a に形成され、パッシベーション膜 3 3 および電極 3 4 の一部を覆っている。絶縁層 3 5 は、電気絶縁性を有する。絶縁層 3 5 の構成材料は、本実施形態では、フェノール樹脂である。なお、絶縁層 3 5 の構成材料は限定されず、たとえばポリイミド樹脂などの他の絶縁材料でもよい。絶縁層 3 5 は、複数の開口 3 5 a を備えている。複数の開口 3 5 a からは、それぞれ、いずれかの電極 3 4 が露出している。絶縁層 3 5 は、例えば、スピンコーターによって塗布された感光性樹脂材料に対してフォトリソグラフィ技術を適用することによ

って、形成される。

[0032] 図9～図11に示すように、複数の電極端子36は、素子主面30aに配置されており、導電部材1に向けて突出している。図12および図13に示すように、各電極端子36は、それぞれ、絶縁層35の開口35aを通じていずれかの電極34に接している。各電極端子36は、z方向視における中央部分で電極34に接し、周縁部分で絶縁層35に重なっている。複数の電極端子36は、導電性を有する。

[0033] 図12および図13に示すように、各電極端子36は、シード層361、第1めっき層362、および第2めっき層363を備えている。シード層361は、電極34および絶縁層35に接しており、Cuを含んでいる。シード層361は、たとえば無電解めっきによって形成される。なお、シード層361の構成材料および形成方法は限定されない。たとえば、シード層361は、スパッタリング法によって形成されてもよい。第1めっき層362は、シード層361に積層されており、たとえばCuまたはCu合金等からなる。第1めっき層362は、電解めっきによって形成される。なお、第1めっき層362の構成材料は限定されない。第2めっき層363は、第1めっき層362に積層されている。第2めっき層363は、第1めっき層362と接合材5との間に介在し、第1めっき層362と接合材5との化合反応を抑制する機能を果たす。第2めっき層363の構成材料は特に限定されず、化合反応を抑制しうる金属が適宜選択され、たとえばNiやFe等が挙げられる。本実施形態では、第1めっき層362がCuを含み、接合材5がSnを含むので、第2めっき層363は、たとえばNiからなる。本実施形態では、第2めっき層363は、電解めっきによって形成される。なお、第2めっき層363の構成材料および形成方法は限定されない。また、第2めっき層363は、必ずしも必要ではない。各電極端子36は、接合面365を備えている。接合面365は、電極34とは反対側を向く面（導電部材1に対向する面）であり、接合材5を介して、導電部材1に形成された金属層6に接合されている。

[0034] 導電部材1の複数のリード10、複数のリード20、またはリード27に導通接続する電極端子36は、半導体層32のスイッチング回路321に導通している。これにより、複数のリード10、複数のリード20、およびリード27は、スイッチング回路321に導通している。図3、図9、および図11等を示すように、本実施形態においては、z方向に視て、少なくとも1つの電極端子36が各リード20の裏面202に重なっている。図示した例では、z方向に視て、各リード20の裏面202にそれぞれ3個の電極端子36が重なっている。導電部材1の複数のリード25または複数のリード26に導通接続する電極端子36は、半導体層32の制御回路322に導通している。これにより、複数のリード25および複数のリード26は、制御回路322に導通している。

[0035] 図2に破線で示すように、電極端子36のz方向視における形状は円形状であり、電極端子36の接合面365も、円形状である。接合面365の直径は、特に限定されないが、その一例を挙げると、たとえば100 μ mである。なお、電極端子36のz方向視における形状および各寸法は限定されない。各電極端子36のz方向視形状は、たとえば楕円形状、矩形状、または多角形状であってもよい。また、電極端子36によって、形状または寸法が異なってもよい。

[0036] 図3に示すように、複数のリード10、複数のリード20、複数のリード25、複数のリード26、およびリード27には、それぞれ1個または複数の金属層6が形成されている。各金属層6は、半導体素子30の電極端子36の位置に合わせて配置されている。各金属層6には、半導体素子30の電極端子36が接合されている。各金属層6のz方向視における形状は、電極端子36の接合面365の形状に合わせて、円形状である。金属層6の直径は、接合面365の直径より大きい。また、z方向視において、電極端子36（接合面365）は、金属層6に内包されている。各金属層6は、図12および図13に示すように、導電部材1と電極端子36との間に介在しており、接合材5によって電極端子36が接合されている。金属層6は、導電部

材1と接合材5との化合物を抑制し、かつ、半導体素子30を接合する際に、接合材5が広がる範囲を規制する。本実施形態では、複数の金属層6は、複数の金属層6Aおよび複数の金属層6Bを含んでいる。複数の金属層6Aは、リード10Aおよびリード20Aに形成されている。複数の金属層6Bは、リード10A以外の導電部材1に形成されている。リード20Aには、金属層6Aと金属層6Bとが形成されている。

[0037] 各金属層6Bは、図3に示すように、リード10の主面101、リード20の主面201、リード25の主面251、リード26の主面261、またはリード27の主面271に形成されている。各金属層6Bは、z方向に視て、主面101、201、251、261、271のいずれかに内包されている。また、各金属層6Bは、図12に示すように、第1金属層601を備えている。第1金属層601は、第1層61、第2層62、および第3層63を有する。第1層61は、主面101、201、251、261、271のいずれかに接して積層されている。本実施形態では、導電部材1がCuを含み、接合材5がSnを含むので、第1層61は、たとえばNiからなる。第2層62は、第1層61に接して積層されている。第2層62の構成材料は特に限定されず、たとえばPdを含む。第3層63は、第2層62に接して積層されている。第3層63は、接合材5（はんだ）の濡れ性が比較的良好な構成材料からなる。第3層63の構成材料は特に限定されず、たとえばAuを含む。なお、第1金属層601の積層数は限定されないし、各層の構成材料も限定されない。第1金属層601の厚さ（z方向の寸法）は、特に限定されないが、5～10 μ m程度である。

[0038] 各金属層6Aは、図3に示すように、リード10Aまたはリード20Aに形成されている。各金属層6Aは、z方向に視て、リード10Aまたはリード20Aに内包されていない。本実施形態では、リード10Aに形成された各金属層6Aは、リード10Aからy方向y2側にはみ出している。また、リード20Aに形成された各金属層6Aは、リード20Aからy方向y1側にはみ出している。つまり、リード10Aに形成された各金属層6Aと、リ

ード20Aに形成された各金属層6Aとは、y方向において互いに近づくように配置されている。各金属層6Aは、z方向に視てリード10A(20A)に重ならず宙吊り状態になっている金属層宙吊部6Aaを備えている。金属層宙吊部6Aaは、リード10Aの本体部11(リード20Aの本体部21)に重ならない。各金属層6Aは、図13に示すように、リード10の突出部12の頂面(z方向z2側を向く面)、または、リード20の突出部22の頂面(z方向z2側を向く面)に接し、各主面101, 201から離間して形成されている。

[0039] 各金属層6Aは、図13に示すように、第1金属層601および第2金属層602を備えている。第1金属層601は、金属層6Aの第1金属層601と同様の構成であり、第1層61が第2金属層602に接して積層されている。第2金属層602は、突出部12, 22の頂面に接して積層されている。z方向に視て、第2金属層602は、第1金属層601を内包している。第2金属層602の構成は限定されない。たとえば、第2金属層602は、第1金属層601と同様の構成で、第1層61、第2層62、および第3層63を有してもよい。第2金属層602の厚さ(z方向の寸法)は、特に限定されないが、1~10 μ m程度である。

[0040] 金属層6Aのうち第2金属層602は、リードフレームのリード10Aおよびリード20Aになる部分の所定の位置に形成される。その後、たとえばエッチング処理が施されることで、リード10Aの本体部11および突出部12と、リード20Aの本体部21および突出部22とが形成される。第2金属層602は、一部のみが突出部12, 22によって支持され、本体部11, 21からはみ出した状態になる。その後、リードフレームの所定の位置にそれぞれ第1金属層601が積層される。第2金属層602に重ねて積層された第1金属層601は、当該第2金属層602と合わせて、金属層6Aになる。リードフレームに直接積層された第1金属層601は、金属層6Bになる。なお、金属層6A、6Bの形成方法は限定されない。

[0041] 図13に示すように、各金属層6Aに接合された電極端子36(以下では

、「電極端子36A」とする)は、z方向に視て、リード10Aまたはリード20Aに内包されていない。本実施形態では、リード10Aに導通する電極端子36Aは、リード10Aからy方向y2側にはみ出している。また、リード20Aに導通する電極端子36Aは、リード20Aからy方向y1側にはみ出している。つまり、リード10Aに導通する電極端子36Aと、リード20Aに導通する電極端子36Aとは、y方向において互いに近づくように配置されている。各電極端子36Aの接合面365は、z方向に視て、リード10A(20A)に重ならない宙吊部365aを備えている。宙吊部365aは、リード10Aの本体部11(リード20Aの本体部21)に重ならない。宙吊部365aの面積は、特に限定されないが、接合面365の面積の10%以上50%以下程度が望ましい。z方向に視て、リード10Aに導通する電極端子36Aの宙吊部365aおよびリード20Aに導通する電極端子36Aの宙吊部365aは、リード10Aとリード20Aとの間に位置する。

[0042] 本実施形態では、リード10Aに導通する電極端子36Aと、リード20Aに導通する電極端子36Aとは、互いに離間した異なる電極34にそれぞれ接合されている。半導体層32のスイッチング回路321内では、z方向に視て、リード10Aに導通する電極34とリード20Aに導通する電極34との間に、スイッチング素子が形成されている。当該スイッチング素子の第1端子(ドレイン端子)は、配線層、電極34、および電極端子36Aを介して、リード10Aに導通接続し、第2端子(ソース端子)は、配線層、電極34、および電極端子36Aを介して、リード20Aに導通接続している。リード10Aに導通する電極34とリード20Aに導通する電極34との距離が短いほど、スイッチング素子に導通接続する配線層における電流経路を短くできる。

[0043] 接合材5は、導電性を有し、電極端子36と金属層6との間に介在しており、これらを互いに導通させている。本実施形態では、接合材5は、たとえばSnを含むはんだ(SnAgなど)からなる。なお、接合材5の構成材料

は限定されない。接合材5の構成材料は、たとえば、Agペーストまたは焼結金属（焼結Ag）などの他の導電性材料であってもよい。本実施形態では、接合材5の形状は、上面が接合面365に接し、下面が金属層6に接する円錐台形状である。なお、接合材5の形状は限定されない。

[0044] 接合材5は、半導体素子30の各電極端子36の接合面365に接するように、電解めっきによってあらかじめ形成されている。半導体素子30は、フリップチップ接合により導電部材1に接合される。具体的には、半導体素子30は、リフローにより接合材5が溶融された状態で、素子主面30aを導電部材1に向けて、導電部材1に近づけられる。溶融した各接合材5は、対応する金属層6の第1金属層601に接触する。第1金属層601の第3層63は、はんだ濡れ性が比較的良好である。したがって、接合材5は、z方向視において第1金属層601からはみ出さないように、第1金属層601の全面に広がる。これにより、接合材5は、z方向において電極端子36から金属層6に向かうほど、z方向に直交する断面の面積が大きくなる円錐台形状になる。そして、冷却されることで、接合材5が固化して電極端子36と金属層6とが接合される。

[0045] 封止樹脂40は、半導体素子30の全体と、複数のリード10、複数のリード20、複数のリード25、複数のリード26、およびリード27の各々の一部とを覆っている。封止樹脂40は、たとえば黒色のエポキシ樹脂を含む材料からなる。なお、封止樹脂40の材料は限定されない。封止樹脂40は、z方向視矩形形状であり、図5～図8に示すように、頂面41、底面42、第1側面431、第2側面432、第3側面433および第4側面434を有する。

[0046] 図9～図11に示すように、頂面41は、z方向においてリード10の主面101と同じ側を向く。また、底面42は、頂面41とは反対側を向く。図4、図9～図11に示すように、底面42から、複数のリード10の各裏面102、複数のリード20の裏面202、複数のリード25の裏面252、複数のリード26の裏面262、ならびにリード27の各裏面272が露

出している。

[0047] 図7および図8に示すように、第1側面431は、頂面41および底面42の双方につながり、かつ、x方向x2側を向く。第2側面432は、頂面41および底面42の双方につながり、かつx方向のx1側を向く。第1側面431および第2側面432は、x方向において互いに離間している。図5、図6、図10、および図11に示すように、第1側面431から、複数のリード10の端面104と、複数のリード20の端面204と、複数のうちの一部のリード26の端面264とが、第1側面431と面一となるように露出している。また、第2側面432から、複数のリード10の端面104と、複数のリード20の端面204と、複数のうちの一部のリード26の端面264とが、第2側面432と面一となるように露出している。

[0048] 図5および図6に示すように、第3側面433は、頂面41、底面42、第1側面431、および第2側面432のいずれにもつながり、かつ、y方向y1側を向く。第4側面434は、頂面41、底面42、第1側面431、および第2側面432のいずれにもつながり、かつ、y方向y2側を向く。第3側面433および第4側面434は、y方向において互いに離間している。図7～図9に示すように、第3側面433から、複数のリード25の端面254が、第3側面433と面一になるように露出している。第4側面434から、リード27における複数の端面274が、第4側面434と面一になるように露出している。

[0049] 次に、半導体装置A10の作用効果について説明する。

[0050] 本実施形態によると、リード10Aに導通する電極端子36Aは、リード10Aからy方向y2側にはみ出している。また、リード20Aに導通する電極端子36Aは、リード20Aからy方向y1側にはみ出している。つまり、図13に示すように、リード10Aに導通する電極端子36Aと、リード20Aに導通する電極端子36Aとは、y方向において互いに近づくように配置されている。したがって、電極端子36がリード10A、20Aからはみ出さない場合（図12参照）と比較して、リード10Aに導通する電極

34とリード20Aに導通する電極34との距離が小さくなり、配線層における電流経路を短くできる。これにより、半導体装置A10は、電流経路での電気抵抗を抑制できる。

[0051] また、本実施形態によると、半導体装置A10は、x方向に延びる複数のリード10を備える。複数のリード10は、y方向に間隔を隔てて配列されている。各リード10は、半導体素子30が搭載される主面101と、z方向において主面101とは反対側を向く2個の裏面102および凹面103を有する。2個の裏面102は、x方向において凹面103を挟んで離れており、かつ、封止樹脂40の底面42から露出している。凹面103は、封止樹脂40に覆われている。つまり、半導体装置A10は、複数のリード10の裏面102がx方向およびy方向の双方に分散配置されている。これにより、半導体装置A10は、半導体素子30で発生した熱を分散させて逃がすことができるので、均一に放熱できる。また、各裏面102が配線基板への実装時の接合部となるので、半導体装置A10は、接合部が多く実装信頼性が高められる。

[0052] また、本実施形態によると、半導体装置A10は、x方向に延びる複数のリード20を備える。複数のリード20は、それぞれy方向において隣り合うリード10の間に配置されている。各リード20は、半導体素子30が搭載される主面201と、z方向において主面201とは反対側を向く裏面202および凹面203を有する。裏面202は、x方向においてリード20の中央に位置し、かつ、封止樹脂40の底面42から露出している。凹面203は、封止樹脂40に覆われている。したがって、隣り合うリード10において、裏面102どうしが近接することが防止される。また、隣り合うリード10とリード20とにおいて、裏面102と裏面202とが近接することが防止される。これにより、半導体装置A10は、より多くの裏面102および裏面202を効率よく配置できる。このことは、半導体装置A10の放熱性、および実装信頼性を高める上でより好ましい。また、本実施形態によると、裏面202は、y方向に視て、複数のリード10の各裏面102

のいずれにも重なっていない。したがって、隣り合うリード10とリード20において、裏面102と裏面202とが近接することが、より確実に防止される。

[0053] また、本実施形態によると、リード10は、裏面102が位置する部分の幅寸法が、凹面103が位置する部分の幅寸法より大きい。したがって、y方向においてリード20を間に挟んで隣り合うリード10の配列ピッチを小さくすることができる。このことは、半導体装置A10の小型化を図る上で好ましい。

[0054] また、本実施形態によると、半導体素子30は、いわゆるフリップチップ接合によって、導電部材1に搭載されている。したがって、半導体装置A10は、各電極34と各リードとをワイヤで導通させる半導体装置と比較して、電流経路の抵抗を抑制でき、また、低背化が可能である。さらに、平面視において、封止樹脂40の外形の大きさが同じ場合、半導体装置A10は、ワイヤで導通させる半導体装置と比較して、より大きい半導体素子30を搭載することができる。また、同じ半導体素子30を搭載する場合、半導体装置A10は、ワイヤで導通させる半導体装置と比較して、封止樹脂40の外形を小さくすることが可能である。

[0055] なお、本実施形態においては、各金属層6Aがリード10Aまたはリード20Aに形成される場合、すなわち、各電極端子36Aがリード10Aまたはリード20Aに接合される場合について説明したが、これに限られない。金属層6Aが形成されるリード、すなわち、電極端子36Aが接合されるリードは限定されない。異なるリードにそれぞれ接合する電極端子36を、半導体素子30の素子主面30a上で互いに近づけて配置したい場合に、これらの電極端子36を電極端子36Aとし、電極端子36Aが接合されるリードに形成される金属層6を金属層6Aとすればよい。また、本実施形態においては、半導体素子30がLSIである場合について説明したが、これに限られない。半導体素子30の種類は限定されない。また、半導体装置A10が備える導電部材1を構成する各リードの数、形状、および配置は限定され

ない。

[0056] 図14～図20は、本開示の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

[0057] 第2実施形態：

図14は、本開示の第2実施形態に係る半導体装置A20を説明するための図である。図14は、半導体装置A20を示す部分拡大断面図であり、図13に対応する図である。本実施形態の半導体装置A20は、金属層6Aが第2金属層602を備えていない点で、第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。

[0058] 本実施形態では、金属層6Aは、第2金属層602を備えておらず、第1金属層601のみを備えている。つまり、本実施形態では、金属層6Aは、金属層6Bと同様の構成であり、第1金属層601の第1層61が突出部12、22の頂面に接している。

[0059] 本実施形態においても、リード10Aに導通する電極端子36Aとリード20Aに導通する電極端子36Aとは、それぞれリード10A、20Aからはみ出して、y方向において互いに近づくように配置されている。これにより、リード10Aに導通する電極34とリード20Aに導通する電極34との距離を小さくできるので、半導体装置A20は、配線層における電流経路を短くでき、電流経路での電気抵抗を抑制できる。また、半導体装置A20は、半導体装置A10と共通する構成により、半導体装置A10と同等の効果を奏する。

[0060] 第3実施形態：

図15は、本開示の第3実施形態に係る半導体装置A30を説明するための図である。図15は、半導体装置A30を示す部分拡大断面図であり、図13に対応する図である。本実施形態の半導体装置A30は、リード10Aが突出部12を備えず、リード20Aが突出部22を備えない点で、第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実

施形態と同様である。なお、上記の第1～2実施形態の各部分が任意に組み合わせられてもよい。

[0061] 本実施形態では、リード10Aが突出部12を備えておらず、金属層6Aが主面101に接して配置されている。また、リード20Aが突出部12を備えておらず、金属層6Aが主面201に接して配置されている。

[0062] 本実施形態においても、リード10Aに導通する電極端子36Aとリード20Aに導通する電極端子36Aとは、それぞれリード10A、20Aからはみ出して、y方向において互いに近づくように配置されている。これにより、リード10Aに導通する電極34とリード20Aに導通する電極34との距離を小さくできるので、半導体装置A30は、配線層における電流経路を短くでき、電流経路での電気抵抗を抑制できる。また、半導体装置A30は、半導体装置A10と共通する構成により、半導体装置A10と同等の効果を奏する。

[0063] 第4実施形態：

図16は、本開示の第4実施形態に係る半導体装置A40を説明するための図である。図16は、半導体装置A40を示す部分拡大断面図であり、図13に対応する図である。本実施形態の半導体装置A40は、リード10Aが受皿部13をさらに備え、リード20Aが受皿部23をさらに備えている点で、第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～3実施形態の各部分が任意に組み合わせられてもよい。

[0064] 本実施形態では、リード10Aが受皿部13をさらに備えている。受皿部13は、突出部12と金属層6Aとの間に介在し、突出部12につながっている。また、リード20Aは、受皿部23をさらに備えている。受皿部23は、突出部22と金属層6Aとの間に介在し、突出部22につながっている。受皿部13、23の形状および各寸法は限定されない。金属層6Aは、受皿部13、23のz方向z2側を向く面に接して形成されている。受皿部13、23は、エッチング処理でリード10A(20A)の突出部12(22

)を形成した際に、金属層6Aに接して除去しきれなかった部分である。本実施形態では、電極端子36Aは、z方向に視て、リード10、20からはみ出しているとは言えない。しかし、電極端子36Aは、z方向に視て、本体部11、21からはみ出している。本実施形態では、宙吊部365aは、接合面365のうち、リード10Aの本体部11（リード20Aの本体部21）に重ならない部分である。

[0065] 本実施形態によると、リード10Aに導通する電極端子36Aは、リード10Aの本体部11からy方向y2側にはみ出している。また、リード20Aに導通する電極端子36Aは、リード20Aの本体部11からy方向y1側にはみ出している。つまり、リード10Aに導通する電極端子36Aと、リード20Aに導通する電極端子36Aとは、y方向において互いに近づくように配置されている。これにより、リード10Aに導通する電極34とリード20Aに導通する電極34との距離を小さくできるので、半導体装置A40は、配線層における電流経路を短くでき、電流経路での電気抵抗を抑制できる。また、半導体装置A40は、半導体装置A10と共通する構成により、半導体装置A10と同等の効果を奏する。

[0066] 第5実施形態：

図17は、本開示の第5実施形態に係る半導体装置A50を説明するための図である。図17は、半導体装置A50を示す部分拡大断面図であり、図13に対応する図である。本実施形態の半導体装置A50は、リード20Aに導通する電極端子36が、リード20Aからはみ出していない点で、第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～4実施形態の各部が任意に組み合わせられてもよい。

[0067] 本実施形態では、リード20Aに導通する電極端子36が電極端子36Aではなく、リード20Aに形成された金属層6が金属層6Aではなく金属層6Bである。つまり、リード20Aは、他のリード20と同様であり、リード20Aに導通する電極端子36は、リード20Aからはみ出していない。

[0068] 本実施形態においても、リード10Aに導通する電極端子36Aは、リード10Aからy方向y2側にはみ出している。つまり、リード10Aに導通する電極端子36Aは、リード20Aに導通する電極端子36に近づくように配置されている。したがって、電極端子36がリード10A、20Aのどちらからみ出さない場合（図12参照）と比較して、リード10Aに導通する電極34とリード20Aに導通する電極34との距離が小さくなり、配線層における電流経路を短くできる。これにより、半導体装置A50は、電流経路での電気抵抗を抑制できる。また、半導体装置A50は、半導体装置A10と共通する構成により、半導体装置A10と同等の効果を奏する。

[0069] 第6実施形態：

図18は、本開示の第6実施形態に係る半導体装置A60を説明するための図である。図18は、半導体装置A60を示す部分拡大断面図であり、図13に対応する図である。本実施形態の半導体装置A60は、金属層6Aがz方向に視てリード10Aまたはリード20Aからはみ出さない点で、第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～5実施形態の各部が任意に組み合わせられてもよい。

[0070] 本実施形態では、金属層6Aは、第2金属層602を備えておらず、第1金属層601のみを備えている。つまり、本実施形態では、金属層6Aは、金属層6Bと同様の構成である。また、リード10A（20A）は、突出部12（22）を有さず、金属層6Aは主面101（201）に接して形成されている。金属層6Aは、z方向に視て、リード10A、20Aからはみ出さず、リード10A、20Aに内包されている。一方、第1実施形態と同様に、リード10Aに導通する電極端子36Aは、リード10Aからy方向y2側にはみ出している。また、リード20Aに導通する電極端子36Aは、リード20Aからy方向y1側にはみ出している。つまり、リード10Aに導通する電極端子36Aと、リード20Aに導通する電極端子36Aとは、y方向において互いに近づくように配置されている。各電極端子36Aは、

接合材5を介して、対応する金属層6Aに接合されている。

[0071] 本実施形態においても、リード10Aに導通する電極端子36Aとリード20Aに導通する電極端子36Aとは、それぞれリード10A、20Aからはみ出して、y方向において互いに近づくように配置されている。これにより、リード10Aに導通する電極34とリード20Aに導通する電極34との距離を小さくできるので、半導体装置A60は、配線層における電流経路を短くでき、電流経路での電気抵抗を抑制できる。また、半導体装置A60は、半導体装置A10と共通する構成により、半導体装置A10と同等の効果を奏する。

[0072] なお、本実施形態においては、金属層6Aがリード10A、20Aに形成されている場合について説明したが、これに限られない。リード10Aに金属層6Aが形成されず、電極端子36Aが接合材5を介して、リード10Aの主面101に直接接合されてもよい。また、リード20Aに金属層6Aが形成されず、電極端子36Aが接合材5を介して、リード20Aの主面201に直接接合されてもよい。

[0073] 第7実施形態：

図19は、本開示の第7実施形態に係る半導体装置A70を説明するための図である。図19は、半導体装置A70を示す平面図であり、図3に対応する図である。図19においては、理解の便宜上、封止樹脂40および半導体素子30を透過して、封止樹脂40および半導体素子30の外形を想像線（二点鎖線）で示している。本実施形態の半導体装置A70は、電極端子36および金属層6の形状が、第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～6実施形態の各部が任意に組み合わせられてもよい。

[0074] 本実施形態では、各電極端子36のz方向視における形状は、矩形状である。したがって、各電極端子36の接合面365も、同一の矩形状である。また、各金属層6のz方向視における形状は、電極端子36の接合面365の形状に合わせて、矩形状である。

[0075] 本実施形態においても、リード10Aに導通する電極端子36Aとリード20Aに導通する電極端子36Aとは、それぞれリード10A、20Aからはみ出して、y方向において互いに近づくように配置されている。これにより、リード10Aに導通する電極34とリード20Aに導通する電極34との距離を小さくできるので、半導体装置A70は、配線層における電流経路を短くでき、電流経路での電気抵抗を抑制できる。また、半導体装置A70は、半導体装置A10と共通する構成により、半導体装置A10と同等の効果を奏する。なお、電極端子36のz方向視形状（平面形状）および各寸法は限定されない。各電極端子36のz方向視形状は、たとえば楕円形状、矩形形状、または多角形状であってもよい。また、電極端子36によって、形状または寸法が異なってもよい。

[0076] 第8実施形態：

図20は、本開示の第8実施形態に係る半導体装置A80を説明するための図である。図20は、半導体装置A80を示す部分拡大断面図であり、図13に対応する図である。本実施形態の半導体装置A80は、リード10Aに導通する電極端子36と、リード20Aに導通する電極端子36とが同じ電極34に導通している点で、第1実施形態と異なっている。本実施形態の他の部分の構成および動作は、第1実施形態と同様である。なお、上記の第1～7実施形態の各部が任意に組み合わせられてもよい。

[0077] 本実施形態において、半導体装置A80は、半導体素子30の内部構成および導電部材1の形状および配置が、半導体装置A10とは異なっている。本実施形態では、リード10Aとリード20Aとが、半導体素子30の電極34を介して導通している。リード10Aに導通する電極端子36、および、リード20Aに導通する電極端子36は、それぞれが同じ電極34に接して導通している。

[0078] 本実施形態においても、リード10Aに導通する電極端子36Aとリード20Aに導通する電極端子36Aとは、それぞれリード10A、20Aからはみ出して、y方向において互いに近づくように配置されている。これによ

り、電極34において、リード10Aに導通する電極端子36が接する位置と、リード20Aに導通する電極端子36が接する位置との距離を小さくできるので、半導体装置A80は、電極34における電流経路を短くでき、電流経路での電気抵抗を抑制できる。また、半導体装置A80は、半導体装置A10と共通する構成により、半導体装置A10と同等の効果を奏する。

[0079] 本開示に係る半導体装置は、先述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。本開示は、以下の付記に記載した実施形態を含む。

[0080] 付記1.

厚さ方向において互いに反対側を向く素子主面(30a)および素子裏面(30b)と、前記素子主面に形成された電極層と、前記電極層に接し、かつ、前記厚さ方向に突出する電極端子(36A)と、を有する半導体素子(30)と、

前記半導体素子に導通し、かつ、前記厚さ方向において互いに反対側を向く第1主面(101)および第1裏面(102)を有する第1リード(10A)と、

前記半導体素子を覆う封止樹脂(40)と、
を備え、

前記第1リードは、前記第1主面より前記第1裏面側に位置する第1本体部(11)を有し、

前記電極端子は、前記第1リードに対向する接合面(365)を備え、
前記接合面は、前記厚さ方向に視て前記第1本体部に重ならない宙吊部(365a)を備えている、半導体装置。

付記2.

前記宙吊部は、前記厚さ方向に視て、前記第1リードに重ならない、付記1に記載の半導体装置。

付記3.

前記宙吊部の面積は、前記接合面の面積の10%以上50%以下である、

付記 1 または 2 に記載の半導体装置。

付記 4.

前記第 1 リードに形成され、かつ、前記電極端子が接合された金属層 (6 A) をさらに備える、付記 1 ないし 3 のいずれかに記載の半導体装置。

付記 5.

前記金属層は、前記厚さ方向に視て前記第 1 本体部に重ならない金属層宙吊部 (6 A a) を備えている、付記 4 に記載の半導体装置。

付記 6.

前記金属層は、第 1 金属層 (6 0 1) および第 2 金属層 (6 0 2) を備え

、
前記第 2 金属層は、前記第 1 リードに接し、

前記第 1 金属層は、前記第 2 金属層に接し、かつ、前記厚さ方向に視て前記第 2 金属層に内包されている、付記 4 または 5 に記載の半導体装置。

付記 7.

前記金属層の前記厚さ方向視形状、および、前記接合面の形状は、円形状である、付記 4 ないし 6 のいずれかに記載の半導体装置。

付記 8、第 3 実施形態、図 1 5.

前記金属層は、前記第 1 主面に接して配置されている、付記 4 ないし 7 のいずれかに記載の半導体装置。

付記 9.

前記第 1 リードは、前記第 1 主面から前記厚さ方向に突出し、かつ、前記厚さ方向に視て前記接合面に重なる突出部 (1 2) を有し、

前記金属層は、前記突出部に接して配置されている、付記 4 ないし 7 のいずれかに記載の半導体装置。

付記 1 0.

前記接合面と前記第 1 リードとの間に介在する接合材 (5) をさらに備え

、
前記接合材ははんだである、付記 1 ないし 9 のいずれかに記載の半導体装

置。

付記 1 1.

前記第 1 リードから離間して前記半導体素子に導通し、かつ、前記厚さ方向において互いに反対側を向く第 2 主面 (201) および第 2 裏面 (202) を有する第 2 リード (20A) をさらに備え、

前記第 2 リードは、前記第 2 主面より前記第 2 裏面側に位置する第 2 本体部 (21) を有し、

前記半導体素子は、前記電極層に接し、かつ、前記厚さ方向に突出する第 2 電極端子 (36A) を有し、

前記第 2 電極端子は、前記第 2 リードに対向する第 2 接合面 (365) を備え、

前記第 2 接合面は、前記厚さ方向に視て前記第 2 本体部に重ならない第 2 宙吊部 (365A) を備えている、付記 1 ないし 10 のいずれかに記載の半導体装置。

付記 1 2.

前記厚さ方向に視て、前記宙吊部および前記第 2 宙吊部は、前記第 1 リードと前記第 2 リードとの間に位置する、付記 1 1 に記載の半導体装置。

付記 1 3.

前記電極層は、互いに離間した第 1 電極 (34) および第 2 電極 (34) を含み、

前記電極端子は前記第 1 電極に接し、

前記第 2 電極端子は前記第 2 電極に接し、

前記第 1 電極と前記第 2 電極とは、前記半導体素子の内部で導通可能である、付記 1 1 または 1 2 に記載の半導体装置。

付記 1 4.

前記半導体素子は、第 1 端子、第 2 端子、および制御端子を有するスイッチング素子を備え、

前記第 1 電極は、前記スイッチング素子の前記第 1 端子に導通し、

前記第 2 電極は、前記スイッチング素子の前記第 2 端子に導通する、付記 1 3 に記載の半導体装置。

付記 1 5、第 8 実施形態、図 2 0、

前記電極層は、第 1 電極（3 4）を含み、

前記電極端子および前記第 2 電極端子は、前記第 1 電極に接している、付記 1 1 または 1 2 に記載の半導体装置。

符号の説明

[0081] A 1 0, A 2 0, A 3 0, A 4 0, A 5 0, A 6 0, A 7 0, A 8 0 : 半導体装置

| | |
|--------------|------------------|
| 1 : 導電部材 | 1 0, 1 0 A : リード |
| 1 0 1 : 主面 | 1 0 2 : 裏面 |
| 1 0 3 : 凹面 | 1 0 4 : 端面 |
| 1 1 : 本体部 | 1 2 : 突出部 |
| 1 3 : 受皿部 | 2 0, 2 0 A : リード |
| 2 0 1 : 主面 | 2 0 2 : 裏面 |
| 2 0 3 : 凹面 | 2 0 4 : 端面 |
| 2 1 : 本体部 | 2 2 : 突出部 |
| 2 3 : 受皿部 | 2 5 : リード |
| 2 5 1 : 主面 | 2 5 2 : 裏面 |
| 2 5 4 : 端面 | 2 6 : リード |
| 2 6 1 : 主面 | 2 6 2 : 裏面 |
| 2 6 4 : 端面 | 2 7 : リード |
| 2 7 1 : 主面 | 2 7 2 : 裏面 |
| 2 7 3 : 凹面 | 2 7 4 : 端面 |
| 3 0 : 半導体素子 | 3 0 a : 素子主面 |
| 3 0 b : 素子裏面 | 3 1 : 半導体基板 |
| 3 2 : 半導体層 | 3 2 1 : スイッチング回路 |
| 3 2 2 : 制御回路 | 3 3 : パッシベーション膜 |

34 : 電極 34 a : 第1層
34 b : 第2層 34 c : 第3層
35 : 絶縁層 35 a : 開口
36, 36 A : 電極端子 36 1 : シード層
36 2 : 第1めっき層 36 3 : 第2めっき層
36 5 : 接合面 36 5 a : 宙吊部
5 : 接合材 40 : 封止樹脂
41 : 頂面 42 : 底面
43 1 : 第1側面 43 2 : 第2側面
43 3 : 第3側面 43 4 : 第4側面
6, 6 A, 6 B : 金属層 6 A a : 金属層宙吊部
6 0 1 : 第1金属層 6 1 : 第1層
6 2 : 第2層 6 3 : 第3層
6 0 2 : 第2金属層

請求の範囲

- [請求項1] 厚さ方向において互いに反対側を向く素子主面および素子裏面と、前記素子主面に形成された電極層と、前記電極層に接し、かつ、前記厚さ方向に突出する電極端子と、を有する半導体素子と、
前記半導体素子に導通し、かつ、前記厚さ方向において互いに反対側を向く第1主面および第1裏面を有する第1リードと、
前記半導体素子を覆う封止樹脂と、
を備え、
前記第1リードは、前記第1主面より前記第1裏面側に位置する第1本体部を有し、
前記電極端子は、前記第1リードに対向する接合面を備え、
前記接合面は、前記厚さ方向に視て前記第1本体部に重ならない宙吊部を備えている、半導体装置。
- [請求項2] 前記宙吊部は、前記厚さ方向に視て、前記第1リードに重ならない、請求項1に記載の半導体装置。
- [請求項3] 前記宙吊部の面積は、前記接合面の面積の10%以上50%以下である、請求項1または2に記載の半導体装置。
- [請求項4] 前記第1リードに形成され、かつ、前記電極端子が接合された金属層をさらに備える、請求項1ないし3のいずれかに記載の半導体装置。
- [請求項5] 前記金属層は、前記厚さ方向に視て前記第1本体部に重ならない金属層宙吊部を備えている、請求項4に記載の半導体装置。
- [請求項6] 前記金属層は、第1金属層および第2金属層を備え、
前記第2金属層は、前記第1リードに接し、
前記第1金属層は、前記第2金属層に接し、かつ、前記厚さ方向に視て前記第2金属層に内包されている、請求項4または5に記載の半導体装置。
- [請求項7] 前記金属層の前記厚さ方向視形状、および、前記接合面の形状は、

円形状である、請求項4ないし6のいずれかに記載の半導体装置。

[請求項8] 前記金属層は、前記第1主面に接して配置されている、請求項4ないし7のいずれかに記載の半導体装置。

[請求項9] 前記第1リードは、前記第1主面から前記厚さ方向に突出し、かつ、前記厚さ方向に視て前記接合面に重なる突出部を有し、
前記金属層は、前記突出部に接して配置されている、請求項4ないし7のいずれかに記載の半導体装置。

[請求項10] 前記接合面と前記第1リードとの間に介在する接合材をさらに備え、
前記接合材ははんだである、請求項1ないし9のいずれかに記載の半導体装置。

[請求項11] 前記第1リードから離間して前記半導体素子に導通し、かつ、前記厚さ方向において互いに反対側を向く第2主面および第2裏面を有する第2リードをさらに備え、
前記第2リードは、前記第2主面より前記第2裏面側に位置する第2本体部を有し、
前記半導体素子は、前記電極層に接し、かつ、前記厚さ方向に突出する第2電極端子を有し、
前記第2電極端子は、前記第2リードに対向する第2接合面を備え、
前記第2接合面は、前記厚さ方向に視て前記第2本体部に重ならない第2宙吊部を備えている、請求項1ないし10のいずれかに記載の半導体装置。

[請求項12] 前記厚さ方向に視て、前記宙吊部および前記第2宙吊部は、前記第1リードと前記第2リードとの間に位置する、請求項11に記載の半導体装置。

[請求項13] 前記電極層は、互いに離間した第1電極および第2電極を含み、前記電極端子は前記第1電極に接し、

前記第 2 電極端子は前記第 2 電極に接し、

前記第 1 電極と前記第 2 電極とは、前記半導体素子の内部で導通可能である、請求項 1 1 または 1 2 に記載の半導体装置。

[請求項14]

前記半導体素子は、第 1 端子、第 2 端子、および制御端子を有するスイッチング素子を備え、

前記第 1 電極は、前記スイッチング素子の前記第 1 端子に導通し、

前記第 2 電極は、前記スイッチング素子の前記第 2 端子に導通する、請求項 1 3 に記載の半導体装置。

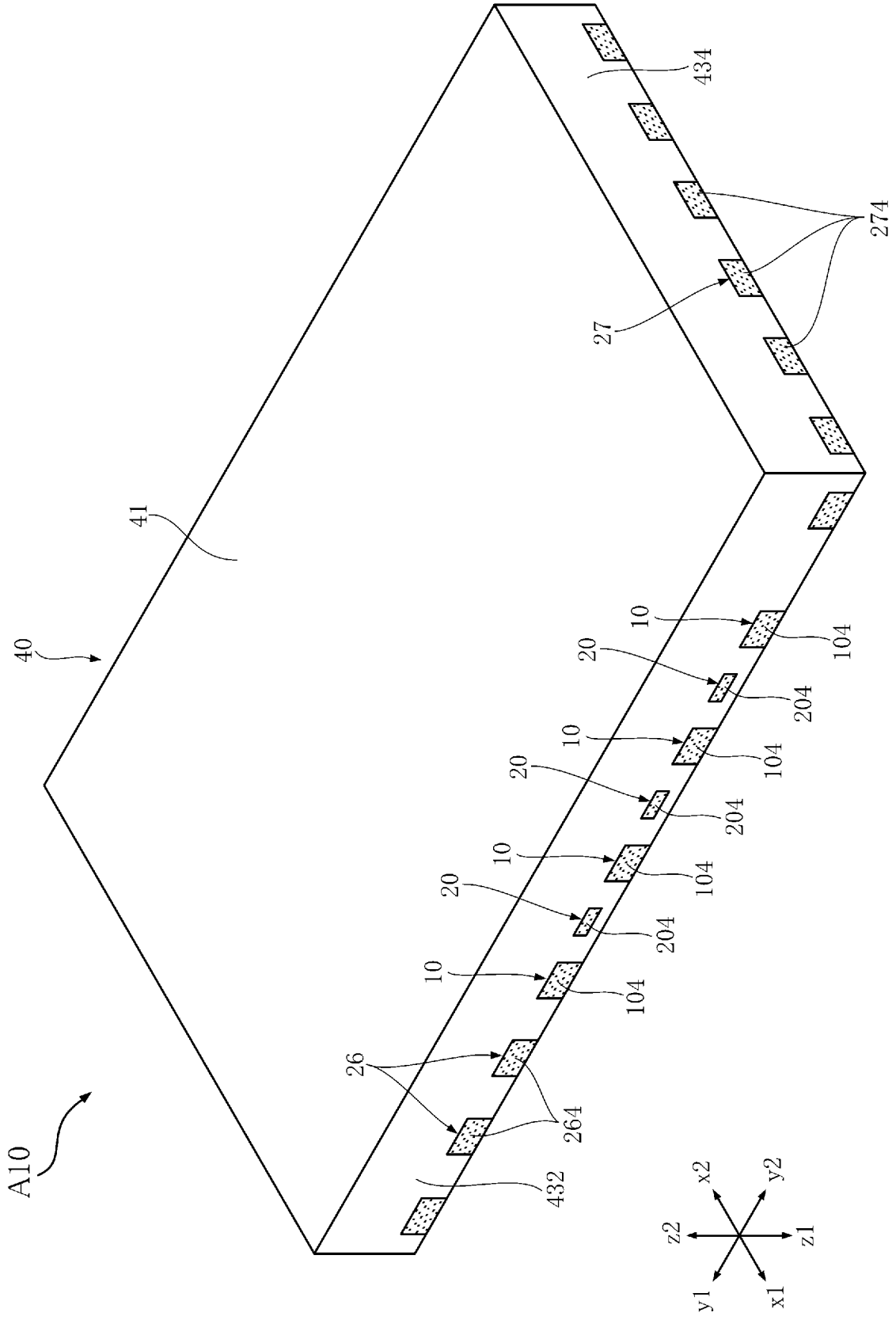
[請求項15]

前記電極層は、第 1 電極を含み、

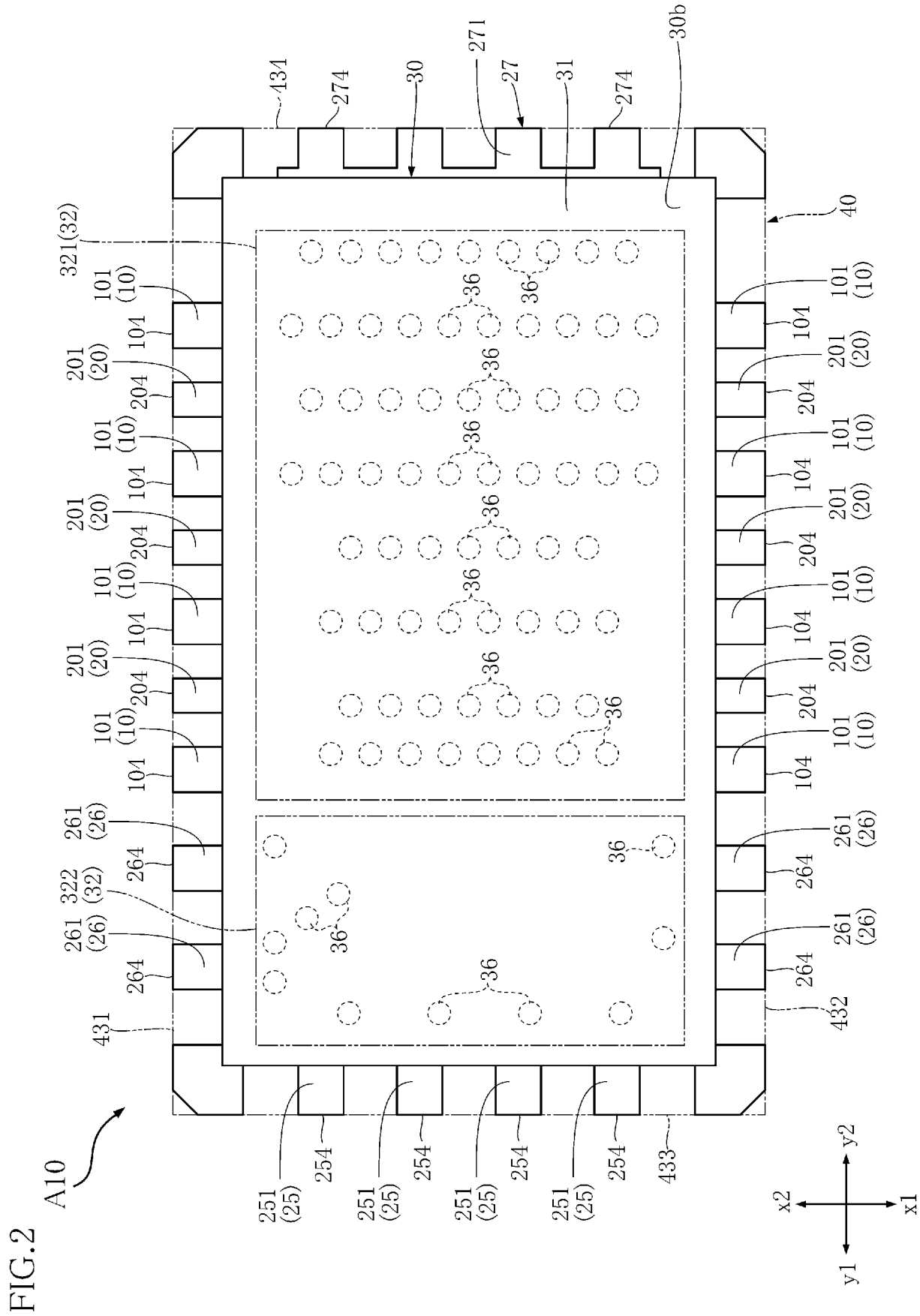
前記電極端子および前記第 2 電極端子は、前記第 1 電極に接している、請求項 1 1 または 1 2 に記載の半導体装置。

[図1]

FIG.1



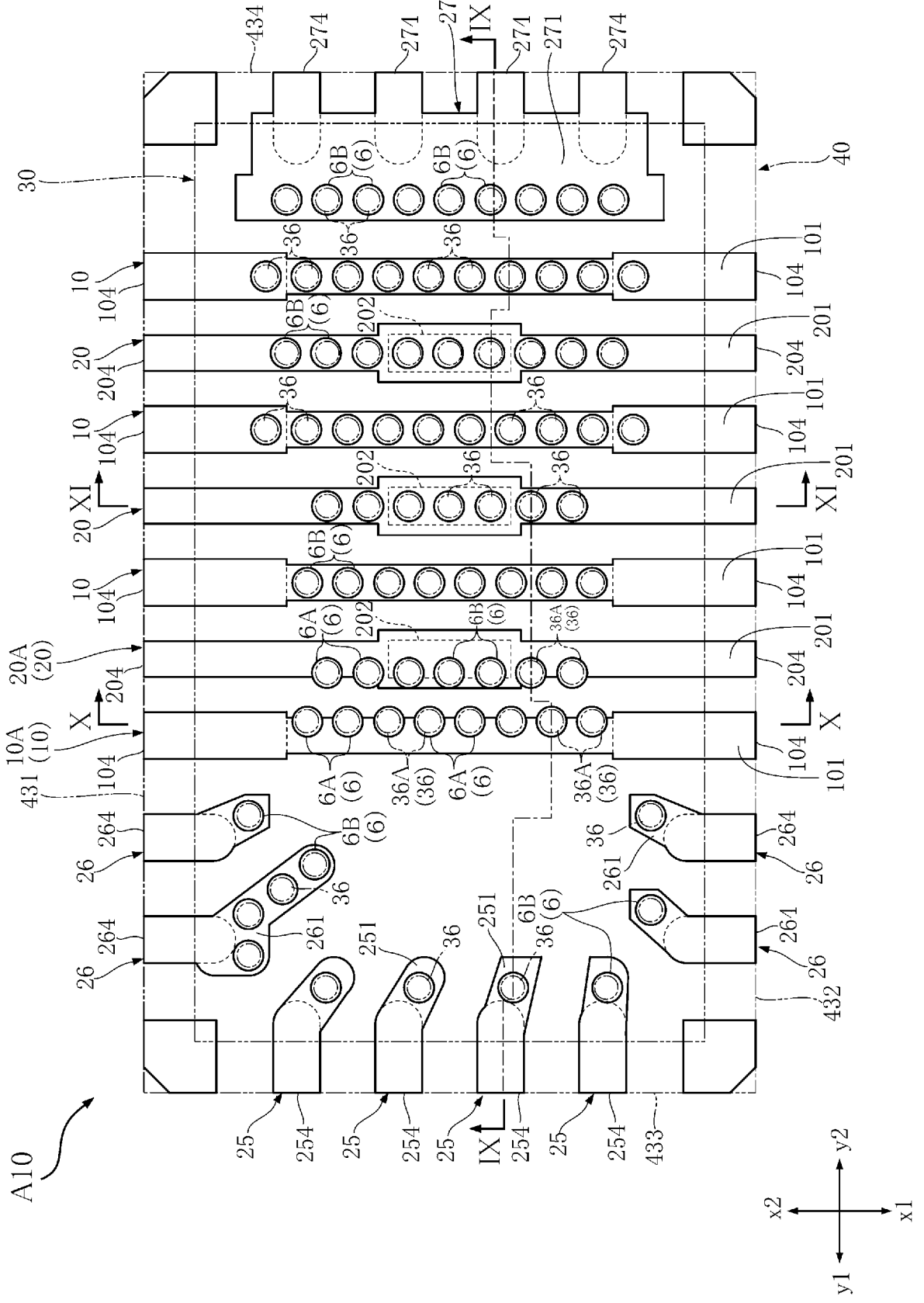
[FIG. 2]



[FIG. 3]

FIG. 3

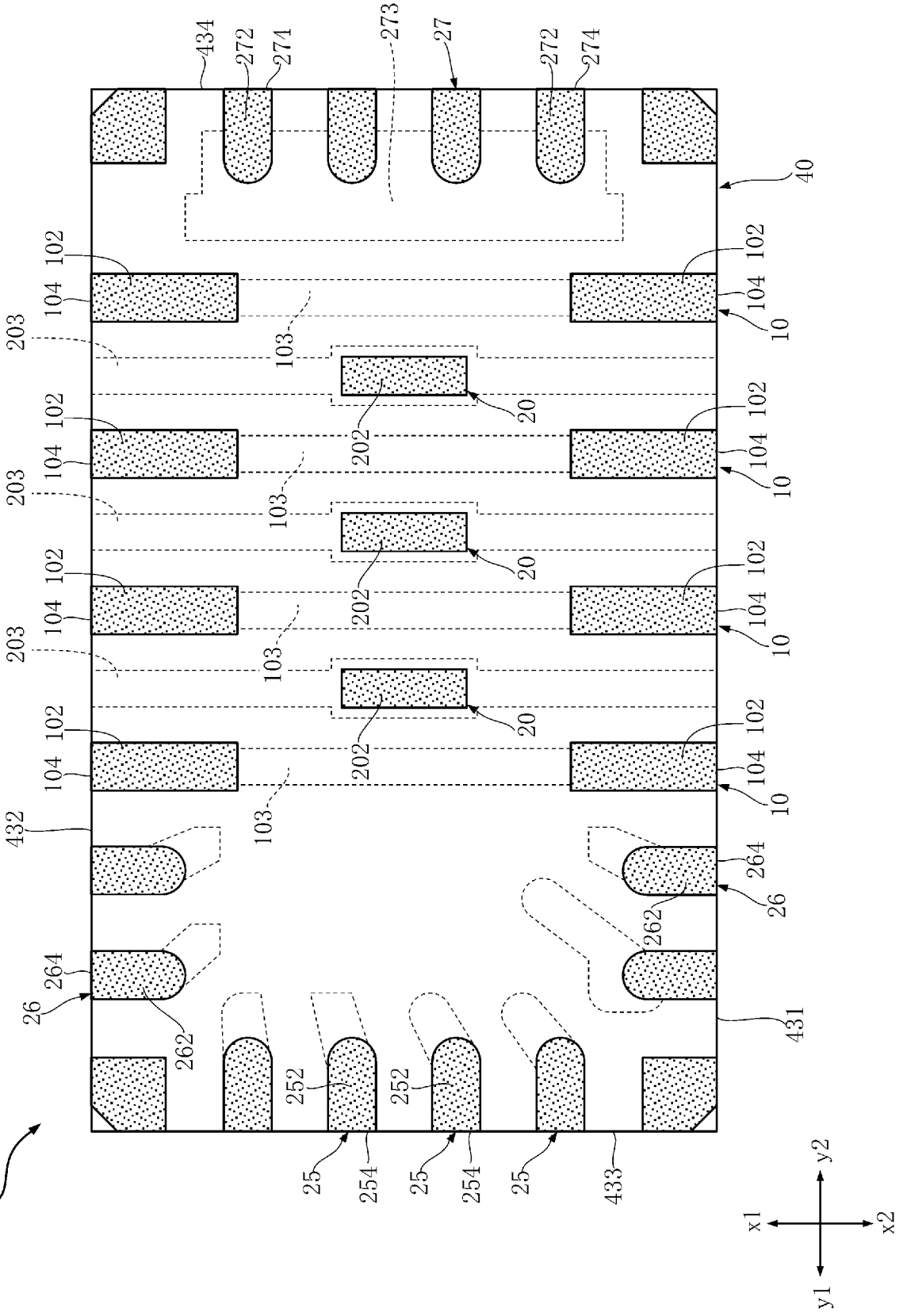
A10



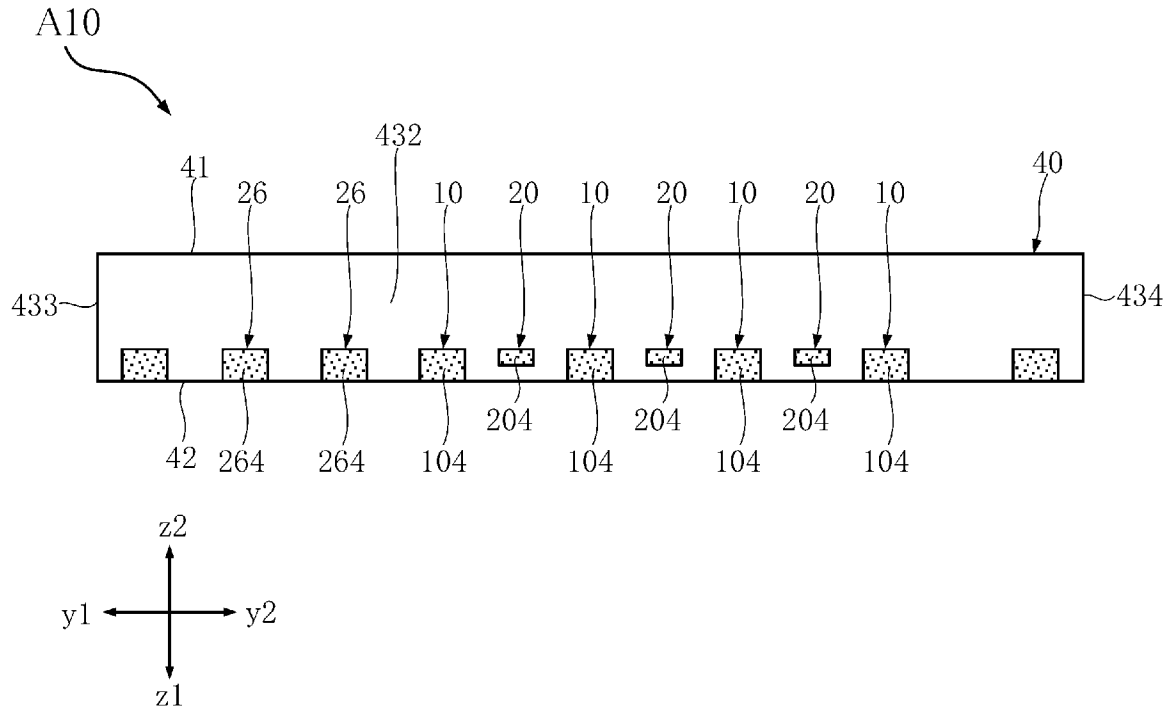
[図4]

FIG.4

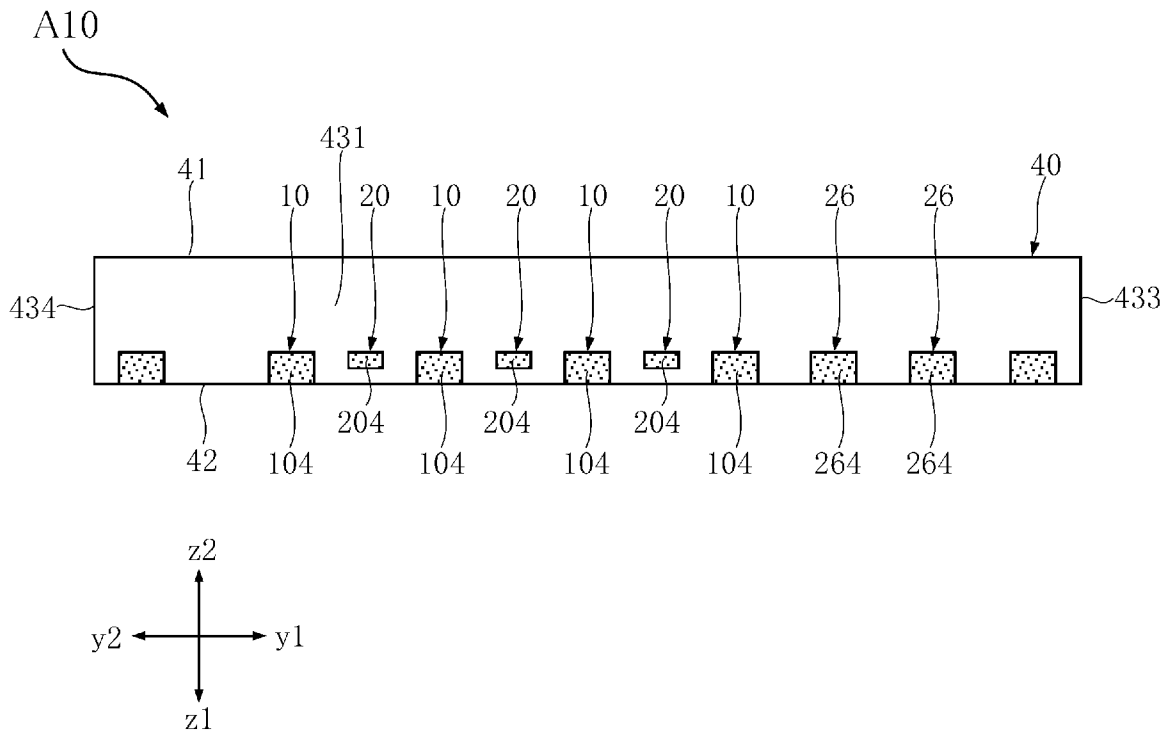
A10

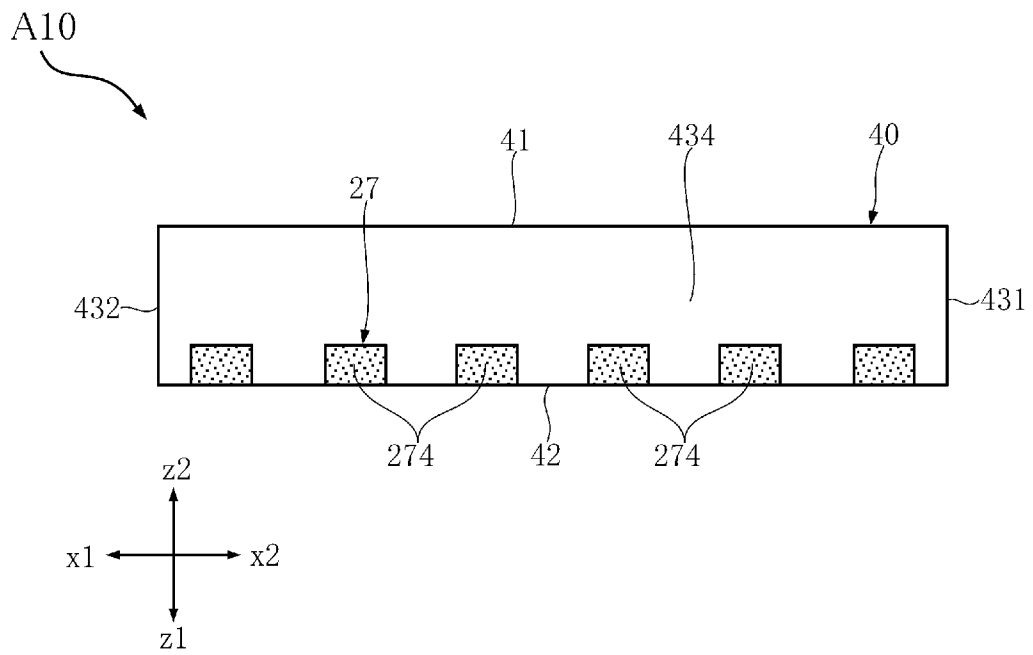
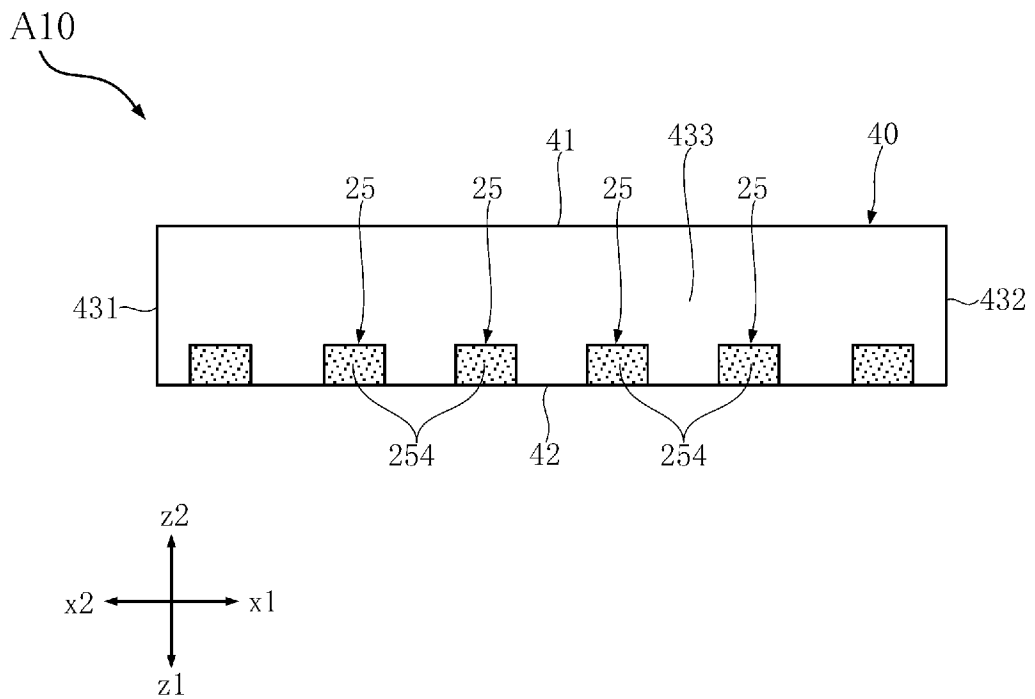


[図5]
FIG.5

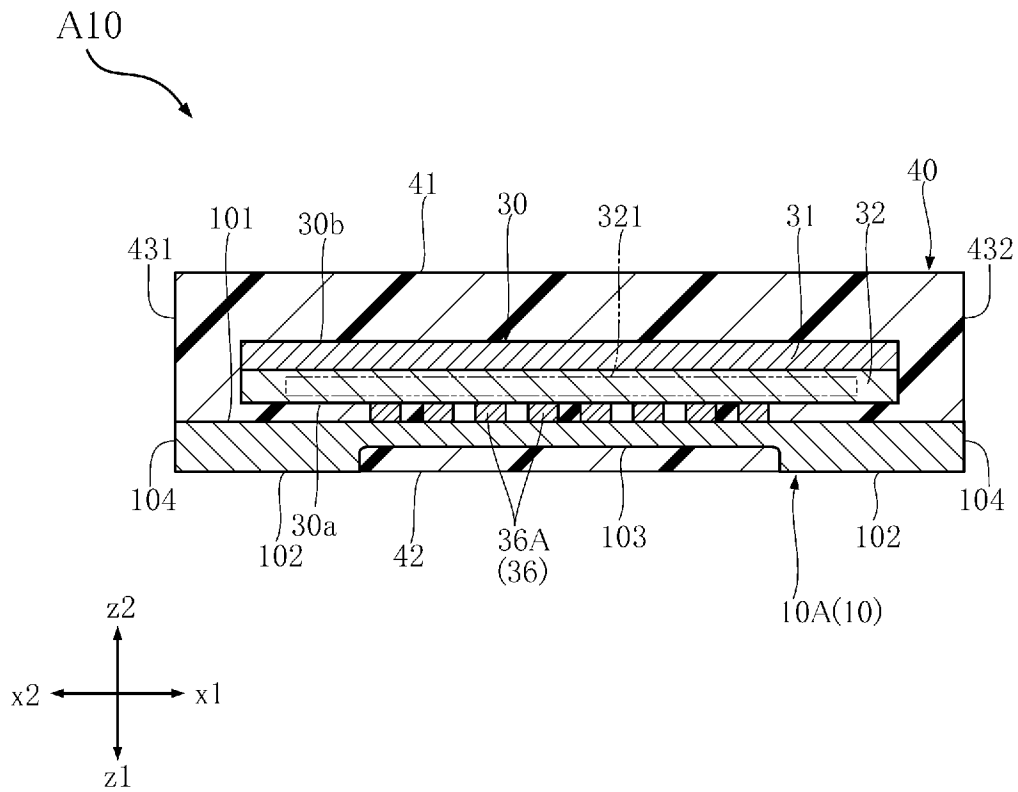


[図6]
FIG.6

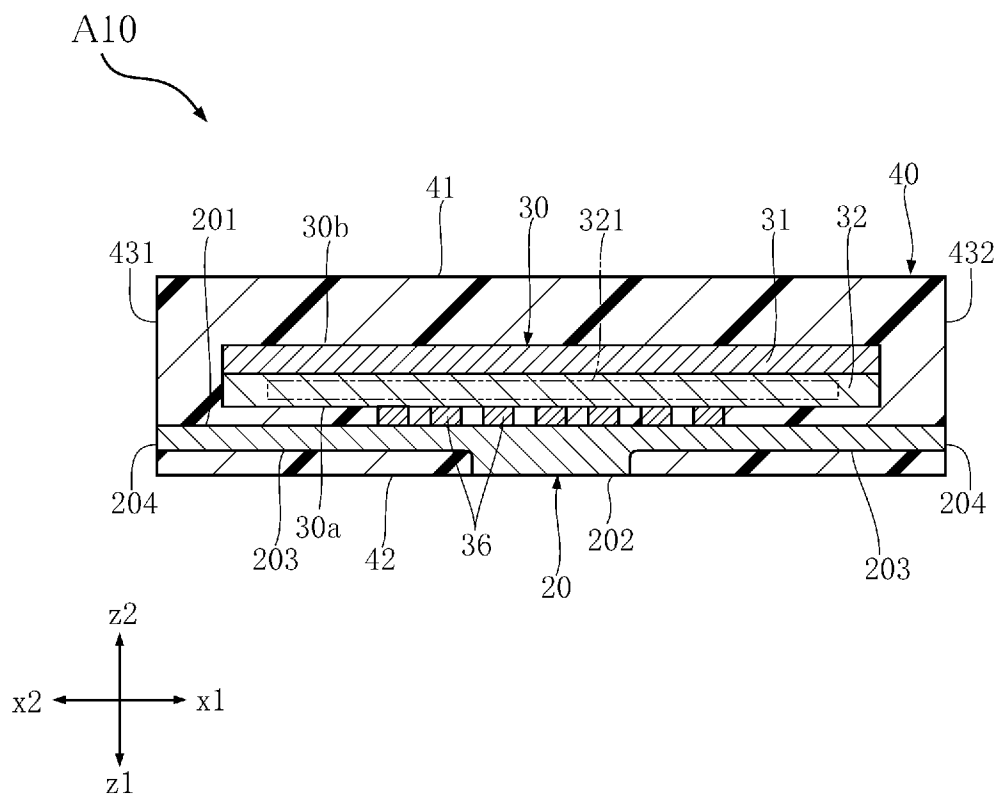


[**7**]
FIG.7[**8**]
FIG.8

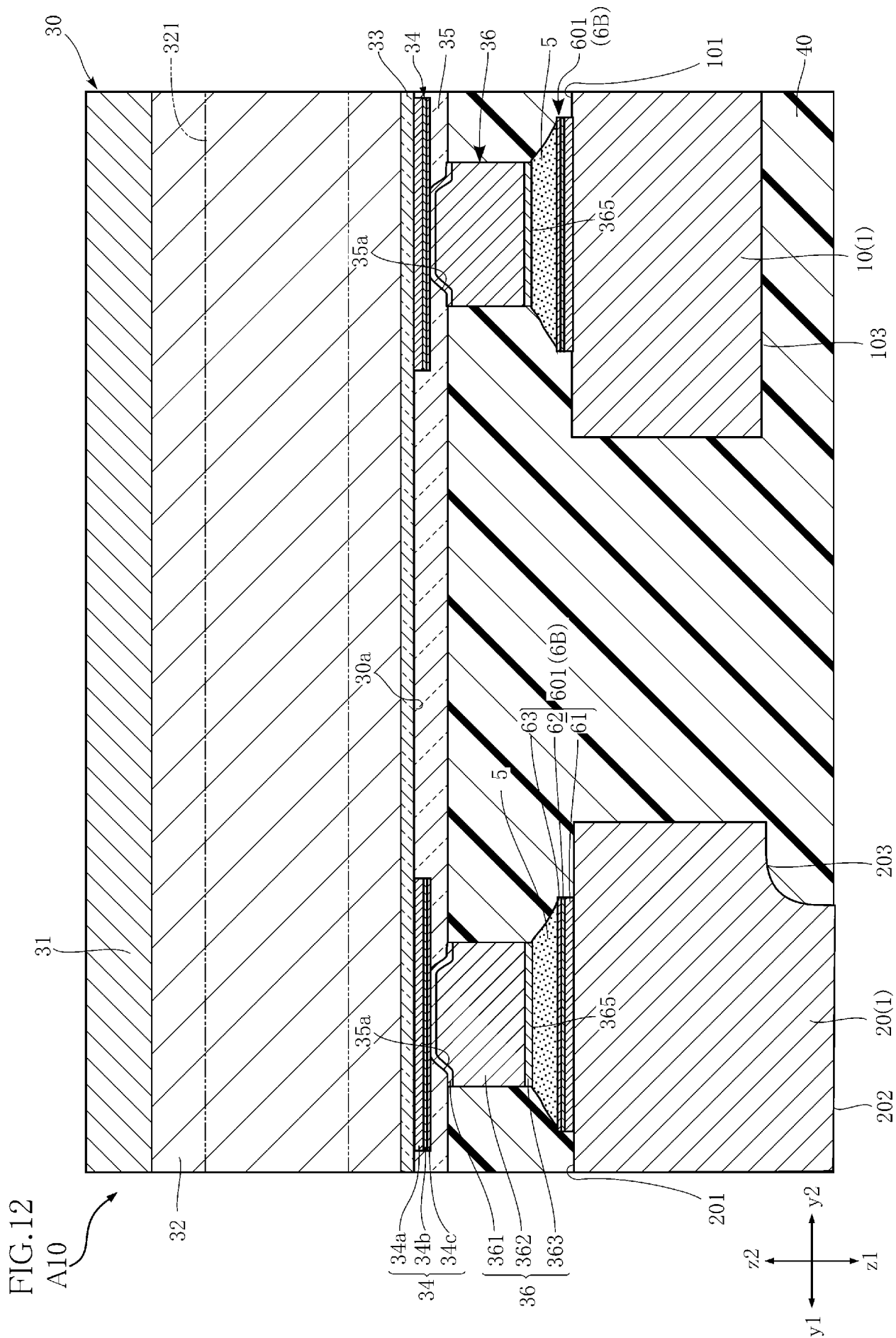
[]10]
FIG.10



[]11]
FIG.11



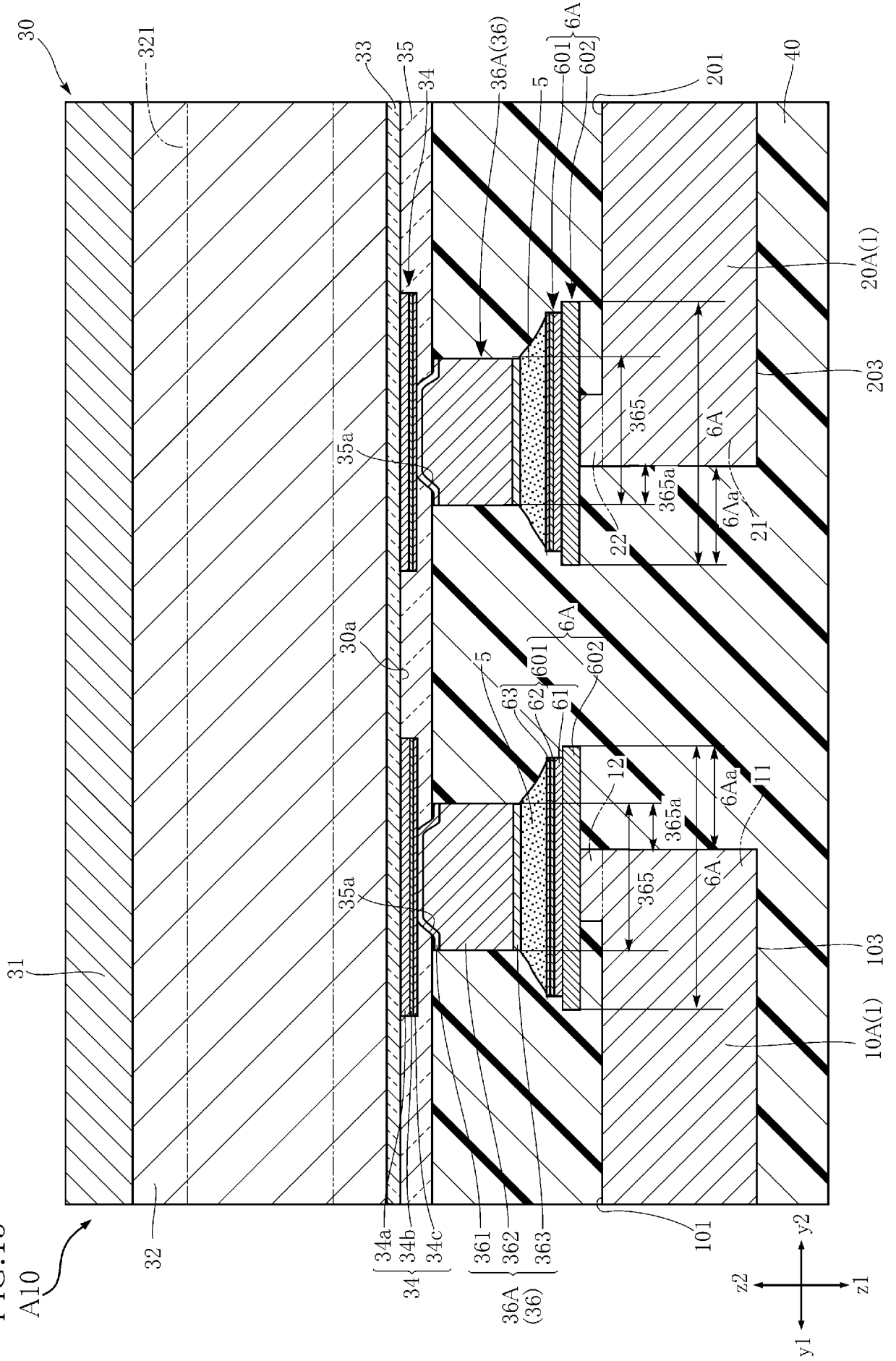
[FIG. 12]



[FIG. 13]

FIG. 13

A10



[FIG. 14]

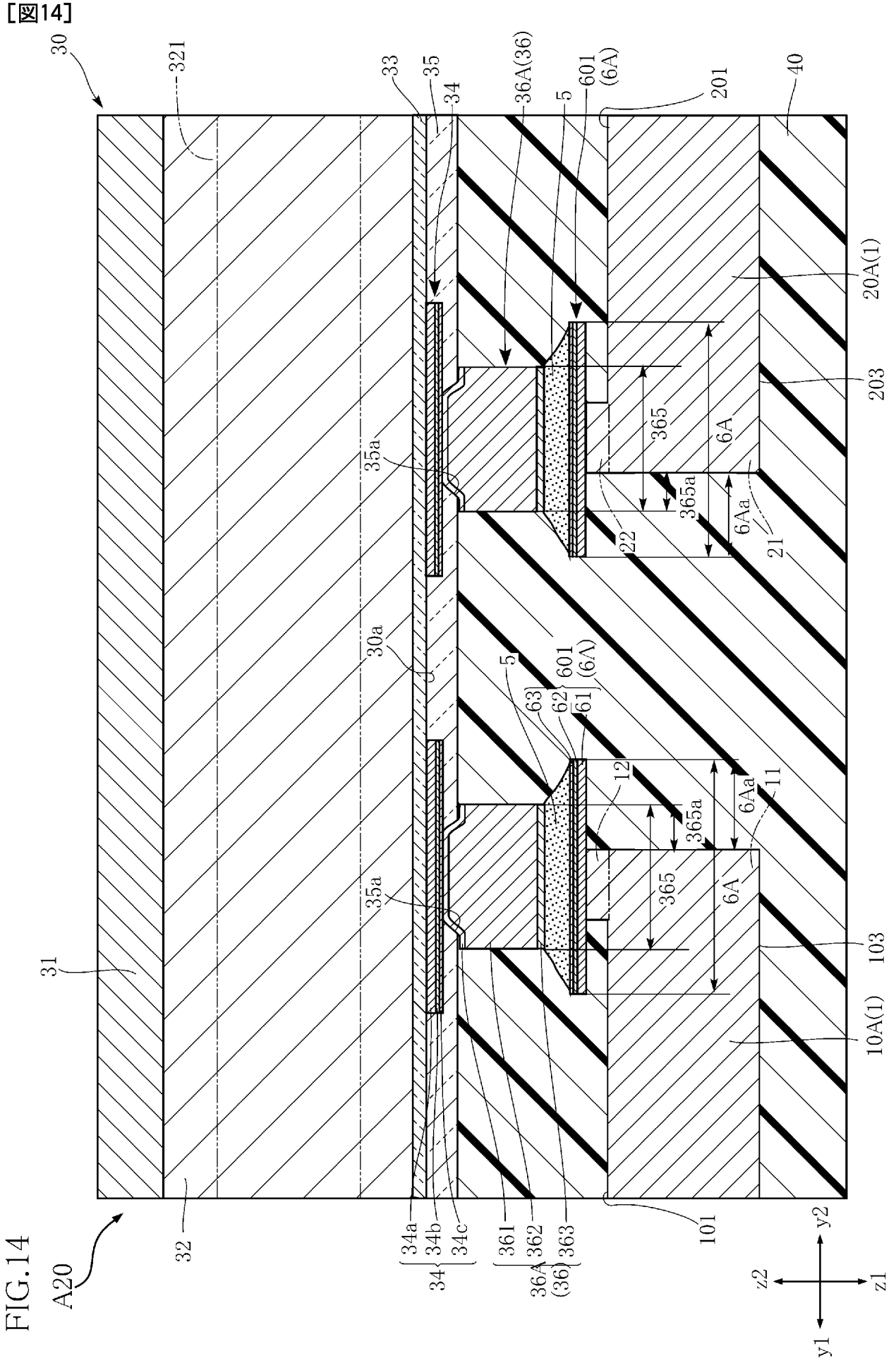


FIG. 14
A20

[FIG. 16]

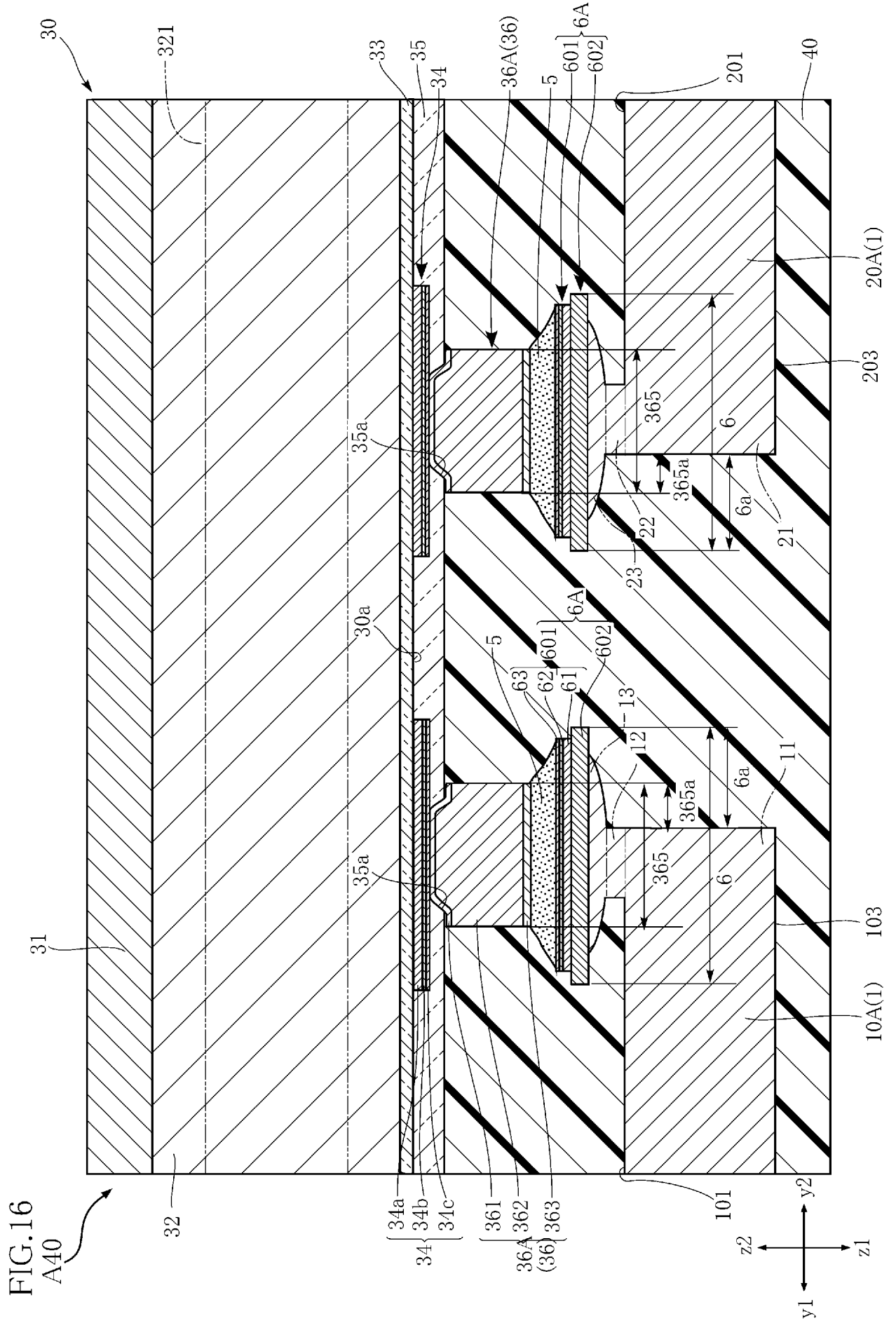
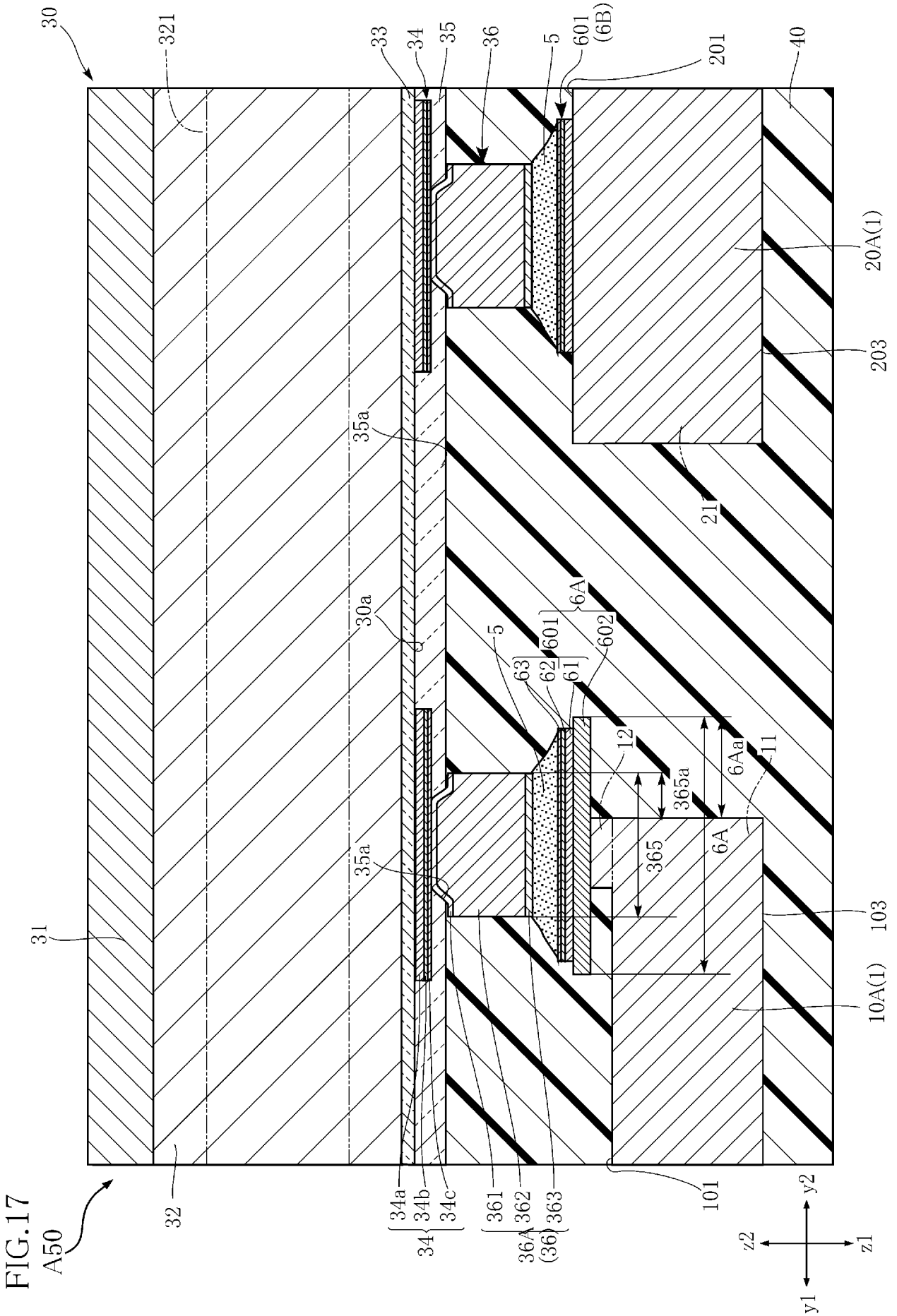
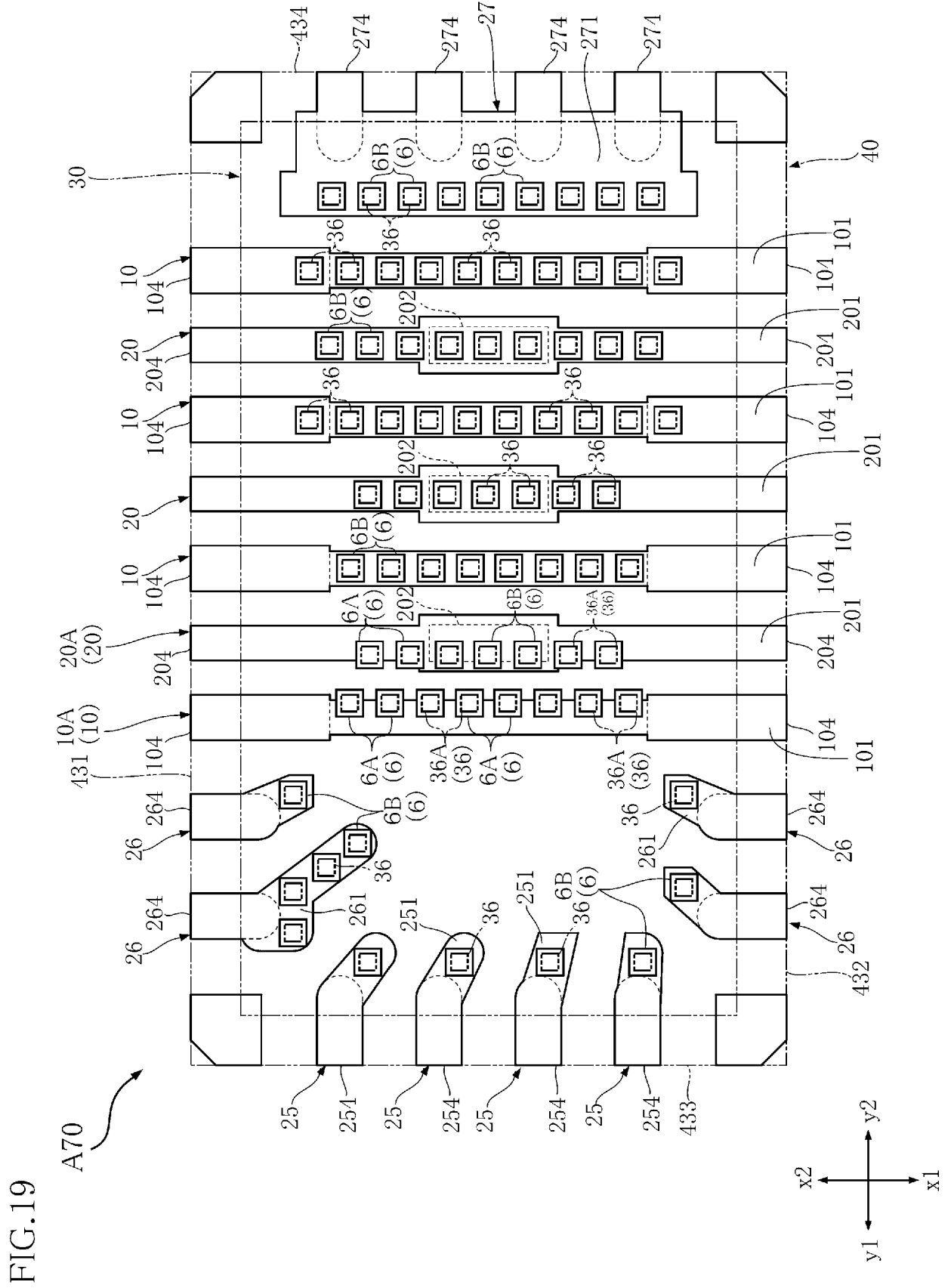


FIG.17

A50



[FIG.19]



[FIG. 20]

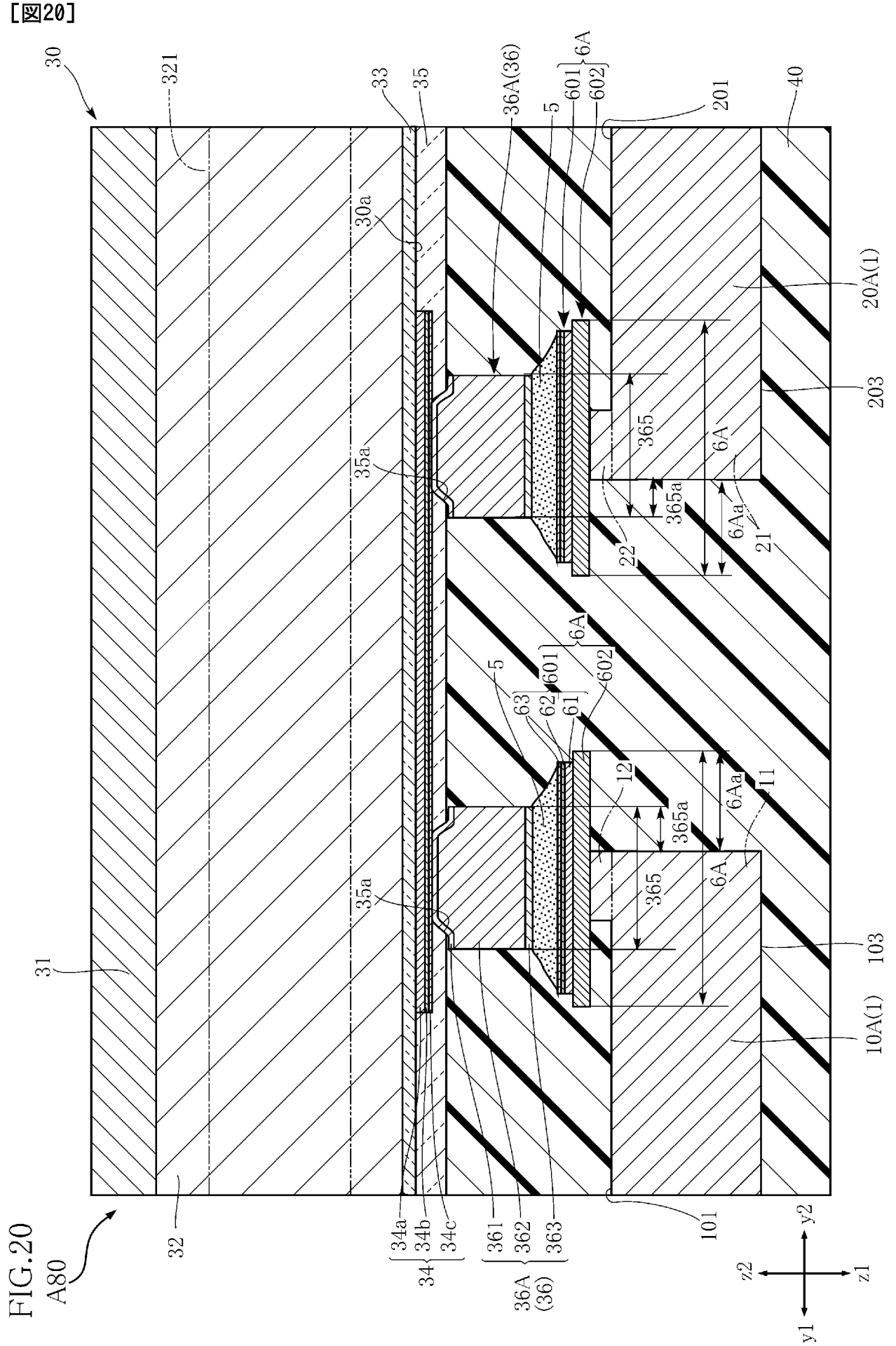


FIG. 20

A80

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/042404

| A. CLASSIFICATION OF SUBJECT MATTER | | |
|--|--|--|
| <i>H01L 21/60</i> (2006.01)i; <i>H01L 23/50</i> (2006.01)i FI: H01L21/60 311S; H01L23/50 R | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) H01L21/60; H01L23/50 | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022 | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | JP 2020-155483 A (ROHM CO., LTD.) 24 September 2020 (2020-09-24) entire text | 1-15 |
| A | JP 2020-77723 A (ROHM CO., LTD.) 21 May 2020 (2020-05-21) entire text | 1-15 |
| A | JP 2010-258200 A (PANASONIC CORP.) 11 November 2010 (2010-11-11) entire text | 1-15 |
| A | WO 01/69678 A1 (DAI NIPPON PRINTING CO., LTD.) 20 September 2001 (2001-09-20) entire text | 1-15 |
| A | JP 2000-156389 A (FUJITSU LTD.) 06 June 2000 (2000-06-06) entire text | 1-15 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family | | |
| Date of the actual completion of the international search 23 December 2022 | | Date of mailing of the international search report 10 January 2023 |
| Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan | | Authorized officer Telephone No. |

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/042404

| Patent document cited in search report | Publication date (day/month/year) | Patent family member(s) | Publication date (day/month/year) |
|--|-----------------------------------|--|-----------------------------------|
| JP 2020-155483 A | 24 September 2020 | (Family: none) | |
| JP 2020-77723 A | 21 May 2020 | US 2020/0144211 A1 | |
| JP 2010-258200 A | 11 November 2010 | (Family: none) | |
| WO 01/69678 A1 | 20 September 2001 | EP 1189279 A1 KR 10-0811338 B1 | |
| JP 2000-156389 A | 06 June 2000 | US 6342729 B1 TW 417218 B KR 10-2000-0034879 A | |

| | | |
|--|---|----------------|
| A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/60(2006.01)i; H01L 23/50(2006.01)i FI: H01L21/60 311S; H01L23/50 R | | |
| B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/60; H01L23/50 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2022年 日本国実用新案登録公報 1996 - 2022年 日本国登録実用新案公報 1994 - 2022年 | | |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） | | |
| C. 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | JP 2020-155483 A（ローム株式会社）24.09.2020（2020 - 09 - 24） 全文 | 1-15 |
| A | JP 2020-77723 A（ローム株式会社）21.05.2020（2020 - 05 - 21） 全文 | 1-15 |
| A | JP 2010-258200 A（パナソニック株式会社）11.11.2010（2010 - 11 - 11） 全文 | 1-15 |
| A | WO 01/69678 A1（大日本印刷株式会社）20.09.2001（2001 - 09 - 20） 全文 | 1-15 |
| A | JP 2000-156389 A（富士通株式会社）06.06.2000（2000 - 06 - 06） 全文 | 1-15 |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。 | | |
| * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 | | |
| 国際調査を完了した日 | 国際調査報告の発送日 | |
| 23. 12. 2022 | 10. 01. 2023 | |
| 名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号 | 権限のある職員（特許庁審査官） 河合 俊英 5F 3238 電話番号 03-3581-1101 内線 3516 | |

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/042404

| 引用文献 | 公表日 | パテントファミリー文献 | 公表日 |
|------------------|------------|----------------------|-----|
| JP 2020-155483 A | 24.09.2020 | (ファミリーなし) | |
| JP 2020-77723 A | 21.05.2020 | US 2020/0144211 A1 | |
| JP 2010-258200 A | 11.11.2010 | (ファミリーなし) | |
| WO 01/69678 A1 | 20.09.2001 | EP 1189279 A1 | |
| | | KR 10-0811338 B1 | |
| JP 2000-156389 A | 06.06.2000 | US 6342729 B1 | |
| | | TW 417218 B | |
| | | KR 10-2000-0034879 A | |