

【特許請求の範囲】

【請求項 1】

第 1 タイプの伝導性を有する表面半導体層 (3) と、
 前記表面半導体層 (3) の上方に形成され、誘電体ゲート領域 (9) と該誘電体ゲート領域 (9) の上に位置するゲート電極領域 (1 1) とを有するゲート構造 (8) と、
 前記表面半導体層 (3) の内部において、横方向に且つ部分的に前記ゲート構造 (8) に対して下に形成され、第 2 タイプの伝導性を有する複数の本体領域 (6) と
 を具え、電離放射線に対して耐性を示す MOS デバイス (2 0) において、
 前記誘電体ゲート領域 (9) が、第 1 厚さを有する中央領域 (9 b) と、該第 1 厚さよりも薄い第 2 厚さを有する複数のサイド領域 (9 a) とを有し、
 前記中央領域 (9 b) が、前記複数の本体領域 (6) の間に配置された前記表面半導体層 (3) のセル間領域 (1 0) の上に位置している
 ことを特徴とする MOS デバイス。

10

【請求項 2】

更に、基板 (2) と、半導体副層 (2 1) とを具え、該半導体副層 (2 1) は、前記基板 (2) と前記表面半導体層 (3) との間の表面半導体層 (3) の下に配置され、前記第 1 タイプの伝導性を有する、請求項 1 に記載のデバイス。

【請求項 3】

前記半導体副層 (2 1) 及び前記表面半導体層 (3) がエピタキシャル層であることを特徴とする請求項 2 に記載のデバイス。

20

【請求項 4】

前記半導体副層 (2 1) は、抵抗率が前記表面半導体層 (3) の抵抗率の 10% から 50% の間であって、厚さが前記表面半導体層 (3) の厚さの 50% から 200% の間であることを特徴とする請求項 2 又は 3 に記載のデバイス。

【請求項 5】

前記中央領域 (9 b) と前記サイド領域 (9 a) とが連続的に接合されており、前記中央領域 (9 b) は、幅が前記セル間領域 (1 0) の幅より狭い又は等しいことを特徴とする請求項 1 ~ 4 のいずれかに記載のデバイス。

【請求項 6】

更に、前記第 1 タイプの伝導性を有する複数のソース領域 (7) を具え、該ソース領域 (7) は、前記複数の本体領域 (6) の内部に形成され、前記 MOS デバイス (2 0) の各チャンネル領域 (1 2) によって前記セル間領域 (1 0) から隔離されており、
 前記複数のサイド領域 (9 a) が前記チャンネル領域 (1 2) と前記セル間領域 (1 0) のサイド部分との上方に延在しており、前記中央領域 (9 b) が前記セル間領域 (1 0) の中央部分の上方に延在していることを特徴とする請求項 5 に記載のデバイス。

30

【請求項 7】

前記中央領域 (9 b) は、厚さが 100 nm から 1500 nm の間であり、前記サイド領域 (9 a) は、厚さが 100 nm よりも薄いことを特徴とする請求項 5 又は 6 に記載のデバイス。

【請求項 8】

前記中央領域 (9 b) が、ストライプ構造を有し、前記セル間領域 (1 0) の上方において長手方向に延在していることを特徴とする請求項 1 ~ 7 のいずれかに記載のデバイス。

40

【請求項 9】

前記中央領域 (9 b) が、前記表面半導体層 (3) の表面に直交する方向に対して傾斜した側壁、特に、45° の角度で傾斜した側壁を有することを特徴とする請求項 8 に記載のデバイス。

【請求項 10】

前記ゲート電極領域 (1 1) も、ストライプ構造を有し、前記中央領域 (9 b) に対して長手方向に且つ同軸に延在していることを特徴とする請求項 8 又は 9 に記載のデバイス。

50

【請求項 1 1】

宇宙環境での用途に用いられる、請求項 1 ~ 1 0 のいずれかに記載のデバイス。

【請求項 1 2】

第 1 タイプの伝導性を有する表面半導体層 (3) を形成する工程と、
前記表面半導体層 (3) の上方にゲート構造 (8) を形成する工程であって、前記表面半導体層 (3) の上方に誘電体ゲート領域 (9) を形成する工程と、該誘電体ゲート領域 (9) の上方にゲート電極領域 (1 1) を形成する工程とを含むゲート構造の形成工程と

、
前記表面半導体層 (3) の内部において、横方向に且つ部分的に前記ゲート構造 (8) に対して下に、第 2 タイプの伝導性を有する複数の本体領域 (6) を形成する工程と

を含む、電離放射線に対して耐性を示す MOS デバイス (2 0) の製造方法において、前記誘電体ゲート領域 (9) を形成する工程が、前記表面半導体層 (3) の上方に、第 1 厚さを有する誘電体ゲート領域の中央領域 (9 b) を形成する工程と、それに続く、該第 1 厚さよりも薄い第 2 厚さを有する誘電体ゲート領域の複数のサイド領域 (9 a) を形成する工程とを含む

ことを特徴とする MOS デバイスの製造方法。

【請求項 1 3】

更に、基板 (2) を準備する工程と、該基板上に、前記第 1 タイプの伝導性を有する半導体副層 (2 1) を形成する工程とを含み、

前記表面半導体層 (3) を形成する工程が、前記半導体副層 (2 1) の上に表面半導体層を形成する工程を含むことを特徴とする請求項 1 2 に記載の方法。

【請求項 1 4】

前記半導体副層 (2 1) を形成する工程が、前記基板 (2) を発端とする半導体副層のエピタキシャル成長を含み、前記表面半導体層 (3) を形成する工程が、前記半導体副層 (2 1) を発端とする表面半導体層のエピタキシャル成長を含むことを特徴とする請求項 1 3 に記載の方法。

【請求項 1 5】

前記半導体副層 (2 1) は、抵抗率が前記表面半導体層 (3) の抵抗率の 10 % から 50 % の間であって、厚さが前記表面半導体層 (3) の厚さの 50 % から 200 % の間であることを特徴とする請求項 1 3 又は 1 4 に記載の方法。

【請求項 1 6】

前記中央領域 (9 b) を形成する工程が、前記表面半導体層 (3) の上方に誘電体材料の層 (2 5) を堆積させる工程を含むことを特徴とする請求項 1 2 ~ 1 5 のいずれかに記載の方法。

【請求項 1 7】

前記中央領域 (9 b) を形成する工程が、前記表面半導体層 (3) 上における誘電体材料の層 (2 5) の熱成長を含むことを特徴とする請求項 1 2 ~ 1 5 のいずれかに記載の方法。

【請求項 1 8】

前記中央領域 (9 b) が、前記表面半導体層 (3) の表面に直交する方向に対して傾斜した側壁、特には、45° の角度で傾斜した側壁を有するように、前記中央領域 (9 b) を形成する工程が、更に、ドライエッチングを用いて、或いはウェットエッチング用いて前記誘電体材料の層 (2 5) をエッチングする工程を含むことを特徴とする請求項 1 6 又は 1 7 に記載の方法。

【請求項 1 9】

前記中央領域 (9 b) が長手方向に延びるトライプ構造を有するように、前記誘電体材料の層 (2 5) をエッチングすることを特徴とする請求項 1 8 に記載の方法。

【請求項 2 0】

前記複数のサイド領域 (9 a) を形成する工程が、前記中央領域 (9 b) を形成する工程の後に、前記表面半導体層 (3) の上方に該中央領域 (9 b) に連続的に接合された誘

10

20

30

40

50

電体層(26)を形成する工程を含み、

前記中央領域(9b)は、厚さが100 nmから1500 nmの間であり、前記誘電体層(26)は、厚さが100 nmよりも薄いことを特徴とする請求項12~19のいずれかに記載の方法。

【請求項21】

前記複数の本体領域(6)が前記誘電体層(26)の下に延在するものの前記中央領域(9b)の下に延在しないように、前記複数の本体領域(6)を形成する工程が、前記表面半導体層(3)中に第1ドーパント種を導入する工程を含み、

それによって、前記中央領域(9b)が、前記複数の本体領域(6)の間に配置された前記表面半導体層(3)のセル間領域(10)の上方に延在していることを特徴とする請求項20に記載の方法。

10

【請求項22】

前記ゲート電極領域(11)が、前記中央領域(9b)に対し長手方向且つ同軸に、該中央領域(9b)の上に延在し、且つ前記中央領域に対して横方向に、前記誘電体層(26)の上に延在するように、前記ゲート電極領域(11)を形成する工程が、前記中央領域(9b)及び前記誘電体層(26)の上方に導電性材料の層(27)を形成する工程と、それに続く、該導電性材料の層(27)をエッチングする工程とを含み、

前記第1ドーパント種を導入する工程が、前記ゲート電極領域(11)を形成する工程の後であることを特徴とする請求項21に記載の方法。

【請求項23】

20

更に、前記第1タイプの伝導性を有する複数のソース領域(7)を形成するために、前記複数の本体領域(6)中に第2ドーパント種を導入する工程を含み、

前記サイド領域(9a)が、前記ソース領域(7)と前記セル間領域(10)との間に配置された前記MOSデバイス(20)のチャンネル領域(12)並びに前記セル間領域(10)のサイド部分の上方に延在するように、前記サイド領域(9a)を形成する工程が、更に、前記第2ドーパント種を導入する工程の後に、前記誘電体層(26)をエッチングする工程を含むことを特徴とする請求項21又は22に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、電離放射線に対して耐性を示すMOSデバイスに関し、特に、パワーVDMOS(縦型二重拡散金属酸化物半導体)デバイスに関するものである。該MOSデバイスに対して、以下の説明で、一般的な如何なる損失をも暗示することなく、明確な言及を行う。

【背景技術】

【0002】

公知のように、宇宙環境、例えば、軌道周回衛星、宇宙探査用車輛等の宇宙システムで用いられる個々の半導体デバイスは、本質的に高い信頼性を有さなければならない。特に、これらのデバイスは、極めて高エネルギーで高透過能の電磁放射線(ガンマ線)、1 MeVよりも非常に高いエネルギーを有する陽子又は電子のビーム、程度の差こそあれ1 TeVよりも非常に高いエネルギーを有する重イオンで構成された宇宙線、宇宙線との相互作用に起因する同一宇宙システム内で発生した電磁ビーム又は粒子ビームによる二次放射線等の宇宙空間の電離放射線に対して耐性を有さなければならない。作動中の上記放射線源又は粒子源と半導体デバイスとの間の相互作用は、電氣的劣化(イオン化)又は物理的劣化(格子転移)のメカニズムを開始させ得、擬瞬間的に又は累積的に積みあがって、上記デバイスの熱破壊を進める可能性がある。

40

【0003】

各パワーMOSFETデバイスにおいて、起こり得る物理的劣化又は故障に内在するメカニズムは、TID及びSEEとして知られるように基本的に二つのタイプからなる。

- TID(総電離線量)、即ち、デバイスの活性層及び不活性層中において、動作特性

50

の進行性劣化を伴った、誘電層内での電子 - ホール対の発生と、その結果として起こる電荷、主にホールがトラップされた場合の蓄積。

- S E E (シングルイベント効果)、即ち、局在エネルギー過負荷メカニズムの擬瞬間的開始、それによって、ドレイン局所電界の顕著なドリフト、及びドレイン源の絶縁破壊電圧の低下 (S E B、シングルイベントバーンアウトと定義されるプロセス) が引き起こされ、或いは、活性な誘電体層を通る極めて高い電荷の過渡流れ又は過電圧パルスと、その結果として起こる永久誘電破壊 (S E G R、シングルイベントゲートラブチャーと定義されるプロセス) をも引き起こされ得る。

【0004】

上記メカニズムは、活性チャンネル上のゲート誘電体の同等に有害な (少なくとも一部蓄積する) 劣化を伴い、該劣化は、重イオンとオフ状態のデバイスの活性領域との間の相互作用に起因する過渡電流経路で起こるドレイン過電流によって引き起こされる。数ナノ秒の時間間隔で、異常且つ強いキャリアの流れがドレイン領域の表面部分でゲート誘電体に向かって移動し、また、一部は、デバイスのチャンネルに向かう電界によって促進される。

【0005】

この点について、図1を参照する。図1は、V D M O S デバイス1を示し、該V D M O S デバイス1は、既知の態様で、

半導体材料からなる基板2と、

同じく半導体材料からなり、基板2と同じタイプの (例えば、N型の) 伝導性を有し、同じ基板2の上に位置するエピタキシャル表面層3と、

エピタキシャル表面層3の表面部分に形成され、それぞれエピタキシャル表面層3の伝導性と反対の (例えば、P型の) 伝導性を有するボディウェル6と、ボディウェル6中に配置され、基板2と同一タイプの伝導性を有するソース領域7とを有する複数個のセルと

隣接する複数のボディウェル6の間に構成されるセル間領域 (その表面領域は10で表記されたネック領域として知られている) の上方に形成され、部分的に複数のボディウェル6及び複数のソース領域7に重なっている誘電体ゲート領域9と、誘電体ゲート領域9の上に形成されたゲート電極領域11とで構成される絶縁ゲート構造8とを具え、

基板2は、公知のように、V D M O S デバイス1用のドレインの機能を有する。

【0006】

重イオンとデバイスの活性領域との間の相互作用は、基板2に向かう電子 (e で表記される) の流れと、デバイスの伝導性チャンネル (12で表記され、絶縁ゲート構造8の直接下に配置された複数のボディウェル6の一部で規定され、一方のサイドがソース領域7とボディウェル6との間の接合によって区切られ、もう一方のサイドがボディウェル6とネック領域10との間の接合によって区切られる) に向かうホール (p で表記される) の対応する流れを発生させる。図2の詳細な記述 (力線が点線で示されている) において強調するように、活性領域の表面形状は、電界の横成分 E_{\parallel} (即ち、エピタキシャル表面層3の表面に直角な方向の成分) の強度の規定に大きく影響する。この成分は、電界の縦成分 E_{\perp} と共に、結果として生じる電界ベクトル E の方向を決定し、該ベクトル E は、全体としては、伝導性チャンネル上のゲート誘電体に向かっている。こうして、誘電体ゲート領域9に向かう、或いは、その中に入る電流 I が発生し、該電流 I は、誘電体の漸進的な充電を引き起こす。この現象は、イオンによるイオン化によって発生した電荷と電氣的なドレイン領域との間の相互作用に起因する電流増幅の影響によって向上させることができ、また、ソース領域7、本体領域6、及びドレイン領域 (エピタキシャル表面層3) によって形成される寄生バイポーラトランジスタの表面伝導の開始によっても向上させることができる。

【発明の開示】

【発明が解決しようとする課題】

【0007】

通常、誘電体ゲート領域9におけるS E G Rの発生や電荷の注入を低減するための技術

的な選択としては、活性領域の平面形状や誘電体ゲート領域 9 の厚さが挙げられる。特に、この領域（典型的には、酸化ケイ素から構成される）の厚さを均一に増加させることは、ネック領域 10 及びチャンネル領域の双方における SEG R の確率を低減するのに有効であることが分かっている。実際、厚さの増加は、電界の横成分 E_x の大幅な減少をもたらす。そして、誘電体における電荷の注入 / 捕捉をもたらす。しかしながら、同時に、ゲート誘電体を厚くすることは、TIDメカニズムに対する耐性の悪化をもたらすことが分かっている。特に、低オン抵抗 (R_{dson}) を保証しなければならない小型のデバイスにおいては、しばしば、TID耐性との妥協を見出すことが難しい。

【0008】

本発明の目的は、上述の問題及び不都合を解決できる MOS デバイス、特に、電離放射線に対してより高い耐性を示す MOS デバイスを提供することにある。

【課題を解決するための手段】

【0009】

本発明によれば、請求項 1 及び 11 のそれぞれに規定されるような電離放射線に対して耐性を示す MOS デバイス及び該 MOS デバイスに対応する製造方法が提供される。

【発明を実施するための最良の形態】

【0010】

本発明のより良い理解のために、ここに、添付の図面を参照しつつ、単に非限定的な実施例によって、本発明の好適実施態様を説明する。添付の図面において、図 1 は、公知のタイプの MOS デバイスの断面を示し、図 2 は、図 1 の断面の拡大詳細図であり、図 3 は、本発明の一側面に従う MOS デバイスの断面を示し、図 4 は、図 3 の断面の拡大詳細図であり、図 5 は、MOS デバイスの製造プロセスの初期工程における半導体材料のウエハーを通る断面を示し、図 6 a は、製造プロセスの後続工程における図 5 のウエハーの一部の上面図であり、図 6 b は、図 6 a の VI - VI 線に沿った半導体材料のウエハーの断面図であり、図 7 ~ 11 は、本発明の第 1 実施態様に従う、製造プロセスの後続工程における図 6 b の断面図と類似する断面図であり、図 12 ~ 15 は、本発明の第 2 実施態様に従う、MOS デバイスの製造プロセスの後続工程における半導体材料のウエハーを通る断面を示している。

【0011】

以下に詳細に説明するように、本発明の第 1 の側面は、基板とエピタキシャル表面層との間において、適切な厚さと抵抗率を有するエピタキシャル層を更に形成することを通じて、MOS デバイスの深さを増加させることを想定している。

【0012】

詳細には、図 3（図中、前記した他のものに類似する部分は同一の参照番号で指定され、再度詳細には説明しない）を参照すると、本発明に従って作製された MOS デバイス 20、特に、VDMOS タイプのデバイスにおいては、エピタキシャル副層 21 が基板 2 とエピタキシャル表面層 3 との間に配置されており、ここで、エピタキシャル表面層 3 中にはデバイスセル（それぞれ、上記に説明したように、ボディウェル 6 及びソース領域 7 を有する）が準備されている。エピタキシャル副層 21 の伝導性のタイプは、エピタキシャル表面層 3 の伝導性のタイプと同一であり、その厚さは、エピタキシャル表面層 3 の厚さ同程度（例えば、エピタキシャル表面層の厚さの約 2 分の 1 から 2 倍の間）である。更に、厚さの値と、主には、エピタキシャル副層 21 の抵抗率の値とは、エピタキシャル副層 21 が電子の密な流れによって横断される場合、イオン化過渡電流を流している間の抵抗降下の影響を最大化するように選択され、上記電子は、重イオンの影響によって、並びに動的増幅機構（原理的には、前述の寄生バイポーラトランジスタの予備トリガー）によって発生し、ドレイン終端に向かう電界によって押し込まれる。

【0013】

エピタキシャル副層 21 の存在によって、二重の利点をもたらされ、一方では、ドレイン電界 E に含まれる活性領域が下方に拡大し、それによって、ドレイン電界 E がイオン化過渡電流を流している間、表面において減少し、もう一方では、強注入条件の寄生バイポ

10

20

30

40

50

ーラトランジスタの増幅率が、有効ドレイン領域（寄生トランジスタのコレクタ）の拡大に起因して減少し、その結果として、過渡電流を流している間、ソース領域7及び誘電体ゲート領域9に向かって流れる表面ホールの電流密度が減少する。しかしながら、追加のエピタキシャル層の存在によって、基本的にオン抵抗（ $R_{ds(on)}$ ）に関して、MOSデバイス20の性能の低下が引き起こされ、このため、エピタキシャル副層21の抵抗率は、通常、エピタキシャル表面層の抵抗率の10%から50%の間となり、これらの値を超えることはない。

【0014】

本発明の第2の側面は、前記した第1の側面と独立しているものの、それによって、MOSデバイスの電離放射線に対する耐性の向上に貢献するものであり、専らネック領域10において、ゲート誘電体のより厚い層を準備することを想定するものである。

10

【0015】

詳細には（再度、図3を参照）、この場合、誘電体ゲート領域9は、ソース領域7、伝導チャンネル12、及びネック領域10のサイド部分の上方において、横方向に配置され、第1の厚さ（例えば、100 nmよりも薄い）を有する第1部分9aと、第1部分9aに接合されており、ネック領域10の真上の中央（特には、その中央部分の上部）に配置され、第1の厚さよりも厚い（約一桁ほど大きく、例えば、100 nmから1500 nmの間の）第2の厚さを有する第2部分9bとを有する。第2部分9bは、ストライプ構造を有し、上に位置するゲート電極領域11に対して長手方向に且つ実質同軸に延在している。更に、第1部分9aに連結された第2部分9bの外側面は、エピタキシャル表面層3の表面に直交させてもよく、或いは、（以下に明らかにするような）製造方法に従って、例えば、45°の角度で、直角方向に対して傾斜させてもよい。

20

【0016】

また、図4に説明するように、ネック領域10上にセル間誘電体のより厚い領域が存在することで、ネック領域10上の（特には、ゲートとドレインとの間の）電界の横成分 E_x を減少させることができる。更に、同一厚さのセル間領域は、間接的に表面場の分布に歪を誘起し、表面場の分布の歪は、表面の力線を平滑にするようになり、伝導チャンネル12上の横方向の電界を減少させる。更に、有益なことに、チャンネル領域12上の誘電体層の厚さの低減を維持するおかげで、少なくともゲート-ソース閾値電圧等のチャンネルパラメータに関しては、TID機構に対する耐性の悪化に伴う問題が強く限定される。

30

【0017】

より詳細には、厚いセル間誘電体ストライプの水平方向及び鉛直方向の寸法が、基本セルの幾何学的特性、並びに表面ドレイン及び本体領域の形状及びドーピングよりも、MOSデバイス20の絶縁破壊特性と同デバイスのSEEに対する耐性との両方を、どの程度変更するか決定する。特には、誘電体ゲート領域9の第2部分9bの厚さは、デバイスの絶縁破壊電圧 BV_{ds} を過度に低下させないように選択され、例えば、この厚さは、100 nmから1500 nmの間であり、使用する技術の関数となるものでもある。第2部分9bの幅は、表面ドレイン電界への"平坦化"効果を最大化するように選択され、同一チャンネルと重ならないことが保証される限りにおいて、伝導チャンネル12の端部に第2部分9bをできる限り接近させる。例えば、上に位置するゲート電極領域11（同じく、ストライプ構造を有する）の幅が $5.7\ \mu\text{m}$ で、表面におけるボディウェル6の側方拡散が $0.5\ \mu\text{m}$ である場合、第2部分9bは、例えば、幅が $3.7\ \mu\text{m}$ であり、その結果、伝導チャンネル12の端部から十分な安全余白、即ち、各サイドに $0.5\ \mu\text{m}$ の余白が残る。

40

【0018】

MOSデバイス20の製造プロセスは、最初に、基板2を構成する半導体ウエハーを準備し、次に、基板2から始まるエピタキシャル成長によってエピタキシャル副層21を形成し、更に、エピタキシャル副層21から始まるエピタキシャル成長によってエピタキシャル表面層3を形成することを想定している（図5）。特には、どの光技術や他の表面処理よりも前に、エピタキシャル成長工程を実行する。次に、エッジ終端の形成、活性領域の開始、ウエハー表面のクリーニングを、公知の方法で実行し、それらについては、こ

50

で詳細には説明しない。

【0019】

次に、2つの代替の変形方法に従って、厚いセル間誘電体のストライプを形成する。

【0020】

第1の変形方法は、CVDによる誘電体の形成を想定している。詳細には、厚いゲート誘電体の堆積の前に、熱酸化物の薄膜（図示せず）の任意選択的な成長工程を最初に実施し、次に、厚い誘電体層25のCVD堆積を実行する。厚い誘電体層25は、厚さが100 nmから1500 nmで、SG（シリコンガラス）であってよく、好ましくはUSG（ドーブされていないシリコンガラス）であり、堆積技術は、PECVDでも、LPCVDでも、APCVDでもよく、また、多層の誘電体を使用することも可能である。（任意選択的に）誘電体を緻密化する熱プロセスを行う。代わりとして、第2の変形方法は、誘電体膜（酸化ケイ素、又はオキシナイトライドと酸化ケイ素との化合物）の熱成長により、エピタキシャル表面層3の上方に、圧さが100 nmから500 nmの厚い誘電体層25を形成することを想定している。従って、誘電体ストライプの厚さを厚くする必要がある場合、第1の変形方法が有利である。

10

【0021】

厚い誘電体層25の形成の後、長手方向に延びた、セル間-ゲート誘電体のストライプを画成するために、適切な光技術を実行する。詳細には、エピタキシャル表面層3上に誘電体ゲート領域9の第2部分9bを得るために、厚い誘電体層25の一方方向ドライエッチングや、等方性ウェットエッチングを行うことができる。ドライエッチングにより、ウエハーの表面に直交するストライプ用の側壁が形成され、著しく小型化されたデバイスにおいて、側面寸法を制限するためには、該ドライエッチングが有利である。隣接するセル間の間隔が過度に狭くなく、ストライプの厚さが薄過ぎない（約100 nmから200 nmの間）場合は、ウェットエッチングが好ましい。この場合、ストライプの側壁の最終傾斜は、好ましくは約45°である。また、逐次的なウェット/ドライエッチングを想定することも可能である。

20

【0022】

次に、ウエハー表面のクリーニング工程を更に実行した後、熱酸化を用いて、ゲート誘電体のストライプに対して横方向に薄い誘電体層26（図7）を形成する。誘電体は、例えば、オキシナイトライドであっても、酸化物、窒化物及び酸化物の多層であってもよく、厚さを100 nm未満とすることができる。次に、ゲート-電極層27を、半導体ウエハーの上方に堆積させ、該ゲート-電極層27は、例えば、ドーブされた多結晶シリコンや、ドーブされた多結晶シリコンと金属シリサイドとの二重層から形成され、厚さが100 nmから600 nmである。

30

【0023】

ここで、製造プロセスの第1の実施態様に従って、USG、PSG、TEOS、又は他の誘電体、或いは、誘電体の多層からなる第1誘電体層のCVD堆積を実行する。この次に、適切な光技術を用いて、ゲート電極11（図8）を画成する。第1誘電体領域28を形成するために、ゲート-電極層27上の終端で、第1誘電体層の一方方向エッチングを最初に行い、次に、一定時間、或いは薄い誘電体層26の終端で、ゲート-電極層27の一方方向エッチングを行う。

40

【0024】

次に（図9）、詳細に説明しない公知の方法で、ボディウエル6を形成するためのイオン注入及び拡散の第1プロセスを行い、次に、（適切なマスクングを用いて）ボディウエル6内にソース領域7を形成するためのイオン注入及び拡散の第2プロセスを行う。具体的には、拡散の後、ボディウエル6は、ゲート構造の下に延在するものの、誘電体ゲート領域9の第2部分9bの下には延在しない。

【0025】

次に、第2誘電体層29のCVD堆積を行い、該第2誘電体層29は、スペーサーを成す。第2誘電体層29は、USG、PSG、TEOS、又は他の誘電体、或いは、一貫性

50

の低い誘電体の多層からなることが可能で、その厚さは、ウエハーの平面形状に直接左右される。

【0026】

誘電体の緻密化工程の後、第2誘電体層29の一方向エッチングを行って、ゲート構造のサイドにスペーサー30を形成し、それによって、第1誘電体領域28とゲート-電極領域11(図10)とのサイドにスペーサー30が形成される。また、エッチングにより、薄い誘電体層26の一部が除去され、下に位置するソース領域7が露出し、誘電体ゲート領域9の第1部分9aが画成される。

【0027】

続いて、公知の任意工程、即ち、シリコンを一定時間ドライエッチングして柔らかい溝を形成する工程、金属(Co、Pt、又は他の材料)を堆積させ金属シリサイドを形成し、続いて接触シリサイドの膜(厚さが10÷100nm)を焼結して誘電体表面から残存金属を除く工程、並びに、接点に冶金バリアを堆積させる工程(Ti/TiN等)を行ってもよい。次に、公知の技術で、パッド上のゲートコンタクトを開放するために、フォトマスクングを実行する。

10

【0028】

ウエハーの前面の金属化でプロセスが終了し、該金属化により、例えば、アルミニウム合金から構成され、同じ金属層の"パターンニング"を有する金属層32(図11)が形成される。次に、公知の技術に従って、最終不動態の堆積又はフォトリソグラフィを行い、ウエハーの背面の前処理及び金属化を行う(デバイスのドレインコンタクト)。

20

【0029】

製造プロセスの第2の実施態様は、前記のようなスペーサー(所謂、自己整合技術)によってではなく、フォトリソグラフィ技術を用いて、(特に、ゲート電極11からの)ソースコンタクトの横方向絶縁を準備することを想定している。

【0030】

詳細には、図7に記載の構造から出発して(ゲート-電極層27の堆積の後)、適切なマスクングを通して、一定時間、或いは、下に位置する薄い誘電体層26上の終端で、ゲート-電極層27の一方向エッチングを行い、ゲート電極11を形成する(図12)。

【0031】

続いて、ボディウェル6及びソース領域7を形成するためのイオン注入及び拡散プロセスを行い、並びに、ゲート電極11及びウエハー表面上に中間誘電体層33をCVD堆積させる。ここでも、誘電体は、USG、PSG、TEOS、又は他の誘電体、或いは、誘電体の多層からなることが可能である。

30

【0032】

誘電体の緻密化工程の後、コンタクトを開放するためにフォトマスクングを実施し、特に、中間誘電体層33のドライエッチング又は複合(ドライ/ウェット)エッチングを行う。また、エッチングにより、薄い誘電体層26の一部が除去され、下に位置するソース領域7が露出し、誘電体ゲート領域9の第1部分9aが画成される(図14)。

【0033】

続いて、上記の最終工程、特に、金属層32を形成するために、前面の金属化工程を行う(図15)。

40

【0034】

上記に説明したことから、本発明に従うMOSデバイス及びそれに対応する製造プロセスの利点が明らかとなる。

【0035】

特に、MOSデバイス20は、(エピタキシャル副層21を用いて)過渡電流を流している間にゲート及びソース領域に向かって流れるホールの電流密度を減少させることと、(厚いゲート誘電体のストライプを用いて)ネック領域10上のゲートとドレインとの間及び伝導チャネル12上のゲートとソースの間の電界の横成分 E_x を減少させることとの二重の要件を満たす限り、電離放射線に対する耐性が高く、また、電離放射線による電

50

氣的 / 物理的劣化に対する耐性が高い。

【 0 0 3 6 】

ネック領域 10 の上方に配置された中央のストライプ部分のみの厚さが厚い、誘電体ゲート領域 9 の特殊な構造を前提として、MOS デバイス 20 の T I D 機構に対する耐性に関して、良好な妥協点が見出され得る。

【 0 0 3 7 】

更に、要素セル上の誘電体ゲート領域 9 の複合構造によって、信頼性に関する効果とは別に、MOS デバイス 20 の性能に更なる利点をもたらされる。これらの中でも、ゲート容量の減少が最も明らかであり、それによって、MOS デバイス 20 のスイッチング率が顕著に向上する。

【 0 0 3 8 】

最後に、添付の特許請求の範囲で規定された本発明の範囲から逸脱することなく、ここに記載して説明されたことに対して、変形及び変更を行うことが可能とすることは明らかである。

【 0 0 3 9 】

具体的には、ここに記載して説明されたことを、どんなタイプのエッジ終端を有するパワー V D M O S デバイスにも、どんな寸法の活性領域中にストライプを有するパワー V D M O S デバイスにも、有益に適用することが可能である。例えば、N-チャネル及び P-チャネルタイプの、シングル V D M O S、I G B T、及び M O S F E T 等の、他の MOS デバイスにおいても、同じ教示を適用できる。更に、全体の記載が、P-チャネル V D M O S デバイスの場合を参照しているとしても、即座に、N-チャネル V D M O S デバイスの双対ケースに拡張できる。

【 0 0 4 0 】

加えて、必要な機能、設計技術、及びデバイスに要求される特性に従って、デバイスの幾何学的パラメータ（例えば、エピタキシャル層の厚さ及び抵抗率、ゲート誘電体のストライプの幅、隣接するストライプ間の間隔、長手方向のピッチ、並びに、周期的なコンタクトセルの幅 / 形状に関して）を変えることができる。例えば、誘電体領域 9 の第 2 部分 9 b の幅を、ネック領域 10 の幅と等しくすることすら可能であろうし、この場合、該誘電体領域 9 の第 2 部分 9 b は、伝導チャネル 12 に関して重ならない。

【 0 0 4 1 】

最後に、再度、本発明の 2 つの側面（エピタキシャル副層 21 の存在、並びに、ネック領域 10 に限定された厚い誘電体のストライプの存在）を組み合わせることで説明し、本発明の 2 つの側面は、（それらが、電離放射線によって引き起こされる 2 つの主要な問題を同時に解決できる限り）組み合わせられることで特に有益となることを強調しておくが、それらは、互いに独立して、実施することも可能である。

【 図面の簡単な説明 】

【 0 0 4 2 】

【 図 1 】 公知のタイプの MOS デバイスの断面を示す。

【 図 2 】 図 1 の断面の拡大詳細図である。

【 図 3 】 本発明の一側面に従う MOS デバイスの断面を示す。

【 図 4 】 図 3 の断面の拡大詳細図である。

【 図 5 】 MOS デバイスの製造プロセスの初期工程における半導体材料のウエハーを通る断面を示す。

【 図 6 a 】 製造プロセスの後続工程における図 5 のウエハーの一部の上面図である。

【 図 6 b 】 図 6 a の VI - VI 線に沿った半導体材料のウエハーの断面図である。

【 図 7 】 本発明の第 1 実施態様に従う、製造プロセスの後続工程における図 6 b の断面図と類似する断面図である。

【 図 8 】 本発明の第 1 実施態様に従う、製造プロセスの後続工程における図 6 b の断面図と類似する断面図である。

【 図 9 】 本発明の第 1 実施態様に従う、製造プロセスの後続工程における図 6 b の断面図

10

20

30

40

50

と類似する断面図である。

【図10】本発明の第1実施態様に従う、製造プロセスの後続工程における図6bの断面図と類似する断面図である。

【図11】本発明の第1実施態様に従う、製造プロセスの後続工程における図6bの断面図と類似する断面図である。

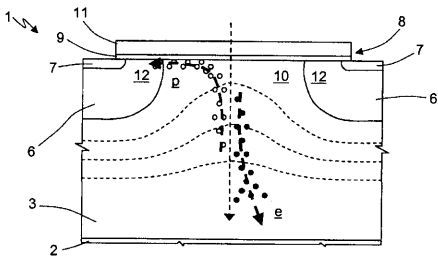
【図12】本発明の第2実施態様に従う、MOSデバイスの製造プロセスの後続工程における半導体材料のウエハーを通る断面を示す。

【図13】本発明の第2実施態様に従う、MOSデバイスの製造プロセスの後続工程における半導体材料のウエハーを通る断面を示す。

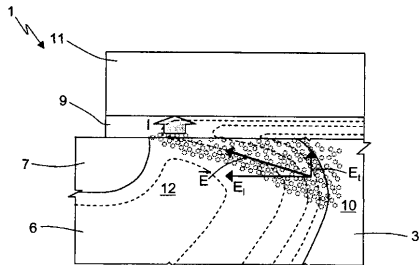
【図14】本発明の第2実施態様に従う、MOSデバイスの製造プロセスの後続工程における半導体材料のウエハーを通る断面を示す。

【図15】本発明の第2実施態様に従う、MOSデバイスの製造プロセスの後続工程における半導体材料のウエハーを通る断面を示す。

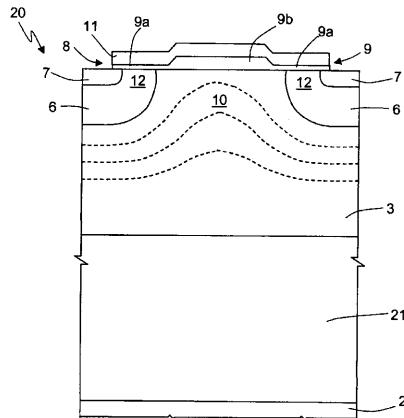
【図1】



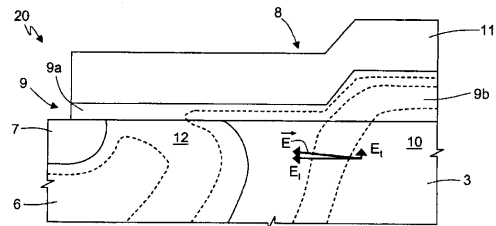
【図2】



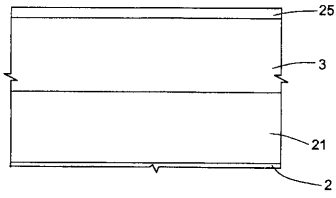
【図3】



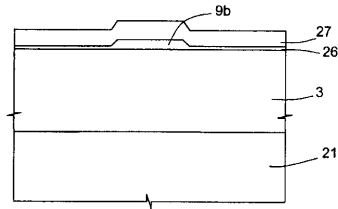
【図4】



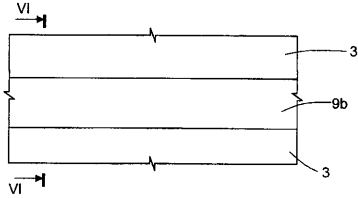
【 図 5 】



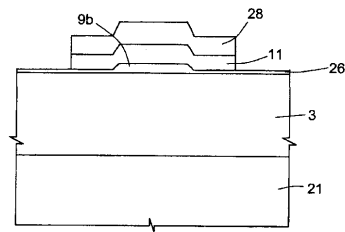
【 図 7 】



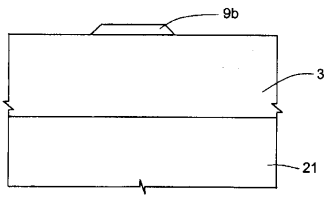
【 図 6 a 】



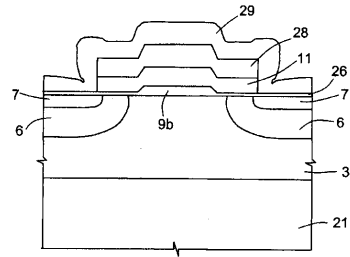
【 図 8 】



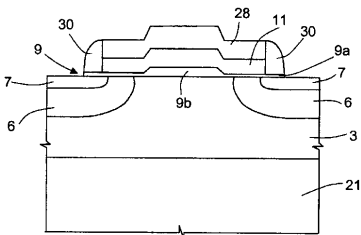
【 図 6 b 】



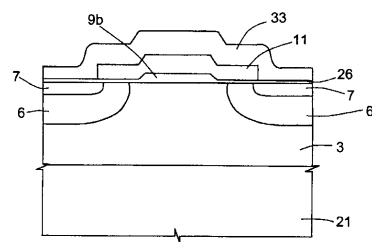
【 図 9 】



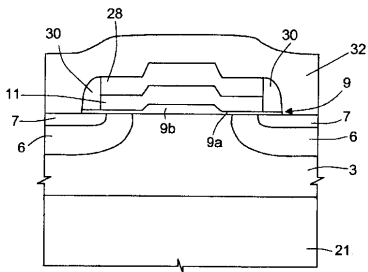
【 図 10 】



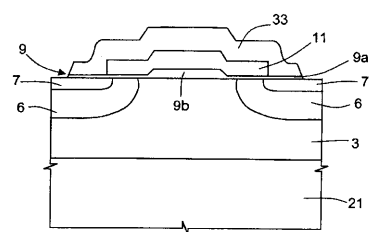
【 図 13 】



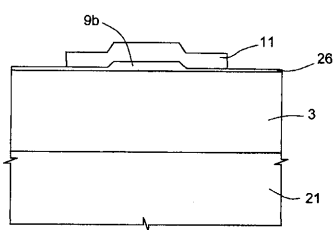
【 図 11 】



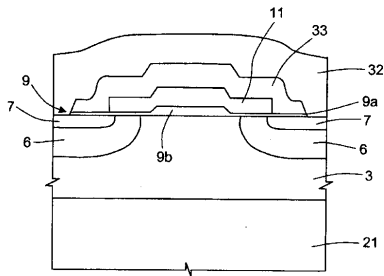
【 図 14 】



【 図 12 】



【 図 15 】



フロントページの続き

(74)代理人 100107227

弁理士 藤谷 史朗

(74)代理人 100134005

弁理士 澤田 達也

(74)代理人 100119530

弁理士 富田 和幸

(72)発明者 アレッサンドラ カシオ

イタリア国 9 8 1 6 8 メッシーナ コントラーダ コンカ ドッロ コンプレッソ ガーデン
ハウス 2

(72)発明者 ジュゼッペ クーロ

イタリア国 9 8 1 6 8 メッシーナ ヴィア コンソラーレ ポンペア 2 2 1

【外国語明細書】

2008182191000001.pdf