(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월05일
(11) 등록번호 10-1162719
(24) 등록일자 2012년06월28일

(51) 국제특허분류(Int. Cl.)
H03M 1/12 (2006.01)
(21) 출원번호 10-2011-0049807
(22) 출원일자 2011년05월25일
심사청구일자 2011년05월25일
(56) 선행기술조사문헌
KR1020060099303 A
KR1020080024676 A
US20070159374 A1
US7304598 B1

(73) 특허권자
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
황원석
경기도 이천시 증포동 선경2차아파트 202동 1401호
이승훈
서울특별시 용산구 이촌로 324-10, 2동 210호 (이촌동, 반도아파트)
(뒷면에 계속)
(74) 대리인
특허법인이룸

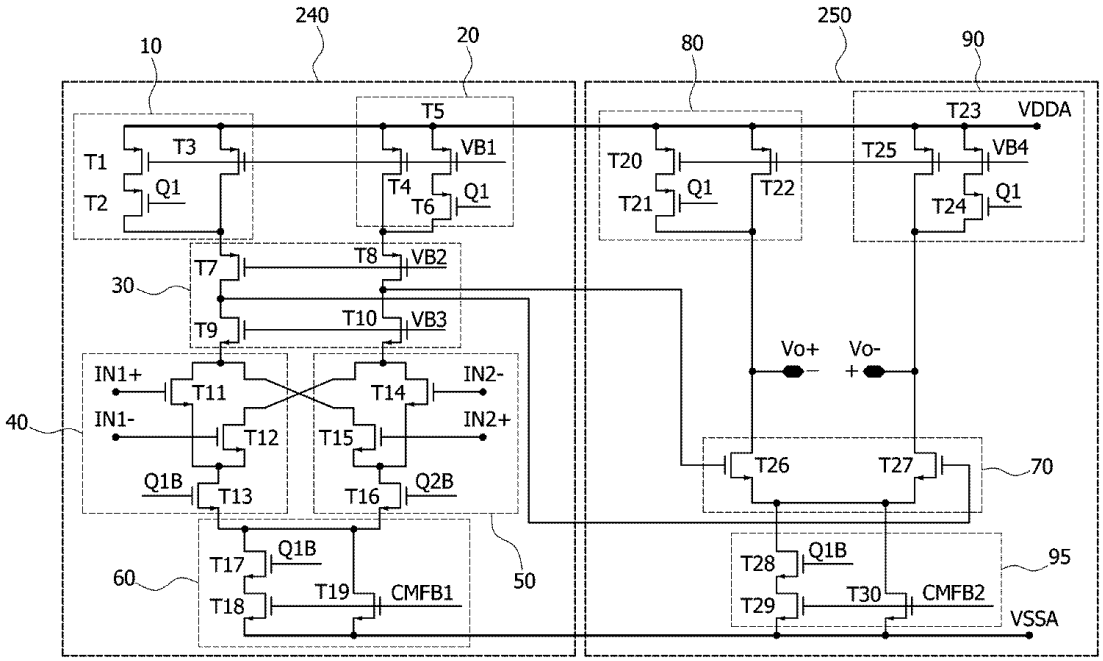
전체 청구항 수 : 총 24 항 심사관 : 장석환

(54) 발명의 명칭 **증폭회로 및 그를 구비한 아날로그 디지털 변환회로**

(57) 요 약

본 발명은 전류소모를 최적화할 수 있는 파이프라인 구조의 아날로그 디지털 변환회로를 제공한다. 이를 위해 본 발명은 아날로그 신호를 입력받아 예정된 제1 비트수만큼 제1 디지털 신호를 변경하는 제1 ADC 회로; 상기 제1 디지털 신호를 아날로그 값으로 변경한 제1 변경신호와 상기 아날로그 신호와 차이값을 예정된 비율로 증폭하는 제1 MDAC 회로부; 상기 제1 MDAC 회로부에서 증폭된 신호를 예정된 제2 비트수만큼 제2 디지털 신호로 변경하는 제2 ADC 회로; 상기 제2 디지털 신호를 아날로그 값으로 변경한 제2 변경신호와 상기 제1 MDAC 회로부의 출력값과의 차이값을 예정된 비율로 증폭하는 제2 MDAC 회로부; 상기 제2 MDAC 회로부에서 출력되는 증폭된 신호를 예정된 제3 비트수만큼 제3 디지털 신호로 변경하는 제3 ADC 회로; 및 상기 제1 MDAC 회로부와 상기 제2 MDAC 회로부의 증폭동작을 위해 공통으로 사용되는 공통 증폭회로부를 구비하되, 상기 공통 증폭회로부는 상기 제1 MDAC 회로부에 적용될 때와 상기 제2 MDAC 회로부에 적용되는 경우 각각 서로 다른 소모전류를 사용하면서 동작하는 아날로그 디지털 변환회로를 제공한다.

대 표 도



(72) 발명자

송정은

서울특별시 강서구 강서로 279-87 (내발산동)

황동현

서울특별시 마포구 광성로6안길 7, 501호 (신수동, 성조빌딩)

특허청구의 범위

청구항 1

아날로그 신호를 입력받아 예정된 제1 비트수만큼 제1 디지털 신호를 변경하는 제1 ADC 회로;

상기 제1 디지털 신호를 아날로그 값으로 변경한 제1 변경신호와 상기 아날로그 신호와 차이값을 예정된 비율로 증폭하는 제1 MDAC 회로부;

상기 제1 MDAC 회로부에서 증폭된 신호를 예정된 제2 비트수만큼 제2 디지털 신호로 변경하는 제2 ADC 회로;

상기 제2 디지털 신호를 아날로그 값으로 변경한 제2 변경신호와 상기 제1 MDAC 회로부의 출력값과의 차이값을 예정된 비율로 증폭하는 제2 MDAC 회로부;

상기 제2 MDAC 회로부에서 출력되는 증폭된 신호를 예정된 제3 비트수만큼 제3 디지털 신호로 변경하는 제3 ADC 회로; 및

상기 제1 MDAC 회로부와 상기 제2 MDAC 회로부의 증폭동작을 위해 공통으로 사용되는 공통 증폭회로부를 구비하되, 상기 공통 증폭회로부는 상기 제1 MDAC 회로부에 적용될 때와 상기 제2 MDAC 회로부에 적용되는 경우 각각 서로 다른 소모전류를 사용하면서 동작하는 아날로그 디지털 변환회로.

청구항 2

제 1 항에 있어서,

상기 공통 증폭회로부는

입력신호를 증폭하는 제1 증폭회로와, 상기 제1 증폭회로의 증폭신호를 증폭하는 제2 증폭회로를 구비하는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 3

제 2 항에 있어서,

상기 제1 증폭회로는

제1 전류량을 제공하기 위한 제1 전류경로와 제2 전류량을 제공하기 위한 제2 전류경로를 구비하는 로드부;

상기 제1 변경신호와 상기 아날로그 신호의 차이값을 입력받아 상기 로드부에서 전달되는 전류량을 조절함으로서 증폭하기 위한 제1 입력부;

상기 제2 변경신호와 상기 제1 MDAC 회로부의 출력값의 차이값을 입력받아 상기 로드부에서 전달되는 전류량을 조절함으로서 증폭하기 위한 제2 입력부; 및

상기 제1 입력부 또는 상기 제2 입력부에서 제공되는 정전류를 제3 및 제4 전류경로 또는 이 둘 중 하나를 통해 흘려보내는 것이 특징인 정전류부를 구비하는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 4

제 3 항에 있어서,

상기 제1 입력부는

상기 제1 변경신호와 상기 아날로그 신호의 차이값을 게이트로 입력받는 제1 트랜지스터; 및

제1 스위칭 신호에 응답하여 턴온되며, 상기 제1 트랜지스터와 직렬로 연결된 제1 스위치를 구비하고,

상기 제2 입력부는

상기 제2 변경신호와 상기 제1 MDAC 회로부의 출력값의 차이값을 게이트로 입력받으며 상기 제1 트랜지스터와 병렬로 배치된 제2 트랜지스터; 및

상기 제1 스위칭 신호에 반대의 위상을 가지는 제2 스위칭 신호에 응답하여 턴온되며, 상기 제2 트랜지스터와 직렬로 연결된 제2 스위치를 구비하는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 5

제 4 항에 있어서,

상기 제1 스위칭 신호와 제2 스위칭신호는 서로 반대의 위상을 가지며, 예정된 부분이 겹치는 활성화 구간이 존재하는 것을 특징인 아날로그 디지털 변환회로.

청구항 6

제 3 항에 있어서,

상기 로드부는

상기 제1 전류경로를 위한 제1 트랜지스터; 및

상기 제2 전류경로를 위해 직렬연결되며, 상기 제1 트랜지스터와 병렬로 배치된 제2 및 제3 트랜지스터를 구비하며, 상기 제3 트랜지스터는 스위칭 신호에 의해 선택적으로 턴온되는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 7

제 4 항에 있어서,

상기 정전류부는

상기 제3 전류경로를 위한 제4 트랜지스터; 및

상기 제4 전류경로를 위해 직렬연결되며, 상기 제4 트랜지스터와 병렬로 배치된 제5 및 제6 트랜지스터를 구비하며, 상기 제5 트랜지스터는 상기 스위칭신호의 반전신호에 의해 선택적으로 턴온되는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 8

제 6 항에 있어서,

제1 전류경로를 통해 제공되는 정전류는 상기 제3 전류경로를 통해 전달시키는 정전류량과 같고, 상기 제2 전류경로를 통해 제공되는 정전류는 상기 제4 전류경로를 통해 전달시키는 정전류량과 같은 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 9

제 6 항에 있어서,

상기 제1 전류경로와 제2 전류경로에 의해 각각 예정된 동작전류의 85%와 15%의 비율로 전류량이 전달되는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 10

제 7 항에 있어서,

상기 제3 전류경로와 제4 전류경로에 의해 각각 예정된 동작전류의 85%와 15%의 비율로 전류량이 전달되는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 11

제 1 항에 있어서,

제1 내지 제3 비트수는 같은 비트수인 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 12

제 2 항에 있어서,

제2 증폭회로는

제1 전류량을 제공하기 위한 제1 전류경로와 제2 전류량을 제공하기 위한 제2 전류경로를 구비하는 로드부;

상기 제1 증폭회로에서 증폭된 신호를 입력받아, 상기 로드부에서 전달되는 전류량을 조절함으로서 상기 제1 증폭회로에서 증폭된 신호를 증폭하기 위한 입력부; 및

상기 입력부에서 제공되는 정전류를 제3 전류경로 및 제4 전류경로를 통해 또는 이 둘 중 하나를 통해 흘려보내기 위한 정전류부를 구비하는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 13

제 12 항에 있어서,

상기 로드부는

상기 제1 전류경로를 위한 제1 트랜지스터; 및

상기 제2 전류경로를 위해 직렬연결되며, 상기 제1 트랜지스터와 병렬로 배치된 제2 및 제3 트랜지스터를 구비하며, 상기 제3 트랜지스터는 스위칭 신호에 의해 선택적으로 턴온되는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 14

제 13 항에 있어서,

상기 정전류부는

상기 제3 전류경로를 위한 제4 트랜지스터; 및

상기 제4 전류경로를 위해 직렬연결되며, 상기 제4 트랜지스터와 병렬로 배치된 제5 및 제6 트랜지스터를 구비하며, 상기 제5 트랜지스터는 상기 스위칭신호의 반전신호에 의해 선택적으로 턴온되는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 15

제 1 항에 있어서,

상기 공통 증폭회로는

제1 전류량을 제공하기 위한 제1 전류경로와 제2 전류량을 제공하기 위한 제2 전류경로를 구비하는 로드부;

상기 아날로그 신호와 상기 제1 변경신호와의 차이값을 입력받아 상기 로드부에서 전달되는 전류량을 조절함으로서 증폭하기 위한 제1 입력부;

상기 제2 변경신호와 상기 제1 MDAC 회로부의 출력값의 차이값을 입력받아 상기 로드부에서 전달되는 전류량을 조절함으로서 증폭하기 위한 제2 입력부; 및

상기 제1 입력부 또는 상기 제2 입력부에서 제공되는 정전류를 제3 및 제4 전류경로 또는 이 둘 중 하나를 통해 흘려보내는 것이 특징인 정전류부를 구비하는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 16

제 15 항에 있어서,

상기 제1 입력부는

상기 아날로그 신호와 상기 제1 변경신호와의 차이값을 게이트로 입력받는 제1 트랜지스터; 및

제1 스위칭 신호에 응답하여 턴온되며, 상기 제1 트랜지스터와 직렬로 연결된 제1 스위치를 구비하고,

상기 제2 입력부는

상기 제2 변경신호와 상기 제1 MDAC 회로부의 출력값의 차이값을 게이트로 입력받으며 상기 제1 트랜지스터와 병렬로 배치된 제2 트랜지스터; 및

상기 제1 스위칭 신호에 반대의 위상을 가지는 제2 스위칭 신호에 응답하여 턴온되며, 상기 제2 트랜지스터와 직렬로 연결된 제2 스위치를 구비하는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 17

제 15 항에 있어서,

상기 제1 스위칭 신호와 제2 스위칭신호는 서로 반대의 위상을 가지며, 예정된 부분이 겹치는 구간이 존재하는 것이 특징인 아날로그 디지털 변환회로.

청구항 18

제 15 항에 있어서,

상기 로드부는

상기 제1 전류경로를 위한 제1 트랜지스터; 및

상기 제2 전류경로를 위해 직렬연결되며, 상기 제1 트랜지스터와 병렬로 배치된 제2 및 제3 트랜지스터를 구비하며, 상기 제3 트랜지스터는 스위칭 신호에 의해 선택적으로 턴온되는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 19

제 18 항에 있어서,

상기 정전류부는

상기 제3 전류경로를 위한 제4 트랜지스터; 및

상기 제4 전류경로를 위해 직렬연결되며, 상기 제4 트랜지스터와 병렬로 배치된 제5 및 제6 트랜지스터를 구비하며, 상기 제5 트랜지스터는 상기 스위칭신호의 반전신호에 의해 선택적으로 턴온되는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 20

제 19 항에 있어서,

제1 전류경로를 통해 제공되는 정전류는 상기 제3 전류경로를 통해 전달시키는 정전류량과 같고, 상기 제2 전류경로를 통해 제공되는 정전류는 상기 제4 전류경로를 통해 전달시키는 정전류량과 같은 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 21

제 20 항에 있어서,

상기 제1 전류경로와 제2 전류경로에 의해 각각 예정된 동작전류의 85%와 15%의 비율로 전류량이 전달되는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 22

제 20 항에 있어서,

상기 제3 전류경로와 제4 전류경로에 의해 각각 예정된 동작전류의 85%와 15%의 비율로 전류량이 전달되는 것을 특징으로 하는 아날로그 디지털 변환회로.

청구항 23

제1 전류량을 제공하기 위한 제1 전류경로와 제2 전류량을 제공하기 위한 제2 전류경로를 구비하는 제1 로드부;

제1 아날로그 신호를 입력받아 상기 로드부에서 전달되는 전류량을 조절함으로서 상기 제1 아날로그 신호를 증폭하기 위한 제1 입력부;

제2 아날로그 신호를 입력받아 상기 로드부에서 전달되는 전류량을 조절함으로서 상기 제2 아날로그 신호를 증폭하기 위한 제2 입력부; 및

상기 제1 입력부 또는 상기 제2 입력부에서 제공되는 정전류를 제3 및 제4 전류경로 또는 이 둘 중 하나를 통해 흘려보내는 제1 정전류부

를 구비하는 증폭회로.

청구항 24

제 23 항에 있어서,

제5 전류량을 제공하기 위한 제5 전류경로와 제6 전류량을 제공하기 위한 제6 전류경로를 구비하는 제2 로드부;

상기 제1 입력부 또는 제2 입력부에서 전달된 신호에 응답하여 상기 로드부에서 전달되는 전류량을 조절함으로서 증폭하는 위한 제3 입력부; 및

상기 제3 입력부에서 제공되는 정전류를 제7 전류경로 및 제8 전류경로를 통해 또는 이 둘 중 하나를 통해 흘려보내기 위한 제2 정전류부를 더 구비하는 것을 특징으로 하는 증폭회로.

명 세 서

기 술 분 야

[0001] 본 발명은 집적회로에 관한 것으로, 보다 자세하게는 아날로그 값을 디지털 값으로 변환하는 아날로그 디지털 변환회로에 관한 것이다.

배 경 기 술

[0002] 디지털 신호가 입력되고 처리되어 디지털 값이 출력되는 집적회로도 있지만, 아날로그 값을 처리해야하는 경우도 있다. 아날로그 값을 처리하기 위해서는 집적회로는 아날로그 값을 디지털 값으로 변환하는 아날로그 디지털 변환회로를 포함하게 된다. 특히, 이미지를 처리하는 집적회로는 필수적으로 아날로그 디지털 변환회로를 구비하게 된다. 예를 들어, 이미지를 처리장치에 구비되는 센서에 입력되는 신호는 아날로그 값이며, 이를 내부적으로 처리하기 위해서는 디지털 값으로 변환해야 하는 것이다. 이미지 처리 장치가 구비한 센서가 수신하여 전달하는 영상 정보는 일반적으로 아주 미세하기 때문에 작은 신호를 구별할 수 있는 고해상도의 아날로그 디지털 변환회로가 필요하다.

[0003] 이미지 처리 장치뿐만 아니라, 이동통신, ADSL(Asynchronous Digital Subscriber Loop), IMT-2000, 디지털 캠코더, HDTV 등 통신 및 영상처리 응용 시스템에서도 높은 해상도와 수십 MHz 수준의 높은 샘플링 속도를 가지는 고성능의 ADC가 요구되고 있다.

[0004] 아날로그 디지털 변환회로는 다양한 형태의 구조가 개발되어 있는데, 예를 들면, 플래시(flash), 폴딩(folding), 서브레인징(subranging) 및 파이프라인(pipeline) 구조 등이 있다. 최근에는 이러한 다양한 구조 중에서 고속 신호 처리 사양과 고해상도 조건을 동시에 만족하고, 속도, 전력 소모 및 면적을 최적화할 수 있는 파이프라인 구조를 많이 사용하고 있는 추세이다. 파이프라인 구조의 아날로그 디지털 변환회로는 다수의 단이 파이프라인 구조를 이루고 있다. 각 단은 1비트를 결정하는 단일-비트 구조이거나, 2비트 이상을 결정하는 멀티-비트 구조로 구성될 수 있다.

[0005] 파이프라인 구조의 아날로그 디지털 변환회로에 구비되는 다수의 단위회로는 예정된 비트 수만큼 아날로그 신호를 디지털로 변환하고, 디지털로 변환되지 못한 정보는 다음 단으로 전달한다. 이 과정에서 디지털로 변환하지 못한 아날로그 값을 증폭하는 증폭회로가 필수적인데, 이 증폭회로로 인해 소모되는 파워가 너무 높게 되는 게 파이프라인 구조의 아날로그 디지털 변환회로의 문제점이다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 전류소모를 최적화할 수 있는 증폭회로 및 그 증폭회로를 구비한 파이프라인 구조의 아날로그 디지털 변환회로를 제공한다.

과제의 해결 수단

[0007] 본 발명은 아날로그 신호를 입력받아 예정된 제1 비트 수만큼 제1 디지털 신호를 변경하는 제1 ADC 회로; 상기 제1 디지털 신호를 아날로그 값으로 변경한 제1 변경신호와 상기 아날로그 신호와 차이 값을 예정된 비율로 증폭하는 제1 MDAC 회로부; 상기 제1 MDAC 회로부에서 증폭된 신호를 예정된 제2 비트 수만큼 제2 디지털 신호로 변경하는 제2 ADC 회로; 상기 제2 디지털 신호를 아날로그 값으로 변경한 제2 변경신호와 상기 제1 MDAC 회로부의 출력 값과의 차이값을 예정된 비율로 증폭하는 제2 MDAC 회로부; 상기 제2 MDAC 회로부에서 출력되는 증폭된 신호를 예정된 제3 비트 수만큼 제3 디지털 신호로 변경하는 제3 ADC 회로; 및 상기 제1 MDAC 회로부와 상기 제2 MDAC 회로부의 증폭동작을 위해 공통으로 사용되는 공통 증폭회로부를 구비하되, 상기 공통 증폭회로부는 상기 제1 MDAC 회로부에 적용될 때와 상기 제2 MDAC 회로부에 적용되는 경우 각각 서로 다른 소모전류를 사용하면서 동작하는 아날로그 디지털 변환회로를 제공한다.

[0008] 본 발명은 제1 전류량을 제공하기 위한 제1 전류경로와 제2 전류량을 제공하기 위한 제2 전류경로를 구비하는 제1 로드부; 제1 아날로그 신호를 입력받아 상기 로드부에서 전달되는 전류량을 조절함으로서 상기 제1 아날로그 신호를 증폭하기 위한 제1 입력부; 제2 아날로그 신호를 입력받아 상기 로드부에서 전달되는 전류량을 조절함으로서 상기 제2 아날로그 신호를 증폭하기 위한 제2 입력부; 및 상기 제1 입력부 또는 상기 제2 입력

부에서 제공되는 정전류를 제3 및 제4 전류경로 또는 이 둘 중 하나를 통해 흘려보내는 제1 정전류부를 구비하는 증폭회로를 제공한다.

발명의 효과

[0009] 본 발명에 의해서 증폭회로를 공유해서 사용하는 파이프라인 방식의 아날로그 디지털 변환기가 소모하는 전류를 효과적으로 줄일 수 있다. 특히, 증폭회로를 구비하는 다수의 MDAC 회로가 각각 동작하는데 필요한 전류만 소모하도록 증폭회로를 꾸밀 수 있기 때문에, 최적의 전류 소모만으로 아날로그 값을 디지털 값으로 변환할 수 있다.

도면의 간단한 설명

[0010] 도1은 본 발명의 실시예에 따른 파이프라인 아날로그 디지털 변환회로를 나타내는 블럭도.

도2는 본 발명의 실시예에 따라 도1에 도시된 2개의 제1 및 제2 증폭회로를 나타내는 회로도.

도3과 도4는 도2에 도시된 증폭회로의 동작을 나타내는 회로도.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

[0012] 도1은 본 발명의 실시예에 따른 파이프라인 아날로그 디지털 변환회로를 나타내는 블럭도이다.

[0013] 도1을 참조하여 살펴보면, 파이프라인 아날로그 디지털 변환기는 입력부(100), MDAC 회로부(Multiplying Digital to Analog Converting 200), 제1 내지 제3 플래시 ADC 회로부(300,400,500), 디지털값 보정부(600), 기준신호 제공부(700), 타이밍 제너레이터(800)를 포함한다.

[0014] 입력부(100)는 외부에서 제공되는 아날로그 신호(AIN)를 입력받아 MDAC 회로부(200)와, 제1 플래시 ADC 회로부(300)로 전달한다. MDAC 회로부(200)는 제1 및 제2 MDAC 회로(200A,200B)를 구비한다. 제1 내지 제3 플래시 ADC 회로부(300,400,500)는 각각 입력되는 아날로그 값을 예정된 비트수(여기서는 4비트)만큼 디지털값으로 변환하여 디지털값 보정부(600)로 제공한다. 파이프라인 방식의 아날로그 디지털 변환기는 다수의 MDAC 회로를 구비하고, 각 MDAC 회로에 대응하는 플래시 ADC 회로부를 구비하는데, 여기서는 2개의 MDAC 회로와 그에 대응하는 3개의 플래시 ADC 회로부를 구비하는 일례를 도시하였다.

[0015] 제1 플래시 ADC 회로부(300)는 입력부(100)에서 제공되는 아날로그 신호를 이용하여 4비트의 디지털값(A)으로 변환하여 디지털값 보정부(600)로 제공하고, 그 변환된 디지털값(A)을 제1 MDAC(200A)로 제공한다. 제1 MDAC 회로(200A)는 제1 플래시 ADC 회로부(300)에서 제공되는 디지털값(A)을 아날로그 값으로 변환하고, 입력부(100)에서 제공되는 아날로그 신호와의 차이를 증폭하여 출력한다. 제2 플래시 ADC 회로부(400)는 제1 MDAC(200A)에서 제공하는 아날로그 신호를 이용하여 4비트의 디지털값(B)으로 변환하여 디지털값 보정부(600)로 제공하고, 그 변환된 디지털값(B)을 제2 MDAC(200B)로 제공한다.

[0016] 제2 MDAC 회로(200B)는 제2 플래시 ADC 회로부(400)에서 제공되는 디지털 신호(B)를 아날로그 값으로 변환하고, 제1 MDAC 회로(200A)에서 제공되는 아날로그 신호와 변환된 아날로그 값의 차이를 증폭하여 출력한다. 제3 플래시 ADC 회로부(500)는 제2 MDAC(200B)에서 제공하는 아날로그 신호를 이용하여 4비트의 디지털값(C)으로 변환하여 디지털값 보정부(600)로 제공한다.

[0017] 디지털값 보정부(600)는 제1 내지 제3 플래시 ADC 회로부(300,400,500)에서 제공되는 디지털값(A,B,C)을 조합하여 최종 출력되는 10비트의 디지털값을 출력한다. 최종출력되는 디지털값이 10비트임에도 불구하고, 제1 내지 제3 플래시 ADC 회로부(300,400,500)에서 4비트의 디지털값을 출력하는 것은 각 플래시 ADC 회로부에서 한 비트씩 겹치게 디지털값을 생성하여, 디지털값 보정부(600)에서 오차보정이 되도록 하기 위한 것이다.

[0018] 기준신호 제공부(700)는 제1 내지 제3 플래시 ADC 회로부(300,400,500)와, 제1 및 제2 MDAC 회로(200A,200B)의 동작에 사용되는 기준신호를 제공하는 블럭이다. 타이밍 제너레이터(800)는 ADC 회로부(300,400,500)와,

제1 및 제2 MDAC 회로(200A,200B)의 동작에 필요한 스위칭신호(Q1,Q2,Q1B,Q2B)를 생성하여 제공하는 블럭이다. 여기서 스위칭신호(Q1,Q2)는 서로 천이구간이 겹치지 않도록 생성되며, 그 반전신호(Q1B,Q2B)는 일정부분 겹치는 구간이 있도록 생성된다.

[0019] 파이프라인 방식의 아날로그 디지털 변환회로에 구비되는 MDAC 회로는 입력되는 신호를 증폭하는 동작을 수행하기 때문에 증폭기를 구비해야 한다. 그러나, 하나의 증폭기로는 요구되는 DC 전압이득을 확보하기 어려워 2단 증폭기를 구비하고 있다. 또한, 파이프라인 방식의 아날로그 디지털 변환회로의 특유한 동작방식에 따라 제1 및 제2 MDAC 회로(200A,200B)는 동시에 동작하는 것이 아니라 순차적으로 동작을 하게 된다. 따라서 보다 효율적으로 회로를 이용하기 위해, 2단 증폭기를 제1 및 제2 MDAC 회로(200A,200B)가 공유하는 형태로 구비하고 있다.(X 참조) 2단 증폭기는 SWITCHED CURRENT OP AMP 형태로 구현할 수 있다.

[0020] 도2는 본 발명의 실시예에 따라 도1에 도시된 2개의 제1 및 제2 증폭회로를 나타내는 회로도이다.

[0021] 도2를 참조하여 살펴보면, 제1 증폭회로(240)는 제1 및 제2 로드부(10,20), 출력부(30), 제1 및 제2 입력부(40,50), 제1 정전류원부(60)를 포함한다. 제1 로드부(10)는 제1 경로를 통해 예정된 전류의 15%를 제공하기 위해 직렬 연결된 트랜지스터(T1,T2)와, 예정된 전류의 85%를 제공하기 위한 트랜지스터(T3)를 구비한다. 제2 로드부(20)도 2개의 전류경로를 구비하기 위해, 제1 로드부(10)와 대칭되도록 각각 직렬 연결된 트랜지스터(T5,T6)와, 트랜지스터(T4)를 구비한다. 여기서, 제1 로드부 및 제2 로드부(10,20)가 2개의 전류경로를 가지고 있는 것이 특징이며, 85%,15%로 나눈 것은 경우에 따라 변할 수 있다. 출력부(30)는 각각 2개씩 직렬연결된 4개의 트랜지스터(T7 ~ T10)를 구비한다. 출력부(30)는 증폭기에서 사용되는 텔레스코픽(telescopic) 구조를 활용하여 구현한 것이다.

[0022] 제1 입력부(40)는 정입력신호(IN1+)를 게이트로 입력받는 트랜지스터(T11)와, 부입력신호(IN1-)를 게이트로 입력받는 트랜지스터(T12)와, 트랜지스터(T11,T12)와 일측이 공통으로 연결되고, 게이트로 스위칭신호(Q1B)를 입력받는 트랜지스터(T13)를 포함한다. 제2 입력부(50)는 제1 입력부(40)의 3개의 트랜지스터와 대칭이 되는 3개의 트랜지스터(T14,T15,T16)를 구비한다.

[0023] 제1 정전류부(60)는 2개의 전류패스를 구비하는데, 제1 증폭회로(240)에서 예정된 정전류의 15%를 흐르도록 직렬연결된 트랜지스터(T17,T18)와, 예정된 정전류의 85%를 흐르도록 하는 트랜지스터(T19)를 구비한다. 트랜지스터(T17)는 스위칭신호(Q1B)에 응답하여 턴온된다.

[0024] 제2 증폭회로(250)는 제3 및 제4 로드부(80,90), 제3 입력부(70) 및 제2 정전류원부(95)를 포함한다. 제3 입력부(70)는 제1 증폭회로(240)의 출력부(30)에서 제공되는 두 신호를 게이트로 입력받는 두 트랜지스터(T26,T27)를 구비한다. 제3 로드부(80)와 제4 로드부(90)는 각각 제1 및 제2 로드부(10,20)와 대칭되도록 구성되며, 각각 3개의 트랜지스터(T20 ~ T25)를 구비한다. 제2 정전류부(95)는 제1 정전류부(60)와 같은 구조로 구성된 3개의 트랜지스터(T28 ~ T30)를 구비한다.

[0025] 제1 및 제2 정전류부(60,95)의 트랜지스터(T18,T19,T29,T30)의 게이트에 인가되는 제어신호(CMFB1,CMFB2)는 공통 모드 피드백(Common Mode Feedback) 동작을 위한 것으로, 증폭회로에서 출력되는 출력신호의 공통모드가 일정한 값을 유지하도록 하는 역할을 수행한다. 공통 모드 피드백(Common Mode Feedback) 동작은 집적회로에서 일반적인 것으로 제어신호(CMFB1,CMFB2)를 생성하는 회로는 여기서 생략한다.

[0026] 트랜지스터(T30)는 제2 증폭회로(250)에서 예정된 정전류의 85%를 흐르도록 하기 위한 것이고, 트랜지스터(T28,T29)는 예정된 정전류의 15%를 흐르도록 하기 위한 것이다. 전술한 트랜지스터(T1 ~ T30)는 모스 트랜지스터로 구현할 수 있으며, 트랜지스터(T1 ~ T8, T20 ~ T25)는 피모스 트랜지스터로 구현하고, 나머지 트랜지스터는 엔모스 트랜지스터로 구현할 수 있다. 또한, 제어신호(VB1 ~ VB4)는 각각 대응하는 트랜지스터를 턴온시키고, 일정한 동작상태로 유지시키기 위한 바이어스 전압을 제공하는 신호이다.

[0027] 도2에 도시된 본 실시예에 따른 제1 및 제2 증폭회로(240,250)는 두 가지 모드로 동작하는 것이 특징이다. 제1 및 제2 증폭회로(240,250)가 제1 MDAC(200A)의 동작에 적용되는 경우에는 각 증폭회로의 예정된 전류 100%를 사용하고, 제2 MDAC(200B)에 적용되는 경우에는 각 증폭회로의 예정된 전류의 85%만 사용한다.

[0028] 도3과 도4는 도2에 도시된 증폭회로의 동작을 나타내는 회로도이다. 도3은 제1 및 제2 증폭회로(240,250)가 제1 MDAC(200A)의 동작에 적용되는 경우이고, 도4는 제1 및 제2 증폭회로(240,250)가 제2 MDAC(200B)에 적용되는 경우이다.

[0029] 계속해서 도3을 참고하여 제1 및 제2 증폭회로(240,250)가 제1 MDAC(200A)의 동작에 적용되는 경우를 살펴본다. 입력신호(IN1+,IN1-)가 제1 입력부(40)로 입력되고, 제2 입력부(50)는 동작하지 않는다. 또한, 트랜지스터(T2,T6,T21,T24)를 턴온시키는 스위칭 신호(Q1)와, 트랜지스터(T17,T28)를 턴온시키는 스위칭 신호(Q1B)가 입력된다. 따라서 제2 입력부(50)를 구성하는 3개의 트랜지스터를 제외하고 모든 트랜지스터가 동작하여, 입력신호(IN1+,IN1-)를 입력받아 증폭된 출력신호(VO+,VO-)가 생성된다.

[0030] 도3에서는 점선으로 표시된 부분이 동작하지 않는 부분이다. 제1 증폭회로(240)의 입력부(40)에서 입력신호를 입력받고, 제1 및 제2 로드부(10,20)의 모든 트랜지스터(T1 ~ T6)와, 정전류원부(60)의 트랜지스터(T17 ~ T19)가 동작한다. 제1 증폭회로(240)에 의해 증폭된 신호는 제2 증폭부(250)의 제3 입력부(70)로 전달된다. 이 경우에도 제3 및 제4 로드부(80,90)와, 제2 정전류원부(95)의 모든 트랜지스터가 동작하며, 제3 입력부(70)로 입력된 신호가 증폭되어 출력신호(VO+,VO-)가 생성된다.

[0031] 도4에는 제1 및 제2 증폭회로(240,250)가 제2 MDAC(200B)에 사용될 때를 나타낸 것이다. 이 경우에는 제1 및 제2 증폭회로(240,250)의 동작전류 85%만 사용된다. 이 경우에는 도4의 점선으로 되어 있는 부분은 동작하지 않는다. 즉, 제1 및 제2 로드부(10,20)의 트랜지스터(T3,T4)와, 정전류원부(60)의 트랜지스터(T19)만 동작한다. 또한, 제2 입력부(50)를 통해 입력신호(IN2-,IN2+)가 입력되어 증폭된다. 제1 증폭회로(240)에 의해 증폭된 신호는 제2 증폭회로(250)에 의해 증폭된다. 이 경우에도 제3 및 제4 로드부(80,90)의 트랜지스터(T22,T25)와, 정전류원부(95)의 트랜지스터(T30)만이 동작이 된다.

[0032] 제1 및 제2 증폭회로(240,250)에서 제1 내지 제4 로드부(10,20,80,90)와 제1 및 제2 정전류원부(60,95)의 트랜지스터가 선택적으로 동작이 되는 것은 스위칭신호(Q1,Q1B)에 의해 정해진다. 즉, 스위칭 신호(Q1,Q1B)에 의해 트랜지스터(T17,T28)와, 트랜지스터(T2,T6,T21,T24)가 턴온 또는 턴오프 상태가 되는 것이다.

[0033] 본 발명은 증폭회로를 제1 MDAC 회로(200A) 및 제2 MDAC 회로(200B)에 공유하는 파이프라인 구조의 아날로그 디지털 변환회로에서 서로 인접한 두 개 파이프라인 단의 MDAC 회로가 각각 전체 동작주기의 반주기 동안 증폭 동작을 순차적으로 한다는 점에 이용하는 것이다. 제1 및 제2 증폭회로(240,250)를 이웃한 MDAC 회로에 공유하게 되면, 소모되는 면적과 전력을 줄일 수 있는 장점이 있다. 본 실시예에서는 제1 및 제2 증폭회로(240,250)가 제1 MDAC(200A)에 적용되는 경우에는 예정된 동작전류의 100%를 이용하여 증폭동작을 하고, 제2 MDAC(200B)에 적용되는 경우에는 예정된 동작전류의 85%를 이용하여 증폭동작을 하도록 구성하였다.

[0034] 파이프라인 구조의 아날로그 디지털 변환회로에서는 앞단의 MDAC 회로의 증폭동작 시 증폭회로에 요구되는 DC 전압이득 및 대역폭이 다음단의 MDAC의 증폭동작 시 요구되는 수준보다 더 높다. 일반적으로는 공유되는 증폭회로의 증폭성능을 앞단의 MDAC에 요구되는 높은 수준의 성능을 갖도록 설계한다. 따라서 증폭회로를 공유하는 방법에서는 다음단의 MDAC의 증폭동작 시 필요 이상으로 높은 성능으로 증폭회로가 동작됨으로 해서 낭비되는 전력이 발생할 수 밖에 없다.

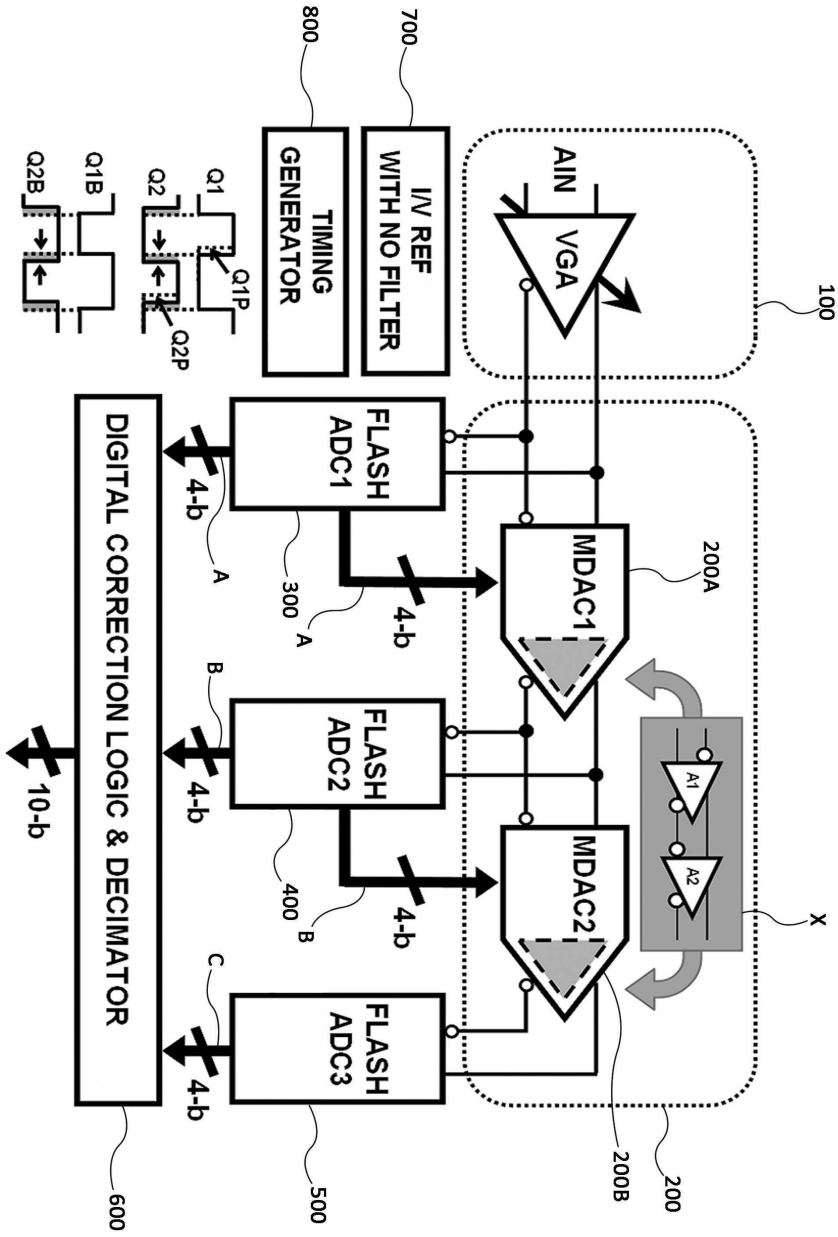
[0035] 본 발명에서 제안하는 아날로그 디지털 변환회로는 앞단의 MDAC 회로와 뒷단의 MDAC 회로가 공유하는 증폭회로가 각각 앞단의 MDAC 회로에 적용될 때와, 뒷단의 MDAC 회로에 적용될 때에, 적용되는 MDAC 회로에 따라 요구되는 성능에 최적화된 전력을 사용할 수 있도록 설계된다. 공유되는 MDAC 회로에 따라 증폭회로에 흐르는 전류의 양을 적절히 조절하여 증폭회로의 전력 효율성을 높이는 것이다.

[0036] 본 실시예에서는 앞단인 제1 MDAC 회로(200A)에 증폭회로(240,250)가 적용되는 경우에는 동작전류의 100% 전류가 사용될 수 있도록 하고, 제2 MDAC 회로(200B)에 증폭회로(240,250)가 적용되는 경우에는 85%의 전류(Iamp1, Iamp2 참고)가 사용될 수 있도록 구성한 것이다. 즉, 본 실시예에 따른 증폭회로는 15%의 전류는 선택적으로 사용할 수 있도록 증폭회로를 구성하였고, 15%의 전류가 흐르는 경로에 스위치(도2의 T2,T6,T17,T21,T24,T28 참조)를 연결하여 제어한다. 이와 같이 구성함으로서, 제2 MDAC 회로(200B)의 증폭동작시에는 이전보다 제1 및 제2 증폭회로(240,250)의 소비전력을 85%로 낮출 수 있다.

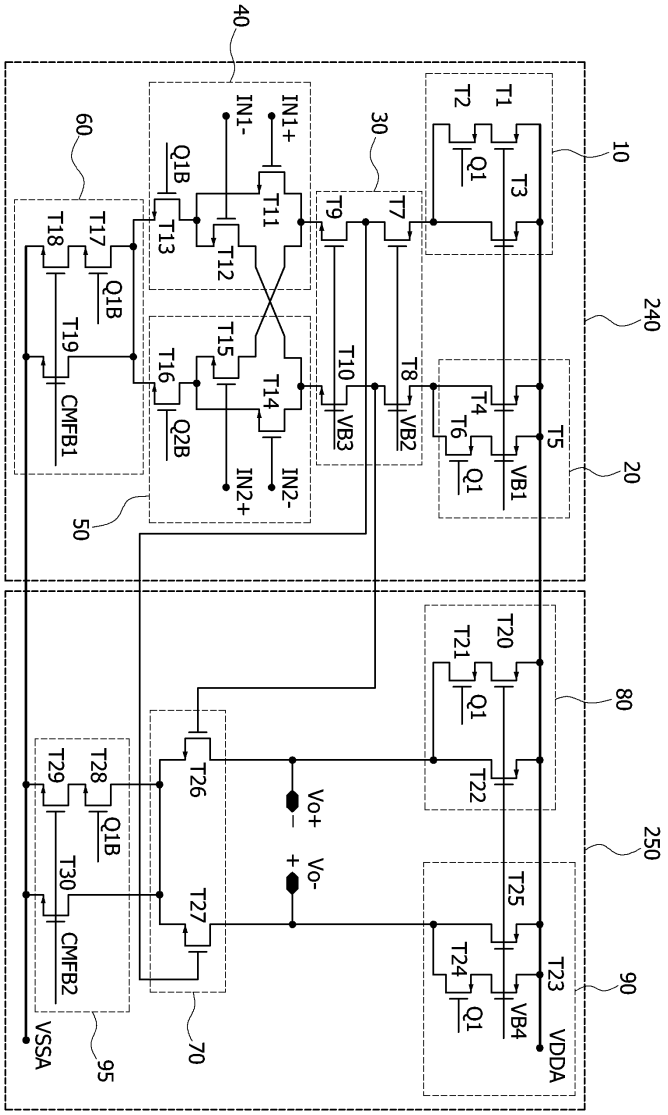
[0037] 이상에서 대표적인 실시예를 통하여 본 발명에 대하여 상세하게 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리범위는 설명된 실시예에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면

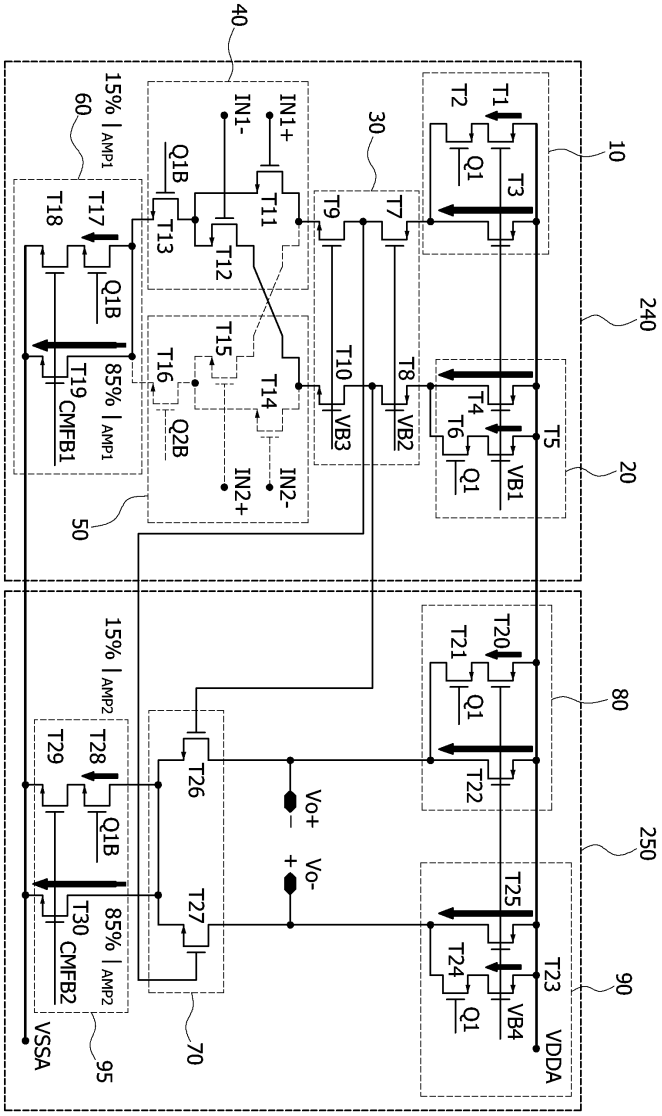
도면1


800
700
TIMING GENERATOR
I/V REF WITH NO FILTER
Q2B
Q1B
Q2
Q1
Q1P
Q2P
AIN
VGA
100
FLASH ADC1
4-b
A
300
A
4-b
MDAC1
200A
B
FLASH ADC2
4-b
400
B
4-b
MDAC2
A1
A2
X
C
FLASH ADC3
4-b
500
200B
200
DIGITAL CORRECTION LOGIC & DECIMATOR
10-b
600

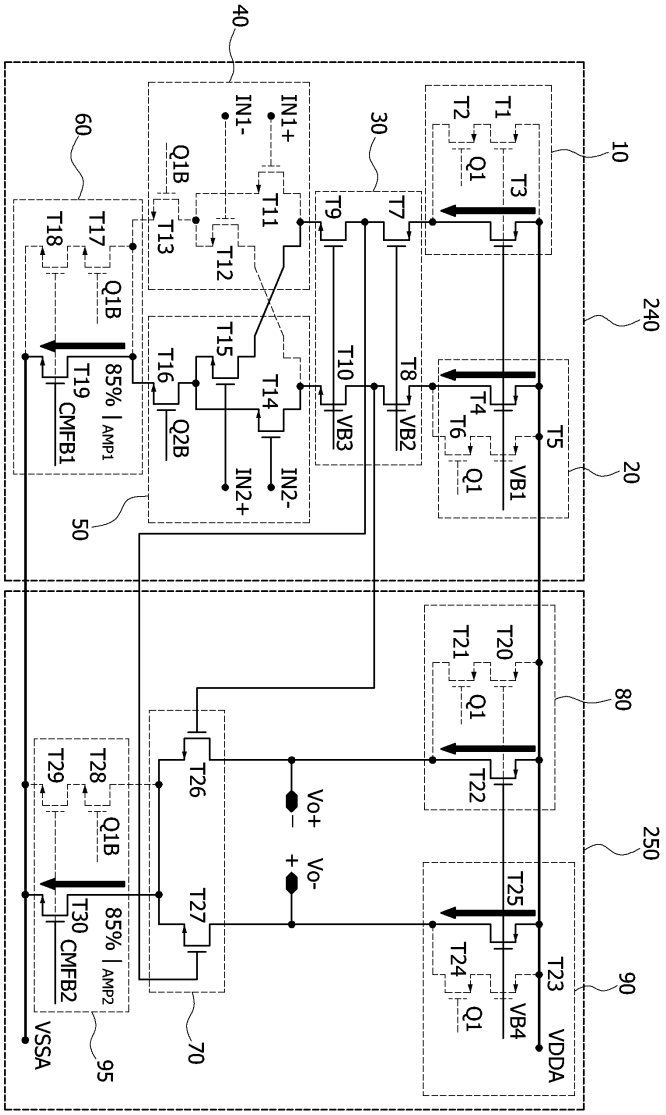
도면2


40
60
30
10
240
20
50
80
250
90
70
95
IN1+
IN1-
Q1B
T11
T12
T13
T9
T7
T1
T2
Q1
T3
T17
T18
Q1B
T19
CMFB1
T15
T16
T14
Q2B
T10
T8
VB3
VB2
T4
T6
Q1
T5
VB1
IN2+
IN2-
T20
T21
Q1
T22
T26
T27
Vo+
Vo-
T25
T24
Q1
T23
VB4
VDDA
T28
T29
Q1B
T30
CMFB2
VSSA

도면3


40
15% I AMP1
60
IN1-
IN1+
Q1B
T18
T17
T13
T11
T12
30
T9
T7
T1
T2
Q1
T3
10
240
T15
T16
T14
T10
T8
T4
T6
T5
Q1B
T19
85% I AMP1
CMFB1
Q2B
VB3
VB2
VB1
20
50
IN2+
IN2-
15% I AMP2
T20
T21
Q1
T22
80
T28
T29
T26
Vo+
Vo-
250
Q1B
T27
T25
T24
T23
T30
85% I AMP2
CMFB2
Q1
VB4
VDDA
90
VSSA
95
70

도면4


40
IN1+
IN1-
Q1B
T11
T12
T13
60
T17
T18
Q1B
T19
CMFB1
85% I AMP1
T15
T16
T14
Q2B
IN2+
IN2-
50
30
T7
T9
T10
VB3
T8
VB2
10
T1
T2
Q1
T3
240
T4
T6
Q1
VB1
T5
20
80
T20
T21
Q1
T22
250
T25
T24
Q1
T23
VB4
VDDA
90
T26
T27
Vo+
Vo-
70
T28
T29
Q1B
T30
CMFB2
85% I AMP2
95
VSSA