

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 10 月 31 日 (31.10.2019)



(10) 国际公布号
WO 2019/205235 A1

(51) 国际专利分类号:
H01L 21/77 (2017.01)

(21) 国际申请号: PCT/CN2018/090376

(22) 国际申请日: 2018 年 6 月 8 日 (08.06.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810395559.7 2018年4月27日 (27.04.2018) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 周志超(ZHOU, Zhichao); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 夏慧(XIA, Hui); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 陈梦(CHEN,

Meng); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市铭粤知识产权代理有限公司(MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区南山街道前海路泛海城市广场2栋604室, Guangdong 518066 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) Title: THIN FILM TRANSISTOR ARRAY SUBSTRATE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 薄膜晶体管阵列基板及其制备方法

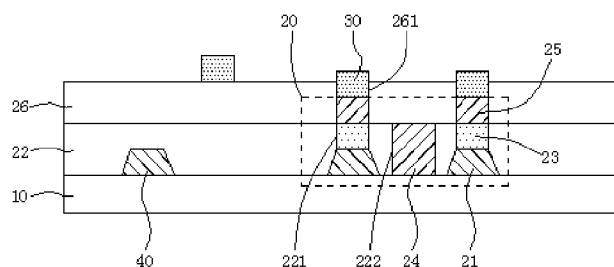


图 3

(57) Abstract: Disclosed in the present invention is a method for preparing a thin film transistor array substrate, which comprises: preparing and forming a data line and source electrode on a base substrate, said source electrode having an annular structure; forming a first insulating layer on the base substrate; etching and forming an annular groove on the first insulating layer, the source electrode being exposed from the annular groove; preparing and forming a semiconductor active layer in the annular groove; etching and forming a recessed hole located at a region surrounded by the annular groove; preparing and forming a gate line, gate electrode and drain electrode on the first insulating layer, the gate electrode being formed in the recessed hole, and the drain electrode being connected on the semiconductor active layer; preparing and forming a second insulating layer on the first insulating layer, and etching and forming a pixel via hole in the second insulating layer; and preparing and forming a pixel electrode on the second insulating layer, said pixel electrode being connected to the drain electrode by means of the pixel via hole. Also disclosed in the present invention is a thin film transistor array substrate prepared and formed according to the described preparation method.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本发明公开了一种薄膜晶体管阵列基板的制备方法, 其包括: 在衬底基板上制备形成数据线和源电极, 所述源电极呈环状结构; 在衬底基板上形成第一绝缘层; 在所述第一绝缘层上刻蚀形成环状凹槽, 所述源电极从所述环状凹槽暴露出; 在所述环状凹槽中制备形成半导体有源层; 在位于所述环状凹槽所环绕的区域刻蚀形成凹孔; 在所述第一绝缘层上制备形成栅极线、栅电极和漏电极, 所述栅电极形成在所述凹孔中, 所述漏电极连接在半导体有源层上; 在第一绝缘层上制备形成第二绝缘层, 在第二绝缘层中刻蚀形成像素过孔; 在第二绝缘层上制备形成像素电极, 所述像素电极通过像素过孔连接到漏电极。本发明还公开了如上所述制备方法制备形成的薄膜晶体管阵列基板。

薄膜晶体管阵列基板及其制备方法

技术领域

本发明涉及半导体器件技术领域,尤其涉及一种薄膜晶体管阵列基板及其制备方法。

背景技术

平板显示装置具有机身薄、省电、无辐射等众多优点,得到了广泛的应用。现有的平板显示装置主要包括液晶显示装置(Liquid Crystal Display, LCD)及有机电致发光显示装置(Organic Light Emitting Display, OLED)。薄膜晶体管(Thin Film Transistor, TFT)阵列基板是平板显示装置的重要组成部分,可形成在玻璃基板或塑料基板上。

薄膜晶体管阵列基板包括阵列设置排布在衬底基板上的薄膜晶体管。传统的技术中,如图1所示,薄膜晶体管包括形成于玻璃基板1上的栅电极2、覆设于所述栅电极2上的栅极绝缘层3、形成于所述栅极绝缘层3上的有源层4以及形成于所述有源层4上的源电极5和漏电极6。其中,所述源电极5和漏电极6相互间隔,所述有源层4对应于所述栅电极2的区域为沟道区4a。如图1的薄膜晶体管结构中,所述有源层4暴露于栅极绝缘层3,所述有源层4的沟道区4a容易受到后续工序的影响,特别是使用氧化物半导体材料的有源层。例如,在制备形成有源层4之后,在进行形成源电极5和漏电极6的光罩(Mask)工艺时,有源层4的沟道区表面的容易被刻蚀液损伤,从而造成薄膜晶体管的电学特性(例如信赖性和阈值电压的稳定性)发生劣化。

发明内容

有鉴于此,本发明提供了一种薄膜晶体管阵列基板及其制备方法,其可以有效地保护薄膜晶体管的沟道区,提升薄膜晶体管的电学特性的稳定性。

为了实现上述目的,本发明采用了如下的技术方案:

一种薄膜晶体管阵列基板的制备方法,其包括步骤:

S10、提供衬底基板，在所述衬底基板上制备形成薄膜晶体管，包括：

S101、在所述衬底基板上制备形成图形化的数据线和源电极，所述数据线和源电极相互连接，所述源电极呈环状结构；

S102、在所述衬底基板上形成覆盖所述数据线和源电极的第一绝缘层；

S103、在所述第一绝缘层上刻蚀形成环状凹槽，所述源电极从所述环状凹槽暴露出；

S104、在所述环状凹槽中制备形成连接至所述源电极的半导体有源层；

S105、在所述第一绝缘层的位于所述环状凹槽所环绕的区域刻蚀形成凹孔；

S106、在所述第一绝缘层上制备形成图形化的栅极线、栅电极和漏电极，所述栅电极与所述栅极线连接，所述栅电极形成在所述凹孔中并与所述半导体有源层相对设置，所述漏电极连接在所述半导体有源层上；

S20、在所述薄膜晶体管上制备形成第二绝缘层，在所述第二绝缘层中刻蚀形成暴露出所述漏电极的像素过孔；

S30、在所述第二绝缘层上制备形成图形化的像素电极，所述像素电极通过所述像素过孔连接到所述漏电极。

其中，在步骤 S105 中，在所述第一绝缘层上还刻蚀形成栅极凹槽，所述栅极凹槽环绕于所述环状凹槽的外侧；在步骤 S106 中，在所述第一绝缘层上还制备形成图形化的副栅电极，所述副栅电极形成在所述栅极凹槽中并与所述半导体有源层相对设置；在步骤 S20 中，在所述第二绝缘层中还刻蚀形成暴露出所述副栅电极的栅极过孔；在步骤 S30 中，在所述第二绝缘层上还制备形成图形化的副栅极线，所述副栅极线通过所述栅极过孔连接到所述副栅电极。

其中，在步骤 S10 中，参照步骤 S101 至步骤 S106，在所述衬底基板上制备形成结构相同的第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管，所述第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管相互间隔排列，所述第一薄膜晶体管的源电极连接到所述数据线，所述第二薄膜晶体管和第三薄膜晶体管的源电极相互连接；在步骤 S20 中，在所述第二绝缘层中对应于所述第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管的漏电极分别刻蚀形成第一像素过孔、第二像素过孔和第三像素过孔；在步骤 S30 中，在所述第二绝缘层上制备形成图形化的主像素电极、次像素电极和连接走线，所述主像素电极通过所

述第一像素过孔连接到所述第一薄膜晶体管的漏电极，所述次像素电极通过所述第三像素过孔连接到所述第三薄膜晶体管的漏电极，所述连接走线通过所述第一像素过孔和所述第二像素过孔将所述第一薄膜晶体管和所述第二薄膜晶体管的漏电极相互连接。

本发明还提供了一种薄膜晶体管阵列基板，其包括由数据线和栅极线交叉限定的像素单元，所述像素单元中设置有薄膜晶体管和像素电极，其中，所述薄膜晶体管包括：

形成在衬底基板上的源电极，所述源电极呈环状结构；所述数据线与所述源电极位于同一层结构中并相互连接；

覆设于所述源电极上的第一绝缘层，所述第一绝缘层中设置有环状凹槽和凹孔，所述环状凹槽位于所述源电极上并暴露出所述源电极，所述凹孔位于所述环状凹槽所环绕的区域中；

形成在所述环状凹槽中并连接至所述源电极的半导体有源层；

形成在所述凹孔中并与所述半导体有源层相对设置的栅电极；

形成在所述第一绝缘层上的漏电极，所述漏电极连接至所述半导体有源层；所述栅极线形成在所述第一绝缘层上并连接至所述栅电极；

所述薄膜晶体管上覆设有第二绝缘层，所述第二绝缘层中设置有像素过孔，所述像素电极形成在所述第二绝缘层上并通过所述像素过孔连接到所述漏电极。

其中，所述源电极呈具有缺口部的圆环状结构，所述半导体有源层和所述漏电极的形状与所述源电极的形状相同，所述源电极、所述半导体有源层和所述漏电极依次叠层连接。

其中，所述凹孔为圆形通孔，所述栅电极为圆柱状结构，所述半导体有源层和所述栅电极呈同轴设置。

其中，所述像素单元中设置有间隔排列三个所述薄膜晶体管以及主像素电极和次像素电极，三个所述薄膜晶体管分别为第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管；所述第一薄膜晶体管的源电极连接到所述数据线，所述第二薄膜晶体管和第三薄膜晶体管的源电极相互连接，所述第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管的栅电极分别连接至所述栅极线；所述主像

素电极连接至所述第一薄膜晶体管的漏电极，所述次像素电极连接至所述第三薄膜晶体管的漏电极，所述第一薄膜晶体管和所述第二薄膜晶体管的漏电极相互连接。

其中，所述薄膜晶体管还包括副栅电极，所述阵列基板还包括副栅极线；所述第一绝缘层中还设置有栅极凹槽，所述栅极凹槽环绕于所述环状凹槽的外侧，所述副栅电极形成在所述栅极凹槽并与所述半导体有源层相对设置；所述第二绝缘层中还设置有栅极过孔，所述副栅极线形成在所述第二绝缘层上并通过所述栅极过孔连接到所述副栅电极。

其中，所述栅极凹槽具有与所述环状凹槽相同的形状并环绕于所述环状凹槽的外侧。

其中，所述像素单元中设置有间隔排列三个所述薄膜晶体管以及主像素电极和次像素电极，三个所述薄膜晶体管分别为第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管；所述第一薄膜晶体管的源电极连接到所述数据线，所述第二薄膜晶体管和第三薄膜晶体管的源电极相互连接，所述第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管的栅电极分别连接至所述栅极线，所述第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管的副栅电极分别连接至所述副栅极线；所述主像素电极连接至所述第一薄膜晶体管的漏电极，所述次像素电极连接至所述第三薄膜晶体管的漏电极，所述第一薄膜晶体管和所述第二薄膜晶体管的漏电极相互连接。

本发明其中一个实施例提供的薄膜晶体管阵列基板及其制备方法，其中的半导体有源层嵌入到绝缘层中，半导体有源层环绕设置在栅电极的四周形成环状垂直结构的沟道区，沟道区的表面被绝缘层覆盖保护，由此可以有效地避免在形成半导体有源层之后的后续工艺对沟道区造成的不良影响，提升薄膜晶体管的电学特性的稳定性。

在另一个实施例中，阵列基板上的薄膜晶体管还设置有副栅电极，通过副栅电极可以修正薄膜晶体管长期工作后产生的阈值电压漂移的问题。

在另一个实施例中，阵列基板上的像素单元包括依次串联的三个薄膜晶体管，其中第一个薄膜晶体管连接有主像素电极，第三个薄膜晶体管连接有次像素电极，形成多畴的像素结构，利用依次串联的三个具有环形垂直沟道区薄膜晶体管，在主像素电极和次像素电极获得不同的像素电位，改善了显示产品的

大视角色偏问题。

附图说明

图 1 是现有的一种薄膜晶体管的剖面结构示意图；

图 2 是本发明实施例 1 提供的薄膜晶体管阵列基板的平面结构示意图；

图 3 是如图 2 中沿 X-X 线的剖面结构示意图；

图 4a-图 4k 是本发明实施例 1 的薄膜晶体管阵列的制备方法中，各个步骤得到的器件结构的示例性图示；

图 5 是本发明实施例 2 提供的薄膜晶体管阵列基板的平面结构示意图；

图 6 是如图 5 中沿 X-X 线的剖面结构示意图；

图 7a-图 7f 是本发明实施例 2 的薄膜晶体管阵列的制备方法中，各个步骤得到的器件结构的示例性图示；

图 8 是本发明实施例 3 提供的薄膜晶体管阵列基板的平面结构示意图；

图 9 是本发明实施例 3 中的源电极的结构示意图；

图 10 是本发明实施例 3 中的半导体有源层的结构示意图；

图 11 是本发明实施例 3 中的漏电极的结构示意图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚，下面结合附图对本发明的具体实施方式详细说明。这些优选实施方式的示例在附图中进行了例示。附图中所示和根据附图描述的本发明的实施方式仅仅是示例性的，并且本发明并不限于这些实施方式。

在此，还需要说明的是，为了避免因不必要的细节而模糊了本发明，在附图中仅仅示出了与根据本发明的方案密切相关的结构和/或处理步骤，而省略了与本发明关系不大的其他细节。

实施例 1

本实施例首先提供了一种薄膜晶体管阵列基板，参阅图 2 和图 3，其中，图 2 是所述薄膜晶体管阵列基板的平面结构示意图，图 3 是图 2 中沿 X-X 线的剖

面图，并且图 2 中未示出阵列基板中的绝缘层。如图 2 和图 3 所示，所述薄膜晶体管阵列基板包括由数据线 40 和栅极线 50 交叉限定的像素单元 10a，所述像素单元 10a 中设置有薄膜晶体管 20 和像素电极 30，所述薄膜晶体管 20 和所述像素电极 30 相互电性连接。

其中，所述薄膜晶体管 20 包括形成在衬底基板 10 上的源电极 21、第一绝缘层 22、半导体有源层 23、栅电极 24 和漏电极 25。具体地，所述源电极 21 形成在所述衬底基板 10 上，所述源电极 21 呈环状结构，所述数据线 40 与所述源电极 21 位于同一层结构中并相互连接。所述第一绝缘层 22 形成在所述衬底基板 10 上并覆盖所述源电极 21 和所述数据线 40，所述第一绝缘层 22 中设置有环状凹槽 221 和凹孔 222，所述环状凹槽 221 位于所述源电极 21 上并暴露出所述源电极 21，所述凹孔 222 位于所述环状凹槽 221 所环绕的区域中。所述半导体有源层 23 形成在所述环状凹槽 221 中并连接至所述源电极 21。所述栅电极 24 形成在所述凹孔 222 中并与所述半导体有源层 23 相对设置。所述漏电极 25 形成在所述第一绝缘层 22 上并连接至所述半导体有源层 23。所述栅极线 50 形成在所述第一绝缘层 22 上并连接至所述栅电极 24。

其中，所述薄膜晶体管 20 上覆设有第二绝缘层 26，所述第二绝缘层 26 中设置有像素过孔 261，所述像素电极 30 形成在所述第二绝缘层 26 上并通过所述像素过孔 261 连接到所述漏电极 25。

如上所述的薄膜晶体管阵列基板，其中半导体有源层 23 形成在所述环状凹槽 221 中，即所述半导体有源层 23 嵌入到所述第一绝缘层 22 中，所述半导体有源层 23 环绕设置在所述栅电极 24 的四周形成环状垂直结构的沟道区，沟道区的表面被所述第一绝缘层 22 覆盖保护，由此可以有效地避免在形成半导体有源层 23 之后的后续工艺对沟道区造成的不良影响，提升薄膜晶体管的电学特性的稳定性。

本实施例中，如图 2 和图 3 所示，所述源电极 21 呈具有缺口部 21a 的圆环状结构，所述半导体有源层 23 和所述漏电极 25 的形状与所述源电极 21 的形状相同，所述源电极 21、所述半导体有源层 23 和所述漏电极 25 依次叠层连接，所述半导体有源层 23 呈圆环状结构环绕在所述栅电极 24 的四周，由此形成环状垂直结构的沟道区。其中，所述栅极线 50 从所述缺口部 21a 的正上方延伸连接至所述栅电极 24。

进一步地，本实施例中，如图 3 所示，所述凹孔 222 为圆形通孔（贯穿所

述第一绝缘层 22 的相对两个表面), 所述栅电极 24 为圆柱状结构, 所述半导体有源层 23 和所述栅电极 24 呈同轴设置。

其中, 所述半导体有源层 23 的材料选择为氧化物半导体材料, 所述氧化物半导体材料还可以是选择为 GaInZnO、ZnO、InZnO、ZnSnO、或 ZrInZnO, 优选使用 GaInZnO。需要说明的是, 在另外的一些实施例中, 所述半导体有源层 11 的材料也可以选择使用本领域中其他常用的半导体材料, 例如非晶硅或多晶硅等。

其中, 所述数据线 40、栅极线 50、源电极 21 和漏电极 25 以及栅电极 24 的材料可以选择为钼 (Mo) 或钛 (Ti) 或两者的结合。所述第一绝缘层 22 和所述第二绝缘层 26 的材料可以选择为 SiO_x 或 SiN_x 或两者的组合。所述像素电极 30 的材料选择为 ITO。

本实施例还提供了如上所述的薄膜晶体管阵列基板的制备方法, 下面参阅图 4a-图 4i、并结合图 2 和图 3 介绍所述制备方法的工艺过程。本实施例提供的薄膜晶体管阵列基板的制备方法包括步骤:

S10、提供衬底基板 10, 在所述衬底基板 10 上制备形成薄膜晶体管 20。该步骤包括:

S101、如图 4a 和图 4b 所示, 应用第一道光罩工艺 (构图工艺), 在所述衬底基板 10 上制备形成图形化的数据线 40 和源电极 21, 所述数据线 40 和源电极 21 相互连接, 所述源电极 21 呈环状结构。其中, 图 4b 是图 4a 的平面结构示意图, 图 4a 是如图 4b 中沿 X-X 线的剖面示意图。

S102、如图 4c 所示, 在所述衬底基板 10 上沉积形成覆盖所述数据线 40 和源电极 21 的第一绝缘层 22。

S103、如图 4c 所示, 应用第二道光罩工艺, 在所述第一绝缘层 22 上刻蚀形成环状凹槽 221, 所述环状凹槽 221 的形状与所述源电极 21 的形状相对应, 所述源电极 21 从所述环状凹槽 221 暴露出。

S104、如图 4d 和图 4e 所示, 在所述环状凹槽 221 中制备形成连接至所述源电极 21 的半导体有源层 23。其中, 图 4e 是图 4d 的平面结构示意图, 图 4d 是如图 4e 中沿 X-X 线的剖面示意图。

具体地, 在所述环状凹槽 221 中沉积半导体材料, 形成半导体有源层 23。

可以是在所述第一绝缘层 22 上设置仅暴露出所述环状凹槽 221 的光刻胶掩模版，例如是保留步骤 S103 的第二道光罩工艺时刻蚀形成所述环状凹槽 221 后的光刻胶掩模版，然后沉积半导体材料，最后再剥离光刻胶掩模版，获得形成在所述环状凹槽 221 中的半导体有源层 23。

S105、如图 4f 所示，应用第三道光罩工艺，在所述第一绝缘层 22 的位于所述环状凹槽 221 所环绕的区域刻蚀形成凹孔 222。本实施例中，所述凹孔 222 是贯穿所述第一绝缘层 22 的相对两个表面的通孔。

S106、如图 4g 和图 4h 所示，在所述第一绝缘层 22 上制备形成图形化的栅极线 50、栅电极 24 和漏电极 25，所述栅电极 24 与所述栅极线 50 连接，所述栅电极 24 形成在所述凹孔 222 中并与所述半导体有源层 23 相对设置，所述漏电极 25 连接在所述半导体有源层 23 上。其中，图 4h 是图 4g 的平面结构示意图，图 4g 是如图 4h 中沿 X-X 线的剖面示意图。

具体地，通常是将步骤 S105 和步骤 S106 结合到同一道光罩工艺中。在第三道光罩工艺中，在所述第一绝缘层 22 上形成光刻胶掩模版，所述光刻胶掩模版采用半灰阶曝光方法，显影后形成完全暴露区（对应所述凹孔 222 的区域）、第一厚度区（对应需要形成栅电极 24 和漏电极 25 的区域）和第二厚度区。其中，所述第一厚度区的厚度小于所述第二厚度区的厚度。

首先在光刻胶掩模版的完全暴露区对所述第一绝缘层 22 进行刻蚀形成所述凹孔 222，然后对所述光刻胶掩模版进行灰化处理，以完全去除所述第一厚度区的光刻胶并减薄所述第二厚度区的光刻胶，最后在所述光刻胶掩模版上沉积电极材料再剥离光刻胶掩模版，制备获得所述栅极线 50、栅电极 24 和漏电极 25，在衬底基板上制备形成薄膜晶体管 20。

S20、如图 4i 所示，首先，在所述第一绝缘层 22 上制备形成第二绝缘层 26，所述第一绝缘层 22 覆盖所述薄膜晶体管 20；然后应用第四道光罩工艺在所述第二绝缘层 26 中刻蚀形成暴露出所述漏电极 25 的像素过孔 261。

S30、如图 4j 和图 4k 所示，在所述第二绝缘层 26 上制备形成图形化的像素电极 30，所述像素电极 30 通过所述像素过孔 261 连接到所述漏电极 25。其中，图 4k 是图 4j 的平面结构示意图，图 4j 是如图 4k 中沿 X-X 线的剖面示意图。

具体地，可以是在所述第二绝缘层 26 上设置仅暴露出所述像素电极形状光刻胶掩模版，例如是保留步骤 S103 的第四道光罩工艺时刻蚀形成所述像素过孔

261 后的光刻胶掩膜版，然后沉积半导体材料，最后再剥离光刻胶掩膜版，制备获得像素电极 30。

如上实施例提供的薄膜晶体管阵列基板的制备方法，由于所述半导体有源层 23 嵌入到所述绝缘层 22 中，所述半导体有源层 23 环绕设置在所述栅电极 24 的四周形成环状垂直结构的沟道区，沟道区的表面被所述绝缘层 22 覆盖保护。因此，在制备形成所述半导体有源层 23 之后，后续工艺（例如制备漏电极 25 的图形化工艺、制备像素电极 30 的工艺）对所述半导体有源层 23 的沟道区的不良影响很小，由此制备得到的阵列基板具有优良的电学特性。

实施例 2

随着薄膜晶体管阵列基板是使用时间增加，阵列基板上的薄膜晶体管的阈值电压会发生漂移，造成薄膜晶体管电学特性不佳，为此，本实施例在实施例 1 的基础上，提供了另外一种薄膜晶体管阵列基板。

参阅图 5 和图 6，本实施例提供的薄膜晶体管阵列基板与实施例 1 不同的是，本实施例中，所述薄膜晶体管 20 还包括副栅电极 27，所述阵列基板还包括副栅极线 60。

具体地，如图 5 和图 6，在实施例 1 的基础上，所述第一绝缘层 22 中还设置有栅极凹槽 223，所述栅极凹槽 223 环绕于所述环状凹槽 221 的外侧，所述副栅电极 27 形成在所述栅极凹槽 223 并与所述半导体有源层 23 相对设置。所述第二绝缘层 26 中还设置有栅极过孔 262，所述副栅极线 60 形成在所述第二绝缘层 26 上并通过所述栅极过孔 262 连接到所述副栅电极 27。

进一步地，在本实施例中，所述栅极凹槽 223 具有与所述环状凹槽 221 相同的形状并环绕于所述环状凹槽 221 的外侧，由此，所述副栅电极 27 也是与所述半导体有源层 23 和所述栅电极 24 呈同轴设置。

本实施例提供的薄膜晶体管阵列基板的其余结构与实施例 1 中的相同，因此不再详细说明。

本实施例提供的阵列基板，所述薄膜晶体管 20 包括栅电极 24 和副栅电极 27，形成双栅环状垂直结构的薄膜晶体管 20。其中，位于环状半导体有源层 23 内侧的栅电极 24 用于正常的驱动包括晶体管的开关状态。位于环状半导体有源层 23 外侧的副栅电极 27，通过调整施加在副栅电极 27 上的电压，可以修正薄膜晶体管长期工作后产生的阈值电压漂移的问题。

参阅图 7a 至图 7f，在本实施例提供的薄膜晶体管阵列基板的制备方法中，在实施例 1 提供的薄膜晶体管阵列基板的制备方法的基础上，对其中的一些工艺步骤进行改变，具体如下：

在步骤 S105 中，如图 7a 所示，在所述第一绝缘层 22 上还刻蚀形成栅极凹槽 223，所述栅极凹槽 223 环绕于所述环状凹槽 221 的外侧。

在步骤 S106 中，如图 7b 和图 7c 所示，在所述第一绝缘层 22 上还制备形成图形化的副栅电极 27，所述副栅电极 27 形成在所述栅极凹槽 223 中并与所述半导体有源层 23 相对设置。其中，图 7c 是图 7b 的平面结构示意图，图 7b 是如图 7c 中沿 X-X 线的剖面示意图。

在步骤 S20 中，如图 7d 所示，在所述第二绝缘层 26 中还刻蚀形成暴露出所述副栅电极 27 的栅极过孔 262。

在步骤 S30 中，如图 7e 和图 7f 所示，在所述第二绝缘层 26 上还制备形成图形化的副栅极线 60，所述副栅极线 60 通过所述栅极过孔 262 连接到所述副栅电极 27。其中，图 7f 是图 7e 的平面结构示意图，图 7e 是如图 7f 中沿 X-X 线的剖面示意图。

本实施例提供的薄膜晶体管阵列基板的制备方法，其余工艺步骤与实施例 1 中的相同，因此不再详细说明。

本实施例提供的薄膜晶体管阵列基板及其制备方法，在实施例 1 的基础上，其中薄膜晶体管还设置有副栅电极，通过副栅电极可以修正薄膜晶体管长期工作后产生的阈值电压漂移的问题。

实施例 3

现有技术中的一些薄膜晶体管阵列基板，其中的像素单元中设置有主像素电极和次像素电极，形成多畴的像素结构。在多畴的像素结构中，如何使得主像素电极和次像素电极获得不同的像素电位是需要解决的问题，为此，本实施例在实施例 1 的基础上，提供了另外一种薄膜晶体管阵列基板。

如图 8 所示，所述薄膜晶体管阵列基板包括由数据线 40 和栅极线 50 交叉限定的像素单元 10a，所述像素单元 10a 中设置有间隔排列三个薄膜晶体管以及主像素电极 30a 和次像素电极 30b，三个所述薄膜晶体管分别为第一薄膜晶体管 20a、第二薄膜晶体管 20b 和第三薄膜晶体管 20c。其中，所述第一薄膜晶体管

20a、第二薄膜晶体管 20b 和第三薄膜晶体管 20c 的结构与实施例 1 中的薄膜晶体管 20 的结构相同。需要说明的是，本实施例中的第一薄膜晶体管 20a、第二薄膜晶体管 20b 和第三薄膜晶体管 20c 的结构也可以是采用实施例 2 中的薄膜晶体管 20 的结构，或者至少第一薄膜晶体管 20a 采用实施例 2 中的薄膜晶体管 20 的结构。

其中，如图 9 所示，所述第一薄膜晶体管 20a 的源电极 21 连接到所述数据线 40，所述第二薄膜晶体管 20b 和第三薄膜晶体管 20c 的源电极 21 相互连接。

其中，如图 10 所示，所述第一薄膜晶体管 20a、第二薄膜晶体管 20b 和第三薄膜晶体管 20c 的半导体有源层 23 分别形成在各自的源电极 21 上。

其中，如图 11 所示，所述第一薄膜晶体管 20a、第二薄膜晶体管 20b 和第三薄膜晶体管 20c 的漏电极 25 分别形成在各自的半导体有源层 23 上。所述第一薄膜晶体管 20a、第二薄膜晶体管 20b 和第三薄膜晶体管 20c 的栅电极 24 分别连接至所述栅极线 50。

其中，如图 8 所示，所述主像素电极 30a 连接至所述第一薄膜晶体管 20a 的漏电极 25，所述次像素电极 30b 连接至所述第三薄膜晶体管 20c 的漏电极 25，所述第一薄膜晶体管 20a 和所述第二薄膜晶体管 20b 的漏电极 25 通过连接走线 70 相互连接。

以上实施例提供的薄膜晶体管阵列基板，所述第一薄膜晶体管 20a 和第二薄膜晶体管 20b 的漏电极 25 相互连接，所述第二薄膜晶体管 20b 和第三薄膜晶体管 20c 的源电极 21 相互连接，由此，所述第一薄膜晶体管 20a、第二薄膜晶体管 20b 和第三薄膜晶体管 20c 依次串联。所述主像素电极 30a 连接到所述第一薄膜晶体管 20a，所述次像素电极 30b 连接到所述第三薄膜晶体管 20c，形成多畴的像素结构，利用依次串联的三个具有环形垂直沟道区薄膜晶体管，在主像素电极 30a 和次像素电极 30b 获得不同的像素电位，改善了显示产品的大视角色偏问题。

参阅图 8 至图 11，在本实施例提供的薄膜晶体管阵列基板的制备方法中，在实施例 1 提供的薄膜晶体管阵列基板的制备方法的基础上，对其中的一些工艺步骤进行改变，具体如下：

在步骤 S10 中，参照步骤 S101 至步骤 S106，在所述衬底基板 10 上制备形成结构相同的第一薄膜晶体管 20a、第二薄膜晶体管 20b 和第三薄膜晶体管 20c，

所述第一薄膜晶体管 20a、第二薄膜晶体管 20b 和第三薄膜晶体管 20c 相互间隔排列。其中，如图 9 所示，所述第一薄膜晶体管 20a 的源电极 21 连接到所述数据线 40，所述第二薄膜晶体管 20b 和第三薄膜晶体管 20c 的源电极 21 相互连接。

在步骤 S20 中，在所述第二绝缘层中对应于所述第一薄膜晶体管 20a、第二薄膜晶体管 20b 和第三薄膜晶体管 20c 的漏电极 25 分别刻蚀形成第一像素过孔、第二像素过孔和第三像素过孔。

在步骤 S30 中，在所述第二绝缘层上制备形成图形化的主像素电极 30a、次像素电极 30b 和连接走线 70，所述主像素电极 30a 通过所述第一像素过孔连接到所述第一薄膜晶体管 20a 的漏电极 25，所述次像素电极 30b 通过所述第三像素过孔连接到所述第三薄膜晶体管 20c 的漏电极 25，所述连接走线 70 通过所述第一像素过孔和所述第二像素过孔将所述第一薄膜晶体管 20a 和第二薄膜晶体管 20b 的漏电极 25 相互连接。

本实施例提供的本实施例提供的薄膜晶体管阵列基板及其制备方法，利用依次串联的三个具有环形垂直沟道区薄膜晶体管，在主像素电极和次像素电极获得不同的像素电位，改善了显示产品的大视角色偏问题。

需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

以上所述仅是本申请的具体实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本申请的保护范围。

权 利 要 求 书

1、一种薄膜晶体管阵列基板的制备方法，其中，包括步骤：

S10、提供衬底基板，在所述衬底基板上制备形成薄膜晶体管，包括：

S101、在所述衬底基板上制备形成图形化的数据线和源电极，所述数据线和源电极相互连接，所述源电极呈环状结构；

S102、在所述衬底基板上形成覆盖所述数据线和源电极的第一绝缘层；

S103、在所述第一绝缘层上刻蚀形成环状凹槽，所述源电极从所述环状凹槽暴露出；

S104、在所述环状凹槽中制备形成连接至所述源电极的半导体有源层；

S105、在所述第一绝缘层的位于所述环状凹槽所环绕的区域刻蚀形成凹孔；

S106、在所述第一绝缘层上制备形成图形化的栅极线、栅电极和漏电极，所述栅电极与所述栅极线连接，所述栅电极形成在所述凹孔中并与所述半导体有源层相对设置，所述漏电极连接在所述半导体有源层上；

S20、在所述薄膜晶体管上制备形成第二绝缘层，在所述第二绝缘层中刻蚀形成暴露出所述漏电极的像素过孔；

S30、在所述第二绝缘层上制备形成图形化的像素电极，所述像素电极通过所述像素过孔连接到所述漏电极。

2、根据权利要求1所述的薄膜晶体管阵列基板的制备方法，其中，

在步骤S105中，在所述第一绝缘层上还刻蚀形成栅极凹槽，所述栅极凹槽环绕于所述环状凹槽的外侧；

在步骤S106中，在所述第一绝缘层上还制备形成图形化的副栅电极，所述副栅电极形成在所述栅极凹槽中并与所述半导体有源层相对设置；

在步骤S20中，在所述第二绝缘层中还刻蚀形成暴露出所述副栅电极的栅极过孔；

在步骤S30中，在所述第二绝缘层上还制备形成图形化的副栅极线，所述副栅极线通过所述栅极过孔连接到所述副栅电极。

3、根据权利要求 1 所述的薄膜晶体管阵列基板的制备方法，其中，

在步骤 S10 中，参照步骤 S101 至步骤 S106，在所述衬底基板上制备形成结构相同的第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管，所述第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管相互间隔排列；其中，所述第一薄膜晶体管的源电极连接到所述数据线，所述第二薄膜晶体管和第三薄膜晶体管的源电极相互连接；

在步骤 S20 中，在所述第二绝缘层中对应于所述第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管的漏电极分别刻蚀形成第一像素过孔、第二像素过孔和第三像素过孔；

在步骤 S30 中，在所述第二绝缘层上制备形成图形化的主像素电极、次像素电极和连接走线，所述主像素电极通过所述第一像素过孔连接到所述第一薄膜晶体管的漏电极，所述次像素电极通过所述第三像素过孔连接到所述第三薄膜晶体管的漏电极，所述连接走线通过所述第一像素过孔和所述第二像素过孔将所述第一薄膜晶体管和第三薄膜晶体管的漏电极相互连接。

4、一种薄膜晶体管阵列基板，包括由数据线和栅极线交叉限定的像素单元，所述像素单元中设置有薄膜晶体管和像素电极，其中，所述薄膜晶体管包括：

形成在衬底基板上的源电极，所述源电极呈环状结构；所述数据线与所述源电极位于同一层结构中并相互连接；

覆设于所述源电极上的第一绝缘层，所述第一绝缘层中设置有环状凹槽和凹孔，所述环状凹槽位于所述源电极上并暴露出所述源电极，所述凹孔位于所述环状凹槽所环绕的区域中；

形成在所述环状凹槽中并连接至所述源电极的半导体有源层；

形成在所述凹孔中并与所述半导体有源层相对设置的栅电极；

形成在所述第一绝缘层上的漏电极，所述漏电极连接至所述半导体有源层；所述栅极线形成在所述第一绝缘层上并连接至所述栅电极；

其中，所述薄膜晶体管上覆设有第二绝缘层，所述第二绝缘层中设置有像素过孔，所述像素电极形成在所述第二绝缘层上并通过所述像素过孔连接到所述漏电极。

5、根据权利要求4所述的薄膜晶体管阵列基板，其中，所述源电极呈具有缺口部的圆环状结构，所述半导体有源层和所述漏电极的形状与所述源电极的形状相同，所述源电极、所述半导体有源层和所述漏电极依次叠层连接。

6、根据权利要求5所述的薄膜晶体管阵列基板，其中，所述凹孔为圆形通孔，所述栅电极为圆柱状结构，所述半导体有源层和所述栅电极呈同轴设置。

7、根据权利要求4所述的薄膜晶体管阵列基板，其中，所述像素单元中设置有间隔排列的三个所述薄膜晶体管以及主像素电极和次像素电极，三个所述薄膜晶体管分别为第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管；

其中，所述第一薄膜晶体管的源电极连接到所述数据线，所述第二薄膜晶体管和第三薄膜晶体管的源电极相互连接，所述第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管的栅电极分别连接至所述栅极线；

其中，所述主像素电极连接至所述第一薄膜晶体管的漏电极，所述次像素电极连接至所述第三薄膜晶体管的漏电极，所述第一薄膜晶体管和所述第二薄膜晶体管的漏电极相互连接。

8、根据权利要求7所述的薄膜晶体管阵列基板，其中，所述源电极呈具有缺口部的圆环状结构，所述半导体有源层和所述漏电极的形状与所述源电极的形状相同，所述源电极、所述半导体有源层和所述漏电极依次叠层连接。

9、根据权利要求8所述的薄膜晶体管阵列基板，其中，所述凹孔为圆形通孔，所述栅电极为圆柱状结构，所述半导体有源层和所述栅电极呈同轴设置。

10、根据权利要求4所述的薄膜晶体管阵列基板，其中，所述薄膜晶体管还包括副栅电极，所述阵列基板还包括副栅极线；

其中，所述第一绝缘层中还设置有栅极凹槽，所述栅极凹槽环绕于所述环状凹槽的外侧，所述副栅电极形成在所述栅极凹槽并与所述半导体有源层相对设置；

其中，所述第二绝缘层中还设置有栅极过孔，所述副栅极线形成在所述第二绝缘层上并通过所述栅极过孔连接到所述副栅电极。

11、根据权利要求10所述的薄膜晶体管阵列基板，其中，所述栅极凹槽具有与所述环状凹槽相同的形状并环绕于所述环状凹槽的外侧。

12、根据权利要求 10 所述的薄膜晶体管阵列基板，其中，所述源电极呈具有缺口部的圆环状结构，所述半导体有源层和所述漏电极的形状与所述源电极的形状相同，所述源电极、所述半导体有源层和所述漏电极依次叠层连接。

13、根据权利要求 10 所述的薄膜晶体管阵列基板，其中，所述凹孔为圆形通孔，所述栅电极为圆柱状结构，所述半导体有源层和所述栅电极呈同轴设置。

14、根据权利要求 13 所述的薄膜晶体管阵列基板，其中，所述栅极凹槽具有与所述环状凹槽相同的形状并环绕于所述环状凹槽的外侧，所述副栅电极和所述半导体有源层以及所述栅电极呈同轴设置。

15、根据权利要求 10 所述的薄膜晶体管阵列基板，其中，所述像素单元中设置有间隔排列的三个所述薄膜晶体管以及主像素电极和次像素电极，三个所述薄膜晶体管分别为第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管；

其中，所述第一薄膜晶体管的源电极连接到所述数据线，所述第二薄膜晶体管和第三薄膜晶体管的源电极相互连接，所述第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管的栅电极分别连接至所述栅极线，所述第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管的副栅电极分别连接至所述副栅极线；

其中，所述主像素电极连接至所述第一薄膜晶体管的漏电极，所述次像素电极连接至所述第三薄膜晶体管的漏电极，所述第一薄膜晶体管和所述第二薄膜晶体管的漏电极相互连接。

16、根据权利要求 15 所述的薄膜晶体管阵列基板，其中，所述栅极凹槽具有与所述环状凹槽相同的形状并环绕于所述环状凹槽的外侧。

17、根据权利要求 15 所述的薄膜晶体管阵列基板，其中，所述源电极呈具有缺口部的圆环状结构，所述半导体有源层和所述漏电极的形状与所述源电极的形状相同，所述源电极、所述半导体有源层和所述漏电极依次叠层连接。

18、根据权利要求 15 所述的薄膜晶体管阵列基板，其中，所述凹孔为圆形通孔，所述栅电极为圆柱状结构，所述半导体有源层和所述栅电极呈同轴设置。

19、根据权利要求 18 所述的薄膜晶体管阵列基板，其中，所述栅极凹槽具有与所述环状凹槽相同的形状并环绕于所述环状凹槽的外侧，所述副栅电极、所述半导体有源层以及所述栅电极呈同轴设置。

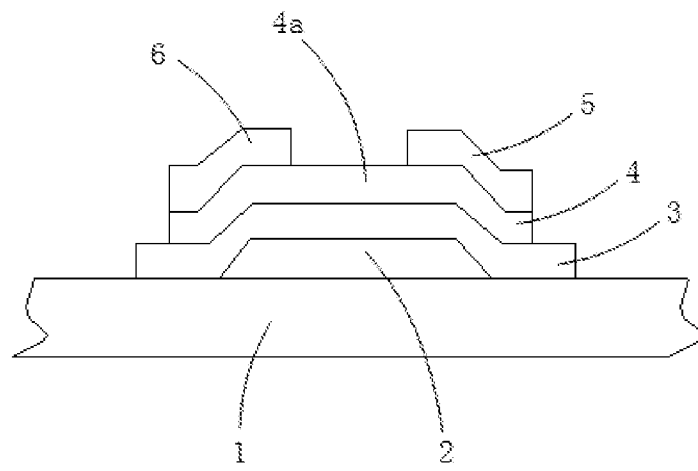


图 1

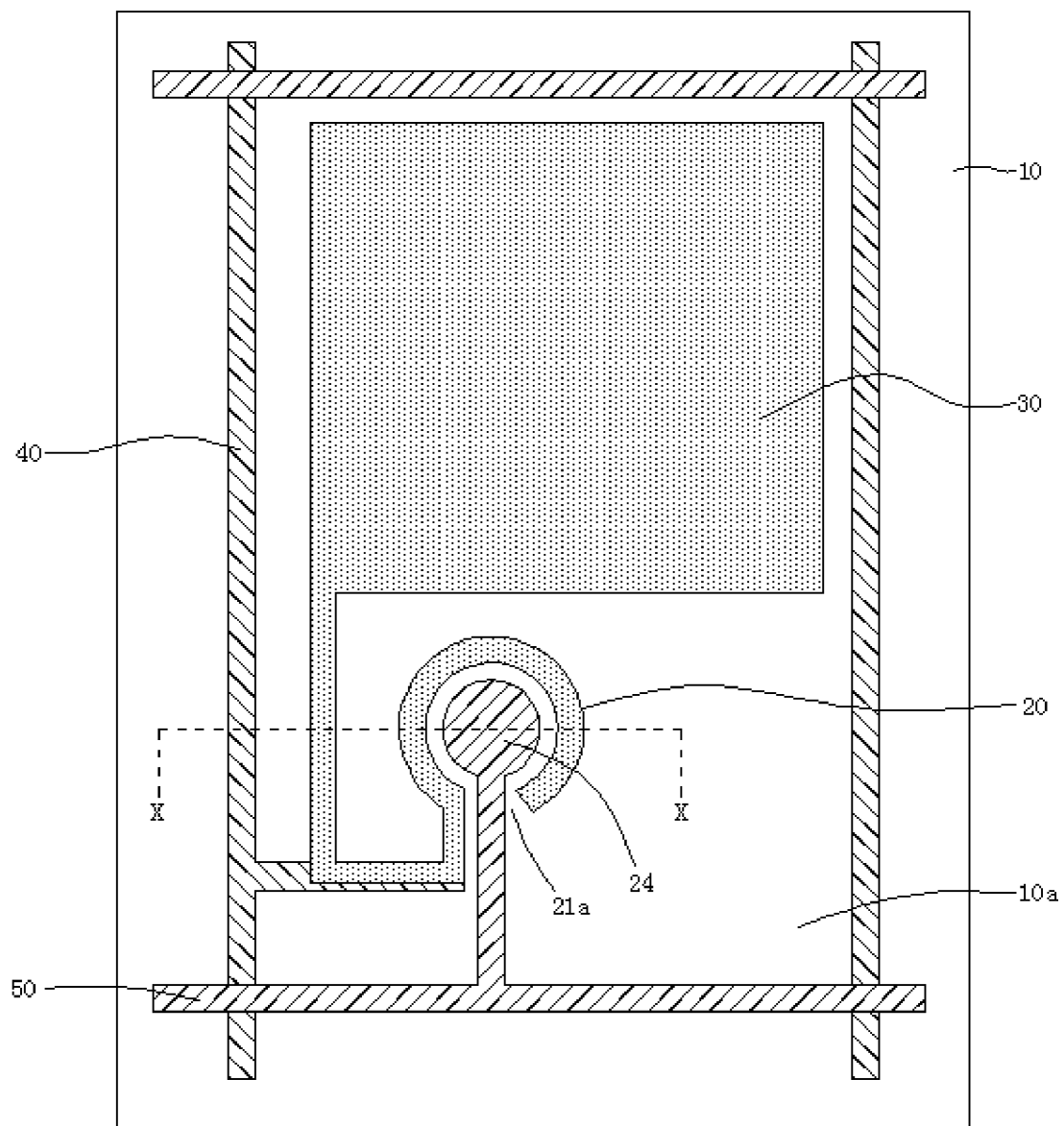


图 2

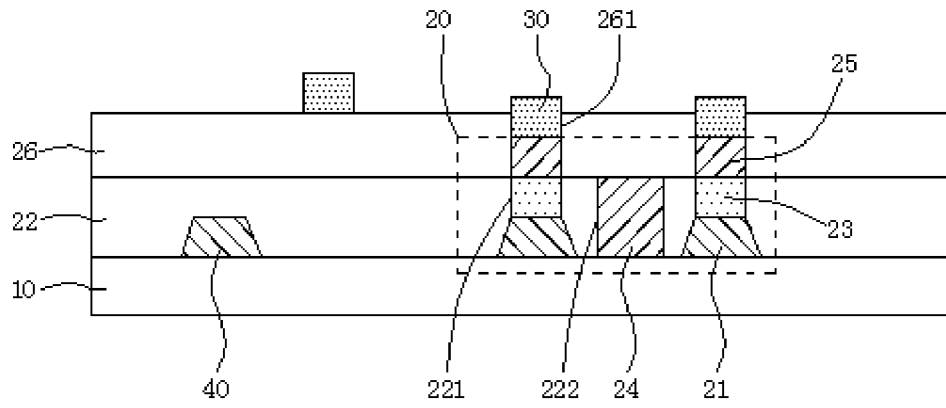


图 3

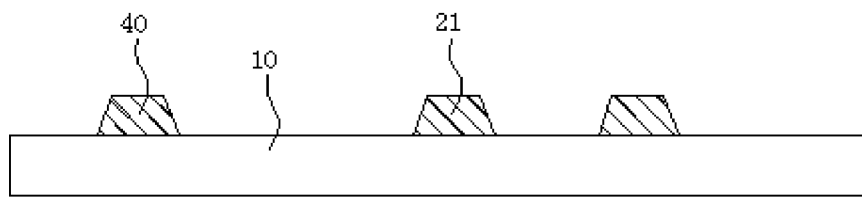


图 4a

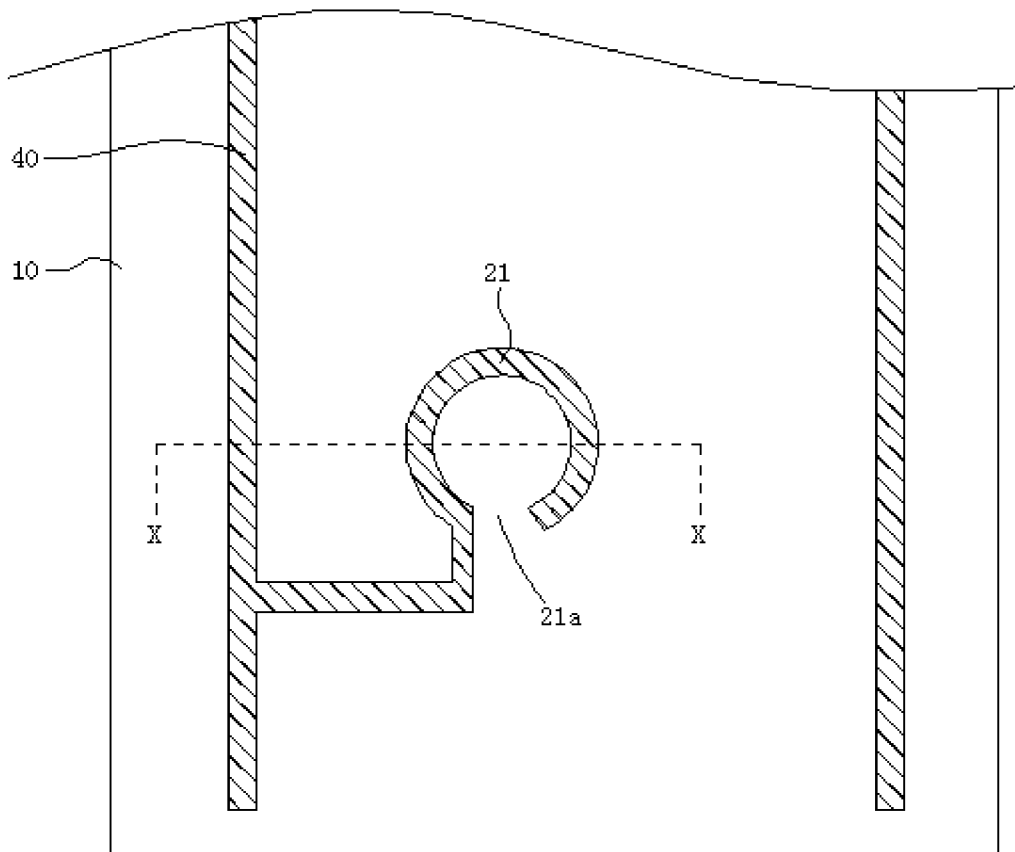


图 4b

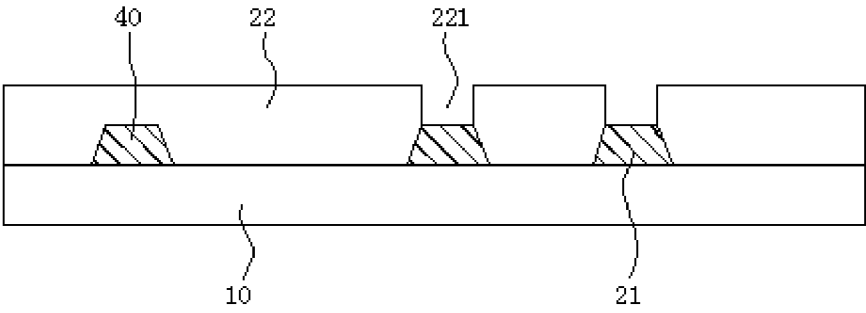


图 4c

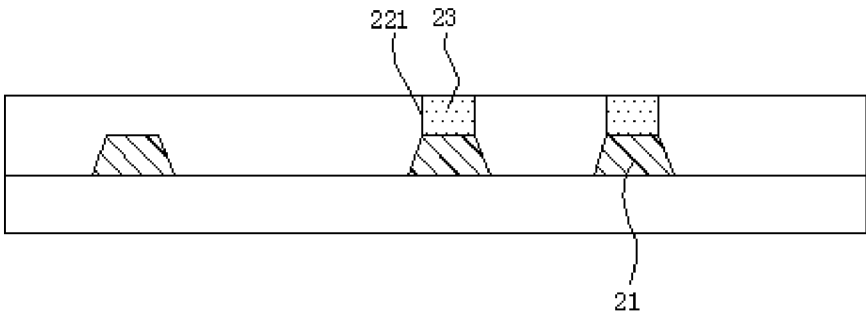


图 4d

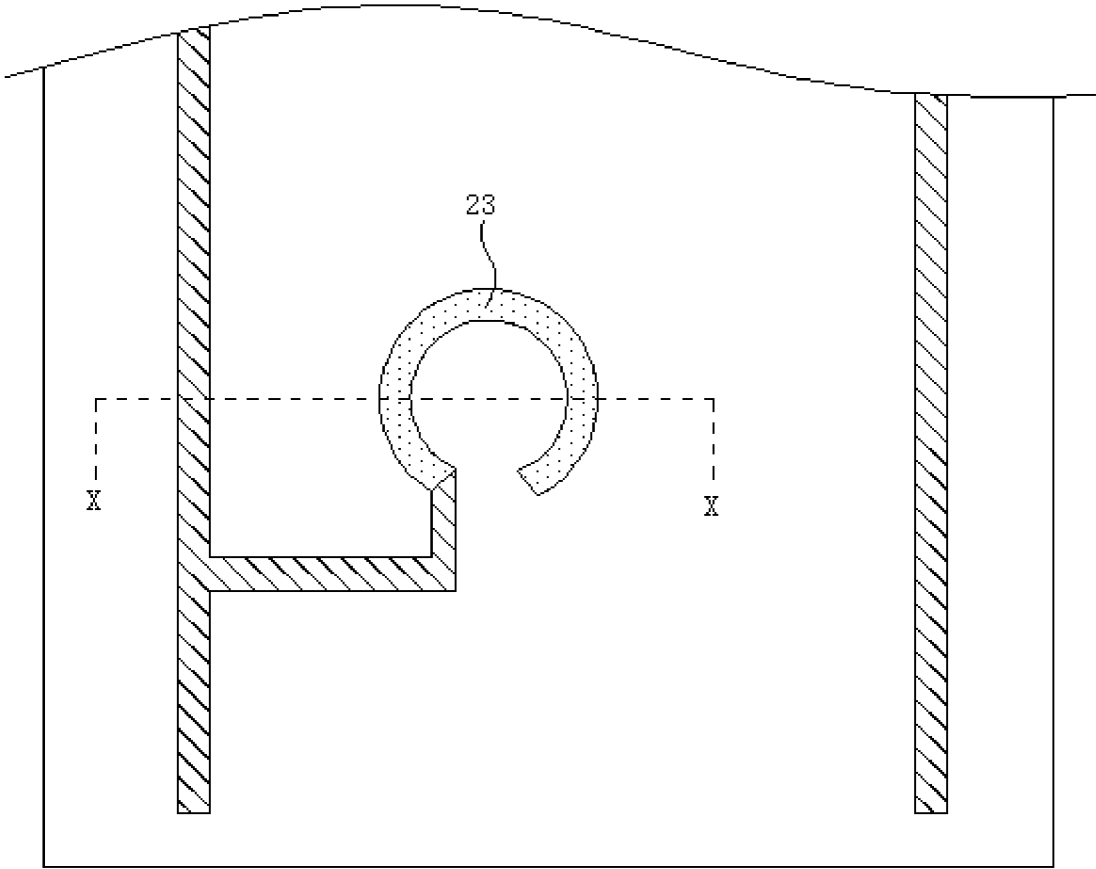


图 4e

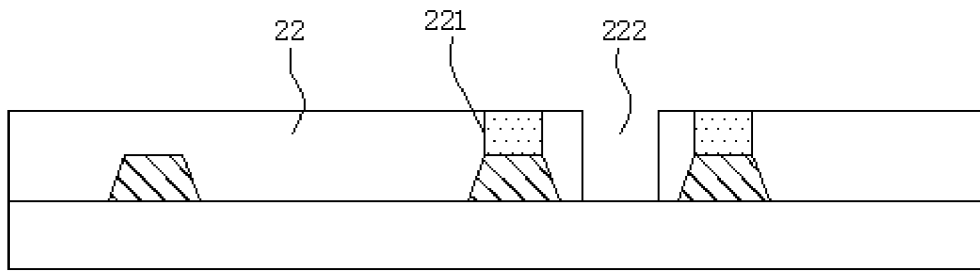


图 4f

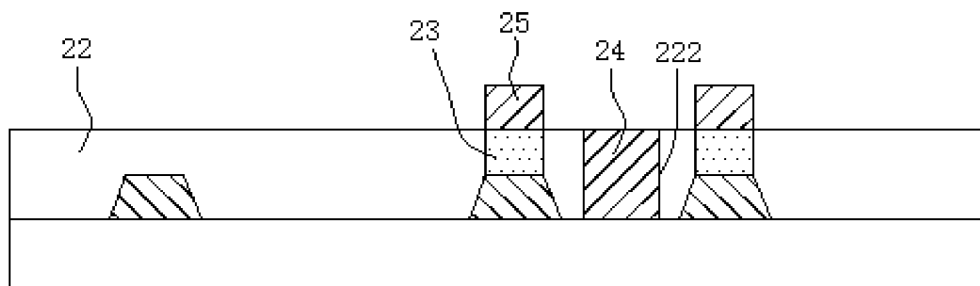


图 4g

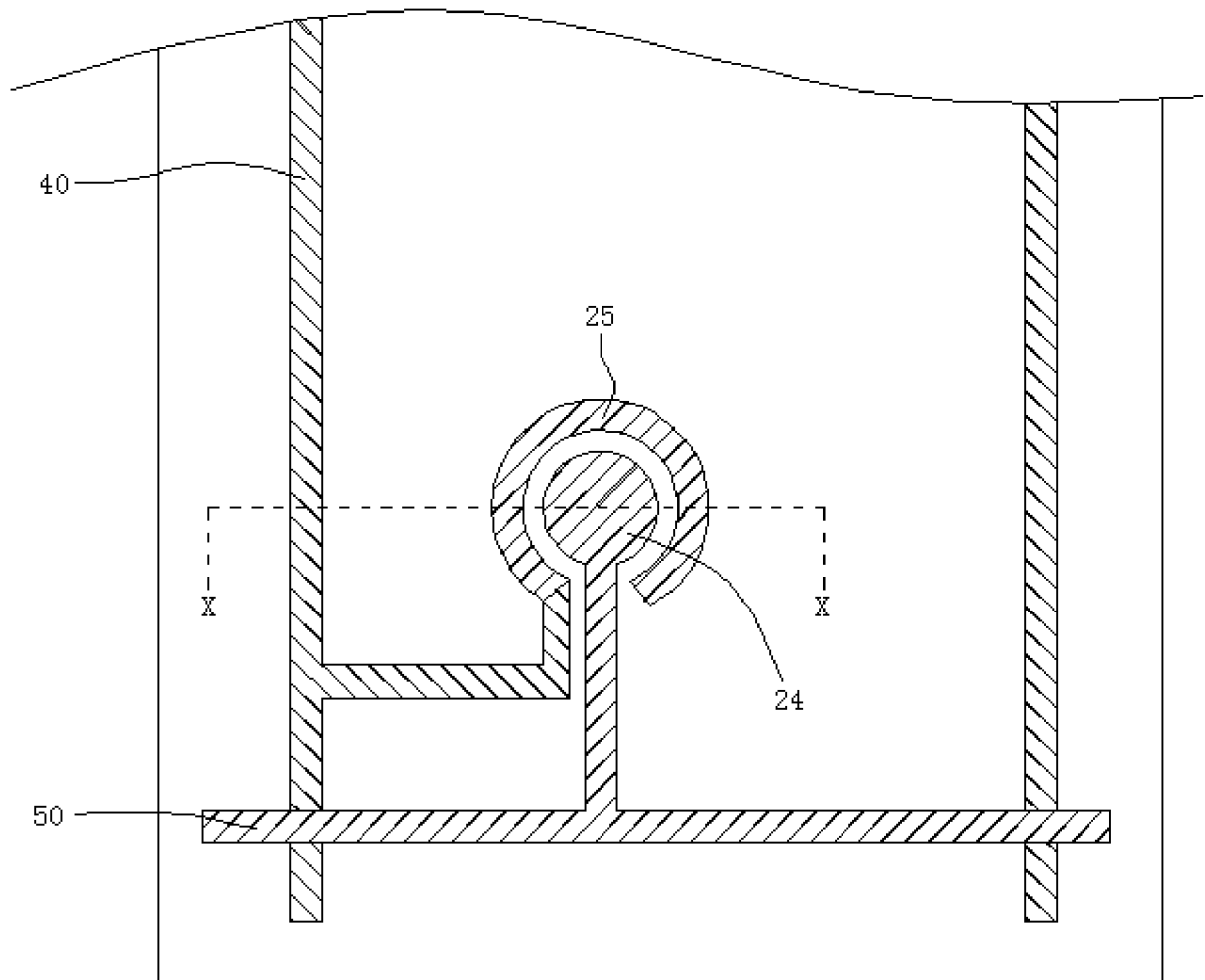


图 4h

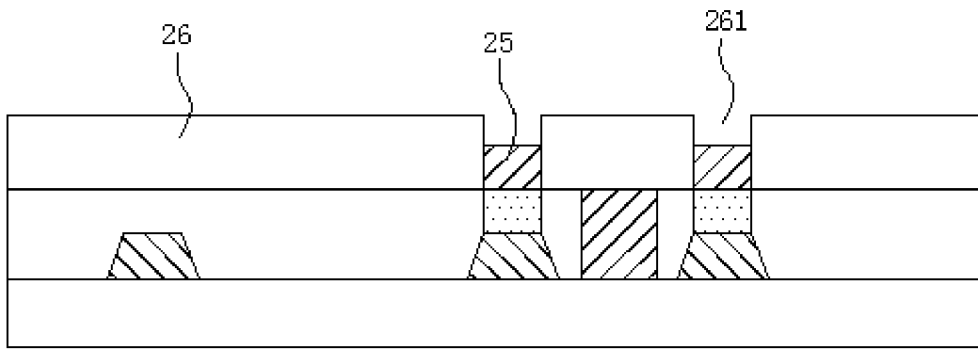


图 4i

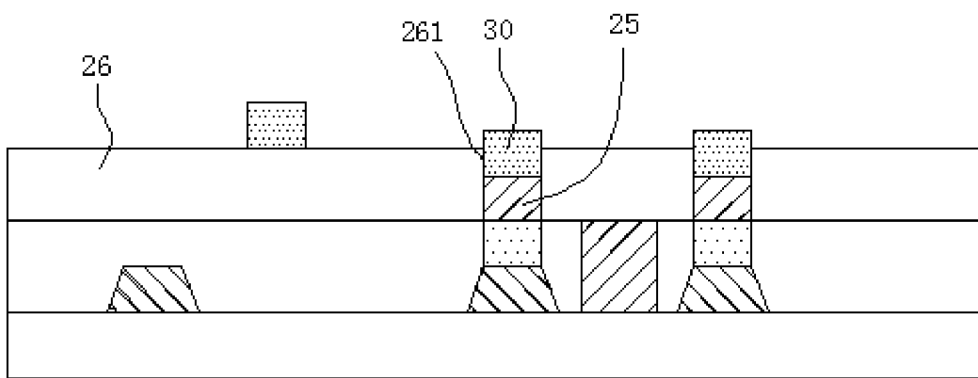


图 4j

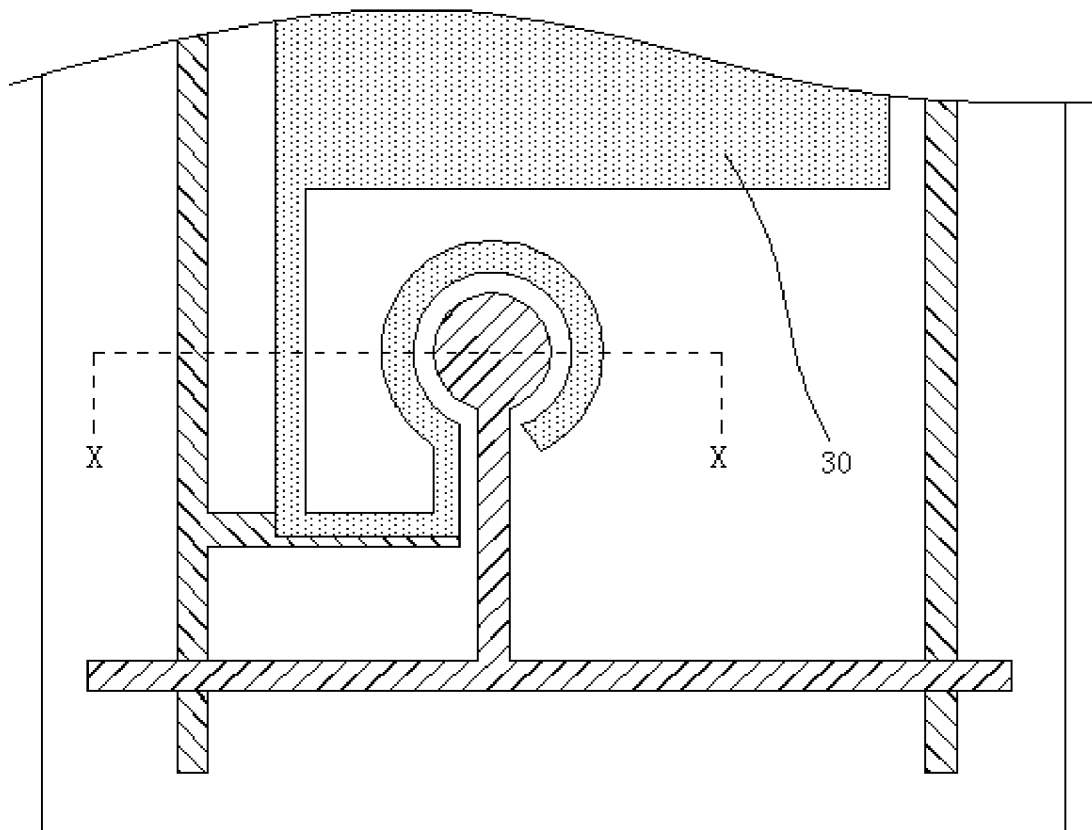


图 4k

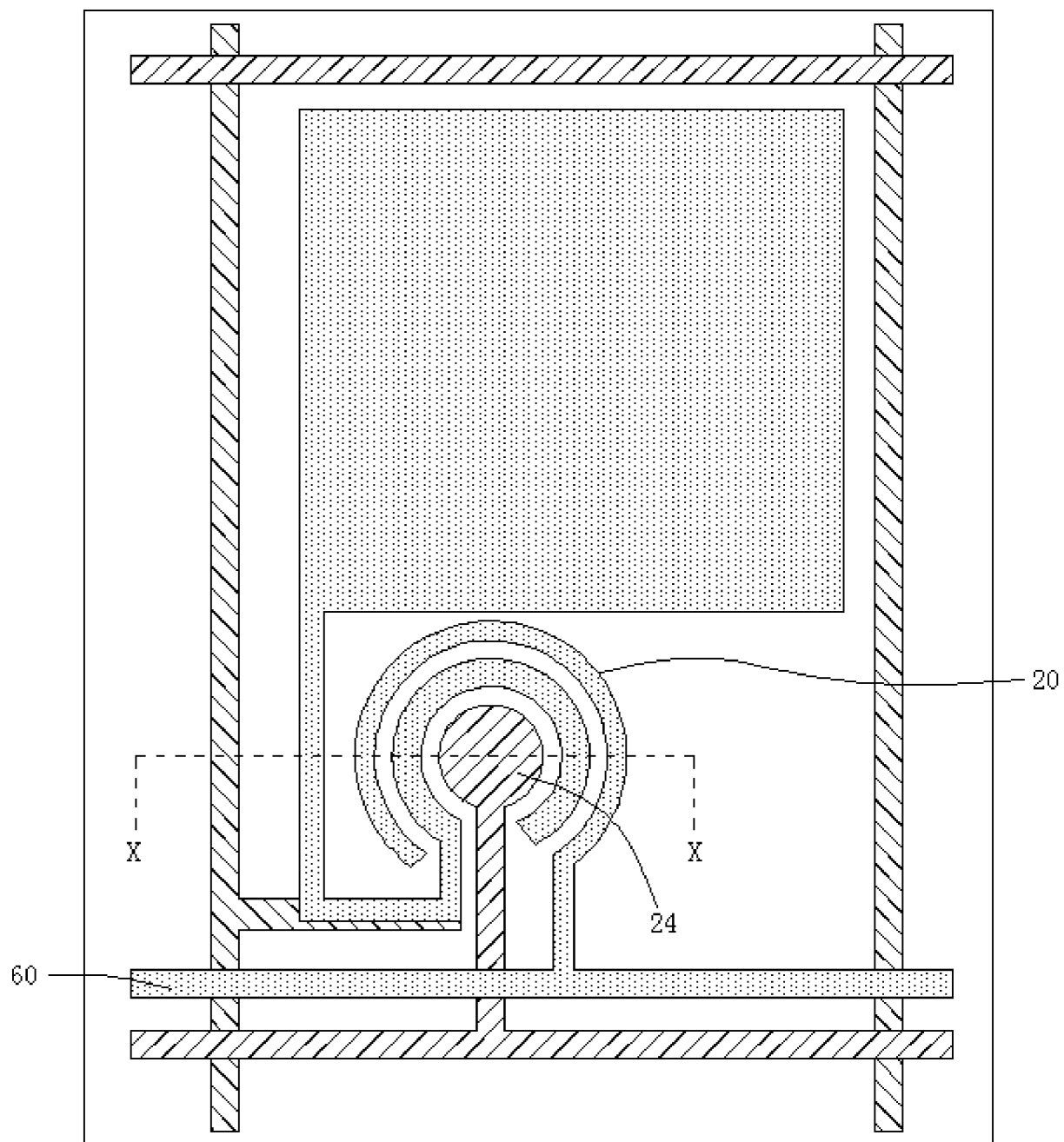


图 5

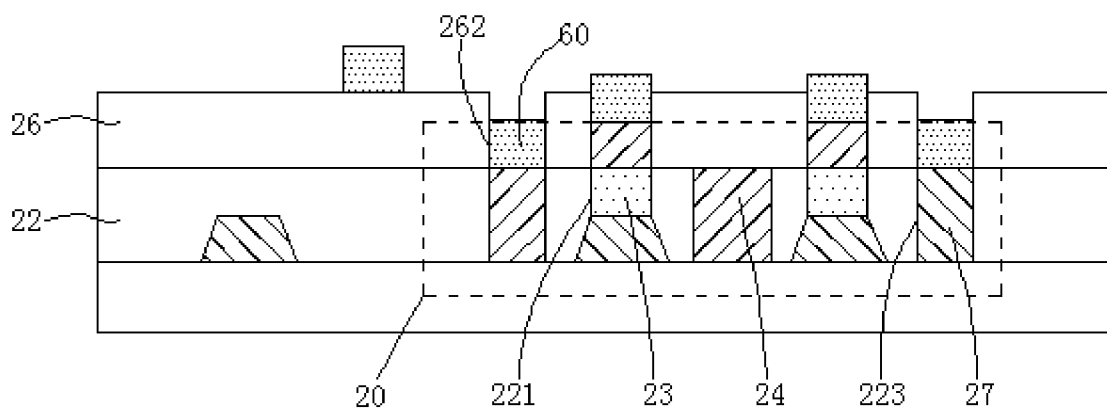


图 6

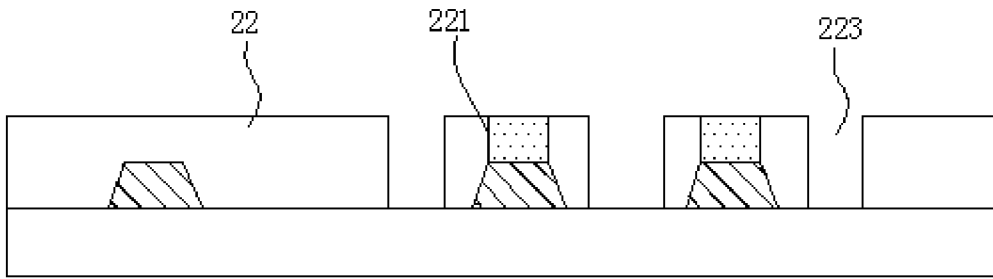


图 7a

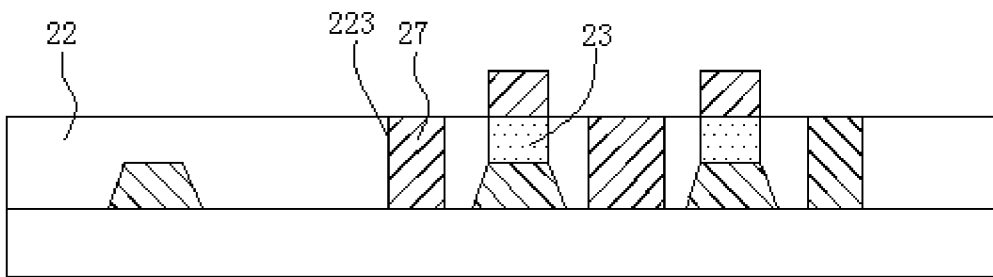


图 7b

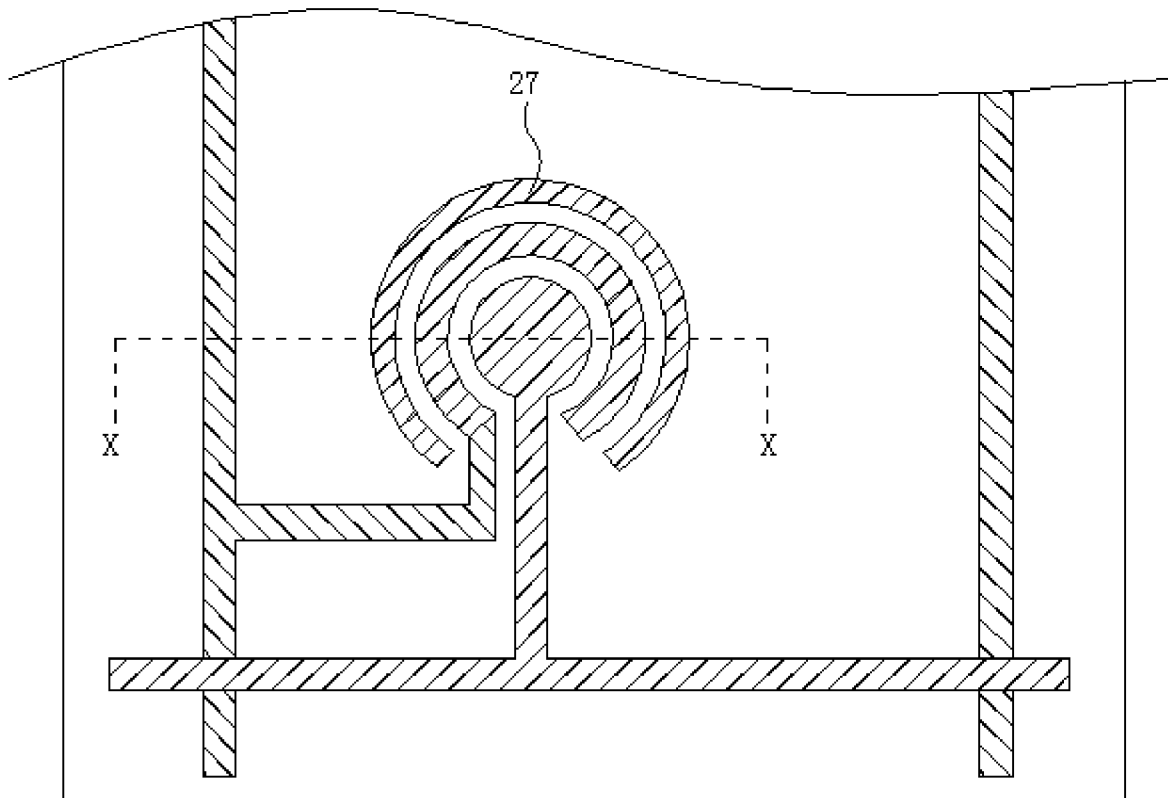


图 7c

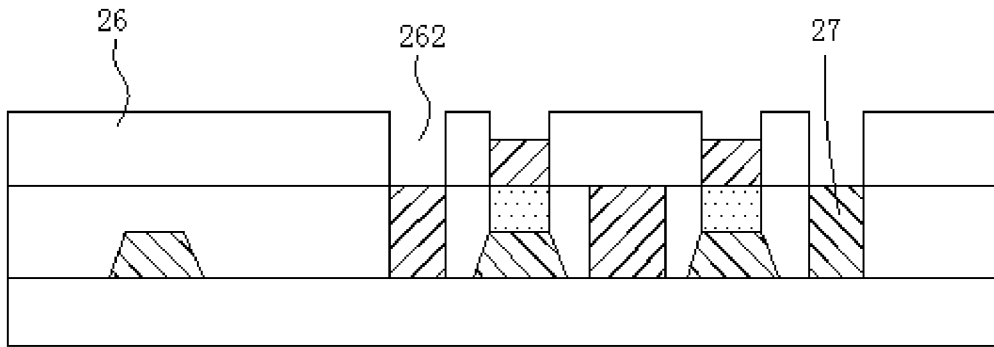


图 7d

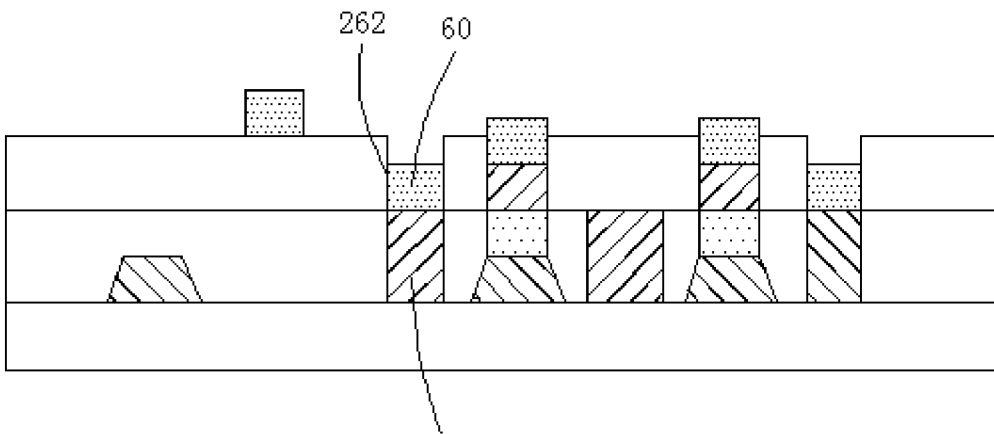


图 7e

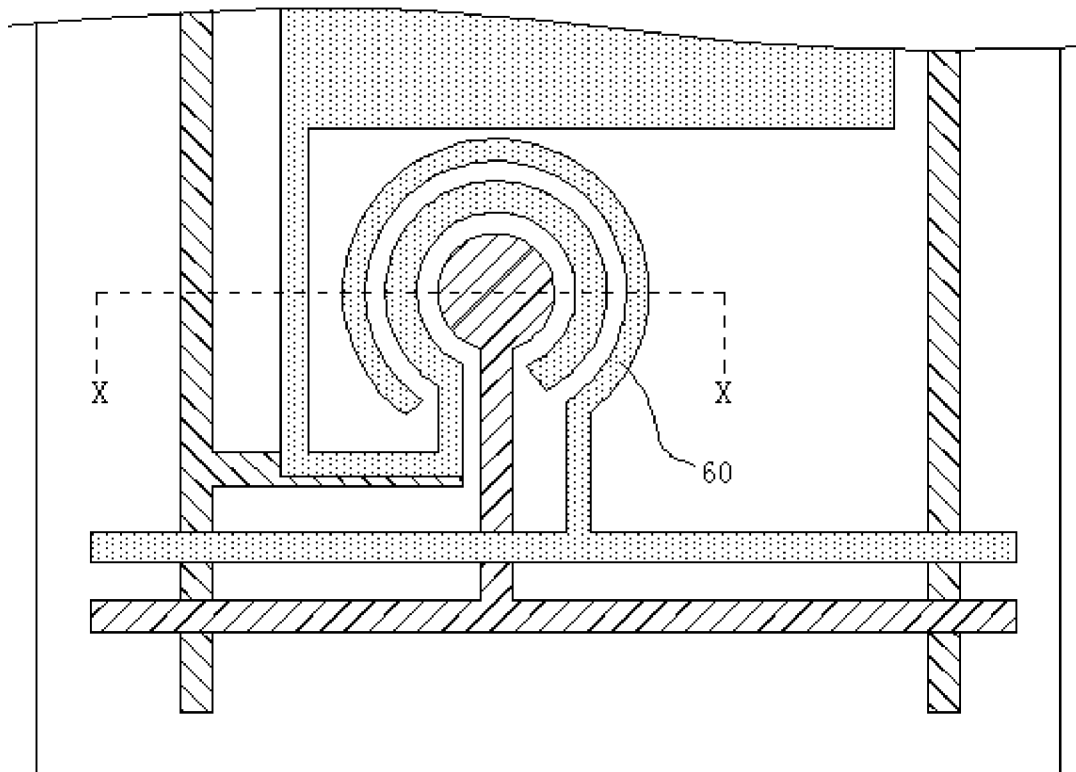


图 7f

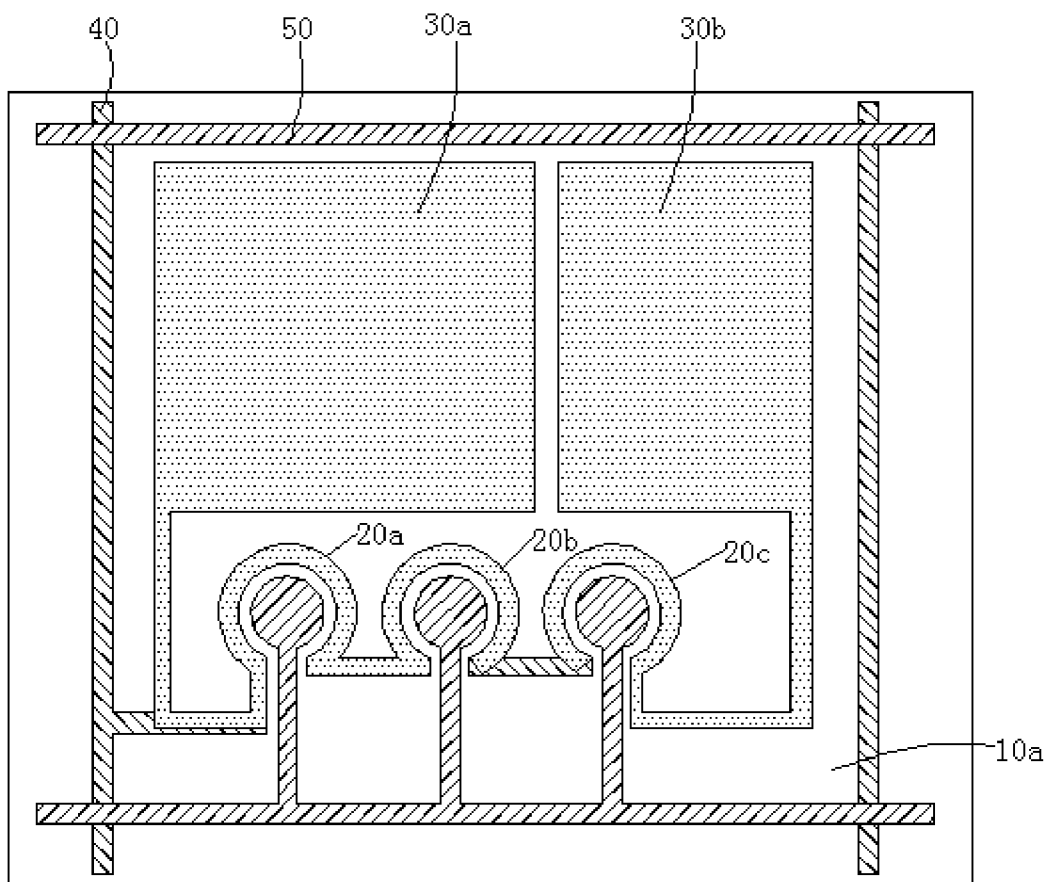


图 8

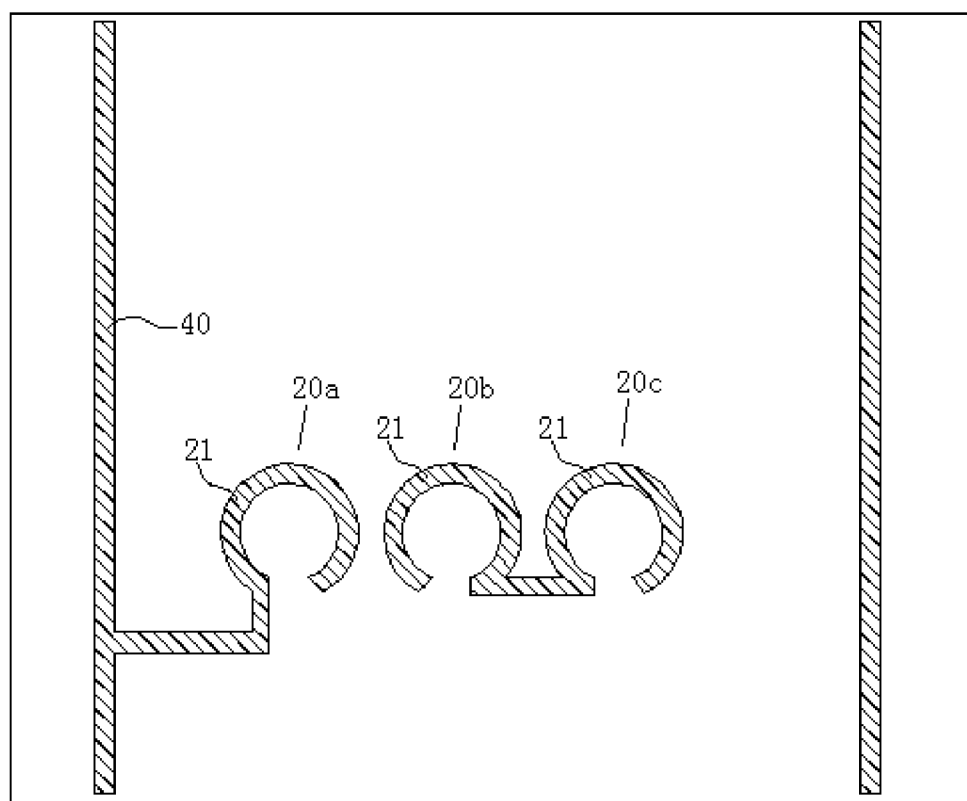


图 9

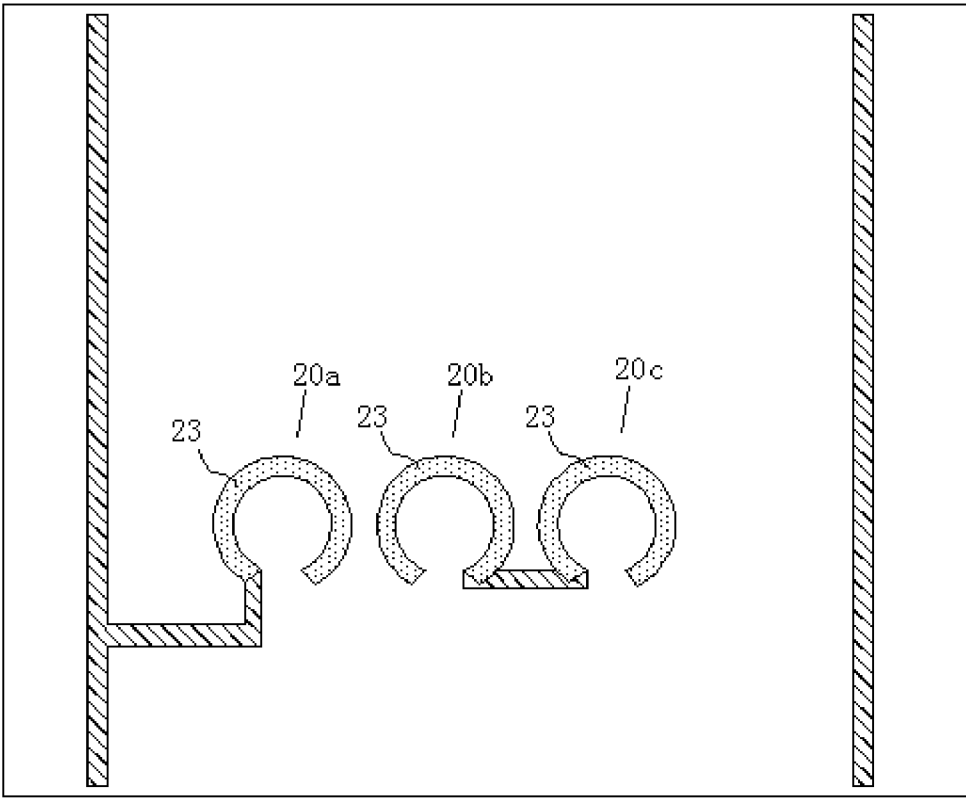


图 10

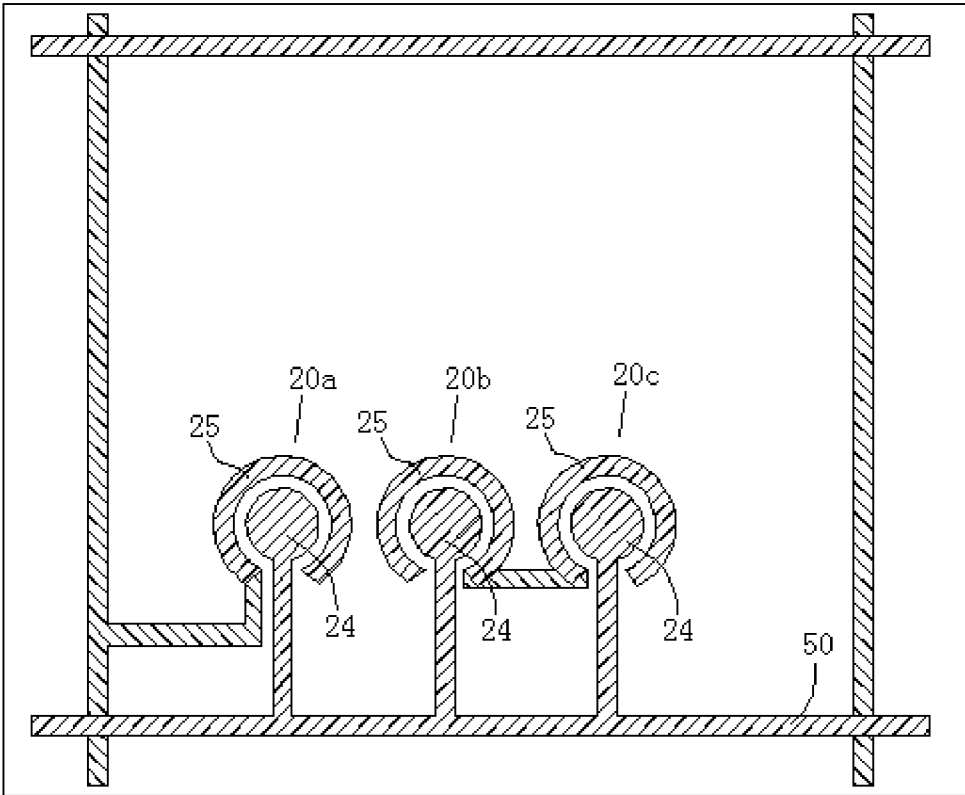


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/090376

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; WOTXT; USTXT; EPTXT; CNKI: 薄膜晶体管, 阵列基板, 环, 槽, 孔, 洞, 源, 漏, 垂直沟道, thin film transistor, TFT, array substrate, ring, annular, loop, link, trench, groove, via, hole, source, drain, vertical channel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106953011 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 14 July 2017 (2017-07-14) description, paragraphs [0039]-[0063], and figures 1-10	1, 4-6
A	CN 1870296 A (LG. PHILIPS LCD CO., LTD.) 29 November 2006 (2006-11-29) entire document	1-19
A	CN 104332490 A (CHONGQING BOE OPTOELECTRONICS CO., LTD. ET AL.) 04 February 2015 (2015-02-04) entire document	1-19
A	US 2010006894 A1 (ROHM CO., LTD.) 14 January 2010 (2010-01-14) entire document	1-19

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 December 2018

Date of mailing of the international search report

18 January 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration, PRC (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/090376

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106953011	A	14 July 2017	WO	2018176522	A1	04 October 2018
				US	20180287081		04 October 2018
CN	1870296	A	29 November 2006	JP	2006310636	A	09 November 2006
				US	7348598	B2	25 March 2008
				US	2006262239	A1	23 November 2006
				JP	5243686	B2	24 July 2013
				CN	100580955	C	13 January 2010
				KR	20060113324	A	02 November 2006
				KR	720428	B1	15 May 2007
CN	104332490	A	04 February 2015	US	9966444	B2	08 May 2018
				US	2016118467	A1	28 April 2016
US	2010006894	A1	14 January 2010	WO	2008023737	A1	28 February 2008
				JP	2008053449	A	06 March 2008
				US	8044434	B2	25 October 2011

国际检索报告

国际申请号

PCT/CN2018/090376

A. 主题的分类

H01L 21/77(2017.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;VEN;WOTXT;USTXT;EPTXT;CNKI;薄膜晶体管, 阵列基板, 环, 槽, 孔, 洞, 源, 漏, 垂直沟道, thin film transistor, TFT, array substrate, ring, annular, loop, link, trench, groove, via, hole, source, drain, vertical channel

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 106953011 A (武汉华星光电技术有限公司) 2017年 7月 14日 (2017 - 07 - 14) 说明书第39-63段, 图1-10	1、4-6
A	CN 1870296 A (LG. 飞利浦LCD株式会社) 2006年 11月 29日 (2006 - 11 - 29) 全文	1-19
A	CN 104332490 A (重庆京东方光电科技有限公司 等) 2015年 2月 4日 (2015 - 02 - 04) 全文	1-19
A	US 2010006894 A1 (ROHM CO LTD) 2010年 1月 14日 (2010 - 01 - 14) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 12月 13日

国际检索报告邮寄日期

2019年 1月 18日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

周文龙

电话号码 86-(20)-28950729

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/090376

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106953011	A	2017年 7月 14日	WO	2018176522	A1	2018年 10月 4日
				US	20180287081		2018年 10月 4日
CN	1870296	A	2006年 11月 29日	JP	2006310636	A	2006年 11月 9日
				US	7348598	B2	2008年 3月 25日
				US	2006262239	A1	2006年 11月 23日
				JP	5243686	B2	2013年 7月 24日
				CN	100580955	C	2010年 1月 13日
				KR	20060113324	A	2006年 11月 2日
				KR	720428	B1	2007年 5月 15日
CN	104332490	A	2015年 2月 4日	US	9966444	B2	2018年 5月 8日
				US	2016118467	A1	2016年 4月 28日
US	2010006894	A1	2010年 1月 14日	WO	2008023737	A1	2008年 2月 28日
				JP	2008053449	A	2008年 3月 6日
				US	8044434	B2	2011年 10月 25日

表 PCT/ISA/210 (同族专利附件) (2015年1月)